(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5955246号
(P5955246)

(45)発行日　平成28年7月20日(2016.7.20)　(24)登録日　平成28年6月24日(2016.6.24)

(51)Int.Cl.		F I		
H01L 21/316	(2006.01)	H01L	21/316	S
H01L 21/31	(2006.01)	H01L	21/31	E
H01L 21/336	(2006.01)	H01L	29/78	658F
H01L 29/78	(2006.01)	H01L	29/78	658L
H01L 29/12	(2006.01)	H01L	29/78	652T

請求項の数 6　(全 11 頁)

(21)出願番号　特願2013-35300(P2013-35300)
(22)出願日　平成25年2月26日(2013.2.26)
(65)公開番号　特開2014-165348(P2014-165348A)
(43)公開日　平成26年9月8日(2014.9.8)
審査請求日　平成27年4月30日(2015.4.30)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　谷岡　寿一
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　樽井　陽一郎
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
（ａ）ダミー基板および、表面を（０００１）面とし裏面を（０００－１）面とする複数のＳｉＣ半導体基板を準備する工程と、
（ｂ）前記ダミー基板の裏面と前記複数のＳｉＣ半導体基板の裏面に、無機膜を形成する工程と、
（ｃ）前記ダミー基板と前記複数のＳｉＣ半導体基板を表面を同方向に向け互いに間隔を空けて積層するように配置する工程と、
（ｄ）前記工程（ｂ）および（ｃ）の後、酸化ガス雰囲気又は還元ガス雰囲気内で前記ＳｉＣ半導体基板表面の熱酸化処理又はポストアニールを行う工程と、
を備える半導体装置の製造方法。
【請求項２】
前記工程（ｂ）は、前記無機膜として、熱酸化膜、ＣＶＤ酸化膜、金属酸化膜、若しくはＰＳＧのいずれかの絶縁膜、又は窒化膜を形成する工程である、
請求項１に記載の半導体装置の製造方法。
【請求項３】
前記ダミー基板は前記ＳｉＣ半導体基板と異なる材料の基板である、
請求項１又は２に記載の半導体装置の製造方法。
【請求項４】
前記ダミー基板は前記ＳｉＣ半導体基板と同一材料の基板であり、

前記ＳｉＣ半導体基板の裏面に前記無機膜が形成されない状態において、前記ＳｉＣ半導体基板の表面と裏面では熱酸化速度が異なる、
請求項１又は２に記載の半導体装置の製造方法。
【請求項５】
前記工程（ａ）は、前記ダミー基板の裏面にのみ前記無機膜を形成する工程である、
請求項１～４のいずれかに記載の半導体装置の製造方法。
【請求項６】
前記工程（ａ）は、石英ガラスからなる前記ダミー基板を準備する工程であり、
前記工程（ｂ）に代えて、
（ｅ）前記複数のＳｉＣ半導体基板の裏面に、無機膜を形成する工程を備える、
請求項１～５のいずれかに記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は半導体装置の製造方法に関し、特に、半導体基板の熱処理工程に関する。
【背景技術】
【０００２】
半導体基板をバッチ式装置で熱処理する場合、垂直方向に配置した複数の製品基板の上端の直上に、スロットの空きをなくして熱分布を均一にするための補充基板（以下、ダミー基板と称する）やプロセスを管理するためのモニター基板を設置することが一般的である（特許文献１参照）。例えば熱酸化工程やＣＶＤ（Chemical Vapor Deposition）工程では、成膜した膜厚を確認するためのモニター基板を設置することがある。ダミー基板やモニター基板には製品基板と同じ材料を用いても良い。しかし、製品基板の材料が炭化珪素（以下、ＳｉＣと称する）である場合、ダミー基板やモニター基板にはシリコン（以下、Ｓｉと称する）基板等のより安価な基板を用いることが一般的である。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００９－１１７６４６号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
しかしながら、裏面に無機膜が形成された製品基板の熱酸化を行う場合、ダミー基板の裏面に無機膜が形成されていないと、当該裏面で雰囲気ガスとの反応により副生成物が生じる。そのため、ダミー基板の直下に配置される製品基板とその他の基板とで、その表面が曝される雰囲気ガスに違いが生じ、異なる電気的特性となってしまうという問題があった。
【０００５】
本発明は上述の問題に鑑み、バッチ式装置でダミー基板と複数の処理基板を互いに間隔を空けて積層した状態で熱処理する場合に、ダミー基板と近接する処理基板が他の処理基板と異なる電気的特性となることを抑制する。
【課題を解決するための手段】
【０００６】
本発明の半導体装置の製造方法は、（ａ）ダミー基板および、表面を（０００１）面とし裏面を（０００－１）面とする複数のＳｉＣ半導体基板を準備する工程と、（ｂ）ダミー基板の裏面と複数のＳｉＣ半導体基板の裏面に、無機膜を形成する工程と、（ｃ）ダミー基板と複数のＳｉＣ半導体基板を表面を同方向に向け互いに間隔を空けて積層するように配置する工程と、（ｄ）工程（ｂ）および（ｃ）の後、酸化ガス雰囲気又は還元ガス雰囲気内でＳｉＣ半導体基板表面の熱酸化処理又はポストアニールを行う工程と、を備える。

【発明の効果】
【０００７】
本発明の半導体装置の製造方法は、（ａ）ダミー基板および、表面を（０００１）面とし裏面を（０００－１）面とする複数のＳｉＣ半導体基板を準備する工程と、（ｂ）ダミー基板の裏面と複数のＳｉＣ半導体基板の裏面に、無機膜を形成する工程と、（ｃ）ダミー基板と複数のＳｉＣ半導体基板を表面を同方向に向け互いに間隔を空けて積層するように配置する工程と、（ｄ）工程（ｂ）および（ｃ）の後、酸化ガス雰囲気又は還元ガス雰囲気内でＳｉＣ半導体基板表面の熱酸化処理又はポストアニールを行う工程と、を備える。ダミー基板およびＳｉＣ半導体基板夫々の裏面に無機膜を形成することで、加熱処理時の雰囲気ガスが各基板の裏面で消費されないので、各基板の表面における雰囲気ガスの消費量が均一になり、電気的特性が均一になる。
【図面の簡単な説明】
【０００８】
【図１】本発明の半導体装置の製造方法を示す図である。
【図２】本発明の半導体装置の製造方法により製造される半導体装置の断面図である。
【図３】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図４】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図５】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図６】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図７】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図８】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図９】本発明の半導体装置の製造方法による半導体装置の製造工程を示す断面図である。
【図１０】前提技術の半導体装置の製造方法を示す図である。
【図１１】前提技術の半導体装置の製造方法を示す図である。
【図１２】前提技術の半導体装置の製造方法により製造された半導体装置の電気的特性を示す図である。
【図１３】前提技術の半導体装置の製造方法により製造された半導体装置の酸化膜厚を示す図である。
【発明を実施するための形態】
【０００９】
＜Ａ．実施の形態１＞
図１０は、前提技術の半導体装置の製造方法を示す図であり、熱処理工程における半導体基板の配置を示している。図１０において、熱処理を行う半導体基板である製品基板３１～３５は、炉２０内のボート２１において互いに隙間を空け垂直方向に積層して設置される。そのうち最上段に設置された製品基板３１の上には、隙間を空けてダミー基板２２が設置される。ここではダミー基板２２の代わりにモニター基板が設置されても良いし、ダミー基板２２がモニター基板を兼ねても良い。
【００１０】
図１１は、前提技術の半導体装置の製造方法を示す図であり、図１０に示した基板配置で製品基板３１～３５の熱処理を行う場面の一例として、ＭＯＳＦＥＴにおけるゲート絶縁膜のポストアニール工程における基板配置を示している。図１１では図１０に示した炉２０の図示を省略している。ここで、製品基板３１～３５はＳｉＣ基板、ダミー基板２２はＳｉ基板とする。製品基板３１～３５の裏面側には約１μｍの酸化膜３１ｆ～３５ｆが

形成される一方、ダミー基板２２の裏面側には何も成膜されていない。また、製品基板３１～３５の表面側には約５０ｎｍのゲート絶縁膜（図示省略）が形成されている。

【００１１】

図１２は、前提技術の半導体装置の製造方法により製造された半導体装置の電気的特性を示す図であり、図１１に示す基板配置でゲート絶縁膜のポストアニール工程を経て形成された、ＳｉＣ－ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）のドレイン電流Ｉｄ－ゲート電圧Ｖｇ特性を示している。ここでは、ＷＥＴ（Ｈ２／Ｏ２混合)雰囲気でポストアニールを行うものとする。ＷＥＴ雰囲気でのポストアニールは、ドレイン電流が立上る電圧（閾値電圧）を高くするために行うプロセスである。なお、製品基板３１から形成されたＳｉＣ－ＭＯＳＦＥＴを製品（１）と示し、以下同様に、製品基板３２～３５から形成されたＳｉＣ－ＭＯＳＦＥＴを製品（２）～（５）と示す。

【００１２】

図１２から、ダミー基板２２の直下に設置された製品（１）の閾値電圧は製品（２）～（５）に比べて低く、電気特性の分布外れが製品（１）に生じていることが分かる。出願人はこの理由を以下のように考察した。

【００１３】

図１１の領域Ａでは、Ｓｉ基板（ダミー基板２２）の裏面とＳｉＣ基板（製品基板３１）の表面でＷＥＴ雰囲気ガスが消費されるのに対して、図１１の領域Ｂでは、ＳｉＣ基板（製品基板３３）の裏面とＳｉＣ基板（製品基板３４）の表面でＷＥＴ雰囲気ガスが消費される。Ｓｉ基板（ダミー基板２２）の裏面では熱酸化によりＷＥＴ雰囲気ガスが消費され、反応副生成物が生じるのに対し、ＳｉＣ基板（製品基板３３）の裏面側には厚い酸化膜３３ｆが形成されているので、熱拡散してＳｉＣ基板と反応するＷＥＴ雰囲気ガスは無視できる。この違いが製品（１）の分布外れをもたらした原因であると考察した。

【００１４】

そこで、ダミー基板２２の裏面でＷＥＴ雰囲気ガスが消費されないようにすれば製品（１）の分布外れは解消すると考え、検証を行った。本発明では図１に示すように、ダミー基板２２の裏面側に数μｍの無機膜２２ｆ（SiO_2）を成膜する他は図１１と同様の基板配置において熱処理を行った。すると、製品（１）の分布外れは解消した。

【００１５】

ここでは、ダミー基板２２と製品基板３１～３５で材料が異なる場合の分布外れについて考察した。材料が異なれば反応速度や反応副生成物が異なるので、材料が同じ場合と比べて図１１の領域Ａ，Ｂにおける雰囲気ガスの差異が大きくなり、本発明の効果が大きい。

【００１６】

しかし、ダミー基板２２が製品基板３１～３５と同じ材料である場合にも同様の問題が生じる。特に、酸化速度の面方位依存性が大きい場合には分布外れが大きく、本発明の効果が大きい。例えば４Ｈ－ＳｉＣの場合、（０００－１）面の酸化速度は（０００１）面の１０倍程度大きい。裏面が（０００－１）面として、裏面に何も形成されてないダミー基板を用い、裏面に数ｕｍの絶縁膜を形成した製品を熱処理した場合、図１１の領域Ａ，Ｂにおけるガス雰囲気の差異が大きくなる。ダミー基板２２を製品基板３１～３５と同様のＳｉＣ基板とし、製品基板３５の直下に製品基板３６（図示せず）を追加する他は図１１と同様の基板配置において、１００％Ｏ２雰囲気で熱酸化により形成された酸化膜の膜厚を図１３に示す。図１３では図１２と同様、製品基板３１から形成されたＳｉＣ－ＭＯＳＦＥＴを製品（１）と示し、以下同様に、製品基板３２～３６から形成されたＳｉＣ－ＭＯＳＦＥＴを製品（２）～（６）と示す。

【００１７】

図１３から、ダミー基板２２の直下に設置した製品（１）における酸化膜厚が製品（２）～（６）に比べて大きいことが分かる。この現象も、図１２の現象と同じモデルで説明できる。すなわち、ＳｉＣ基板（ダミー基板２２）の裏面で熱酸化反応が生じ、ＣＯやＣＯ２反応生成物が発生することでガス雰囲気が変化し、酸化速度が増大したためである。

【００１８】
以上の考察に基づき、本発明では裏面に数μｍの酸化膜が形成されたＳｉＣ基板をダミー基板２２に用いたところ、製品（１）の分布外れは解消した。
【００１９】
上記では、裏面に酸化膜が形成されたＳｉＣ基板を酸化系ガス（ＷＥＴ雰囲気、Ｏ２雰囲気）で熱処理する例を示したが、図１１に示す領域Ａ，Ｂで消費されるガスや副生成されるガスが異なる状況が発生しさえすれば、基板の種類や基板の裏面の膜の有無によらず分布外れが発生しうる。
【００２０】
また、酸化系ガスで熱処理する例を示したが、還元系ガスなど基板と反応するガスで熱処理する場合にも、上述の分布外れの問題が生じうる。
【００２１】
そこで、本発明ではダミー基板や製品の裏面に、酸化系ガスや還元系ガスなどと反応しにくく、耐高温性のある無機膜を形成することにより、製品となる半導体装置の分布外れを抑制する。
【００２２】
＜Ａ－１．ＭＯＳＦＥＴ＞
本発明の半導体装置の製造方法を、ＭＯＳＦＥＴのゲート絶縁膜形成工程に適用した例を以下に説明する。製品基板である半導体基板はＳｉＣ基板とするが、Ｓｉ，ＧａＮ，ＧａＡｓ等、他の基板でも良い。また、ダミー基板の材料は半導体基板と同じでも異なっていても良い。さらに、作成するデバイスはＭＯＳＦＥＴの他、ｐｎダイオード、ＳＢＤ（Schottky Barrier diode），ＢＪＴ（Bipolar Junction Transistor），ＪＦＥＴ（Junction FET），ＩＧＢＴ（Insulated Gate Bipolar Transistor）等、他のデバイスでも良い。また、ゲート絶縁膜形成工程の他、メタル電極の熱処理工程等、バッチ式装置で熱処理する他の工程に本発明を適用しても良い。
【００２３】
図２は、本発明の半導体装置の製造方法により製造される縦型のＭＯＳＦＥＴ１００の断面模式図である。ＭＯＳＦＥＴ１００は、図１に示す製品基板３１～３５から製造される炭化珪素半導体装置である。図２（ａ）はセル内部を、図２（ｂ）はセル外周部を示している。以下、第１導電型をｎ型、第２導電型をｐ型として説明するが、逆の導電型であっても良い。
【００２４】
ＭＯＳＦＥＴ１００は、ＳｉＣ基板１、ＳｉＣドリフト層２、ベース領域３、ソース領域４、ゲート絶縁膜５、ゲート配線６、ソース電極７、ドレイン電極８、層間絶縁膜９、ゲート電極１０を備えている。ＳｉＣ基板１は、第１主面（表面）の面方位が（０００１）面であり、４Ｈのポリタイプを有するｎ型で低抵抗の基板である。ＳｉＣドリフト層２は、ＳｉＣ基板１の第１主面上に形成される。ベース領域３はＳｉＣドリフト層２の表層に選択的に形成され、ｐ型不純物としてアルミニウム（Ａｌ）を含有する。ソース領域４はセル内部においてベース領域３の表層に選択的に形成され、ｎ型不純物として窒素（Ｎ）を含有する。
【００２５】
ゲート絶縁膜５は、ソース領域４、ベース領域３、及び近接する二つのソース領域４に挟まれたＳｉＣドリフト層２上に亘って形成される。ゲート絶縁膜５上にはゲート配線６が形成される。ゲート絶縁膜５が形成されていないソース領域４の表面にはソース電極７が形成される。また、ＳｉＣ基板１の第１主面と反対側の第２主面、すなわち裏面にはドレイン電極８が形成される。ゲート配線６とソース電極７は層間絶縁膜９で分離される。ゲート配線６はセル内部からセル外周まで引き回され、セル外周でゲート電極１０とコンタクトを形成する。
【００２６】
＜Ａ－２．製造工程＞

図３～９は、ＭＯＳＦＥＴ１００の製造工程を示す断面図である。以下、図３～９に沿ってＭＯＳＦＥＴ１００の製造工程を説明する。

【００２７】

まず、ＳｉＣ基板１の第１主面（表面）上に、ＣＶＤ法によりＳｉＣドリフト層２をエピタキシャル成長させる（図３）。ＳｉＣドリフト層２のｎ型不純物濃度は１×１０^{15}ｃｍ$^{-3}$～１×１０^{17}ｃｍ$^{-3}$、厚みは５～５０μｍとする。

【００２８】

次に、ＳｉＣドリフト層２の表面にマスク４１を形成し、マスク４１を用いてＳｉＣドリフト層２にｐ型不純物であるＡｌをイオン注入する（図４）。このとき、Ａｌのイオン注入の深さはＳｉＣドリフト層２の厚さを超えない０．５～３μｍ程度とする。また、イオン注入されたＡｌの不純物濃度は、１×１０^{17}ｃｍ$^{-3}$～１×１０^{19}ｃｍ$^{-3}$の範囲でＳｉＣドリフト層２のｎ型不純物濃度より多いものとする。ここで、ＳｉＣドリフト層２のＡｌがイオン注入された領域でｐ型になる領域がベース領域３となる。

【００２９】

次に、マスク４１を除去した後、ＳｉＣドリフト層２の表面にマスク４２を形成し、マスク４２を用いてＳｉＣドリフト層２の表面に、ｎ型不純物であるＮをイオン注入する（図５）。Ｎのイオン注入深さはベース領域３の厚さより浅くする。また、イオン注入したＮの不純物濃度は、１×１０^{18}ｃｍ$^{-3}$～１×１０^{21}ｃｍ$^{-3}$の範囲でベース領域３のｐ型不純物濃度を超えるものとする。ＳｉＣドリフト層２内のＮが注入された領域のうちｎ型を示す領域がソース領域４となる。マスク４２を除去後、熱処理装置によって、アルゴン（Ａｒ）ガスなどの不活性ガス雰囲気中で１３００～１９００℃、３０秒～１時間のアニールを行い、イオン注入されたＮ、Ａｌを活性化させる。

【００３０】

次に、層間絶縁膜９をＣＶＤ法により成膜する（図６）。層間絶縁膜９は、後工程で形成するゲート配線６をチップ外周部まで引き回し、ゲート電極とコンタクトを取るためのものである。その膜厚は、ゲート容量に影響を与えずスイッチングやサージ等で破壊しにくい１～３μｍとすることが望ましい。層間絶縁膜９の材料はＢＰＳＧ、ＰＳＧ、ＴＥＯＳ等を用いる。層間絶縁膜９は、ＳｉＣ基板１の表面側と裏面側に成膜される。成膜後、パターニングとドライエッチングによりセル内部において表面側の層間絶縁膜９を除去し、セル外周部においても表面側の所望の位置の層間絶縁膜９を除去する。一方、ＳｉＣ基板１の裏面側に形成された層間絶縁膜９は残しておき、酸化（還元）ガスとの反応性が低い、すなわち耐高温性を有する無機膜として用いることにより、無機膜を別途成膜する工程は不要である。ここで、酸化（還元）ガスとの反応性が低いとは、熱酸化処理や熱処理の温度に耐え、酸化または還元ガス種のＳｉＣ基板１の裏面に到達する量が十分少なくなるだけの膜厚を有することを意味している。熱処理の温度にもよるが、１μｍの層間絶縁膜９を熱拡散するガス量はほとんど無視できる。

【００３１】

なお、層間絶縁膜を形成する工程がデバイス製造プロセスに無い場合は、別途、酸化（還元）ガスとの反応性が低い耐高温性を有する無機膜をＳｉＣ基板１の裏面に成膜する。この無機膜はＣＶＤ法や熱酸化などにより成膜し、材料としては、金属酸化膜、ＰＳＧなどの絶縁膜や、窒化膜（ＳｉＮｘ）を用いる。無機膜に窒化膜を用いる場合、デバイスのゲート構造がＳｉＯ２／ＳｉＮｘ／ＳｉＣであれば、すなわち、ゲート絶縁膜５が窒化膜とシリコン酸化膜の二層構造である場合には、改めて窒化膜を形成する必要がない。酸化（還元）ガスが熱拡散してもＳｉＣ基板１の裏面に殆ど到達しないように、無機膜の厚みを決定する。酸化（還元）ガス種にもよるが、１３００℃以下の熱処理であれば無機膜の厚みは１μｍ以上あれば十分である。以上の条件でＳｉＣ基板１の表面側と裏面側に無機膜を成膜した後、表面側の無機膜をウェットエッチやドライエッチで除去する。

【００３２】

次に、図１のようにＳｉＣ基板１を熱処理装置内に設置する。ここで、ＳｉＣ基板１は図１の製品基板３１～３５にあたる。複数のＳｉＣ基板１のうち最上段のＳｉＣ基板１の

上には、予め裏面側に耐高温性を有する無機膜２２ｆが成膜されたダミー基板２２を設置する。そして、１２００～１３００℃のＯ$_2$雰囲気で熱酸化して、ゲート絶縁膜５となるＳｉＯ$_2$膜を形成する（図７）。熱酸化はＷＥＴ雰囲気、Ｏ$_2$雰囲気、または酸化窒素（ＮＯ，Ｎ$_2$Ｏ）雰囲気等の酸化系ガス雰囲気で実施する。続いて、ＳｉＯ$_2$／ＳｉＣの界面準位を低減するためのポストアニールも、同様に図１の基板配置で実施する。ポストアニールは、ＷＥＴ雰囲気や酸化窒素（ＮＯ，Ｎ$_2$Ｏ）雰囲気、ＰＯＣｌ$_3$雰囲気などの酸化ガス雰囲気や、Ｈ$_2$ガスやＮＨ$_3$ガスなどの還元ガス雰囲気で実施する。

【００３３】

その後、ゲート絶縁膜５の上に、導電性を有する多結晶珪素膜を減圧ＣＶＤ法により形成し、これをパターニングすることによりゲート配線６を形成する。その後、ＣＶＤ装置で１．０～３．０μｍ程度の層間絶縁膜９を形成してゲート配線６を覆う。その後、ＳｉＣ基板１の裏面に成膜された層間絶縁膜９や多結晶珪素膜をウェットエッチやドライエッチで除去する（図８）。なお、デバイス製造プロセスに層間絶縁膜の形成工程がなく別途の無機膜を成膜した場合は、ここでＳｉＣ基板１の裏面に成膜された無機膜を除去する。

【００３４】

次に、パターニングおよびドライエッチングにより、ソース電極を形成する領域の層間絶縁膜９を除去する。また、ソース電極を形成する領域にシリサイド層を形成した後、パターニングおよびドライエッチングにより、ゲート配線６とコンタクトを取る領域の層間絶縁膜９を除去する（図９）。

【００３５】

そして、ソース領域４及びゲート配線６とそれぞれ電気的に接続するソース電極７及びゲート電極１０を形成する。これらは、Ａｌ合金などをスパッタ法で基板の表面全面に成膜した後、パターニングとウェットエッチングにより成形する。最後に、ＳｉＣ基板１の裏面側にドレイン電極８を形成し、図２に示す縦型のＭＯＳＦＥＴ１００が完成する。ここで、ドレイン電極８の材料にはＡｌ合金等が挙げられる。

【００３６】

＜Ａ－３．変形例＞

熱処理を行うに際して、予めダミー基板２２の裏面には無機膜２２ｆを形成したが、表面には無機膜を形成しなくても良い。そうすれば、ダミー基板２２の表面を用いて膜厚等のモニターが可能であり、ダミー基板２２をモニター基板としても用いることが出来る。この場合、ダミー基板２２とは別途のモニター基板を同一バッチ式装置内に設置する必要がないので、処理枚数が増え生産性が向上する。

【００３７】

また、石英ガラスを材料とするダミー基板２２を用いれば、石英ガラス自体が酸化ガス雰囲気や還元ガス雰囲気との反応性が低いため、裏面に無機膜を形成する必要がない。また、無機膜を形成する場合と異なり、繰り返して使用することが可能である。

【００３８】

＜Ａ－４．効果＞

本発明の半導体装置の製造方法は、（ａ）ダミー基板２２および複数の半導体基板３１～３５を準備する工程と、（ｂ）ダミー基板２２の裏面と複数の製品基板３１～３５（半導体基板）の裏面に、熱酸化処理または熱処理の温度に耐え、酸化または還元ガス種の複数の半導体基板の裏面に到達する量が十分少なくなる膜厚を有する無機膜２２ｆ、３１ｆ～３５ｆを形成する工程と、（ｃ）ダミー基板２２と複数の製品基板３１～３５を表面を同方向に向け互いに間隔を空けて積層するように配置する工程と、（ｄ）工程（ｂ）および（ｃ）の後、酸化ガス雰囲気又は還元ガス雰囲気内で半導体基板３１～３５表面の熱酸化処理又はポストアニールを行う工程と、を備える。ダミー基板２２および製品基板３１～３５夫々の裏面に無機膜を形成することで、加熱処理時の雰囲気ガスが各基板２２，３１～３５の裏面で消費されないので、製品基板３１～３５の表面における雰囲気ガスの消費量が均一になり、電気的特性が均一になる。

【００３９】

また、工程（ｂ）は、無機膜として、熱酸化膜、ＣＶＤ酸化膜、金属酸化膜、又はＰＳＧのいずれかの絶縁膜を形成する工程である。よって、層間絶縁膜等、半導体プロセスにおける通常の絶縁膜形成工程を利用して無機膜を形成できる。あるいは、工程（ｂ）は、無機膜として窒化膜を形成する工程である。ゲート絶縁膜５が窒化膜とシリコン酸化膜の二層構造である場合には、半導体プロセスにおける通常の窒化膜形成工程を利用して無機膜を形成できる。

【００４０】

また、ダミー基板２２は製品基板３１～３５と異なる材料の基板である場合は、ダミー基板２２の裏面に無機膜を形成することによる分布ばらつきの低減効果が大きい。ダミー基板２２が製品基板２１～３５と同一材料の基板であっても、製品基板３１～３５の表面と裏面で熱酸化速度が異なる場合には、ダミー基板２２の裏面に無機膜を形成することによる分布ばらつきの低減効果が大きい。

【００４１】

工程（ａ）は、ダミー基板２２の裏面にのみ無機膜２２ｆを形成する工程であるので、ダミー基板２２をプロセス管理用の膜厚等のモニター基板として利用でき、別途のモニター基板が不要になるので、生産性が向上する。

【００４２】

また、石英ガラスからなるダミー基板２２を用いれば、石英ガラス自体が酸化ガス雰囲気や還元ガス雰囲気との反応性が低いため、裏面に無機膜を形成する必要がなく、繰り返して使用することが可能である。

【００４３】

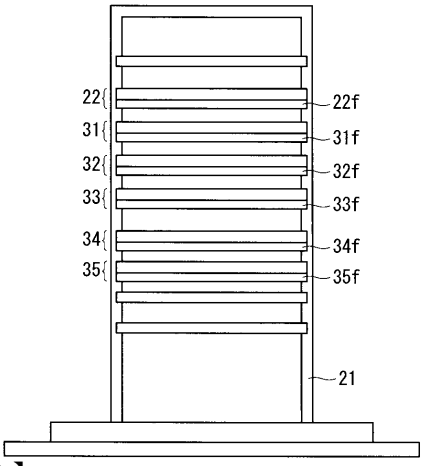
なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

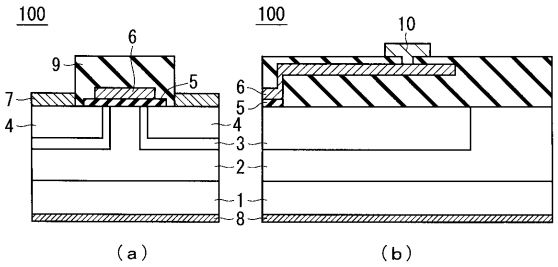
【００４４】

１　ＳｉＣ基板、２　ＳｉＣドリフト層、３　ベース領域、４　ソース領域、５　ゲート絶縁膜、６　ゲート配線、７　ソース電極、８　ドレイン電極、９　層間絶縁膜、１０　ゲート電極、２０　炉、２１　ボート、２２　ダミー基板、３１，３２，３３，３４，３５，３６　製品基板、２２ｆ、３１ｆ、３２ｆ、３３ｆ、３４ｆ、３５ｆ，３６ｆ　無機膜、４１，４２　マスク、１００　ＭＯＳＦＥＴ。

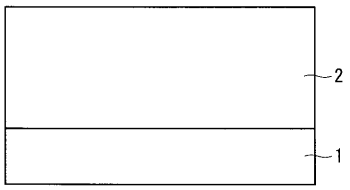
【図１】



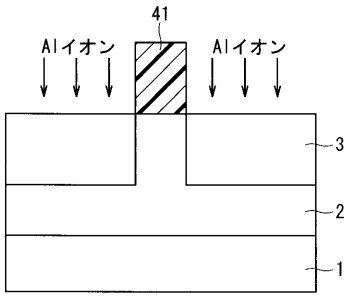
【図２】



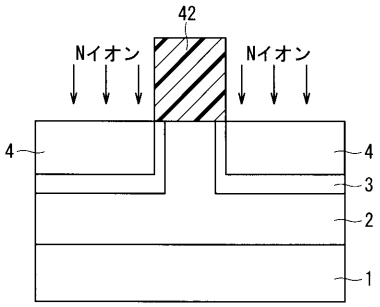
【図３】



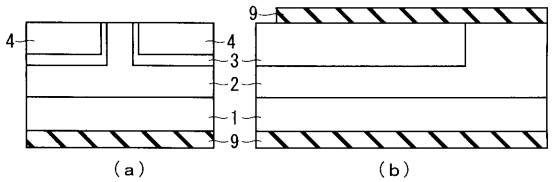
【図４】



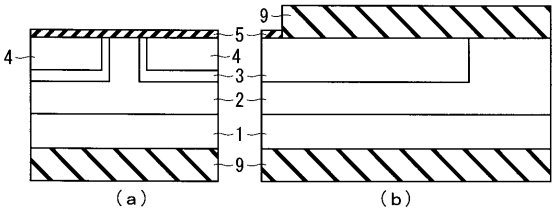
【図５】



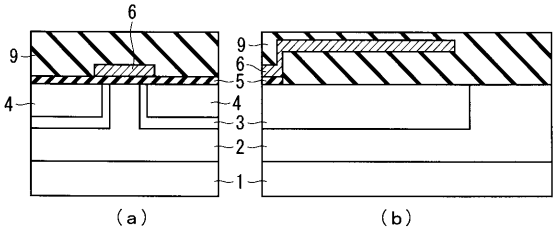
【図６】



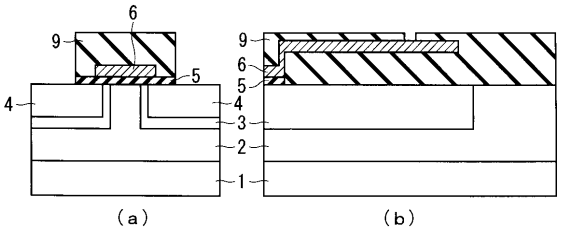
【図７】



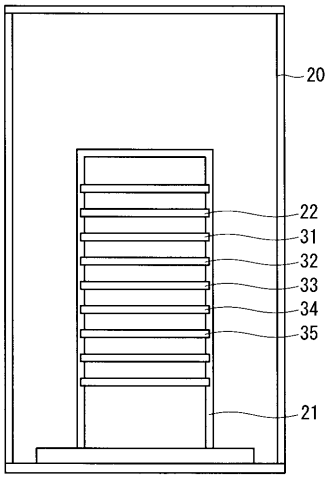
【図８】



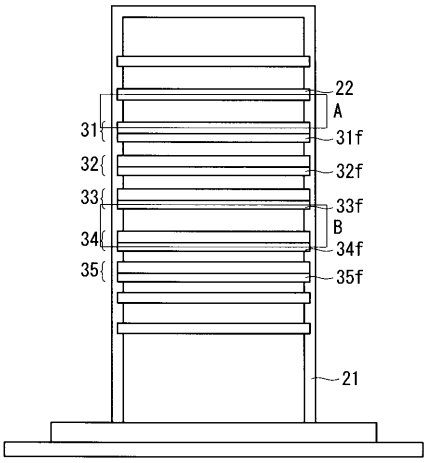
【図９】



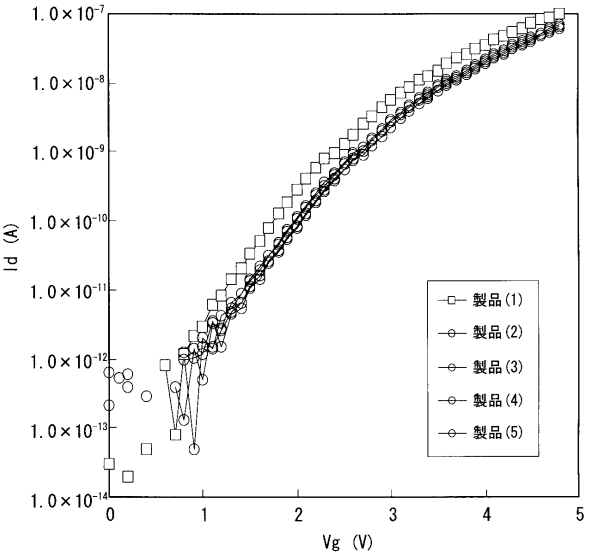
【図１０】



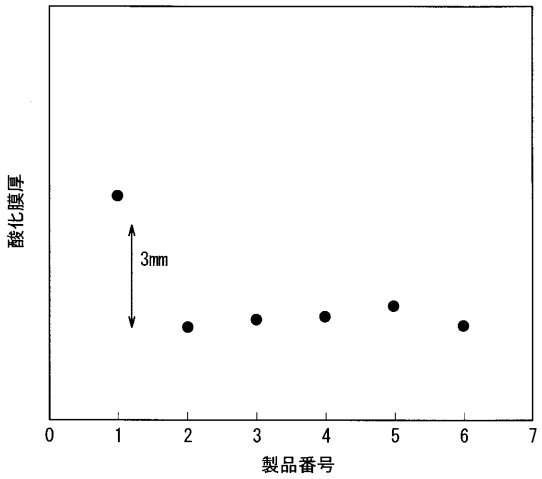
【図１１】


22
A
31
31f
32
32f
33
33f
B
34
34f
35
35f
21

【図１２】


1.0×10⁻⁷
1.0×10⁻⁸
1.0×10⁻⁹
1.0×10⁻¹⁰
1.0×10⁻¹¹
1.0×10⁻¹²
1.0×10⁻¹³
1.0×10⁻¹⁴
Id (A)
0
1
2
3
4
5
Vg (V)
製品(1)
製品(2)
製品(3)
製品(4)
製品(5)

【図１３】


酸化膜厚
3mm
0
1
2
3
4
5
6
7
製品番号

フロントページの続き

(72)発明者　小林　和雄
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　結城　秀昭
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　瀬戸口　陽介
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

審査官　正山　旭

(56)参考文献　特開２０１０－０８７０１９（ＪＰ，Ａ）
特開平０７－０９９１５７（ＪＰ，Ａ）
特開２０１０－１４７２６５（ＪＰ，Ａ）
特開平０３－２２４２２８（ＪＰ，Ａ）
特開２０００－２６０７１８（ＪＰ，Ａ）
米国特許出願公開第２０１２／０２５２２２５（ＵＳ，Ａ１）
特開昭５８－００６１３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３１６
Ｈ０１Ｌ　２１／３１
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２９／１２
Ｈ０１Ｌ　２９／７８