



등록특허 10-2458634



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월25일
(11) 등록번호 10-2458634
(24) 등록일자 2022년10월20일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/02* (2006.01)
H01L 29/20 (2006.01) *H01L 29/205* (2006.01)
H01L 29/267 (2006.01)
- (52) CPC특허분류
H01L 29/66462 (2013.01)
H01L 21/02002 (2013.01)
- (21) 출원번호 10-2019-7024120
- (22) 출원일자(국제) 2018년01월10일
심사청구일자 2021년01월04일
- (85) 번역문제출일자 2019년08월16일
- (65) 공개번호 10-2019-0104060
- (43) 공개일자 2019년09월05일
- (86) 국제출원번호 PCT/US2018/013206
- (87) 국제공개번호 WO 2018/136278
국제공개일자 2018년07월26일

(30) 우선권주장
62/447,857 2017년01월18일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문헌

KR1020140049057 A*

US20160079370 A1*

*는 심사관에 의하여 인용된 문헌

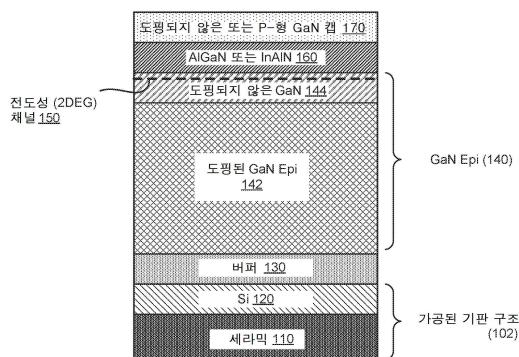
전체 청구항 수 : 총 23 항

심사관 : 김종호

(54) 발명의 명칭 전력 디바이스를 위한 질화 갈륨 에피택셜 구조

(57) 요 약

기판 열팽창 계수를 갖는 가공된 기판 상에 다층 디바이스를 제조하는 방법은 가공된 기판 상에 베퍼층을 성장시키는 단계, 및 베퍼층 상에 제1 에피택셜 층을 성장시키는 단계를 포함한다. 상기 제1 에피택셜 층은 상기 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다.

대 표 도 - 도1

(52) CPC특허분류

H01L 21/0217 (2013.01)
H01L 21/0242 (2013.01)
H01L 21/0245 (2013.01)
H01L 21/02458 (2013.01)
H01L 21/02488 (2013.01)
H01L 21/02499 (2013.01)
H01L 21/02505 (2013.01)
H01L 29/205 (2013.01)
H01L 29/7787 (2013.01)

(30) 우선권주장

62/591,016 2017년11월27일 미국(US)
15/864,977 2018년01월08일 미국(US)

명세서

청구범위

청구항 1

기판 열팽창 계수를 갖는 가공된 기판 상에 다층 디바이스를 제조하는 방법에 있어서,
상기 가공된 기판을 제공하는 단계 - 상기 가공된 기판은:

다결정성 기판;

상기 다결정성 기판을 캡슐화하는 배리어 층;

상기 배리어 층에 연결된 결합층; 및

상기 결합층에 연결된 실질적으로 단결정성인 층을 포함함 -;

상기 실질적으로 단결정성인 층 위에 베퍼층을 성장시키는 단계; 및

상기 베퍼층 위에 제1 에피택셜 층을 성장시키는 단계

를 포함하고,

상기 제1 에피택셜 층은 상기 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 하는,
다층 디바이스 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 에피택셜 층은 도핑된 질화 갈륨(GaN)을 포함하는, 다층 디바이스 제조 방법.

청구항 3

제1항에 있어서,

상기 제1 에피택셜 층은 질화 알루미늄 갈륨(AlGaN)을 포함하는, 다층 디바이스 제조 방법.

청구항 4

제2항에 있어서,

상기 제1 에피택셜 층에 연결되는 도핑되지 않은 GaN을 포함하는 제2 에피택셜 층을 성장시키는 단계; 및

상기 제2 에피택셜 층에 연결되는 제3 에피택셜 층을 성장시키는 단계

를 더 포함하되,

상기 제2 에피택셜 층과 상기 제3 에피택셜 층 사이의 계면이 고 전자 이동도 트랜지스터(hight-electron-mobility transistor: HEMT)의 전도성 채널을 형성하는, 다층 디바이스 제조 방법.

청구항 5

제4항에 있어서,

상기 제3 에피택셜 층은 질화 알루미늄 갈륨(AlGaN) 또는 질화 인듐 알루미늄(InAlN)을 포함하는, 다층 디바이

스 제조 방법.

청구항 6

제1항에 있어서,

상기 가공된 기판을 제공하는 단계는, 상기 실질적으로 단결정성인 층을 상기 결합층에 연결하기 위해 층 이송 프로세스를 행하는 단계를 더 포함하는,

다층 디바이스 제조 방법.

청구항 7

제1항에 있어서,

상기 실질적으로 단결정성인 층은 실리콘(Si)을 포함하는, 다층 디바이스 제조 방법.

청구항 8

제1항에 있어서,

상기 실질적으로 단결정성인 층은 실리콘 게르마늄(SiGe)을 포함하는, 다층 디바이스 제조 방법.

청구항 9

제1항에 있어서,

상기 가공된 기판을 통해 상기 실질적으로 단결정성인 층에 전기적으로 연결되는 전기 콘택트를 형성하는 단계를 더 포함하는 다층 디바이스 제조 방법.

청구항 10

제1항에 있어서,

상기 버퍼층과 상기 제1 에피택셜 층 사이에 배치된 전도성 에피택셜 층을 성장시키는 단계; 및

상기 제1 에피택셜 층을 통해 상기 전도성 에피택셜 층에 전기적으로 연결되는 전기 콘택트를 형성하는 단계

를 더 포함하는 다층 디바이스 제조 방법.

청구항 11

제10항에 있어서,

상기 버퍼층과 상기 전도성 에피택셜 층 사이에 배치된 실리콘 질화물의 부분적 단층(partial monolayer)을 형성하는 단계

를 더 포함하는 다층 디바이스 제조 방법.

청구항 12

기판 열팽창 계수를 갖는 가공된 기판 상에 다층 디바이스를 제조하는 방법에 있어서,

상기 가공된 기판 위에 베퍼층을 성장시키는 단계;

상기 베퍼층에 연결되는 제1 에피택셜 층을 성장시키는 단계 - 상기 제1 에피택셜 층은 상기 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 함 -;

상기 제1 에피택셜 층에 연결되는 질화 알루미늄 갈륨(AlGaN) 백 배리어 층을 성장시키는 단계;

AlGaN 백 배리어 층에 연결되는 도핑되지 않은 질화 갈륨(GaN) 층을 성장시키는 단계; 및

상기 도핑되지 않은 GaN 층에 연결되는 배리어 층을 성장시키는 단계

를 포함하는 다층 디바이스 제조 방법.

청구항 13

제12항에 있어서,

상기 제1 에피택셜 층은 비의도적으로 도핑된 GaN을 포함하는, 다층 디바이스 제조 방법.

청구항 14

제12항에 있어서,

상기 제1 에피택셜 층은 번갈아 존재하는 도핑되지 않은 GaN과 도핑된 GaN의 층들을 포함하는, 다층 디바이스 제조 방법.

청구항 15

제14항에 있어서,

상기 도핑된 GaN은 탄소가 도핑된 GaN(C-GaN) 또는 철이 도핑된 GaN(Fe-GaN)을 포함하는, 다층 디바이스 제조 방법.

청구항 16

제12항에 있어서,

상기 AlGaN 백 배리어 층은 3% 내지 15% 범위의 알루미늄 몰 분율을 갖는, 다층 디바이스 제조 방법.

청구항 17

제12항에 있어서,

상기 가공된 기판은 다결정성 세라믹 코어를 포함하는 구조체에 결합된 단결정 막을 포함하는, 다층 디바이스 제조 방법.

청구항 18

에피택셜 반도체 구조체에 있어서,

기판 열팽창 계수를 갖는 가공된 기판 - 상기 가공된 기판은:

다결정성 세라믹 코어;

상기 다결정성 세라믹 코어를 캡슐화하는 배리어 층;

상기 배리어 층에 연결된 결합층; 및
상기 결합층에 연결된 실질적으로 단결정성인 층을 포함함 -;
상기 실질적으로 단결정성인 층에 연결된 베피층; 및
상기 베피층 위에 형성된 제1 에피택셜 층
을 포함하고,
상기 제1 에피택셜 층은 상기 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 하는,
에피택셜 반도체 구조체.

청구항 19

제18항에 있어서,
상기 제1 에피택셜 층은 도핑된 질화 갈륨(GaN)을 포함하는, 에피택셜 반도체 구조체.

청구항 20

제18항에 있어서,
상기 제1 에피택셜 층은 질화 알루미늄 갈륨(AlGaN)을 포함하는, 에피택셜 반도체 구조체.

청구항 21

제18항에 있어서,
상기 제1 에피택셜 층에 연결된 도핑되지 않은 GaN을 포함하는 제2 에피택셜 층; 및
상기 제2 에피택셜 층에 연결된 제3 에피택셜 층
을 더 포함하되,
상기 제2 에피택셜 층과 상기 제3 에피택셜 층 사이의 계면은 고 전자 이동도 트랜지스터(hight-electron-mobility transistor: HEMT)의 전도성 채널을 형성하는, 에피택셜 반도체 구조체.

청구항 22

제21항에 있어서,
상기 제3 에피택셜 층은 질화 알루미늄 갈륨(AlGaN) 또는 질화 인듐 알루미늄(InAlN)을 포함하는, 에피택셜 반도체 구조체.

청구항 23

제18항에 있어서,
상기 실질적으로 단결정성인 층은 실리콘(Si)을 포함하는, 에피택셜 반도체 구조체.

발명의 설명

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2017년 1월 18일자로 출원된 미국 임시특허출원 제62/447,857호, 2017년 11월 27일자로 출원된 미국 임시특허출원 제62/591,016호, 및 2018년 1월 8일자로 출원된 미국 정규특허출원 제15/864,977호를 기초로 우선권을 주장하고, 상기 출원들의 전체 내용은 참조에 의해 본 명세서에 편입된다.

[0003] 본 발명은 일반적으로 가공된 기판 상에 형성된 전력 디바이스에 관한 것이다. 보다 구체적으로, 본 발명은 에피택셜 성장 프로세스를 사용하여 전력 디바이스를 제조하기에 적합한 방법 및 시스템에 관한 것이다. 단지 예시로서, 본 발명은 에피택셜 성장에 의해 기판 상에 전력 디바이스를 제조하기 위한 방법 및 시스템에 적용되었으며, 상기 기판은 전력 디바이스를 형성하는 에피택셜 층들에 실질적으로 매칭되는 열팽창 계수(CTE)를 특징으로 한다. 상기 방법들 및 기술들은 다양한 반도체 프로세싱 동작들에 적용될 수 있다.

배경 기술

[0004] 질화 갈륨 기반 전력 디바이스는 일반적으로 사파이어 기판 상에 에피택셜 성장된다. 사파이어 기판 상의 질화 갈륨 기반 전력 디바이스의 성장은 기판과 에피택셜 층이 상이한 물질로 구성되기 때문에 혼타로 에피택셜(heteroepitaxial) 성장 프로세스이다. 혼타로 에피택셜 성장 프로세스로 인해, 에피택셜 성장된 물질은 에피택셜 층의 전자/광학 특성과 연관된 메트릭스(metrics)의 감소 및 균일성의 감소를 포함하는 다양한 부정적 영향을 나타낼 수 있다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명이 속하는 기술 분야에서는 에피택셜 성장 프로세스 및 기판 구조와 관련된 개선된 방법 및 시스템에 대한 요구가 존재한다.

과제의 해결 수단

[0006] 본 발명의 몇몇 실시예에 의하면, 기판 열팽창 계수를 갖는 가공된(engineered) 기판 상에 다층 디바이스를 제조하는 방법은 가공된 기판 상에 베퍼층을 성장시키는 단계, 및 베퍼층 상에 제1 에피택셜 층을 성장시키는 단계를 포함한다. 제1 에피택셜 층은 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다.

[0007] 본 발명의 다른 몇몇 실시예에 의하면, 기판 열팽창 계수를 갖는 가공된 기판 상에 다층 디바이스를 제조하는 방법은 가공된 기판 상에 베퍼층을 성장시키는 단계, 및 베퍼층 상에 하나 또는 그 이상의 에피택셜 층을 성장시키는 단계를 포함한다. 하나 또는 그 이상의 에피택셜 층 중 적어도 하나는 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다. 몇몇 실시예에서, 하나 또는 그 이상의 에피택셜 층은 도핑되지 않은 GaN 층과 도핑된 GaN 층이 번갈아 존재하는 초격자(superlattice)를 포함할 수 있다. 도핑된 GaN 층은 탄소 도핑된 GaN(C-GaN) 또는 철이 도핑된 GaN(Fe-GaN)을 포함할 수 있다. 상기 방법은 상기 초격자에 연결된 도핑되지 않은 GaN 층을 성장시키는 단계와, 상기 도핑되지 않은 GaN 층에 연결된 제1 에피택셜 층을 성장시키는 단계를 더 포함할 수 있다. 제1 에피택셜 층은 질화 알루미늄 갈륨(AlGaN) 또는 질화 인듐 알루미늄(indium aluminum nitride: InAlN)을 포함할 수 있다. 도핑되지 않은 GaN 층과 제1 에피택셜 층 사이의 계면은 고 전자 이동도 트랜지스터(high-electron-mobility transistor: HEMT)의 전도 채널을 형성할 수 있다. 가공된 기판은 다결정성 세라믹 코어, 다결정성 세라믹 코어를 캡슐화하는 배리어 층, 배리어 층에 연결된 결합층, 및 결합층에 연결된 실질적으로 단결정성인 실리콘 층을 포함할 수 있다. 베퍼층은 AlN, AlGaN 또는 AlN/AlGaN 중 적어도 하나를 포함할 수 있다.

[0008] 본 발명의 몇몇 다른 실시예에 의하면, 기판 열팽창 계수를 갖는 가공된 기판 상에 다층 디바이스를 제조하는 방법은 가공된 기판 상에 베퍼층을 성장시키는 단계, 및 베퍼층에 연결된 제1 에피택셜 층을 성장시키는 단계를 포함한다. 제1 에피택셜 층은 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다. 상기 방법은 제1 에피택셜 층에 연결되는 질화 알루미늄 갈륨(AlGaN) 백(back) 배리어 층, AlGaN 백 배리어 층에 연결되는 도핑되지 않은 질화 갈륨(GaN) 층을 성장시키는 단계, 및 도핑되지 않은 GaN 층에 연결되는 배리어 층을 성장시키는 단계를 더 포함한다.

[0009] 추가적인 몇몇 실시예에 의하면, 에피택셜 반도체 구조는 기판 열팽창 계수를 갖는 가공된 기판, 가공된 기판 상에 형성된 베퍼층, 및 베퍼층 상에 형성된 제1 에피택셜 층을 포함한다. 제1 에피택셜 층은 기판 열팽창 계

수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다.

도면의 간단한 설명

[0010]

도 1은 본 발명의 일 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 2는 본 발명의 다른 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 3은 본 발명의 일 실시예에 의한 후방 콘택트를 갖는 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 4는 본 발명의 일 실시예에 의한 전방 콘택트를 갖는 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 5는 본 발명의 일 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 6은 본 발명의 또 다른 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 7은 본 발명의 또 다른 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 8은 본 발명의 몇몇 다른 실시예에 의한 가공된 기판 구조체 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다.

도 9a는 몇몇 실시예에 의한 AlGaN 백 배리어 층이 없는 HEMT의 예시적인 전도대 다이어그램을 도시한다.

도 9b는 다른 몇몇 실시예에 의한 AlGaN 백 배리어 층을 갖는 HEMT의 예시적인 전도대 다이어그램을 도시한다.

도 10은 본 발명의 일 실시예에 의한 전력 디바이스의 제조에 사용하기에 적합한 기판 구조를 도시하는 단순화된 개념적 단면도이다.

도 11은 본 발명의 일 실시예에 의한 가공된 기판 구조를 도시하는 단순화된 개념적 단면도이다.

도 12는 본 발명의 몇몇 실시예에 의한 가공된 기판 구조를 도시하는 단순화된 개념도이다.

도 13은 본 발명의 다른 몇몇 실시예에 의한 가공된 기판 구조를 도시하는 단순화된 개념도이다.

도 14는 본 발명의 추가적인 몇몇 실시예에 의한 가공된 기판 구조를 도시하는 단순화된 개념도이다.

도 15는 본 발명의 몇몇 실시예에 의한 가공된 기판을 제조하는 방법을 도시하는 단순화된 흐름도이다.

도 16은 본 발명의 몇몇 실시예에 의한 가공된 기판 상에 다층 디바이스를 제조하는 방법을 예시하는 단순화된 흐름도이다.

도 17은 본 발명의 다른 몇몇 실시예에 의한 가공된 기판 상에 다층 디바이스를 제조하는 방법을 예시하는 단순화된 흐름도이다.

도 18은 본 발명의 다른 몇몇 실시예에 의한 가공된 기판 상의 다층 디바이스를 제조하는 방법을 도시하는 단순화된 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0011]

본 발명은 일반적으로 가공된 기판 상에 형성된 전력 디바이스에 관한 것이다. 보다 구체적으로, 본 발명은 에피택셜 성장 프로세스를 사용하여 전력 디바이스를 제조하기에 적합한 방법 및 시스템에 관한 것이다. 단지 예시로서, 본 발명은 에피택셜 성장에 의해 기판 상에 전력 디바이스를 제조하기 위한 방법 및 시스템에 적용되었으며, 상기 기판은 전력 디바이스를 형성하는 에피택셜 층들에 실질적으로 매칭되는 열팽창 계수(CTE)를 특징으로 한다. 상기 방법들 및 기술들은 다양한 반도체 프로세싱 동작들에 적용될 수 있다.

[0012]

도 1은 본 발명의 일 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시하는 단순화된

개념적 단면도이다. 가공된 기판 구조체(102)는 그 위에 형성된 얇은 실리콘(Si) 층(120)을 갖는 세라믹 기판(110)을 포함할 수 있다. 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(110)은 하나 또는 그 이상의 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0013] 베퍼층(130)은 Si 층(120) 상에 에피택시 형성될 수 있다. 베퍼층(130)은 하나 또는 그 이상의 층을 포함할 수 있다. 몇몇 실시예에서, 베퍼층(130)은 비교적 얇을 수 있고, 예를 들어, 두께가 0.5 마이크론보다 작을 수 있다. 베퍼층(130)은 예를 들어, 두께가 약 $0.2\mu\text{m}$ 인 AlN, 두께가 약 $0.125\mu\text{m}$ 인 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$, 또는 이들의 조합 등을 포함할 수 있다. 비교적 얇은 알루미늄 함유 베퍼층(예를 들어, $0.2\mu\text{m}$ AlN/ $0.125\mu\text{m}$ $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$)은 실리콘 기판을 사용하여 제조될 수 없는 대구경 기판 상에 8 마이크론 이상의 GaN 에피택시를 지지할 수 있다.

[0014] 베퍼층(130)상에 GaN 에피택셜 층(140)이 형성될 수 있다. 몇몇 실시예에서, GaN 에피택셜 층(140)은 고전압 내구성을 위해 $8\mu\text{m}$ 보다 큰 두께를 가질 수 있다. 예를 들어, GaN 에피택셜 층(140) 상에 후속적으로 형성된 전력 디바이스에서는 500V 또는 600V보다 큰 항복(breakdown) 전압이 달성될 수 있다. 도 1에 도시된 바와 같이, GaN 에피택셜 층(140)은 도핑된 GaN 에피택셜 층(142) 및 전도성 채널(150)의 아래에(예컨대, 바로 아래에) 있는 도핑되지 않은 GaN 에피택셜 층(144)을 포함할 수 있다. 도핑된 GaN 에피택셜 층(142)은 $5\mu\text{m}$ 이상의 두께를 가질 수 있다. 도핑된 GaN 에피택셜 층(142)은 몇몇 실시예에서 높은 저항을 제공하기 위해 C 또는 Fe가 도핑된 GaN을 포함할 수 있다. 본 명세서에서 보다 충분히 논의되는 바와 같이, 탄소 또는 철이 백그라운드 (background) 불순물을 보상하거나 깊은 센터(deep center)를 제공하기 때문에 $1\times 10^{12} \text{ cm}^{-3}$ 정도의 백그라운드 도핑 레벨(자유 캐리어 밀도)을 가질 수 있는 C-GaN 또는 Fe-GaN 층과 같은 저(low) 전도성 층이 형성될 수 있다.

[0015] 여기서는 GaN 층이 논의되지만, 본 발명은 GaN에 국한되지 않으며 AlGaN, InGaN, InAlGaN, 이들의 조합 등을 포함하는 다른 III-V 물질이 이용될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 것이다.

[0016] AlGaN 또는 InAlN 층(160)이 배리어 층으로서 GaN 에피택셜 층(140) 상에 형성될 수 있다. AlGaN/GaN 계면은 헤테로-계면에서의 분극 유도 전하(polarization induced charge)로 인해 2차원 전자 가스(two-dimensional electron gas: 2DEG)를 초래할 수 있다. 2차원 전자 가스는 고 전자 이동도 트랜지스터(HEMT) 전력 디바이스의 전도 채널(150)을 형성한다.

[0017] 몇몇 실시예에서는, 선택적인 도핑되지 않은 또는 p-형 GaN 캡 층(170)이 강화 모드(enhancement-mode) 디바이스들을 제조하기에 적합하게 AlGaN 또는 InAlN 층(160) 상에 형성될 수 있다.

[0018] 세라믹 기판(110)은 GaN 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있기 때문에, 상대적으로 얇은 베퍼층(130)(예를 들어, $0.5\mu\text{m}$ 이하)이 상대적으로 두꺼운 GaN 에피택셜 층(140)(예를 들어, $5\mu\text{m}$ 이상)을 지원할 수 있다.

[0019] 도 2는 본 발명의 일 실시예에 의한 가공된 기판 구조체(202) 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다. 가공된 기판 구조체(202)는 그 위에 얇은 실리콘 게르마늄(SiGe) 층(220)이 형성된 세라믹 기판(110)을 포함할 수 있다. 실리콘 게르마늄 층(220)은 후속 에피택셜 성장을 위해 격자 매칭된 표면을 제공할 수 있다. 세라믹 기판(110)은 후속 에피택셜 층들의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다. SiGe 층(220)은 Si층(도시되지 않음) 상에 에피택셜 성장되거나, (예를 들어, 그 위에 SiGe 층이 형성된 도너 기판을 상기 세라믹 기판과 결합시킴으로써) 도너 기판으로부터 이송될 수 있다.

[0020] SiGe 층(220) 상에 베퍼층(130)이 에피택셜 형성될 수 있다. 베퍼층(130)은 하나 이상의 층을 포함할 수 있다. 몇몇 실시예에서, 베퍼층(130)은 비교적 얇을 수 있고, 예를 들어, 두께가 0.5 마이크론보다 작을 수 있다. 베퍼층(130)은 예를 들어, 두께가 약 $0.2\mu\text{m}$ 인 AlN, 두께가 약 $0.125\mu\text{m}$ 인 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$, 또는 이들의 조합 등을 포함할 수 있다. 비교적 얇은 알루미늄-함유 베퍼층(130)(예를 들어, $0.2\mu\text{m}$ AlN/ $0.125\mu\text{m}$ $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$)이, 실리콘 기판을 사용해서 제조될 수 없는, 대구경 기판 상의 8마이크론 이상의 GaN 에피택시를 지지할 수 있다.

[0021] 상기 베퍼층(130) 상에 GaN 에피택셜 층(140)이 형성될 수 있다. 몇몇 실시예에서, GaN 에피택셜 층(140)은 고전압 내구성을 위해 $8\mu\text{m}$ 보다 큰 두께를 가질 수 있다. 예를 들어, GaN 에피택셜 층 상에 후속적으로 형성되는 전력 디바이스에서 500V 또는 600V보다 큰 항복 전압이 달성될 수 있다. 도 2에 도시된 바와 같이, GaN 에피택셜 층은, 예를 들어, $5\mu\text{m}$ 의 도핑된 에피택셜 층(142) 및 전도 채널(150)의 아래의(예를 들어, 바로 아래의) 도핑되지 않은 GaN 층(144)을 포함할 수 있다. 도핑된 에피택셜 층(142)은 몇몇 실시예에서 C- 또는 Fe-도핑된 GaN을 포함할 수 있다. 여기서는 GaN 층이 논의되지만, 본 발명은 GaN에 국한되지 않으며, AlGaN, InGaN,

InAlGaN, 및 이들의 조합 등을 포함하는 다른 III-V 물질이 이용될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0022] AlGaN 또는 InAlN 층(160)이 배리어 층으로서 GaN 에피택셜 층(140) 상에 형성될 수 있다. AlGaN/GaN 계면은 헤테로 계면에서의 분극 유도 전하로 인해 2차원 전자 가스(2DEG)를 초래할 수 있다. 2차원 전자 가스는 고 전자 이동도 트랜지스터(HEMT) 전력 디바이스의 전도 채널(150)을 형성한다.

[0023] 몇몇 실시예에서, 선택적인 도핑되지 않은 또는 p-형 GaN 캡 층(170)은 강화 모드 디바이스를 제조하기에 적합하게 AlGaN 또는 InAlN 층(160) 상에 형성될 수 있다.

[0024] 도 3은 본 발명의 일 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시하는 단순화된 개념적 단면도이다. 가공된 기판 구조체(102)는 그 위에 얇은 Si 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다. Si 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(110)은 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0025] 상기 전력 디바이스는, 도 1에 도시된 전력 디바이스에 실질적으로 유사하게, Si 층(120) 상에 에피택셜 형성된 베퍼층(130), 베퍼층(130) 상에 형성된 GaN 에피택셜 층(140), 및 에피택셜 층(140) 상에 형성된 AlGaN 또는 InAlN 배리어 층(160)을 더 포함할 수 있다. GaN 에피택셜 층(140)은 5 μ m의 도핑된 에피택셜 층(142) 및 전도성 채널(150) 아래의(예컨대, 바로 아래의) 도핑되지 않은 GaN 층(144)을 포함할 수 있다. GaN 에피택셜 층(140)은 또한 도핑된 에피택셜 층 아래에(도 4에 도시된 바와 같이) 하나 이상의 전도성 에피택셜 층을 포함할 수 있다.

[0026] 전력 디바이스는 세라믹 기판(110)을 통해 형성된 Si 층(120) 또는 GaN 에피택셜 층(140)에 대한 전기 콘택트(310)를 더 포함할 수 있다. 전력 디바이스의 동작 중에, Si 층(120) 및/또는 베퍼층(130)에 기생 전하가 축적되어 기생 커페시턴스가 생길 수 있다. 전기 콘택트(310)는 기생 전하의 제거를 용이하게 하여, 전력 디바이스의 보다 빠른 스위칭을 가능하게 한다.

[0027] 도 4는 본 발명의 일 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시한 단순화된 개념적 단면도이다. 가공된 기판 구조체(102)는 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다. 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(110)은 후속 에피택셜 층들의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0028] 베퍼층(130) 상에 GaN 에피택셜 층(140)이 형성될 수 있다. 몇몇 실시예에서, GaN 에피택셜 층(140)은 고전압 내구성을 위해 8 μ m보다 큰 두께를 가질 수 있다. 예를 들어, GaN 에피택셜 층(140) 상에 후속적으로 형성된 전력 디바이스에서 500V 또는 600V보다 큰 항복 전압이 달성될 수 있다. 도 4에 도시된 바와 같이, GaN 에피택셜 층(140)은 전도성 GaN 에피택셜 층(420), 도핑된 GaN 에피택셜 층(142), 및 전도성 채널(150) 아래의(예를 들어, 바로 아래의) 도핑되지 않은 GaN 층(144)을 포함할 수 있다. 도핑된 에피택셜 층(142)은 몇몇 실시예에서 C- 또는 Fe-도핑된 GaN을 포함할 수 있다. 여기서는 GaN 층이 논의되지만, 본 발명은 GaN에 국한되지 않으며, AlGaN, InGaN, InAlGaN, 이들의 조합 등을 포함하는 다른 III-V 물질이 이용될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0029] AlGaN 또는 InAlN 층(160)은 배리어 층으로서 GaN 에피택셜 층(140) 상에 형성될 수 있다. AlGaN/GaN 계면은 헤테로 계면에서의 분극 유도 전하에 기인한 2 차원 전자 가스(2DEG)를 초래할 수 있다. 2차원 전자 가스는 고 전자 이동도 트랜지스터(HEMT) 전력 디바이스의 전도 채널(150)을 형성한다.

[0030] 몇몇 실시예에서는, 선택적인 도핑되지 않은 또는 p-형 GaN 캡 층(170)이 강화 모드 디바이스를 제조하기에 적합하도록 AlGaN 또는 InAlN 층(160) 상에 형성될 수 있다.

[0031] 전력 디바이스는 그 전력 디바이스의 전면을 통해 형성된 Si 층(120) 또는 GaN 에피택셜 층(140)에 대한 전기 콘택트(410)를 더 포함할 수 있다. 도 4는 전기 콘택트가 GaN 에피택셜 층(140)을 통해 베퍼층(130)까지 연장되는 것을 도시하지만, 몇몇 실시예에서는 전기 콘택트가 Si 층(120)까지 연장될 수 있다. 전기 콘택트는 그 측벽이 절연되어 AlGaN 또는 InAlN 층(160) 및 GaN 에피택셜 층(140)에 전기적으로 접속되지 않을 수 있다. 전기 콘택트(410)는 기생 전하의 제거를 용이하게 하여, 전력 디바이스의 보다 빠른 스위칭을 가능하게 할 수 있다.

[0032] 도 5는 본 발명의 다른 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시한 단순화된 개념적 단면도이다. 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함

할 수 있다. 단결정 층일 수 있는 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(110)은 하나 이상의 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0033] 도 5에 도시된 바와 같이, SiN의 부분적 단층(partial monolayer)(510)이 3D 성장으로 전위 감소를 촉진시키기 위해 삽입될 수 있다. 가공된 기판(102)의 사용은, 단결정성 세라믹 코어 기판(110)의 사용으로 인해 에피택셜 층에서의 압축 응력의 감소를 가능하게 할 수 있다. 도 5에 도시된 바와 같이, SiN의 부분적 단층(510)은 전위 밀도를 감소시키고 결정 품질을 향상시키기 위해 측면 과성장(lateral overgrowth) 프로세스에 이용되는 SiN 섬(island)들을 제공할 수 있다. 추가적인 설명은 2015년 4월 21일자로 발행된 미국 특허 제9,012,253호에 개시되어 있으며, 그 개시 내용은 전체가 모든 목적을 위해 본 명세서에 참조에 의해 편입된다.

[0034] SiN의 부분적 단층(510)은 베퍼층(130)의 일부를 덮을 수 있고 GaN 에피택셜 성장을 위한 인장 응력(tensile stress)을 제공할 수 있다. SiN의 부분적 단층(510) 상에 GaN을 재성장시키면 SiN 섬들 사이의 핵 생성(nucleation)과 SiN 섬들의 측면 과성장이 일어나, 전위의 종결과 개선된 결정 품질을 얻을 수 있다. 본 명세서에서는 SiN 섬들이 논의되지만, SiN 스트라이프(stripes)들의 어레이 등을 포함하는 다른 부분적 층들이 이용될 수 있다. 또한, SiN은 반드시 단층으로서 형성될 필요는 없지만, 단층보다 큰 미리 결정된 두께를 가질 수 있다. SiN 외에도, 측면 과성장 프로세스에서 SiO₂를 포함한 다른 물질이 이용될 수 있다.

[0035] 몇몇 실시예에서, 다수의 부분적 단층이 이용된다. 이들 실시예에서, 제1 부분적 단층이 형성되고, 제1 측면 과성장이 행해지고, 제2 부분적 단층이 형성되고, 제2 측면 과성장이 행해지고, 단층/재성장 구조가 소정 회수 만큼 반복되어 다중 중간층을 제공할 수 있다. 측면 과성장 층의 두께는 예를 들어 몇몇 실시예에서 0.5 μm 내지 2.5 μm로 다양할 수 있다. 측면 과성장 층이 연속적으로 더 평坦해지고 감소된 수의 결함 및/또는 전위를 특징으로 함에 따라, 부분적 단층(510)은 특정 애플리케이션에 적절하게 두께가 증가 또는 감소할 수 있는 후속 측면 과성장 층들을 위한 개선된 표면을 제공할 수 있다.

[0036] 몇몇 실시예에서, SiN의 부분적 단층(510) 상에 형성된 전도성 에피택셜 층(520)은, 고 저항 층을 전체 에피택셜 구조의 요소로서 제공하는 설계에서, $1 \times 10^{16} \text{ cm}^{-3}$ 정도의 낮은 도핑 밀도를 특징으로 하는 도핑되지 않은 GaN(u-GaN)일 수 있다.

[0037] 도 6은 본 발명의 다른 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시한 단순화된 개념적 단면도이다. 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다. 단결정 층일 수 있는 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공한다. 세라믹 기판(110)은 하나 이상의 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0038] 도 6에 도시된 바와 같이, 소정의 알루미늄 몰분율(x)을 갖는 Al_xGa_{1-x}N 에피택셜 층(640)은 베퍼층(130)으로부터 채널(150) 아래의 도핑되지 않은 GaN 층(144)까지 연장된다. 알루미늄 몰분율은 원하는 캐리어 구속(confinement)을 제공하기 위해 낮을 수 있고, 예를 들어 10 % 미만일 수 있다. 다른 실시예에서, 알루미늄 몰분율은 10 % 내지 30 %의 범위일 수 있다. Al_xGa_{1-x}N 에피택셜 층(640)은 절연 또는 차단 층으로서 작용할 수 있는 이 에피택셜 층의 저항률(resistivity)을 추가로 증가시키기 위해 철 또는 탄소로 도핑될 수 있다. AlGaN과 GaN 사이의 밴드갭 차이는 항복에 추가적인 배리어를 제공할 수 있다.

[0039] 도 7은 본 발명의 다른 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시한 단순화된 개념적 단면도이다. 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다. 단결정 층일 수 있는 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(110)은 하나 이상의 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다.

[0040] 도 7을 참조하면, 에피택셜 구조(740)는 C-GaN(또는 Fe-GaN) 층과 도핑되지 않은 GaN(u-GaN) 층을 번갈아 성장시킴으로써 형성되어 향상된 결정 품질과 높은 저항을 제공한다. u-GaN은 일반적으로 C-GaN 또는 Fe-GaN에 비해 높은 온도에서 성장되기 때문에, 초격자에서 u-GaN의 존재는 더 높은 결정 품질을 초래할 수 있고 이는 높은 성장 온도가 일반적으로 고품질의 결정과 연관되기 때문이다. 따라서, 이러한 구조는 결정 품질을 향상시키면서 높은 항복 성능을 제공하는 에피택셜 층의 절연 특성을 유지한다. 몇몇 실시예에서, 의도적인 도핑이 없는 경우에도, 성장 챔버에 존재하는 도편트의 혼입의 결과로서, u-GaN은 $1 \times 10^{16} \text{ cm}^{-3}$ 정도의 백그라운드 도핑 레벨을 갖는다. 이러한 전도성이 낮은 층들은 초격자에서 C-GaN 또는 Fe-GaN 층과 결합될 수 있으며, C-GaN 또는 Fe-GaN 층은 탄소 또는 철이 백그라운드 불순물을 보상하면서 $1 \times 10^{12} \text{ cm}^{-3}$ 정도의 백그라운드 도핑 레벨(자유

캐리어 밀도)을 갖는다. 따라서, 초격자는 높은 저항과 고품질의 결정을 제공할 수 있다.

[0041] 도 8a는 본 발명의 다른 실시예에 의한 가공된 기판 구조체(102) 상에 형성된 전력 디바이스를 도시한 단순화된 개념적 단면도이다. 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다. 단결정 층일 수 있는 실리콘 층(120)은 후속 에피택셜 성장을 위한 표면을 제공할 수 있다. 세라믹 기판(102)은 하나 이상의 후속 에피택셜 층의 CTE와 실질적으로 매칭되는 CTE를 가질 수 있다. Si 층(120) 상에 베퍼층(130)이 에피택셜 형성될 수 있다. 위에서 도 1 및 도 7을 참조하여 논의된 바와 같이, 비의도적으로(unintentionally) 도핑된 GaN(UID-GaN) 에피택셜 층(840)이(또는 C-GaN(또는 Fe-GaN)과 도핑되지 않은 GaN(uGaN) 층이 번갈아) 베퍼층(130) 상에 형성될 수 있다.

[0042] 다시 도 8a를 참조하면, 도핑되지 않은 저 조성(low composition) AlGaN 층(810)은 UID-GaN 층(840)(또는 번갈아 형성된 C-GaN(또는 Fe-GaN) 및 uGa) 층들) 상에 형성될 수 있다. 도핑되지 않은 저 조성 AlGaN 층(810)은 백(back) 배리어 층으로 지칭될 수 있다. 도핑되지 않은 저 조성 AlGaN 층(810) 상에 도핑되지 않은 GaN 층(144)이 형성될 수 있다. 상기 도핑되지 않은 GaN 층(810) 상에는 AlGaN(또는 InGaN) 층(160)이 형성될 수 있다. AlGaN(또는 InGaN) 층(160)은 배리어 층으로 지칭될 수 있다. AlGaN/GaN 계면은 헤테로 계면에서의 분극 유도 전하로 인해 2차원 전자 가스(2DEG)를 초래할 수 있다. 2차원 전자 가스는 고 전자 이동도 트랜지스터(HEMT) 전력 디바이스의 전도 채널(150)을 형성한다. 저 조성 AlGaN 층(840)(즉, 백 배리어 층)의 추가는, 아래에서 논의되는 바와 같이, 전도성 채널(150) 내의 전자 보유를 증가시키고 전자가 누설 전류로서 UID-GaN 층(840)(또는 번갈아 형성된 C-GaN(또는 Fe-GaN) 및 uGa) 층들)으로 침투하는 것을 방지할 수 있다.

[0043] 도 9a는 몇몇 실시예에 의한 백 배리어 층이 없는 HEMT의 예시적인 전도대(conduction band: CB) 다이어그램을 보여준다. AlGaN 배리어 층(160)은 약 10% 내지 약 100% 범위의 알루미늄 몰 분율 및 약 1nm 내지 약 100nm 범위의 두께 d_1 을 가질 수 있다. GaN 층(144)(즉, 채널)은 약 10nm 내지 약 100nm 범위의 두께 d_2 를 가질 수 있다. UID-GaN 층(840)은 상술한 바와 같이 고전압 내구성을 위해 약 8 μm 보다 큰 두께 d_3 를 가질 수 있다. 도 9a에 도시된 바와 같이, AlGaN 배리어 층(160)의 전도대는 약 1eV 내지 약 4eV의 범위일 수 있는 페르미(Fermi) 레벨 EF에 대해 제1 배리어 높이 EB1을 형성할 수 있다. UID-GaN 층(840)의 전도대는 제1 배리어 높이 EB1보다 실질적으로 더 낮을 수 있는 페르미 레벨 EF에 대해 제2 배리어 높이 EB2를 형성할 수 있다. 몇몇 실시예에서, EB2는 0.2eV 내지 1.5eV 범위일 수 있다. 따라서, 채널(2DEG)(150) 내의 전자들은 UID-GaN 층(840)으로 쉽게 침투하여 누설 전류를 일으킬 수 있다.

[0044] 도 9b는 다른 실시예에 의한 저 조성 AlGaN 백 배리어 층(810)을 갖는 HEMT의 예시적인 전도대(CB) 다이어그램을 도시한다. 명확성을 위해 도 9a와 관련하여 설명된 요소들은 여기서 반복되지 않는다. 저 조성 AlGaN 백 배리어 층(810)은 약 1% 내지 약 50%, 예를 들어, 약 3% 내지 약 15%의 알루미늄 몰분율 및 약 0.1 μm 내지 약 1 μm , 예를 들어, 약 0.2 μm 내지 약 0.3 μm 의 두께 d_4 를 가질 수 있다. 몇몇 실시예에서, AlGaN 백 배리어 층(810)은 도핑되지 않을 수도 있다. 저 조성 AlGaN 백 배리어 층(810)은, 도 9a에 도시된 바와 같이, 저 조성 AlGaN 백 배리어 층(810)이 없이 UID-GaN 층(840)에 의해 형성된 제2 배리어 높이 EB2와 비교하여 상대적으로 높은 페르미 레벨(EF)에 대한 제3 배리어 높이 EB3을 형성할 수 있다. 몇몇 실시예에서, EB3은 1 내지 3eV의 범위일 수 있다. 따라서, 저 조성 AlGaN 백 배리어 층(810)의 추가는 채널 내의 전자(2DEG)가 UID-GaN 층으로 침투하는 것을 방지하여 기판을 통한 누설 전류를 감소시킬 수 있다.

[0045] 도 10은 본 발명의 일 실시예에 의한 전력 디바이스의 제조에 사용하기에 적합한 기판 구조체(102)를 도시하는 단순화된 개념적 단면도이다. 도 10을 참조하면, 도 11에 도시된 요소들을 포함할 수 있는, 다결정성 세라믹 코어(110)를 포함하는 가공된 기판(102)이 제공될 수 있다. 단결정 성장 표면을 제공하기 위해, 예를 들어, 층이송(layer transfer) 프로세스를 사용하여, 단결정 층(120)(예를 들어, 단결정 실리콘)이 다결정성 세라믹 코어(110)에 연결된다. 베퍼층(130)이 단결정 층(120) 상에 성장될 수 있고, III-V 에피택셜 층(1040)(예를 들어, GaN)이 베퍼층(130) 상에 성장된다. III-V 에피택셜 층(1040)의 CTE는 다결정성 세라믹 코어(110)의 코어의 CTE와 실질적으로 매칭될 수 있다. III-V 에피택셜 층(1040)은 부분적으로 CTE 매칭의 결과인 고품질의 단결정일 수 있다.

[0046] 도 11은 본 발명의 몇몇 실시예에 의한 가공된 기판 구조체를 도시한 단순화된 개념도이다. 도 11에 도시된 바와 같이, 가공된 기판 구조체는 다양한 전자 및 광학 애플리케이션에 적합할 수 있다. 가공된 기판 구조체는 코어(1110)(예를 들어, AlN 기판)를 포함하고, 코어(1110)는 가공된 기판 구조체 상에, 예를 들어, 박리된 실리콘(111) 층(1125) 상에 성장될 에피택셜 물질의 열팽창 계수(CTE)에 실질적으로 매칭되는 CTE를 가질 수 있다.

- [0047] 질화 갈륨(GaN) 기반 물질(GaN 기반 층을 포함하는 에피택셜 층)의 성장을 포함하는 애플리케이션에 있어서, 코어(1110)는 다결정성 세라믹 물질, 예를 들어, 다결정성 질화 알루미늄(polycrystalline aluminum nitride: AlN)일 수 있고, 산화 이트륨(yttrium oxide)과 같은 결합재(binding material)를 포함할 수 있다. 다결정성 질화 갈륨(GaN), 다결정성 질화 알루미늄 갈륨(AlGaN), 다결정성 실리콘 카바이드(silicon carbide: SiC), 다결정성 산화 아연(zinc oxide: ZnO), 다결정성 갈륨 트리옥사이드(gallium trioxide: Ga₂O₃) 등을 포함하는 다른 물질이 코어에서 이용될 수 있다.
- [0048] 코어(1110)의 두께는 대략 100 nm 내지 1,500 μm 정도이고, 예컨대, 750 μm일 수 있다. 코어(1110)는 쉘 또는 캡슐화(encapsulating) 쉘로 불릴 수 있는 부착층(1112) 내에 캡슐화된다. 일 실시예에서, 부착층(1112)은 1,000 Å 정도의 두께의 테트라에틸 오소실리케이트(tetraethyl orthosilicate: TEOS) 산화물 층을 포함한다. 다른 실시예에서, 부착층(1112)의 두께는 예를 들어 100 Å 내지 2,000 Å으로 다양하다. 몇몇 실시예에서는 TEOS 산화물이 부착층(1112)에 이용되지만, 본 발명의 일 실시예에 의하면 나중에 디포짓된 층과 하부 층들 또는 물질들(예를 들어, 세라믹, 특히, 다결정성 세라믹) 간의 부착을 제공하는 다른 물질들이 이용될 수 있다. 예를 들어, SiO₂ 또는 다른 실리콘 산화물(Si_xO_y)은 세라믹 물질에 잘 부착되고, 예를 들어, 전도성 물질의 후속 디포지션을 위한 적절한 표면을 제공한다. 부착층(1112)은 몇몇 실시예에서 코어(1110)를 완전히 둘러 싸서 완전히 캡슐화된 코어(1110)를 형성하고, LPCVD 프로세스 또는 반도체 프로세싱 및 특히 다결정성 또는 복합(composite) 기판 및 층들과 양립할 수 있는 다른 적절한 디포지션 프로세스를 사용하여 형성될 수 있다. 부착층(1112)은 가공된 기판 구조체의 구성요소들을 형성하기 위해 이후의 층들이 부착되는 표면을 제공한다.
- [0049] 캡슐화 부착층을 형성하기 위한 LPCVD 프로세스, 스펀 온 글라스/유전체, 퍼니스(furnace) 기반 프로세스 등의 사용에 더하여, 본 발명의 실시예에 따라서는 CVD 프로세스 또는 유사한 디포지션 프로세스를 포함하는 다른 반도체 프로세스들이 이용될 수 있다. 일 예로서, 코어(1110)의 일부를 코팅하는 디포지션 프로세스가 이용될 수 있으며, 코어(1110)가 뒤집힐 수 있고, 디포지션 프로세스가 코어(1110)의 추가적인 부분을 코팅하기 위해 반복될 수 있다. 따라서, 몇몇 실시예에서는 완전히 캡슐화된 구조체를 제공하기 위해 LPCVD 기술이 이용되지만, 특정 애플리케이션에 따라서는 다른 막(film) 형성 기술이 이용될 수 있다.
- [0050] 도 11을 참조하면, 부착층(1112)을 둘러싸도록 전도층(1114)이 형성된다. 일 실시예에서, 전도층(1114)은 부착층(1112)을 둘러싸도록 형성된 폴리실리콘(즉, 다결정성 실리콘)의 쉘이고, 이는 폴리실리콘이 세라믹 물질에 대한 열등한 부착성을 나타낼 수 있기 때문이다. 전도층(1114)이 폴리실리콘인 실시예에서, 폴리실리콘 층의 두께는 500~5,000 Å 정도, 예를 들어 2500 Å일 수 있다. 몇몇 실시예에서, 폴리실리콘 층은 부착층(1112)(예를 들어, TEOS 산화물 층)을 완전히 둘러싸는 쉘로서 형성될 수 있고, 이에 의해 완전히 캡슐화된 부착층(1112)을 형성하고, LPCVD 프로세스를 사용하여 형성될 수 있다. 다른 실시예에서는, 후술하는 바와 같이, 전도성 물질이 부착층(1112)의 일부, 예를 들어, 기판 구조체의 하부 절반 상에 형성될 수 있다. 몇몇 실시예에서, 전도성 물질은 완전 캡슐화 층으로서 형성될 수 있고, 다음으로 기판 구조체의 한면에서 제거될 수 있다.
- [0051] 일 실시예에서, 전도층(1114)은, 예를 들어, 붕소(boron)로 도핑되어 p-형 폴리실리콘 층을 제공하는, 고 전도성인 물질을 제공하도록 도핑된 폴리실리콘 층일 수 있다. 몇몇 실시예에서, 붕소의 도핑은 높은 전도성을 제공하기 위해 $1 \times 10^{19} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 레벨이다. 상이한 도편트 농도의 다른 도편트(예를 들어, $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 범위의 도편트 농도에서 인, 비소(arsenic), 또는 비스무트(bismuth) 등)가 이용되어 전도층(1114)에 사용하기 적합한 n-형 또는 p-형 반도체 물질 중 하나를 제공할 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.
- [0052] 전도층(1114)의 존재는 가공된 기판을 반도체 처리 툴, 예를 들어, 정전 척(electrostatic chuck)(ESC 또는 e-척)을 갖는 툴에 정전 척하는 동안 유용하다. 전도층은 반도체 프로세싱 툴에서 처리 후 신속한 디체킹(dechucking)을 가능하게 한다. 본 발명의 실시예들에서, 전도층(1114)은 결합(bonding)을 포함하는 장래의 처리 동안 척과의 전기적 접촉 또는 e-척으로의 용량성 결합을 가능하게 한다. 따라서, 본 발명의 실시예들은 종래의 실리콘 웨이퍼와 함께 사용되는 방식으로 처리될 수 있는 기판 구조체를 제공한다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다. 또한, 정전 척과 조합하여 높은 열 전도성을 갖는 기판 구조체는 이후의 디바이스 제조 단계 뿐만 아니라 이후의 가공된 층들 및 에피택셜 층들의 형성을 위한 보다 양호한 디포지션 조건을 제공할 수 있다. 예를 들어, 이는 더 낮은 응력, 더 균일한 디포지션 두께, 및 후속 층 형성을 통한 더 양호한 화학양론적(stoichiometry) 제어를 초래할 수 있는 바람직한 열 프로파일을 제공할 수 있다.
- [0053] 제2 부착층(1116)(예를 들어, 두께가 1,000Å 정도인 TEOS 산화물 층)이 전도층(1114)을 둘러싸도록 형성된다.

몇몇 실시예에서, 제2 부착층(1116)은 전도층(1114)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성하고 LPCVD 프로세스, CVD 프로세스 또는 스핀-온 유전체의 디포지션을 포함하는 임의의 다른 적합한 디포지션 프로세스를 사용하여 형성될 수 있다.

[0054] 배리어 층(1118), 예를 들어, 실리콘 질화물 층이 제2 부착층(1116)을 둘러싸도록 형성된다. 일 실시예에서, 배리어 층(1118)은 두께가 2,000Å 내지 5,000Å 정도인 실리콘 질화물 층이다. 배리어 층(1118)은 몇몇 실시예에서 제2 부착층(1116)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성하고 LPCVD 프로세스를 사용하여 형성될 수 있다. 실리콘 질화물 층 이외에, SiCN, SiON, AlN, SiC 등을 포함하는 비정질 물질이 배리어 층(1118)으로서 사용될 수 있다. 몇몇 구현예에서, 배리어 층(1118)은 배리어 층(1118)을 형성하도록 구성된 다수의 서브(sub; 하위) 층들로 이루어진다. 따라서, 배리어 층이라는 용어는 단일 층 또는 단일 물질을 의미하려는 것이 아니라 복합 방식으로 층을 이루는 하나 또는 그 이상의 물질을 포함하는 것이다. 당업자는 많은 변형, 수정 및 대안을 인식할 것이다.

[0055] 몇몇 실시예에서, 배리어 층(1118), 예를 들어, 실리콘 질화물 층은, 예를 들어, 고온(예를 들어, 1,000 °C)에 에피택셜 성장 프로세스 중에 가공된 기판이 존재할 수 있는 반도체 프로세싱 챔버의 환경으로, 코어에 존재하는 요소들, 예를 들어, 이트륨(yttrium)(원소), 산화 이트륨(즉, 이트리아(yttria)), 산소, 금속 불순물, 다른 미량 성분 등이 확산 및/또는 배출되는 것을 방지한다. 본 명세서에 설명된 캡슐화 층을 이용하면, 비 청정실 환경을 위해 설계된 다결정성 AlN을 포함하는 세라믹 물질들이 반도체 프로세스 공정 및 청정실 환경에서 이용될 수 있다.

[0056] 전형적으로, 코어를 형성하기 위해 이용되는 세라믹 물질은 1,800 °C 정도의 온도에서 소성(firing)된다. 이 프로세스는 세라믹 물질에 존재하는 상당량의 불순물을 제거할 것으로 예상된다. 이러한 불순물은 소결제(sintering agent)로서 이트리아를 사용함으로써 생기는 이트륨, 칼슘 및 기타 원소와 화합물을 포함할 수 있다. 다음으로, 800 °C 내지 1,100 °C 범위의 훨씬 더 낮은 온도에서 실행되는 에피택셜 성장 프로세스 중에는, 이러한 불순물의 후속 확산이 미미할 것으로 예상될 것이다. 그러나, 통상적인 예상과는 달리, 본 발명의 발명자들은 세라믹 물질의 소성(firing) 온도보다 훨씬 낮은 온도에서의 에피택셜 성장 프로세스 동안에도 가공된 기판의 층들을 통한 요소들의 상당한 확산이 존재하다고 판단했다. 따라서, 본 발명의 실시예들은 이러한 바람직하지 않은 확산을 방지하기 위해 배리어 층(1118)을 가공된 기판 구조체에 통합시킨다.

[0057] 다시 도 11을 참조하면, 배리어 층(1118)의 일부분, 예를 들어 배리어 층(1118)의 상부 표면 상에 결합층(1120)(예를 들어, 실리콘 산화물 층)이 디포짓되고, 실질적으로 단결정인 층(1125)(예를 들어, 도 11에 도시된 박리된 실리콘(111) 층과 같은 단결정 실리콘 층)의 결합 중에 사용된다. 몇몇 실시예에서 결합층(1120)은 약 1.5μm의 두께일 수 있다. 몇몇 실시예에서, 결합층(1120)의 두께는 결합 유도된 보이드(bond-induced void) 완화를 위해 20nm 또는 그 이상이다. 몇몇 실시예에서, 결합층(1120)의 두께는 0.75-1.5 μm의 범위에 있다.

[0058] 실질적으로 단결정인 층(1125)(예를 들어, 박리된 Si(111))은 에피택셜 물질의 형성을 위한 에피택셜 성장 프로세스 동안 성장 층으로서 사용하기에 적합하다. 몇몇 실시예에서, 상기 에피택셜 물질은 2μm 내지 10μm 두께의 GaN 층을 포함할 수 있으며, 이는 광전자, RF 및 전력 디바이스에서 이용되는 복수의 층들 중 하나로서 이용될 수 있다. 일 실시예에서, 실질적으로 단결정인 층(1125)은 층 이송 프로세스를 사용하여 결합층(1120)에 부착되는 단결정 실리콘 층을 포함한다.

[0059] 가공된 기판 구조체에 관한 추가 설명은 2017년 6월 13일자로 출원된 미국 특허출원 제15/621,335호 및 2017년 6월 13일자로 출원된 미국 특허출원 제15/621,235호에 제공되며, 이들의 개시 내용은 그 전체가 모든 목적을 위해 참조에 의해 본 명세서에 편입된다.

[0060] 도 12는 본 발명의 일 실시예에 의한 가공된 기판(1200)을 도시하는 단순화된 개념적 단면도이다. 도 12에 도시된 가공된 기판(900)은 다양한 전자 및 광학 애플리케이션에 적합하다. 가공된 기판(1200)은, 가공된 기판(1200) 상에 성장될 에피택셜 물질의 열팽창 계수(CTE)와 실질적으로 매칭되는 CTE를 가질 수 있는 코어(1210)를 포함한다. 에피택셜 물질(1230)은 가공된 기판(1200)의 구성요소로서 반드시 요구되는 것은 아니지만 전형적으로 가공된 기판(1200) 상에 성장되기 때문에 선택적인 것으로 도시된다.

[0061] 질화 갈륨(GaN) 기반 물질(GaN 기반 층을 포함하는 에피택셜 층)의 성장을 포함하는 애플리케이션에 있어서, 코어(1210)는 다결정질 질화 알루미늄(AlN)과 같은 다결정성 세라믹 물질일 수 있고, 산화 이트륨과 같은 결합재를 포함할 수 있다. 다결정성 질화 갈륨(GaN), 다결정성 질화 알루미늄 갈륨(AlGaN), 다결정성 실리콘 카바이드(SiC), 다결정성 아연 산화물(ZnO), 다결정성 갈륨 트리옥사이드(Ga₂O₃) 등을 포함하는 다른 물질이 코어

(1210)에 사용될 수 있다.

[0062] 코어(1210)의 두께는 100 μm 내지 1,500 μm 정도, 예를 들어, 725 μm 일 수 있다. 코어(1210)는 웰 또는 캡슐화 웰로 불릴 수 있는 부착층(1212) 내에 캡슐화된다. 일 실시예에서, 부착층(912)은 1,000 Å 정도의 두께의 테트라에틸 오소실리케이트(tetraethyl orthosilicate: TEOS) 산화물 층을 포함한다. 다른 실시예에서, 부착층의 두께는 예를 들어 100 Å 내지 2,000 Å으로 다양하다. 몇몇 실시예에서는 TEOS 산화물이 부착층에 이용되지만, 본 발명의 일 실시예에 의하면 나중에 디포짓된 층들과 하부 층들 또는 물질들(예를 들어, 세라믹, 특히 다결정성 세라믹) 간의 부착을 제공하는 다른 물질들이 이용될 수 있다. 예를 들어, SiO_2 또는 다른 실리콘 산화물(Si_xO_y)은 세라믹 물질에 잘 부착되고, 예를 들어, 전도성 물질의 후속 디포지션을 위한 적절한 표면을 제공한다. 부착층(1212)은 몇몇 실시예에서 코어(1210)를 완전히 둘러싸서 완전히 캡슐화된 코어를 형성한다. 부착층(1212)은, 저압 화학 기상 증착(low pressure chemical-vapor deposition: LPCVD) 프로세스를 사용하여 형성될 수 있다. 부착층(1212)은 가공된 기판(900) 구조체의 요소들을 형성하기 위해 이후의 층들이 부착되는 표면을 제공한다.

[0063] 캡슐화된 제1 부착층(1212)을 형성하기 위한 LPCVD 프로세스, 퍼니스 기반 프로세스 등의 사용에 더하여, 본 발명의 실시예에 따라서는 CVD 프로세스 또는 유사한 디포지션 프로세스를 포함하는 다른 반도체 프로세스가 사용될 수 있다. 일 예로서, 코어의 일부를 코팅하는 디포지션 프로세스가 이용될 수 있고, 코어(1210)가 뒤집힐 수 있으며, 디포지션 프로세스가 코어의 추가적인 부분을 코팅하기 위해 반복될 수 있다. 따라서, 몇몇 실시예에서는 완전히 캡슐화된 구조를 제공하기 위해 LPCVD 기술이 이용되지만, 특정 애플리케이션에 따라서는 다른 막 형성 기술이 이용될 수 있다.

[0064] 전도층(1214)은 부착층(1212)을 둘러싸도록 형성된다. 일 실시예에서, 전도층(1214)은 제1 부착층(1212)을 둘러싸도록 형성된 폴리실리콘(즉, 다결정성 실리콘)의 웰이고, 이는 폴리실리콘이 세라믹 물질에 대한 열등한 부착성을 나타낼 수 있기 때문이다. 전도층(1214)이 폴리실리콘인 실시예에서, 폴리실리콘 층의 두께는 500-5,000Å 정도, 예를 들어 2500Å일 수 있다. 몇몇 실시예에서, 폴리실리콘 층은 제1 부착층(1212)(예를 들어, TEOS 산화물 층)을 완전히 둘러싸는 웰로서 형성될 수 있고, 이에 의해 완전히 캡슐화된 제1 부착층(1212)을 형성하고, LPCVD 프로세스를 사용하여 형성될 수 있다. 다른 실시예에서는, 후술하는 바와 같이, 전도성 물질이 부착층의 일부, 예를 들어, 기판 구조체의 하부 절반 상에 형성될 수 있다. 몇몇 실시예에서, 전도성 물질은 완전 캡슐화 층으로서 형성될 수 있고, 다음으로 기판 구조체의 한면에서 제거될 수 있다.

[0065] 일 실시예에서, 전도층(1214)은, 예를 들어, p-형 폴리실리콘 층을 제공하기 위해 붕소(boron)로 도핑된, 고 전도성이 물질을 제공하도록 도핑된 폴리실리콘 층일 수 있다. 몇몇 실시예에서, 붕소의 도핑은 높은 전도성을 제공하기 위해 $1 \times 10^{19} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 레벨이다. 상이한 도편트 농도의 다른 도편트(예를 들어, $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 범위의 도편트 농도에서 인, 비소, 또는 비스무트(bismuth) 등)가 이용되어 전도층(1214)에 사용하기 적합한 n-형 또는 p-형 반도체 물질 중 하나를 제공할 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0066] 전도층(1214)의 존재는 가공된 기판(1200)을 반도체 처리 틀, 예를 들어, 정전 척(electrostatic chuck)(ESC)을 갖는 틀에 정전 척하는 동안 유용하다. 전도층(1214)은 반도체 프로세싱 틀에서 처리 후 신속한 디체킹(dechucking)을 가능하게 한다. 따라서, 본 발명의 실시예들은 종래의 실리콘 웨이퍼와 함께 사용되는 방식으로 처리될 수 있는 기판 구조체를 제공한다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0067] 제2 부착층(1216)(예를 들어, 두께가 1,000Å 정도인 TEOS 산화물 층)이 전도층(1214)을 둘러싸도록 형성된다. 몇몇 실시예에서 제2 부착층(1216)은 전도층(1214)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성한다. 제2 부착층(1216)은 LPCVD 프로세스, CVD 프로세스, 또는 스핀-온 유전체의 디포지션을 포함하는 다른 임의의 적합한 디포지션 프로세스를 사용하여 형성될 수 있다.

[0068] 배리어 층(1218), 예를 들어, 실리콘 질화물 층이 제2 부착층(1216)을 둘러싸도록 형성된다. 일 실시예에서, 배리어 층(1218)은 두께가 4,000Å 내지 5,000Å 정도인 실리콘 질화물 층이다. 배리어 층(1218)은 몇몇 실시예에서 제2 부착층(1216)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성하고 LPCVD 프로세스를 사용하여 형성될 수 있다. 실리콘 질화물 층 이외에, SiCN , SiON , AlN , SiC 등을 포함하는 비정질 물질이 배리어 층으로서 이용될 수 있다. 몇몇 구현예에서, 배리어 층은, 이 배리어 층을 형성하도록 구축된 다수의 서브(sub; 하위) 층들로 이루어진다. 따라서, 배리어 층이라는 용어는 단일 층 또는 단일 물질을 의미하려는 것이 아니라, 복합 방식으로 층을 이루는 하나 또는 그 이상의 물질들을 포함하는 것이다. 당업자는 많은 변형, 수정 및 대안을

인식할 수 있을 것이다.

[0069] 몇몇 실시예에서, 배리어 층(1218), 예를 들어, 실리콘 질화물 층은, 예를 들어, 고온(예를 들어, 1,000 °C)에 에피택셜 성장 프로세스 중에 가공된 기판(1200)이 존재할 수 있는 반도체 프로세싱 챔버의 환경으로, 코어(1210)에 존재하는 요소들이 확산 및/또는 배출되는 것을 방지한다. 코어(1210)에 존재하는 요소들은, 예를 들어, 산화 이트륨(즉, 이트리아(yttria)), 산소, 금속 불순물, 다른 미량 성분 등을 포함할 수 있다. 코어(1210)로부터 확산된 요소들은 가공된 층들(1220/1222)에서 의도하지 않은 도평을 일으킬 수 있다. 코어(1210)로부터 배출된 요소들은 챔버를 통해 이동하여 웨이퍼 상의 다른 곳에서 흡착되어 가공된 층(1220/1222) 및 에피택셜 물질(1230)에 불순물을 야기할 수 있다. 본 명세서에 기술된 캡슐화 층을 이용하면, 비 청정실 환경을 위해 설계된 다결정성 AlN을 포함하는 세라믹 물질들이 반도체 프로세스 공정 및 청정실 환경에서 이용될 수 있다.

[0070] 결합층(1220)(예를 들어, 실리콘 산화물 층)은 배리어 층(1218)의 일부, 예를 들어, 배리어 층의 상부 표면 상에 디포짓되고, 후에 단결정 층(1222)의 결합 중에 사용된다. 결합층(1220)은 몇몇 실시예에서는 두께가 약 1.5μm일 수 있다. 단결정 층(1222)은 예를 들어 Si, SiC, 사파이어, GaN, AlN, SiGe, Ge, 다이아몬드, Ga₂O₃, AlGaN, InGaN, InN, 및/또는 ZnO를 포함할 수 있다. 몇몇 실시예에서, 단결정 층(1222)은 0 내지 0.5μm의 두께를 가질 수 있다. 단결정 층(1222)은 에피택셜 물질(1230)의 형성을 위한 에피택셜 성장 프로세스 동안 성장 층으로서 사용하기에 적합하다. 에피택셜 물질(1230)의 결정성 층은 단결정 층(1222)과 연관된 하부 반도체 격자의 연장이다. 가공된 기판(1200)의 특유한 CTE 매칭 특성은 기준의 기술보다 더 두꺼운 에피택셜 물질(1230)의 성장을 가능하게 한다. 몇몇 실시예에서, 에피택셜 물질(1230)은 두께가 2μm 내지 10μm인 질화 갈륨 층을 포함하는데, 이는 광전자 디바이스, 전력 디바이스 등에 이용되는 복수의 층들 중 하나로서 이용될 수 있다. 다른 실시예에서, 에피택셜 물질(1130)은 두께가 10μm보다 크고, 복수의 에피택셜 층을 포함하는 에피택셜 구조일 수 있다. 일 실시예에서, 결합층(1220)은 층 이송 프로세스를 사용하여 실리콘 산화물 배리어 층(1218)에 부착되는 단결정 실리콘 층을 포함한다.

[0071] 도 13은 본 발명의 일 실시예에 의한 가공된 기판 구조를 도시하는 단순화된 개념도이다. 도 13에 도시된 가공된 기판(1300)은 다양한 전자 및 광학 애플리케이션에 적합하다. 가공된 기판은 가공된 기판(1300) 상에 성장될 에피택셜 물질(1230)의 열팽창 계수(CTE)와 실질적으로 매칭되는 CTE를 가질 수 있는 코어(1310)를 포함한다. 에피택셜 물질(1230)은 가공된 기판 구조의 구성요소로서 반드시 요구되는 것은 아니지만, 전형적으로 가공된 기판 구조 상에 성장될 것이기 때문에 선택적인 것으로 도시된다.

[0072] 질화 갈륨(GaN) 기반 물질(GaN 기반 층을 포함하는 에피택셜 층)의 성장을 포함하는 애플리케이션에 있어서, 코어(1310)는 다결정성 세라믹 물질, 예를 들어, 다결정성 질화 알루미늄(AlN)일 수 있다. 코어(1310)의 두께는 대략 100 내지 1,500μm 정도, 예를 들어, 725μm일 수 있다. 코어(1310)는 쉘 또는 캡슐화 쉘로 불릴 수 있는 제1 부착층(1312) 내에 캡슐화된다. 이러한 구현예에서, 제1 부착층(1312)은 코어를 완전히 캡슐화하지만, 도 14와 관련하여 추가로 상세히 논의되는 바와 같이, 이는 본 발명에 의해 반드시 요구되는 것은 아니다.

[0073] 일 실시예에서, 제1 부착층(1312)은 두께가 1,000Å 정도인 테트라에틸 오소실리케이트(TEOS) 층을 포함한다. 다른 실시예에서, 제1 부착층(1312)의 두께는 예를 들어 100Å 내지 2,000Å으로 다양하다. 몇몇 실시예에서는 TEOS가 부착층에 이용되지만, 본 발명의 실시예에 따라서는 나중에 디포짓된 층들과 하부의 층들 또는 물질들 사이의 부착을 제공하는 다른 물질들이 이용될 수 있다. 예를 들어, SiO₂, SiON 등은 세라믹 물질에 잘 부착되고, 예를 들어, 전도성 물질의 후속 디포지션을 위한 적절한 표면을 제공한다. 제1 부착층(1312)은 몇몇 실시예에서 코어(1310)를 완전히 둘러싸서 완전히 캡슐화된 코어를 형성하고 LPCVD 프로세스를 사용하여 형성될 수 있다. 부착층(1312)은 가공된 기판 구조의 구성요소를 형성하기 위해 이후의 층들이 부착되는 표면을 제공한다.

[0074] 캡슐화 부착층(1312)을 형성하기 위한 LPCVD 프로세스, 퍼니스-기반 프로세스 등의 사용에 더하여, 본 발명의 실시예에 따라서는 다른 반도체 프로세스가 이용될 수 있다. 예를 들어, 코어(1310)의 일부분을 코팅하는 디포지션 프로세스, 예를 들어 CVD, PECVD 등이 이용될 수 있고, 코어(1310)가 뒤집힐 수 있으며, 디포지션 프로세스가 반복되어 코어의 추가적인 부분을 코팅할 수 있다.

[0075] 전도층(1314)은 제1 부착층(1312)의 적어도 일부분 상에 형성된다. 일 실시예에서, 전도층(1314)은 코어/부착층 구조의 하부(예를 들어, 하부 절반 또는 후면)에 디포지션 프로세스에 의해 형성되는 폴리실리콘(즉, 다결정성 실리콘)을 포함한다. 전도층(1314)이 폴리실리콘인 실시예에서, 폴리실리콘 층의 두께는 수천 옹스트롬, 예컨대, 3,000Å 정도일 수 있다. 몇몇 실시예에서, 폴리실리콘 층은 LPCVD 프로세스를 사용하여 형성될 수

있다.

[0076] 일 실시예에서, 전도층(1314)은 전도성이 높은 물질을 제공하도록 도핑된 폴리실리콘 층일 수 있으며, 예를 들어, 전도층(1314)은 붕소로 도핑되어 p-형 폴리실리콘 층을 제공할 수 있다. 몇몇 실시예에서, 붕소에 의한 도핑은 높은 전도성을 제공하기 위해 약 $1 \times 10^{19} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 범위의 레벨이다. 전도층(1314)의 존재는 가공된 기판을 반도체 처리 툴, 예를 들어, 정전 척(ESC)을 갖는 툴에 정전 척하는 동안 유용하다. 전도층(1314)은 처리 후에 신속한 디척킹을 가능하게 한다. 따라서, 본 발명의 실시예들은 종래의 실리콘 웨이퍼와 사용되는 방식으로 처리될 수 있는 기판 구조를 제공한다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0077] 제2 부착층(1316)(예를 들어, 제2 TEOS 층)은 전도층(1314)(예를 들어, 폴리실리콘 층)을 둘러싸도록 형성된다. 제2 부착층(1316)의 두께는 약 1,000Å이다. 몇몇 실시예에서, 제2 부착층(1316)은 전도층(1314) 및 제1 부착층(1312)을 완전히 둘러싸서 완전히 캡슐화된 구조를 형성할 수 있고, LPCVD 프로세스를 사용하여 형성될 수 있다. 다른 실시예에서, 제2 부착층(1316)은 전도층(1314)을 부분적으로 둘러싸고, 예를 들어, 전도층(1314)의 상부 표면과 정렬될 수 있는 평면(1317)에 의해 표시된 위치에서 중단된다. 이 예에서, 전도층(1314)의 상부 표면은 배리어 층(1318)의 일부와 접촉할 것이다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0078] 배리어 층(1318)(예를 들어, 실리콘 질화물 층)은 제2 부착층(1316)을 둘러싸도록 형성된다. 배리어 층(1318)은 몇몇 실시예에서 두께가 4,000Å 내지 5,000Å 정도이다. 몇몇 실시예에서, 배리어 층(1318)은 완전히 캡슐화된 구조를 형성하기 위해 제2 부착층(1316)을 완전히 둘러싸고 LPCVD 프로세스를 사용하여 형성될 수 있다.

[0079] 몇몇 실시예에서, 실리콘 질화물 배리어 층의 사용은, 예를 들어, 고온(예를 들어, 1,000°C) 에피택셜 성장 프로세스 중에 가공된 기판이 존재할 수 있는 반도체 프로세싱 챔버의 환경으로, 코어(1310)에 존재하는 요소들, 예를 들어, 산화 이트륨(즉, 이트리아(yttria)), 산소, 금속 불순물, 다른 미량 성분 등이 확산 및/또는 배출되는 것을 방지한다. 본 명세서에 기술된 캡슐화 층을 이용하면, 비 청정실 환경을 위해 설계된 다결정성 AlN을 포함하는 세라믹 물질들이 반도체 프로세스 공정 및 청정실 환경에서 이용될 수 있다.

[0080] 도 14는 본 발명의 또 다른 실시예에 의한 가공된 기판 구조를 도시한 단순화된 개념도이다. 도 14에 도시된 실시예에서, 제1 부착층(1412)은 코어(1410)의 적어도 일부분 상에 형성되지만 코어(1410)를 캡슐화하지 않는다. 이 구현예에서는, 후술되는 바와 같이 후속하여 형성되는 전도층(1414)의 부착력을 향상시키기 위해서 제1 부착층(1412)이 코어(1410)의 하부 표면(코어(1410)의 후면) 상에 형성된다. 부착층(1412)은 도 14에서 코어(1410)의 하부 표면 상에만 도시되어 있지만, 코어(1410)의 다른 부분 상에 부착층 물질을 디포지션하는 것은 가공된 기판 구조의 성능에 악영향을 미치지 않을 것이고, 이러한 물질은 다양한 실시예에 존재할 수 있음을 이해할 것이다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0081] 전도층(1414)은 제1 부착층(1412) 및 코어(1410)를 캡슐화하지 않지만 제1 부착층(1412)과 실질적으로 정렬된다. 전도층(1414)이 바닥 또는 후면을 따라 그리고 제1 부착층(1412)의 측면의 일부분까지 연장되는 것으로 도시되어 있지만, 수직측을 따른 연장은 본 발명에 의해 반드시 요구되는 것은 아니다. 따라서, 실시예들은 기판 구조체의 일 측면 상에 디포지션 또는 기판 구조체의 한 측면의 마스킹 등을 이용할 수 있다. 전도층(1414)은 일 측면의 일부분, 예를 들어, 제1 부착층(1412)의 바닥/후면 상에 형성될 수 있다. 전도층(1414)은 RF 및 고전력 애플리케이션에서 유리할 수 있는 가공된 기판 구조의 한 면에서 전기 전도를 제공한다. 전도층(1414)은 도 13의 전도층(1314)과 관련하여 논의된 바와 같이 도핑된 폴리실리콘을 포함할 수 있다.

[0082] 배리어 층(1418)의 하부 물질에 대한 부착성을 향상시키기 위해, 코어(1410)의 일부, 제1 부착층(1412)의 일부 및 전도층(1414)은 제 2 접착층(1416)으로 덮힌다. 배리어 층(1418)은 상술한 바와 같이 하부층들로부터의 확산을 방지하기 위해 캡슐화 구조를 형성한다.

[0083] 반도체 기반 전도성 층들에 더하여, 다른 실시예에서는, 전도성 층(1414)이 금속층, 예를 들어, 500Å의 티타늄 등이다.

[0084] 다시 도 14를 참조하면, 구현예에 따라서는, 하나 또는 그 이상의 층이 제거될 수 있다. 예를 들어, 층들(1412 및 1414)이 제거되어, 단 하나의 부착 층(1416) 및 배리어 층(1418)을 남길 수 있다. 또 다른 실시예에서는, 층(1414)만이 제거될 수 있다. 이 실시예에서, 층(1412)은 또한 층(1418)의 상부에 디포지션된 층(1220)에 의해 유도된 응력과 웨이퍼 보우(bow)의 균형을 맞출 수 있다. 코어(1410)의 상부 상에 절연 층을 갖는(예를 들어, 코어(1410)와 층(1220) 사이에 절연층만 포함하는) 기판 구조체의 구성은 절연성이 높은 기판이 바람직한 전력

/RF 애플리케이션에 이점을 제공할 것이다.

[0085] 또 다른 실시예에서는, 배리어 층(1418)이 코어(1410)를 직접 캡슐화하고, 전도층(1414) 및 후속하는 부착층(1416)이 수반될 수 있다. 이 실시예에서, 층(1220)은 상부 층으로부터 부착층(1416) 상에 직접 디포짓될 수 있다. 또 다른 실시예에서는, 부착층(1416)이 코어(1410) 상에 디포짓될 수 있고, 이어서 배리어 층(1418), 전도층(1414), 및 다른 부착층(1412)이 차례로 수반될 수 있다.

[0086] 도 15는 본 발명의 일 실시예에 의한 가공된 기판을 제조하는 방법(1500)을 도시한 단순화된 흐름도이다. 방법(1500)은 기판 상에 성장 된 하나 이상의 에피택셜 층에 CTE가 매칭되는 기판을 제조하는데 이용될 수 있다. 방법(1500)은 다결정성 세라믹 코어를 제공하는 단계(1510), 다결정성 세라믹 코어를 웰(예를 들어, 테트라에틸오소실리케이트(TEOS) 산화물 웰)을 형성하는 제1 부착층 내에 캡슐화하는 단계(1512), 및 제1 부착층을 전도성 웰(예를 들어, 폴리실리콘 웰) 내에 캡슐화하는 단계(1514)에 의해 지지 기판을 형성하는 단계를 포함한다. 제1 부착층은 TEOS 산화물의 단일 층으로서 형성될 수 있다. 전도성 웰은 폴리실리콘의 단일 층으로서 형성될 수 있다.

[0087] 방법(1500)은 또한 전도성 웰을 제2 부착층(예를 들어, 제2 TEOS 산화물 웰) 내에 캡슐화하는 단계(1516) 및 제2 부착층을 배리어 층 웰 내에 캡슐화하는 단계(1518)를 포함한다. 제2 부착층은 TEOS 산화물의 단일 층으로서 형성될 수 있다. 배리어 층 웰은 실리콘 질화물의 단일 층으로서 형성될 수 있다.

[0088] 지지 구조가 프로세스 1510-1518에 의해 형성되면, 방법(1500)은 결합층(예를 들어, 실리콘 산화물 층)을 지지 구조에 연결시키는 단계(1520) 및 실질적으로 단결정인 층, 예를 들어, 단결정 실리콘 층을 실리콘 산화물 층에 연결시키는 단계(1522)를 더 포함한다. 본 발명의 실시예에 따라서는 SiC, 사파이어, GaN, AlN, SiGe, Ge, 다이아몬드, Ga_2O_3 , ZnO 등을 포함하는 실질적으로 단결정인 다른 층이 사용될 수 있다. 결합층의 연결은 본원에 기술된 바와 같은 평탄화(planarization) 프로세스를 수반하는 결합 물질의 디포지션을 포함할 수 있다. 후술되는 실시예에서, 실질적으로 단결정인 층(예를 들어, 단결정 실리콘 층)을 결합층에 연결시키는 단계는 상기 층이 실리콘 웨이퍼로부터 이송되는 단결정 실리콘 층인 층 이송 프로세스를 이용한다.

[0089] 도 12를 참조하면, 결합층(1220)은 두꺼운(예를 들어, $4\mu\text{m}$ 두께) 산화물 층을 디포짓하고 두께가 약 $1.5 \mu\text{m}$ 가 되도록 상기 산화물을 얇게 하기 위해 화학 기계적 폴리싱(CMP) 프로세스를 수행함으로써 형성될 수 있다. 두꺼운 초기 산화물은 다결정성 코어의 제조 후에 존재할 수 있고 도 12에 도시된 캡슐화 층들이 형성될 때 계속 존재할 수 있는 상기 지지 구조 상에 존재하는 보이드(void) 및 표면 형상을 채우는 역할을 한다. 산화물 층은 또한 디바이스를 위한 유전체 층의 역할을 한다. CMP 프로세스는 보이드, 입자 또는 다른 형상이 없는 실질적으로 평탄한 표면을 제공하며, 이러한 표면은 웨이퍼 이송 프로세스 중에 단결정 층(1222)(예를 들어, 단결정 실리콘 층)을 결합층(920)에 결합하는데 사용될 수 있다. 결합층은 원자 수준으로 평평한 표면을 특징으로 할 필요는 없지만 원하는 신뢰도를 갖는 단결정 층(예를 들어, 단결정 실리콘 층)의 결합을 지지할 실질적으로 평탄한 표면을 제공해야 한다.

[0090] 층 이송 프로세스는 단결정 층(1222)(예를 들어, 단결정 실리콘 층)을 결합층(1220)에 연결시키는데 사용된다. 몇몇 실시예에서, 실질적으로 단결정인 층(1222)(예를 들어, 단결정 실리콘 층)을 포함하는 실리콘 웨이퍼가 주입되어 벽개면(cleavage plane)을 형성한다. 이 실시예에서, 웨이퍼 결합 후에, 실리콘 기판은 단결정 실리콘 층의 벽개면 아래의 부분과 함께 제거될 수 있고, 그 결과 박리된 단결정 실리콘 층이 생긴다. 단결정 층(1222)의 두께는 다양한 애플리케이션의 사양을 만족시키도록 변경될 수 있다. 또한, 단결정 층(1222)의 결정 배향(crystal orientation)은 애플리케이션의 사양을 만족시키도록 변경될 수 있다. 또한, 단결정 층의 도핑 레벨 및 프로파일은 특정 애플리케이션의 사양을 충족시키도록 변경될 수 있다. 몇몇 실시예에서, 주입의 깊이는 단결정 층(1222)의 원하는 최종 두께보다 더 크도록 조정될 수 있다. 추가적인 두께는 이송된 실질적으로 단결정인 층의 손상된 얇은 일부분을 제거할 수 있도록 함으로써, 원하는 최종 두께의 손상되지 않은 부분을 남긴다. 몇몇 실시예에서, 표면 거칠기는 고품질 에피택셜 성장을 위해 변경될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0091] 몇몇 실시예에서, 단결정 층(1222)은 하나 이상의 에피택셜 층의 후속 성장을 위한 고품질 격자 템플릿을 제공하기에 충분할 정도로 두껍지만 충분히 유연할 만큼 얇을 수 있다. 단결정 층(1222)이 상대적으로 얇아서 그 물리적 특성이 덜 제한되고 결정의 결함을 생성하는 성향이 덜한 주변 물질의 물리적 특성을 모방할 수 있을 때, 단결정 층(1222)이 "유연(compliant)"하다고 말할 수 있다. 단결정 층(1222)의 유연성은 단결정 층(1222)의 두께와 반비례일 수 있다. 높은 유연성은 템플릿 상에 성장된 에피택셜 층의 결함 밀도를 낮추고 보다 두꺼운 에피택셜 층 성장을 가능하게 한다. 몇몇 실시예에서, 단결정 층(1222)의 두께는 박리된 실리콘 층 상의

실리콘의 에피택셜 성장에 의해 증가될 수 있다.

[0092] 몇몇 실시예에서, 단결정 층(1222)의 최종 두께를 조정하는 것은 박리된 실리콘 층의 상부의 열 산화와 및 그에 이은 플루오르화 수소산(hydrogen fluoride (HF) acid)에 의한 산화물 층 스트립(strip)을 통해 이루어질 수 있다. 예를 들어, $0.5 \mu\text{m}$ 의 초기 두께를 갖는 박리된 실리콘 층은 열 산화되어 약 420 nm 두께의 실리콘 다이옥사이드 층을 생성할 수 있다. 성장된 열 산화물을 제거한 후에, 이송된 층의 잔류 실리콘 두께는 약 53 nm 일 수 있다. 열 산화 동안, 주입된 수소는 표면을 향해 이동할 수 있다. 따라서, 후속하는 산화물 층 스트립은 약간의 손상을 제거할 수 있다. 또한, 열 산화는 전형적으로 1000°C 이상의 온도에서 수행된다. 상승된 온도는 또한 격자 손상을 복구할 수도 있다.

[0093] 열 산화 동안 단결정 층의 상부에 형성된 실리콘 산화물 층은 HF 산 에칭을 사용하여 제거될 수 있다. HF 산에 의한 실리콘 산화물과 실리콘 사이($\text{SiO}_2:\text{Si}$)의 에칭 선택도(etching selectivity)는 HF 용액의 온도 및 농도, 및 실리콘 산화물의 화학량론(stoichiometry) 및 밀도를 조정함으로써 조정될 수 있다. 에칭 선택도는 하나의 물질의 다른 물질에 대한 에칭률(etch rate, "식각률"이라고도 함)을 가리킨다. HF 용액의 선택도는 ($\text{SiO}_2:\text{Si}$)에 대해 약 10:1 내지 약 100:1의 범위일 수 있다. 높은 에칭 선택도는 초기 표면 거칠기로부터 유사한 비율로 표면 거칠기를 감소시킬 수 있다. 그러나, 결과적인 단결정 층(1222)의 표면 거칠기는 원하는 것보다 여전히 클 수 있다. 예를 들어, 벌크 Si (111) 표면은 추가적인 프로세싱 전에 $2\mu\text{m} \times 2\mu\text{m}$ 원자력 현미경 atomic force microscope: AFM) 스캔으로 측정했을 때 RMS(Root-mean-square) 표면 거칠기가 0.1 nm 미만일 수 있다. 몇몇 실시예에서, Si (111) 상의 질화 갈륨 물질의 에피택셜 성장을 위한 원하는 표면 조도는 $30\mu\text{m} \times 30\mu\text{m}$ AFM 스캔 영역에서, 예를 들어, 1 nm 미만, 0.5 nm 미만, 또는 0.2 nm 미만일 수 있다.

[0094] 열 산화 및 산화물 층 스트립 이후의 단결정 층(1222)의 표면 거칠기가 원하는 표면 거칠기를 초과하면, 추가적인 표면 평활화(smoothing)가 수행될 수 있다. 실리콘 표면을 평활화하는 몇 가지 방법이 있다. 이를 방법들은 수소 어닐링, 레이저 트리밍, 플라즈마 평활화, 및 터치 폴리싱(예를 들어, CMP)을 포함할 수 있다. 이를 방법들은 높은 종횡비의 표면 피크의 우선적인 공격을 포함할 수 있다. 이렇게 해서, 표면 상의 높은 종횡비의 형상이 낮은 종횡비의 형상보다 더 빨리 제거될 수 있으므로, 표면이 더 매끄러워지게 된다.

[0095] 도 15에 도시된 특정 단계들은, 본 발명의 일 실시예에 의한 가공된 기판을 제조하는 특정 방법을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 또한 수행될 수 있다. 예를 들어, 본 발명의 대안적인 실시예들은 위에서 약술된 단계들을 다른 순서로 수행할 수 있다. 또한, 도 15에 도시된 개별 단계들은 그 개별 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 하위 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 따라서는 다른 단계가 추가되거나 일부 단계가 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0096] 도 16은 본 발명의 몇몇 실시예에 의한 가공된 기판 상에 다층 디바이스를 제조하기 위한 방법(1600)을 도시한 단순화된 흐름도이다. 가공된 기판은 기판 열팽창 계수를 갖는다. 도 1 및 도 2를 참조하면, 가공된 기판(102)은 그 위에 형성된 얇은 실리콘(Si) 층(120) 또는 얇은 실리콘 게르마늄(SiGe) 층(220)을 갖는 세라믹 기판(110)을 포함할 수 있다.

[0097] 도 1, 도 2 및 도 16을 참조하면, 방법(1600)은 가공된 기판(102) 상에 베퍼층(130)을 성장시키는 단계(1602) 및 베퍼층(130)에 연결되는 제1 에피택셜 층(142)을 성장시키는 단계(1604)를 포함한다. 제1 에피택셜 층(142)은 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 할 수 있다. 몇몇 실시예에서, 제1 에피택셜 층(142)은 도핑된 질화 갈륨(GaN)을 포함할 수 있다. 도 6을 참조하면, 다른 몇몇 실시예들에서, 제1 에피택셜 층(142)은 질화 알루미늄 갈륨(AlGaN)을 포함할 수 있다.

[0098] 상기 방법(1600)은 제1 에피택셜 층(142)에 연결되는 도핑되지 않은 GaN을 포함하는 제2 에피택셜 층(144)을 성장시키는 단계 및 제2 에피택셜 층(144)에 연결되는 제3 에피택셜 층(160)을 성장시키는 단계를 더 포함할 수 있다. 제2 에피택셜 층(144)과 제3 에피택셜 층(160) 사이의 계면은 고 전자 이동도 트랜지스터(HEMT)의 전도 채널(150)을 형성할 수 있다. 몇몇 실시예에서, 제3 에피택셜 층(160)은 질화 알루미늄 갈륨(AlGaN) 또는 질화 인듐 알루미늄(InAlN)을 포함할 수 있다.

[0099] 도 3을 참조하면, 몇몇 실시예에서, 방법(1600)은 가공된 기판(102)을 통해 실질적으로 단결정성인 층(120)에 전기적으로 연결되는 전기 콘택트(310)를 형성하는 단계를 더 포함할 수 있다. 도 4를 참조하면, 다른 몇몇 실시예에서, 방법(1600)은 베퍼층(130)과 제1 에피택셜 층(142) 사이에 배치된 전도성 에피택셜 층(420)을 성장시키는 단계와, 제1 에피택셜 층(142)을 통해 전도성 에피택셜 층(420)에 전기적으로 연결되는 전기적 콘택트

(410)를 형성하는 단계를 더 포함할 수 있다. 도 5를 참조하면, 몇몇 실시예들에서, 방법(1600)은 베퍼층(130)과 전도성 에피택셜 층(420) 사이에 배치된 실리콘 질화물(Si_3N_4)(510)의 부분적 단층을 형성하는 단계를 더 포함할 수 있다.

[0100] 도 16에 도시된 특정 단계들은, 본 발명의 일 실시예에 의한 가공된 기판을 제조하는 특정 방법을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 또한 수행될 수 있다. 예를 들어, 본 발명의 대안적인 실시예들은 위에서 약술된 단계들을 다른 순서로 수행할 수 있다. 또한, 도 16에 도시된 개별 단계들은 그 개별 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 하위 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 따라서는 다른 단계가 추가되거나 일부 단계가 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0101] 도 17은 본 발명의 몇몇 다른 실시예에 의한 가공된 기판 상에 다층 디바이스를 제조하는 방법(1700)을 도시한 단순화된 흐름도이다. 가공된 기판은 기판 열팽창 계수를 갖는다. 도 7을 참조하면, 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다.

[0102] 도 7 및 도 17을 참조하면, 방법(1700)은 가공된 기판(102) 상에 베퍼층(130)을 형성하는 단계(1702) 및 베퍼층(130) 상에 하나 이상의 에피택셜 층(740)을 성장시키는 단계(1704)를 포함할 수 있다. 하나 이상의 에피택셜 층들(740) 중 적어도 하나는 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 한다. 몇몇 실시예에서, 하나 이상의 에피택셜 층(740)은 도핑되지 않은 번갈아 존재하는 GaN과 도핑된 GaN의 층들을의 초격자를 포함할 수 있다. 도핑된 GaN은 탄소가 도핑된 GaN(C-GaN) 또는 철이 도핑된 GaN(Fe-GaN)을 포함할 수 있다. 상기 베퍼층(130)은 AlN, AlGaN 또는 AlN/AlGaN 중 적어도 하나를 포함할 수 있다.

[0103] 방법(1700)은 하나 이상의 에피택셜 층(740)에 연결되는 도핑되지 않은 GaN 층(144)을 성장시키는 단계와, 도핑되지 않은 GaN 층(144)에 연결되는 질화 알루미늄 갈륨(AlGaN) 또는 질화 인듐 알루미늄(InAlN)을 포함하는 제1 에피택셜 층(160)을 성장시키는 단계를 더 포함할 수 있다. 도핑되지 않은 GaN 층(144)과 제1 에피택셜 층(160) 사이의 계면은 고 전자 이동도 트랜지스터(HEMT)의 전도 채널(150)을 형성할 수 있다.

[0104] 도 17에 도시된 특정 단계들은, 본 발명의 일 실시예에 의한 가공된 기판을 제조하는 특정 방법을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 또한 수행될 수 있다. 예를 들어, 본 발명의 대안적인 실시예들은 위에서 약술된 단계들을 다른 순서로 수행할 수 있다. 또한, 도 17에 도시된 개별 단계들은 그 개별 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 하위 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 따라서는 다른 단계가 추가되거나 일부 단계가 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

[0105] 도 18은 본 발명의 다른 몇몇 실시예에 의한 가공된 기판 상에 다층 장치를 제조하기 위한 방법(1800)을 도시한 단순화된 흐름도이다. 가공된 기판은 기판 열팽창 계수를 갖는다. 도 8에 도시된 바와 같이, 가공된 기판(102)은 그 위에 얇은 실리콘(Si) 층(120)이 형성된 세라믹 기판(110)을 포함할 수 있다.

[0106] 도 8 및 도 18을 참조하면, 방법(1800)은 가공된 기판(102) 상에 베퍼층(130)을 형성하는 단계(1802), 및 베퍼층(130)에 연결되는 제1 에피택셜 층(840)을 성장시키는 단계(1804)를 포함할 수 있다. 제1 에피택셜 층(840)은 기판 열팽창 계수와 실질적으로 동일한 에피택셜 열팽창 계수를 특징으로 할 수 있다. 몇몇 실시예에서, 제1 에피택셜 층(840)은 비의도적으로 도핑된 GaN(uGaN)을 포함할 수 있다. 다른 몇몇 실시예에서, 제1 에피택셜 층(840)은 번갈아 존재하는 도핑되지 않은 GaN과 도핑된 GaN의 층들을 포함할 수 있다. 몇몇 실시예에서, 도핑된 GaN은 탄소가 도핑된 GaN(C-GaN) 또는 철이 도핑된 GaN(Fe-GaN)을 포함할 수 있다.

[0107] 상기 방법(1800)은 제1 에피택셜 층(840)에 연결되는 질화 알루미늄 갈륨(AlGaN) 백 배리어 층(810)을 성장시키는 단계(1806), AlGaN 백 배리어 층(810)에 연결되는 도핑되지 않은 질화 갈륨(GaN) 층(144)을 성장시키는 단계(1808), 및 도핑되지 않은 GaN 층(144)에 연결되는 배리어 층(160)을 성장시키는 단계(1810)를 더 포함할 수 있다. 몇몇 실시예에서, AlGaN 백 배리어 층(810)은 약 3% 내지 약 15% 범위의 알루미늄 몰 분율을 갖는다. 배리어 층(160)은 몇몇 실시예에 의하면 AlGaN 또는 InGaN을 포함할 수 있다.

[0108] 도 18에 도시된 특정 단계들은, 본 발명의 일 실시예에 의한 가공된 기판을 제조하는 특정 방법을 제공한다. 대안적인 실시예에 의하면 다른 시퀀스의 단계들이 또한 수행될 수 있다. 예를 들어, 본 발명의 대안적인 실시예들은 위에서 약술된 단계들을 다른 순서로 수행할 수 있다. 또한, 도 18에 도시된 개별 단계들은 그 개별 단계에 적절하게 다양한 시퀀스로 수행될 수 있는 다수의 하위 단계들을 포함할 수 있다. 또한 특정 애플리케이션에 따라서는 다른 단계가 추가되거나 일부 단계가 제거될 수 있다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

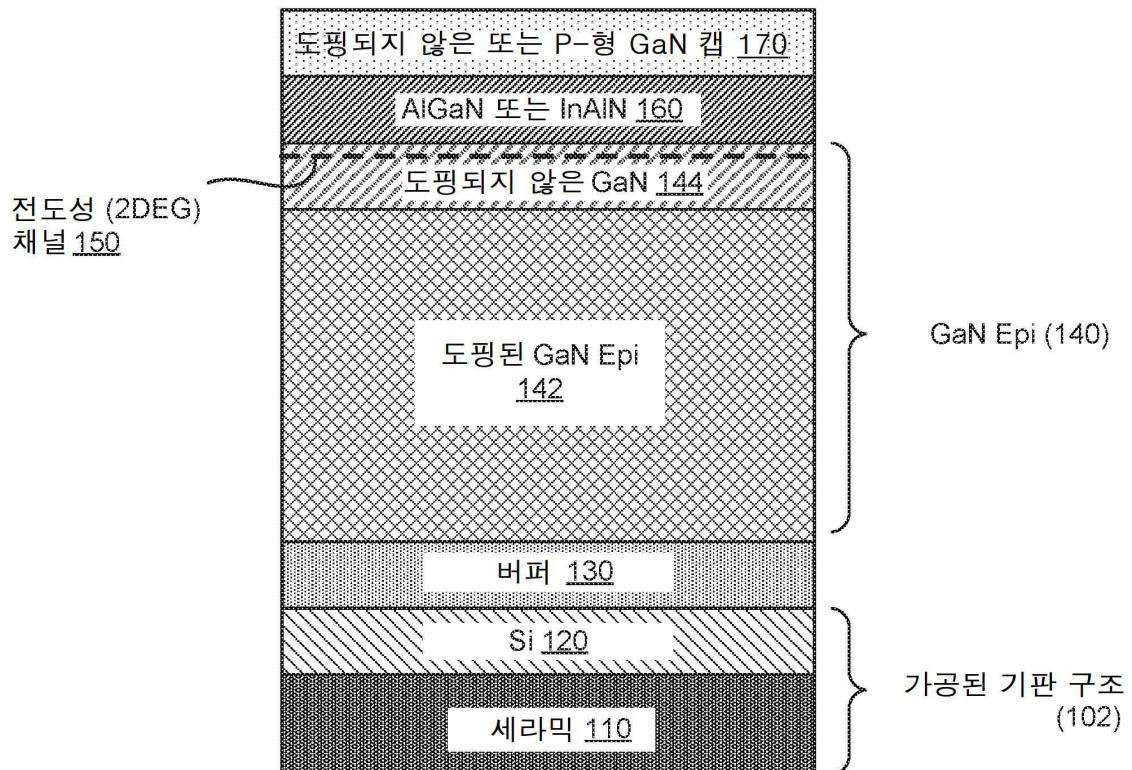
식할 수 있을 것이다.

[0109] 몇몇 실시예가 층의 관점에서 논의되었지만, "층(layer)"이라는 용어는 관심있는 층을 형성하도록 구성된 다수의 서브 층들을 상기 층이 포함할 수 있는 것으로 이해되어야 한다. 따라서, 층이라는 용어는 단일 물질로 구성된 단일 층을 지칭하려고 하는 것이 아니고 원하는 구조를 형성하기 위해 복합적으로 적층된 하나 또는 그 이상의 물질을 포함하는 것이다. 당업자는 많은 변형, 수정 및 대안을 인식할 수 있을 것이다.

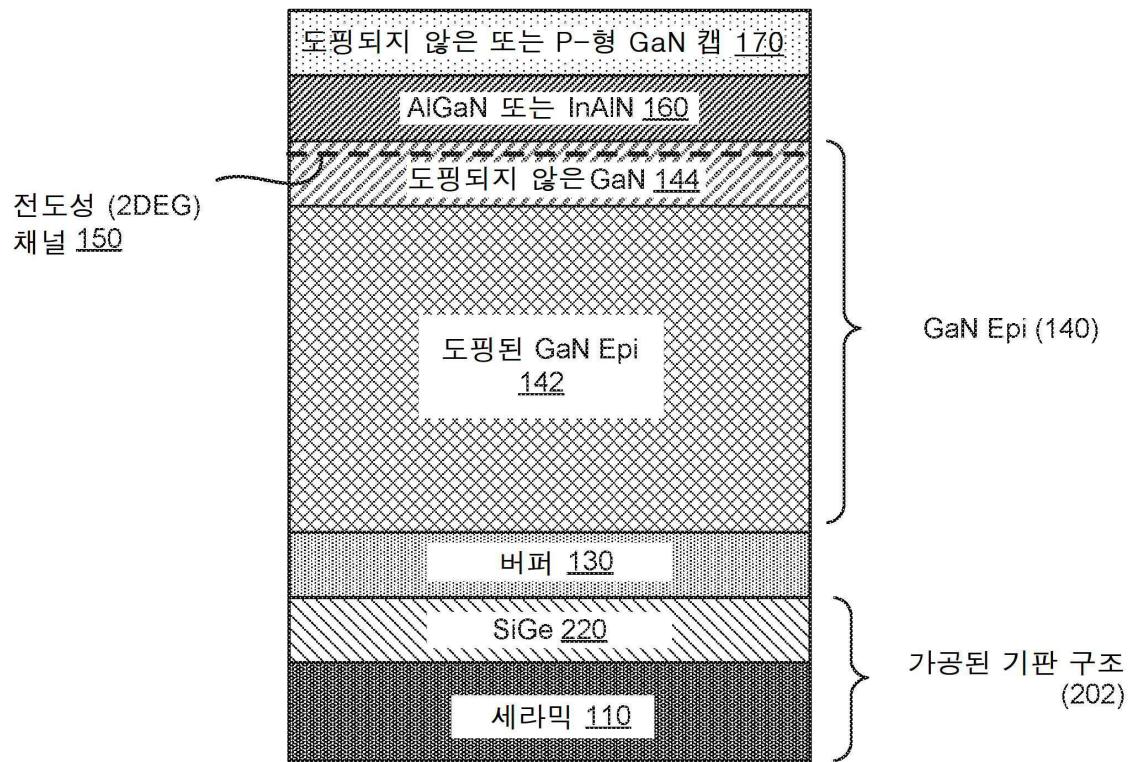
[0110] 또한, 본 명세서에 기술된 실시예들 및 예들은 단지 설명의 목적을 위한 것이며, 이에 대한 다양한 수정 또는 변경이 당업자에게 제안될 것이고 이들은 본원의 사상 및 범위 그리고 첨부된 청구범위에 포함된다.

도면

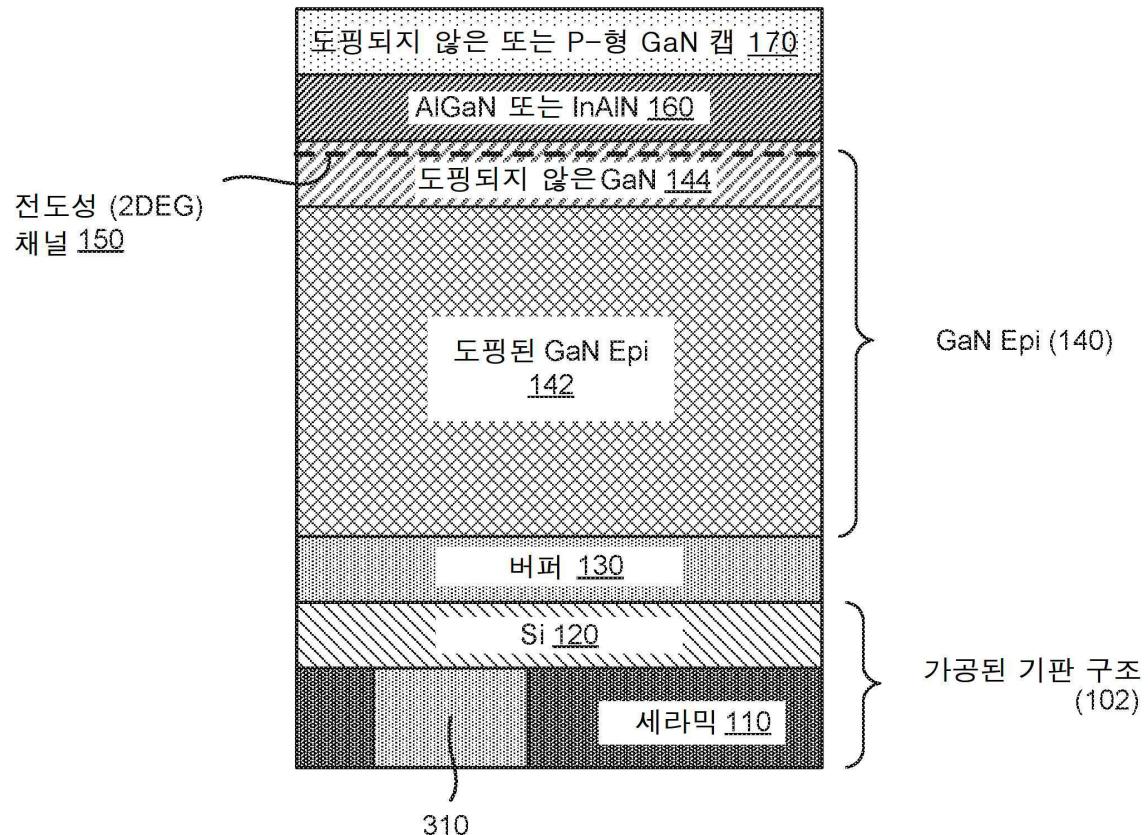
도면1



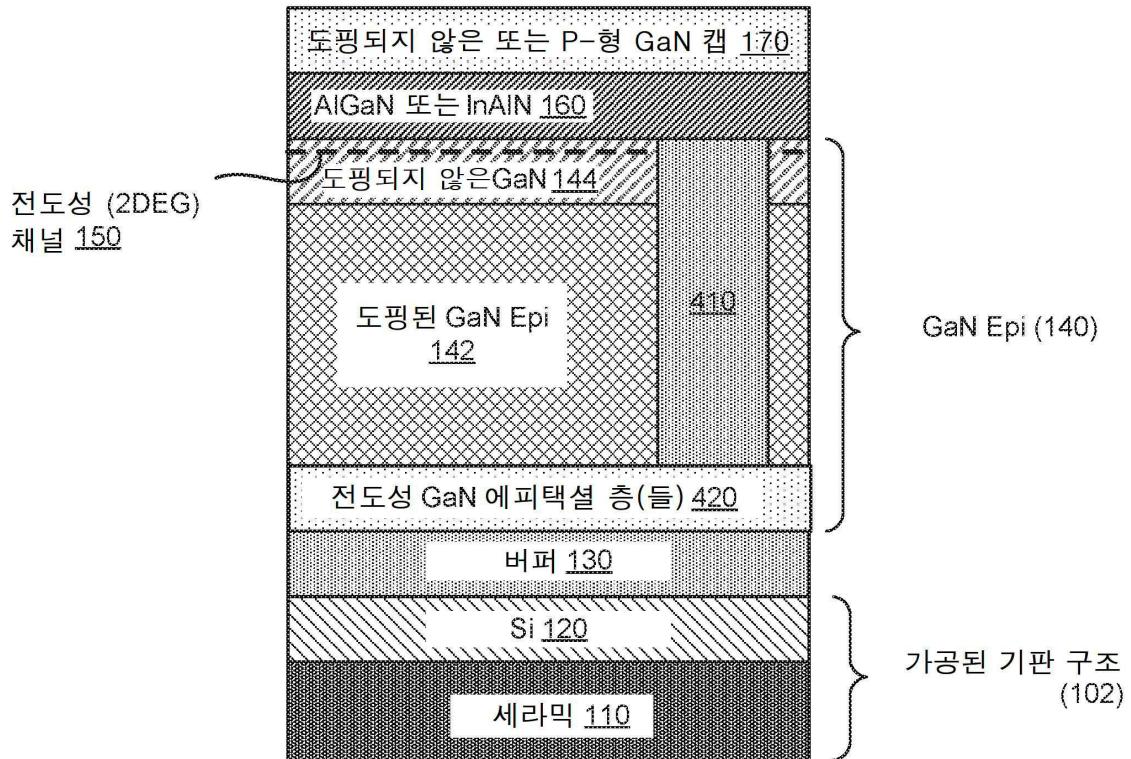
도면2



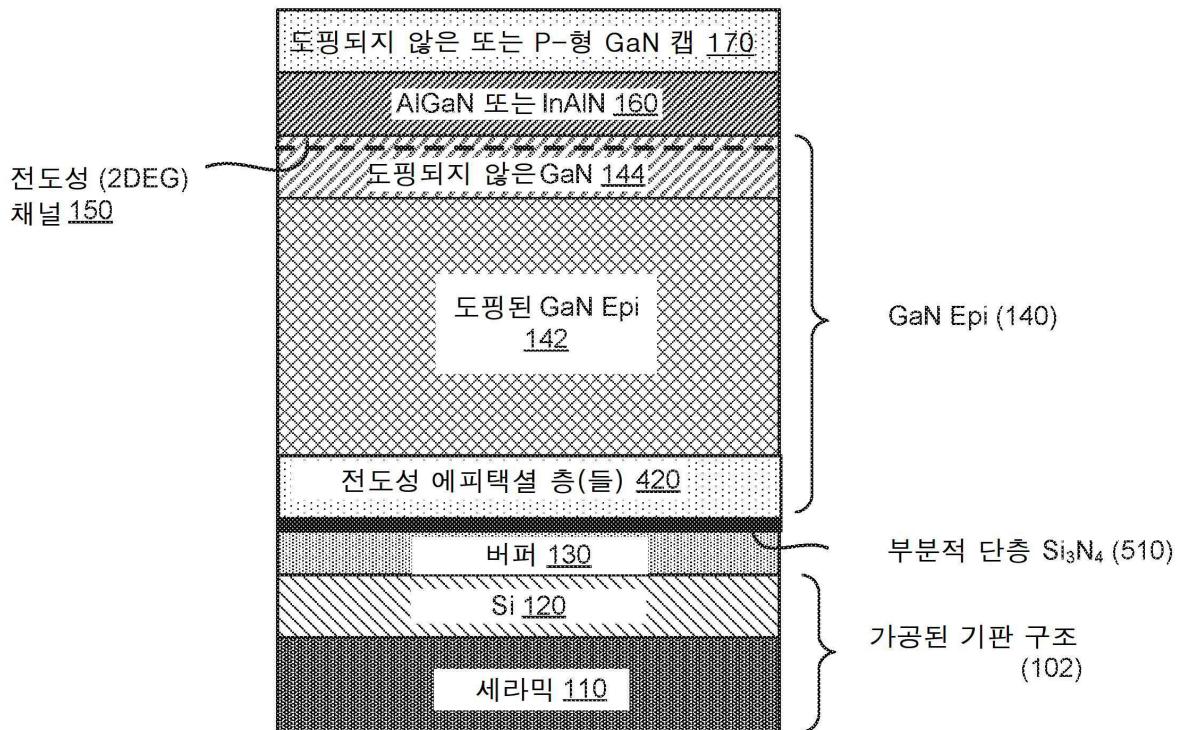
도면3



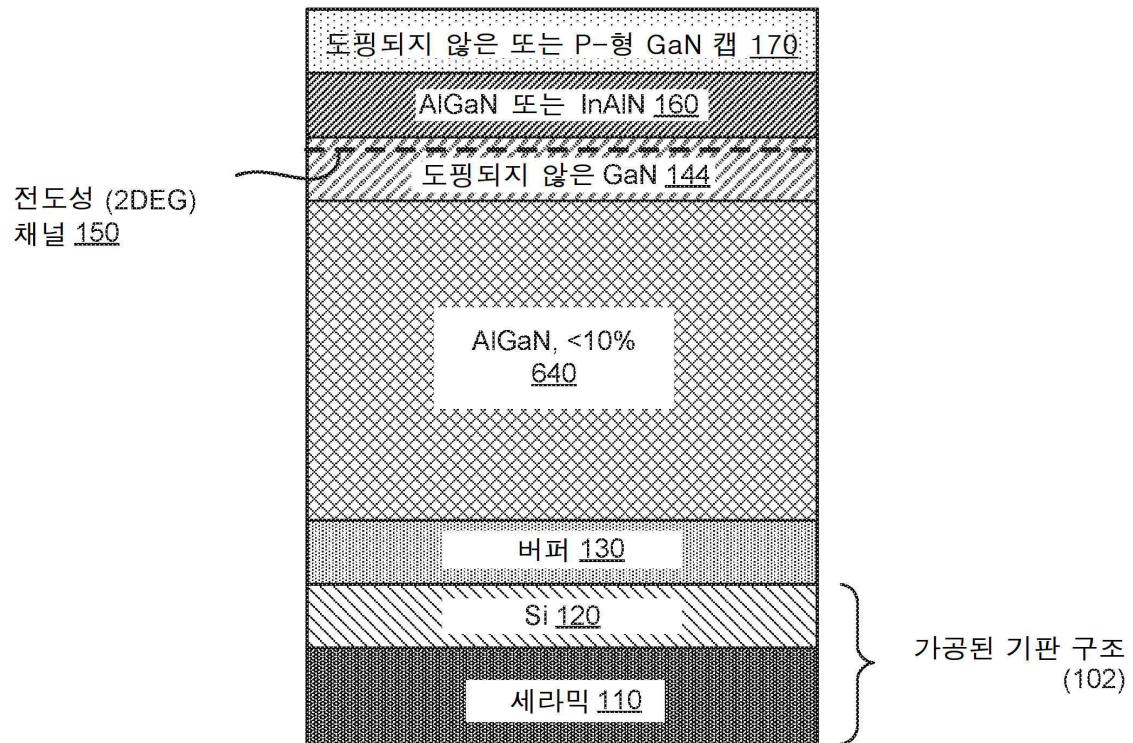
도면4



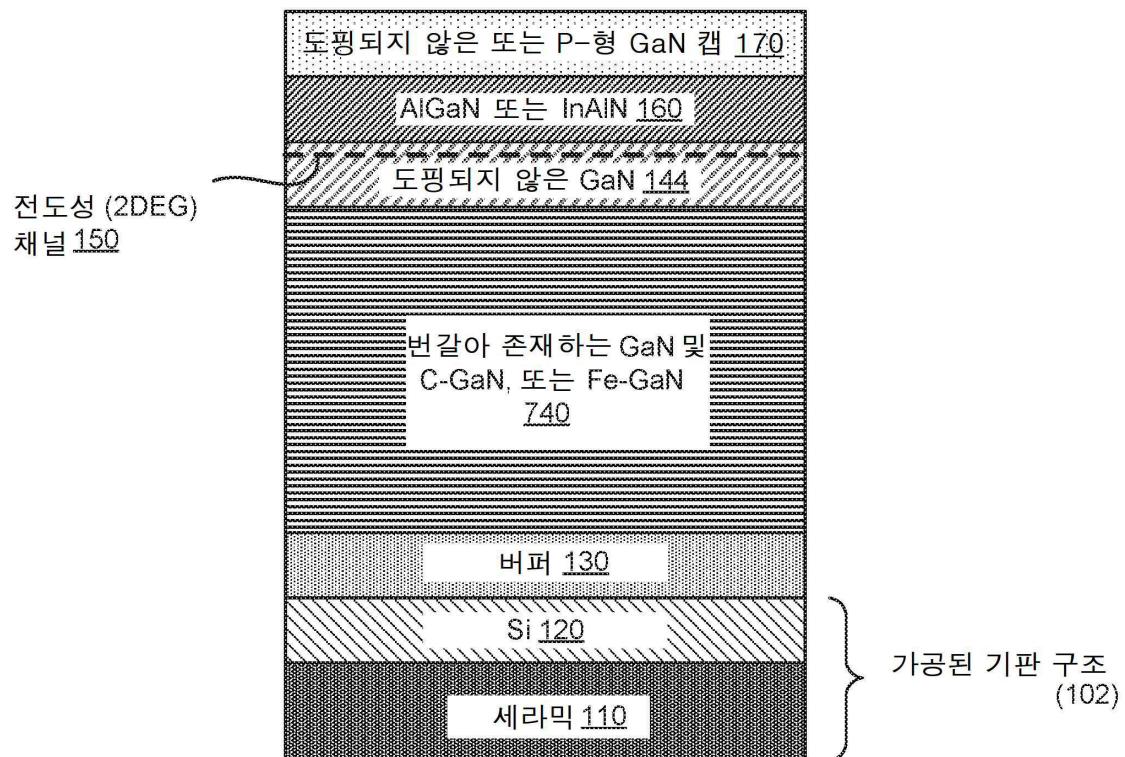
도면5



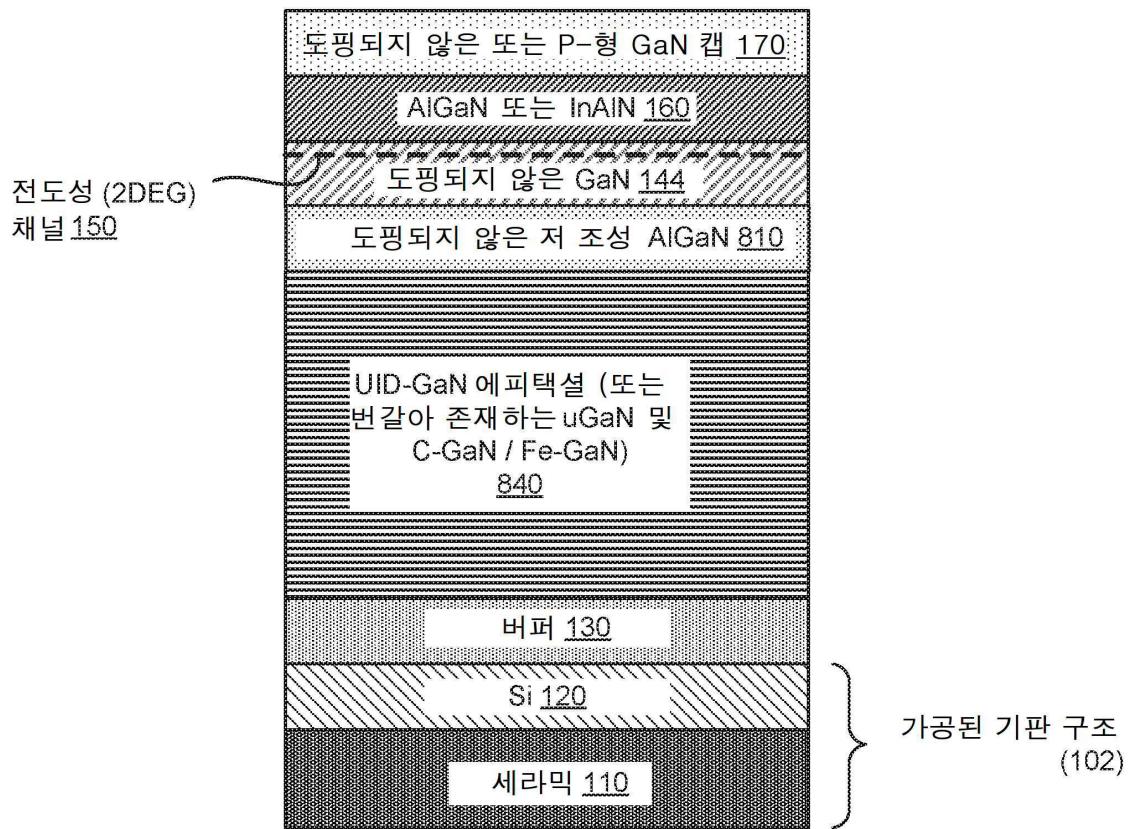
도면6



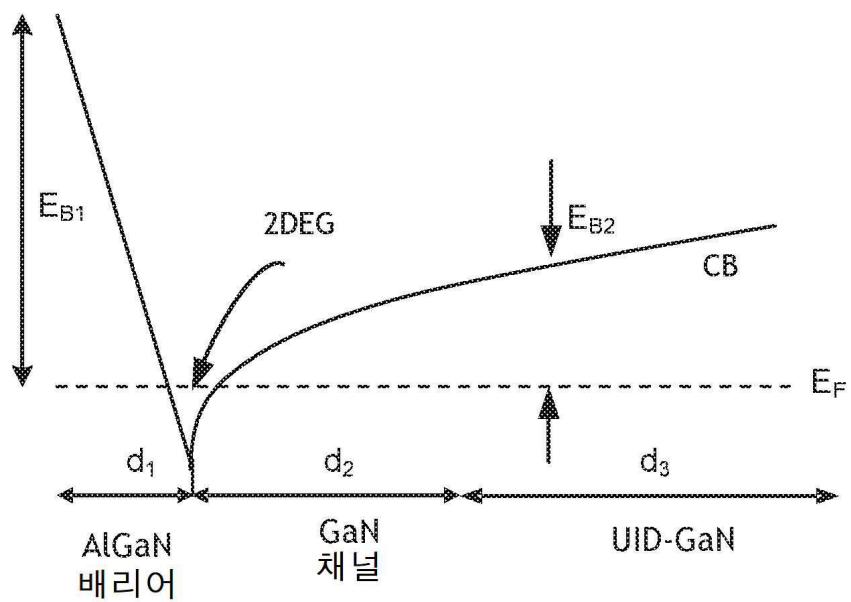
도면7



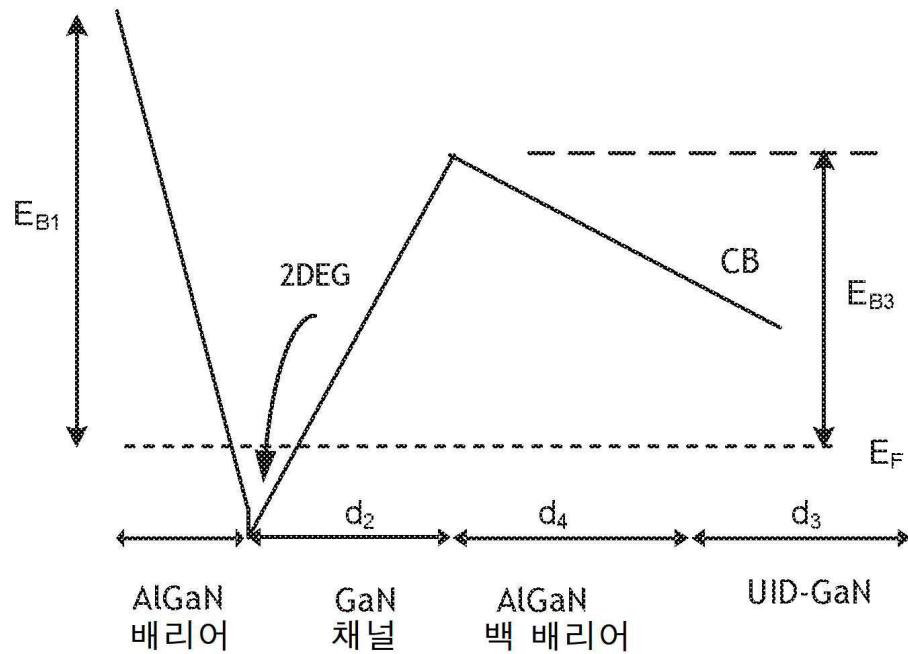
도면8



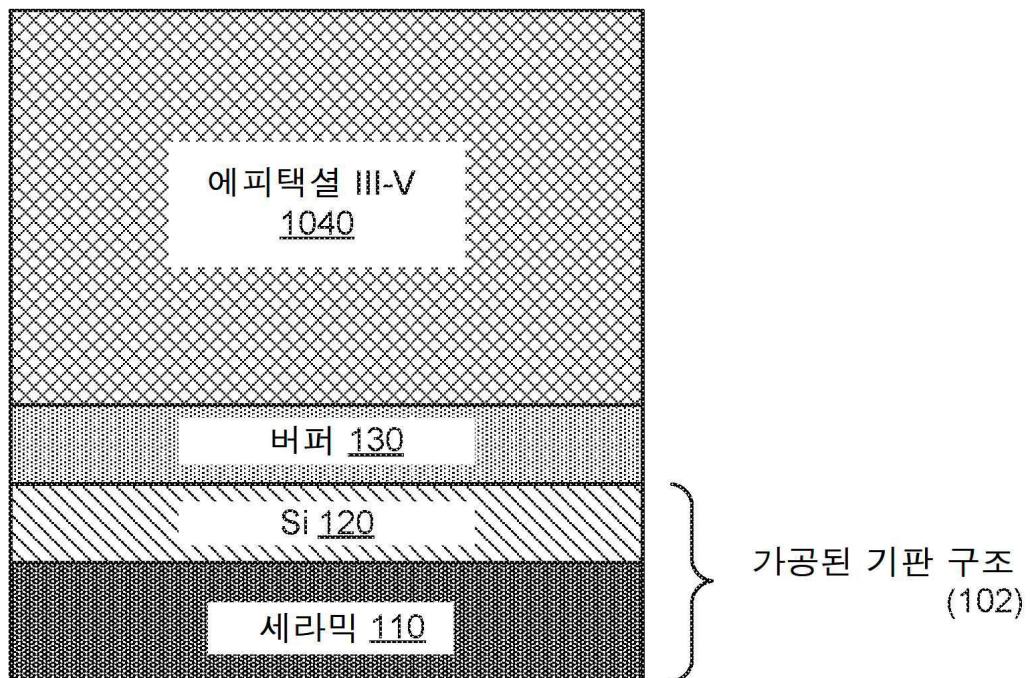
도면9a



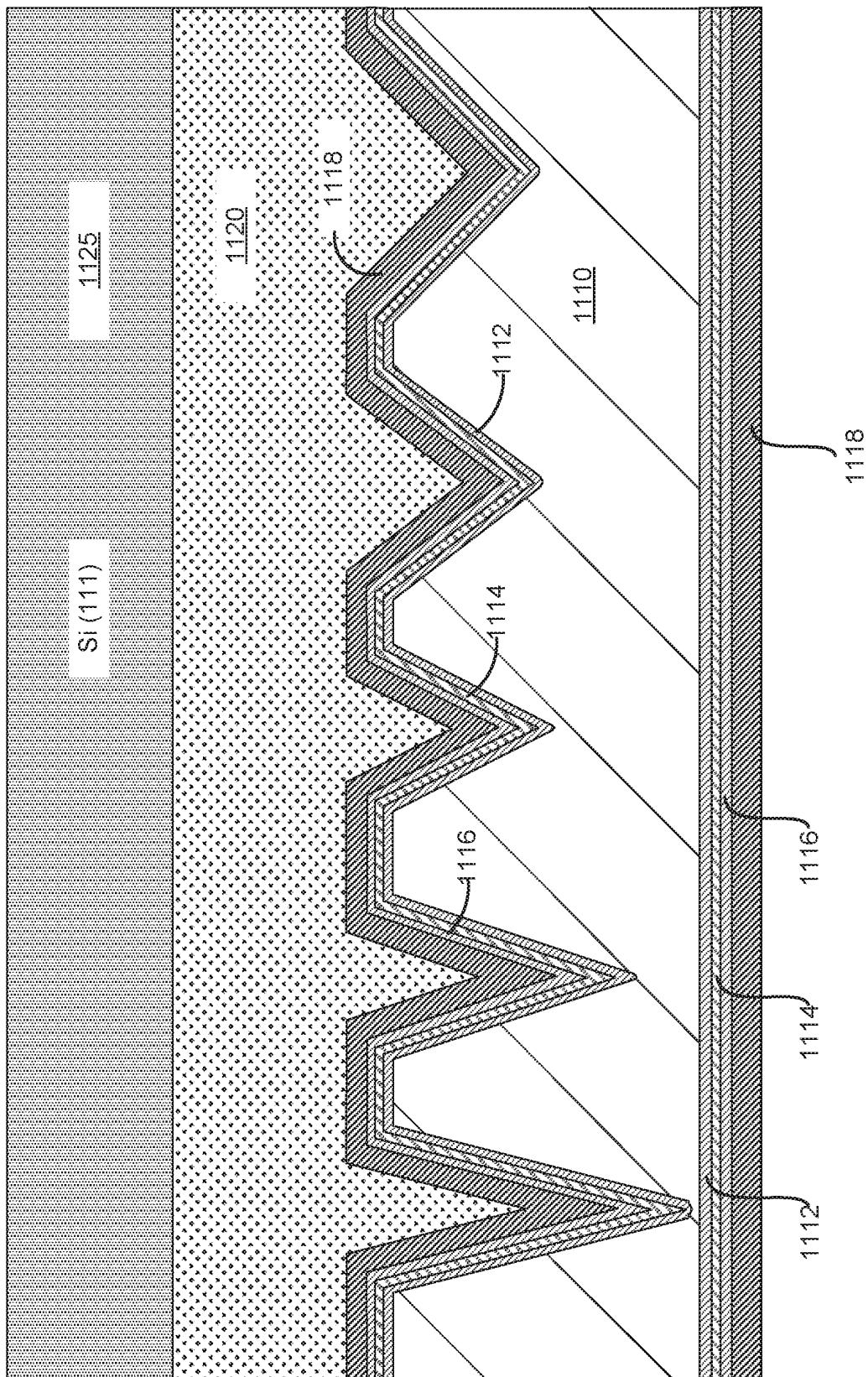
도면9b



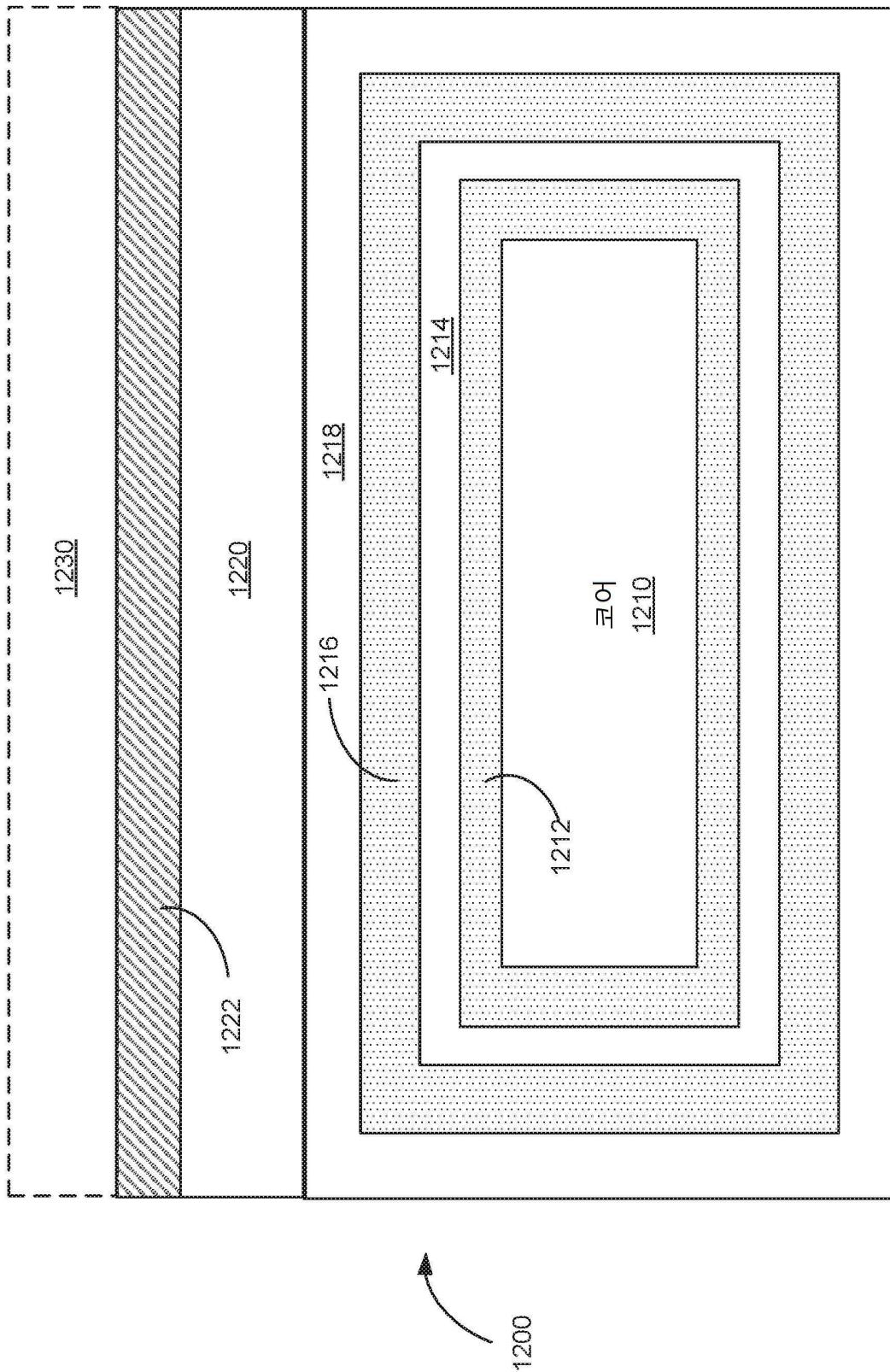
도면10



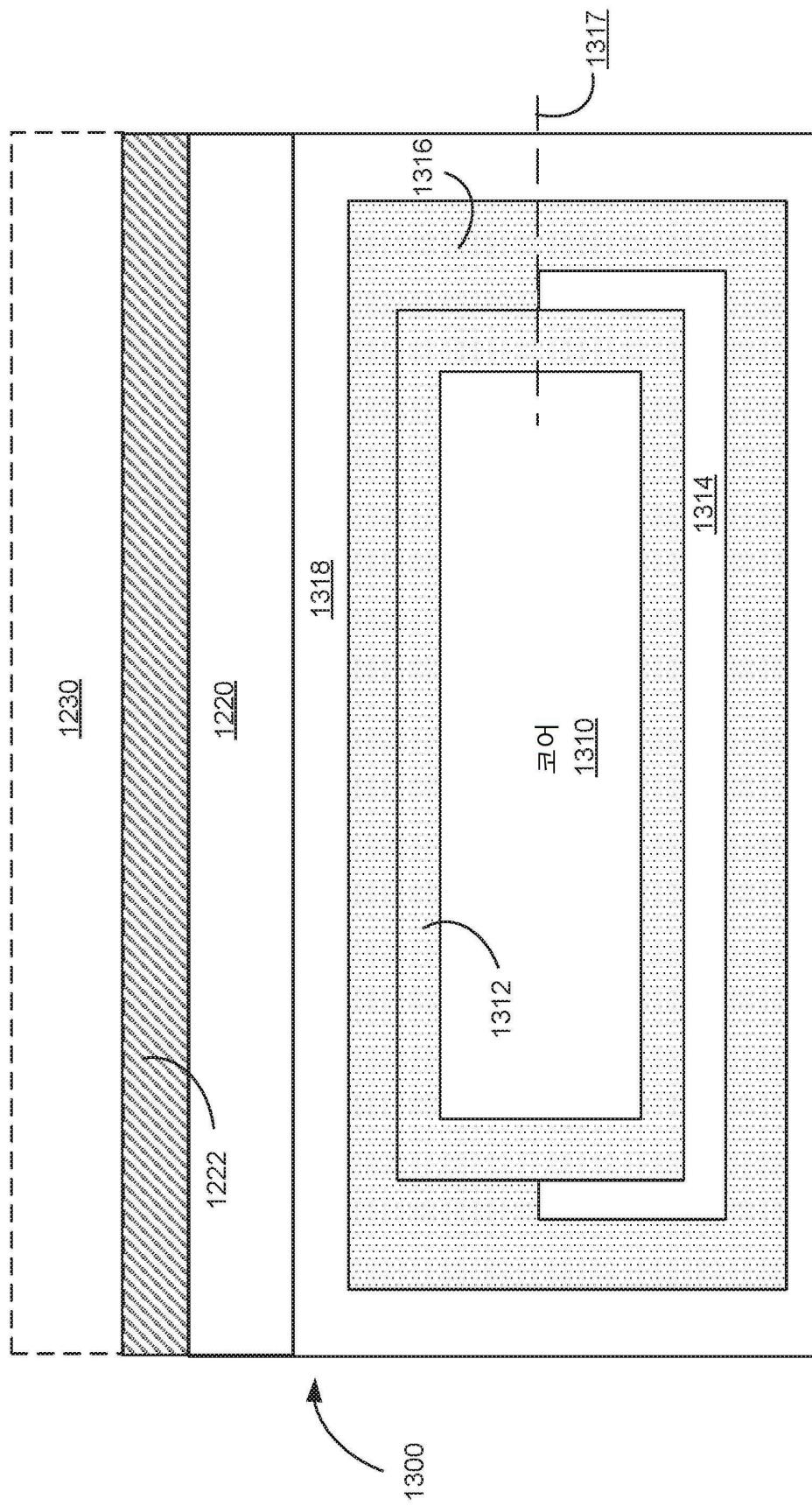
도면11



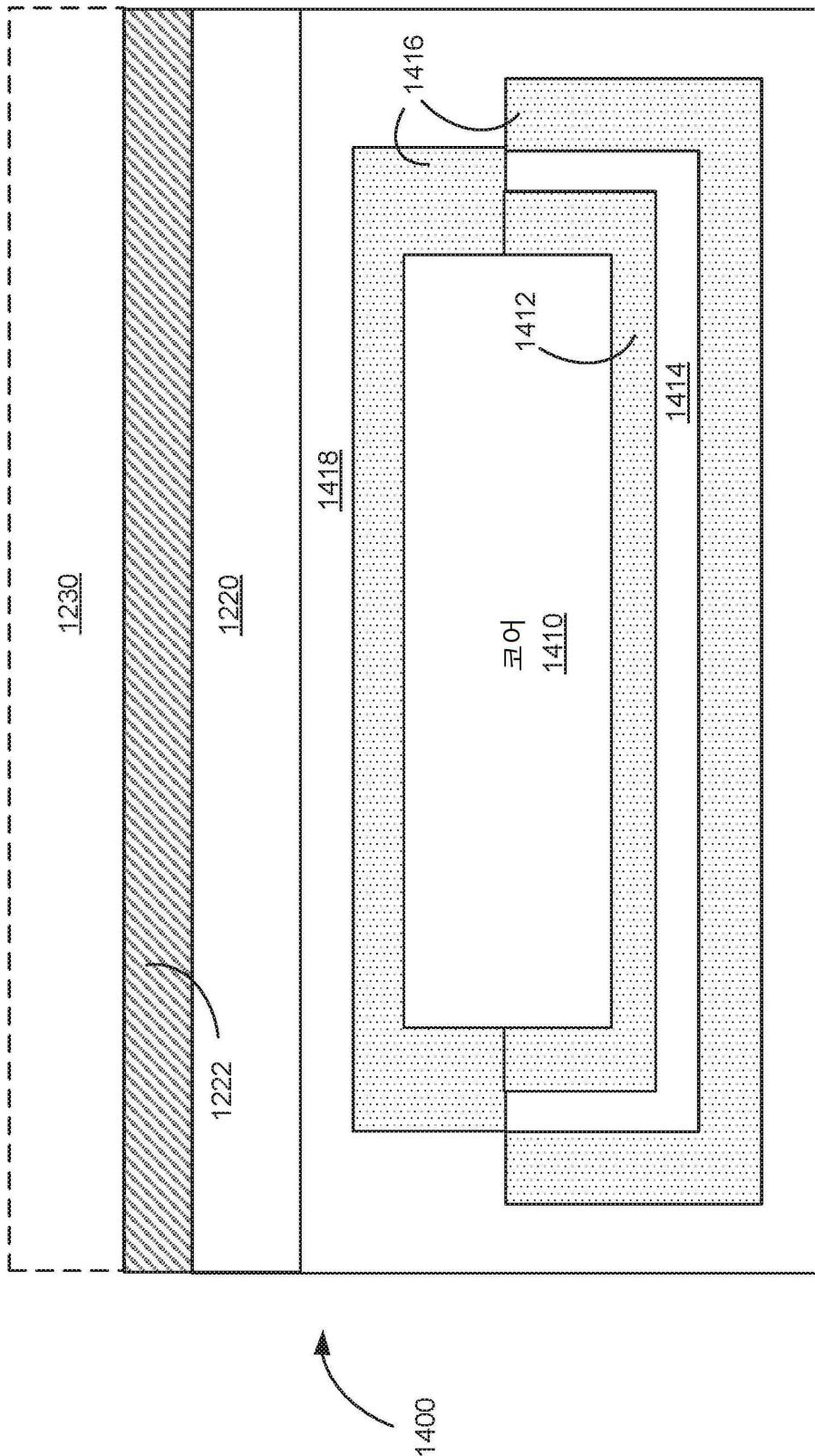
도면12



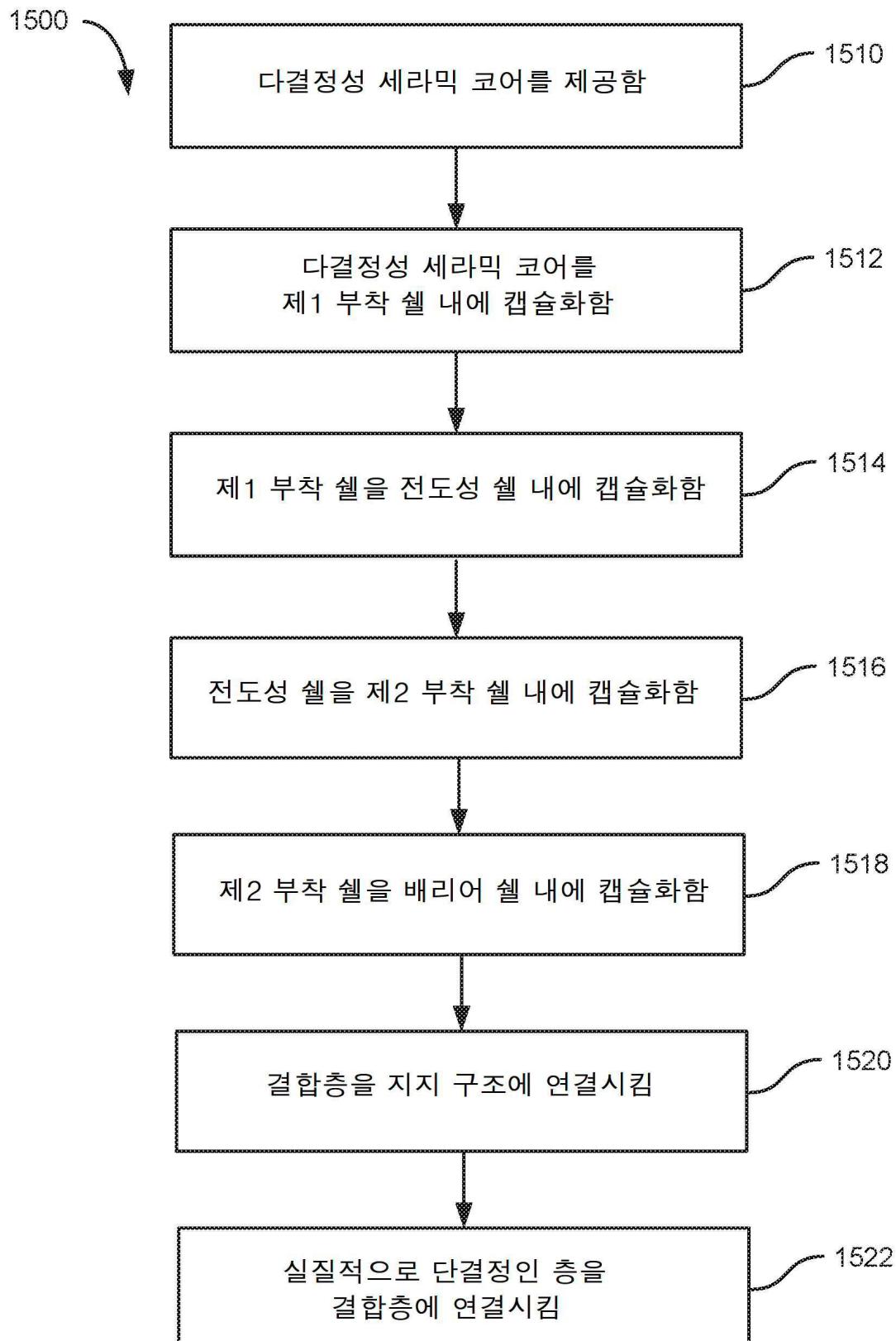
도면13



도면14



도면15



도면16

1600



가공된 기판 상에 버퍼층을 성장시킴

1602

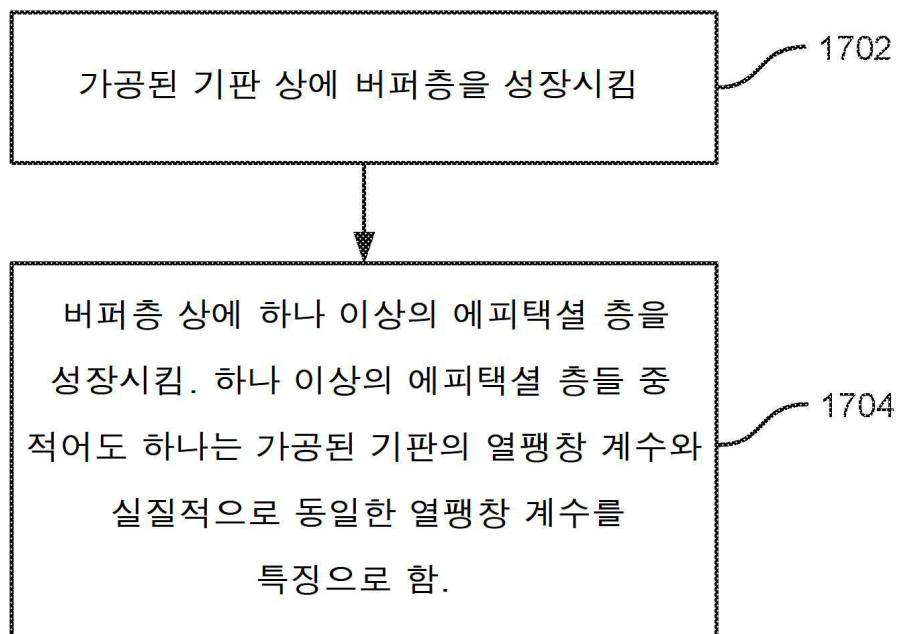
버퍼층 상에 제1 에피택셜 층을 성장시킴.

1604

제1 에피택셜 층은 가공된 기판의 열팽창
계수와 실질적으로 동일한 열팽창 계수를
특징으로 함.

도면17

1700



도면18

1800
↓