

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4034101号

(P4034101)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.		F I		
<b>G 1 1 C</b>	<b>15/04</b>	<b>(2006.01)</b>	G 1 1 C	15/04 6 0 1 W
<b>H O 1 L</b>	<b>21/8244</b>	<b>(2006.01)</b>	G 1 1 C	15/04 E
<b>H O 1 L</b>	<b>27/11</b>	<b>(2006.01)</b>	H O 1 L	27/10 3 8 1

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2002-100162 (P2002-100162)	(73) 特許権者	500400227
(22) 出願日	平成14年4月2日(2002.4.2)		モサイド・テクノロジーズ・インコーポレイテッド
(65) 公開番号	特開2002-373493 (P2002-373493A)		カナダ、ケイ・2・ケイ 2・エックス・1 オンタリオ州、カナタ、ハインズ・ロード、11
(43) 公開日	平成14年12月26日(2002.12.26)	(74) 代理人	100064746
審査請求日	平成17年3月18日(2005.3.18)		弁理士 深見 久郎
(31) 優先権主張番号	2342575	(74) 代理人	100085132
(32) 優先日	平成13年4月3日(2001.4.3)		弁理士 森田 俊雄
(33) 優先権主張国	カナダ(CA)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100091409
			弁理士 伊藤 英彦

最終頁に続く

(54) 【発明の名称】 3進内容参照可能メモリハーフセルおよび3進内容参照可能メモリセル

(57) 【特許請求の範囲】

【請求項1】

3進内容参照可能メモリ(CAM)ハーフセルであって、

第1の導電形式のトランジスタの第1の対から形成される交差接続されたインバータ対を備え、前記第1の対は第2の導電形式のトランジスタの第2の対に結合され、

前記第1の導電形式のトランジスタの第3の対をさらに備え、前記第3の対は、前記交差結合されたインバータ対と1対の相補ビット線とに結合され、

前記第2の導電形式のトランジスタの第4の対から形成される比較器をさらに備え、前記第4の対は、前記交差結合されたインバータ対とサーチ線とに結合されて、前記交差結合されたインバータ対に記憶されたデータを前記サーチ線に与えられるサーチデータ値と比較し、

前記トランジスタの第1の対は前記第2の対に隣接して配置され、かつ前記第1の対および前記第2の対は、それぞれ、前記第3の対および前記第4の対に隣接して配置される、3進CAMハーフセル。

【請求項2】

前記第1の導電形式のトランジスタの前記第1の対および前記第3の対は、第1のウェル領域に形成される、請求項1に記載の3進CAMハーフセル。

【請求項3】

前記第2の導電形式のトランジスタの前記第2の対および前記第4の対は、第2のウェル領域に形成される、請求項2に記載の3進CAMハーフセル。

10

20

## 【請求項4】

前記第1および第2の導電形式は、それぞれ、nチャネルトランジスタおよびpチャネルトランジスタである、請求項1から3のいずれかに記載の3進CAM-halfセル。

## 【請求項5】

前記第1および第2の導電形式は、それぞれ、pチャネルトランジスタおよびnチャネルトランジスタである、請求項1から3のいずれかに記載の3進CAM-halfセル。

## 【請求項6】

前記第1、第2、第3、および第4の対の各々は、1対の隣接する絶縁ゲートトランジスタを含む、請求項3に記載の3進CAM-halfセル。

## 【請求項7】

前記第1および第2のウェル領域は、1つの分離領域によって分離されている、請求項6に記載の3進CAM-halfセル。

## 【請求項8】

pチャネルトランジスタが1つのnウェル領域に形成され、かつ  
nチャネルトランジスタが1つのpウェル領域に形成され、前記pウェル領域は、1つの分離領域によって分離されている、請求項7に記載の3進CAM-halfセル。

## 【請求項9】

3進内容参照可能メモリ(CAM)セルであって、  
3進CAM-halfセルの対を備え、各々は、請求項1から8のいずれかに記載の3進CAM-halfセルを含む、3進CAMセル。

## 【発明の詳細な説明】

## 【0001】

## 【発明の背景】

従来の内容参照可能メモリ(CAM)は、主にスタティックランダムアクセスメモリ(SRAM)セルを用いて実現されてきた。SRAMベースのCAMは、SRAMメモリセルの高速アクセスと静的な性質とのおかげで、広く用いられている。さらに、SRAMセルは、非メモリ回路ブロックに対して一般に用いられる、純論理型作製プロセスを用いて製造され得る。

## 【0002】

データの書込および記憶というランダムアクセスメモリ(RAM)の機能に加えて、CAMは、記憶されたデータをサーチおよび比較して、そのデータがメモリに与えられたサーチデータと一致するか否かも判定する。新たに与えられたサーチデータがメモリ内に既に記憶されているデータと一致すれば整合の結果が示され、一方、このサーチと記憶されているデータとが一致しなければ不整合の結果が示される。CAMは、ルックアップテーブルおよびメモリ管理ユニットなどの、完全連想メモリに特に有用である。

## 【0003】

現在のアプリケーションの多くが、3つの論理状態を記憶することができる3進CAMを用いている。3つの論理状態とは、たとえば論理「0」、論理「1」および「ドントケア」である。したがって、このようなCAMセルは、これらの論理状態を記憶するための2つのメモリセルと、記憶したデータとCAMに与えられたサーチデータとを比較するための比較回路とを必要とする。

## 【0004】

3進形式では、従来SRAMベースのCAMメモリセルは、各々、正規の6トランジスタ(6T)SRAMセルを含む。したがって、SRAMベースのCAMセルは、2つの6T SRAMセルを実現するために、典型的には12のトランジスタを用いる。すなわち、各SRAMセルに対して、2つのpチャネルトランジスタと2つのnチャネルトランジスタとが交差結合されたインバータの関係で必要とされ、また、ビット線からのアクセスデバイスとしてさらに2つのnチャネルトランジスタも必要とされる。

## 【0005】

さらに、3進CAMメモリセルの各々には、サーチデータと記憶されているデータとを比

10

20

30

40

50

較するための排他NOR関数を実現するために、4つのさらなるトランジスタが必要とされる。3進CAMセルに対しては、比較回路において典型的にはnチャンネルデバイスが用いられる。

#### 【0006】

当該分野のこれまでのアプローチでは、メインメモリセルでデータを記憶し、マスクメモリセルでデータをマスクする。その後、マスクメモリセルの内容により、比較回路が可能化または不能化される。このようなアプローチを実現するメモリセルの例は、ナタラージ(Nataraj)他に発行された米国特許第6,154,384号およびボエルケル(Voelkel)に発行された米国特許第6,108,227号によって表わされる。このアプローチは回路の観点から見ると機能的であるが、CAMセルの要素をレイアウトしようとするときに困難が生じる。主な問題点は、CAMセルのレイアウトが最適化されず、所望以上のシリコン面積を占めてしまうことである。

10

#### 【0007】

DRAMベースのCAMもまた当該分野において提案されている。DRAMセルは、典型的にはSRAMセルより物理的に小さい。したがって、DRAMベースのCAMは、CAMセルの大きさがかなり小さいことにより、所与の面積に対して、SRAMベースのCAMよりもかなり多くのデータを記憶することができるという利点を有する。しかしながら、DRAMベースのCAMセルを実現するために用いられるDRAMセルの性質は動的であるので、このようなセルは、データを維持するために規則的なリフレッシュ動作を必要とする。

20

#### 【0008】

オング(Ong)に発行された米国特許第6,188,549号には、nチャンネルトランジスタのみを用いたCAMセルが記載される。このCAMセルはnチャンネルトランジスタのみを用いる。pチャンネルトランジスタが排除されているので、セルの大きさは著しく減じられる。また、CAMセル中にスタティックな記憶部ではなくダイナミックな記憶部を用いることにより、セルの大きさがさらに減じられる。上述のダイナミックCAMセルはわずか6つのトランジスタしか有さないので、コンパクトなレイアウトが容易に達成される。しかしながら、先に述べたように、ダイナミックセルはデータを維持するために規則的なリフレッシュ動作を必要とし、このようなリフレッシュ回路が余計なシリコン面積を占めてしまう。

30

#### 【0009】

したがって、SRAMベースのCAMセルの静的な特徴を維持しつつ、先行技術よりも効率的な空間レイアウトを達成する、SRAMベースのCAMセルが必要である。

#### 【0010】

##### 【発明の概要】

本発明のある局面によれば、3進データ内容参照可能メモリ(CAM)ハーフセルが提供される。このCAMハーフセルはスタティックランダムアクセスメモリ(SRAM)セルを含み、このSRAMセルは、データ値を記憶するための1対の交差結合されたインバータと、1対の相補ビット線にアクセスするための1対のアクセスデバイスとを含む。これらのアクセスデバイスは、1対の交差結合されたインバータと1対の相補ビット線とのそれぞれの間に結合される。CAMハーフセルはさらに、SRAMセルに記憶されたデータ値とサーチ線上に与えられたサーチデータ値とを比較するための比較回路を含む。CAMハーフセルは、均等な数のnチャンネルデバイスとpチャンネルデバイスとを含む。

40

#### 【0011】

本発明のさらなる局面によれば、1対のSRAMセルを含むCAMセルが提供され、この1対のSRAMセルの各々は、データ値を記憶するための1対の交差結合されたインバータと、1対の相補ビット線にアクセスするための1対のアクセスデバイスとを含む。CAMセルはさらに1対の比較回路を含み、これらは各々、上記SRAMセルの一方に記憶されたデータ値と、対応のサーチ線上に与えられたサーチデータ値とを比較するためのものである。CAMセルは、均等な数のnチャンネルデバイスとpチャンネルデバイスとを有する

50

。

## 【 0 0 1 2 】

本発明のまたさらなる局面によれば、CAMセルは、 $p+$ 領域と $n+$ 領域とを隔てる分離部を1つだけ有する。

## 【 0 0 1 3 】

3進SRAMベースのCAMセルは、セルアレイのレイアウトの効率を向上させるために、SRAMセルに対するアクセストランジスタとして $p$ チャネルトランジスタを用いる。この実現により、優れた機能的特徴を提供しつつ、セルごとの $p$ チャネルデバイスと $n$ チャネルデバイスとの数を確実に均衡のとれたものにすることができる。

## 【 0 0 1 4 】

## 【 好ましい実施例の詳細な説明 】

図5を参照して、当該分野で標準のSRAMベースのCAMセルが、一般的に参照番号500で示される。このCAMセルは、2つの6T SRAMセル502を含む。各SRAMセル502は、2つの $p$ チャネルトランジスタと2つの $n$ チャネルトランジスタとを、交差結合されたインバータの関係506で含み、また、1対のビット線510からのアクセスデバイスとしてさらに2つの $n$ チャネルトランジスタ508を含む。CAMセルはさらに、サーチデータと記憶されているデータとを比較するために排他NOR関数を実現するための4つのさらなる $n$ チャネルトランジスタ508を備えた比較回路512を含む。

## 【 0 0 1 5 】

図5に示した実現例の主な問題点は、トランジスタの各型間に不均衡が生じていることであり、これがCAMセルのレイアウトが最適化されないことにつながる。具体的には、合計16のトランジスタのうち、 $p$ チャネルデバイスは4つしかない。さらに、1つのセル内の $n$ チャネルデバイスはすべて、共通の $p$ 拡散領域に位置付けられなければならない。この領域は、 $n$ チャネルアクセスデバイス508と、交差結合されたインバータ506の $n$ チャネルと、比較回路512の $n$ チャネルとを含む。この結果、過密状態の $n$ チャネルを含み、交差結合されたインバータトランジスタ504におけるプルアップデバイスに対して用いられる残りの2つの $p$ チャネルまわりの空間が無駄になっている領域を有する、不均衡なレイアウトが必然的に生じる。

## 【 0 0 1 6 】

$n+$ と $p+$ との間隔を、典型的なCMOS作製プロセスにおける他の設計規則に対して通常大きくすることは、当業界で周知の設計レイアウトの規則である。また、この $n+$ と $p+$ の間にはトランジスタを含むことができない。したがって、セルのアスペクト比は狭くすべきである。すなわち、典型的なセルでは、セルアレイにおいて $n$ チャネルと $p$ チャネルとを分離する $p$ ウェルの線の方向の寸法が、より小さくなる。これにより、 $p+$ と $n+$ との間の無駄な領域が最小になる。しかしながら、従来のアプローチのように $n$ 型デバイスと $p$ 型デバイスとが不均衡であれば、これを達成することは困難である。

## 【 0 0 1 7 】

3進CAMセル領域の減少およびCAMセルレイアウトの最適化は、SRAMセルに対して用いられる $n$ チャネルアクセスデバイスを $p$ チャネルアクセスデバイスで置き換え、能動論理「1」により活性化されるワード線の代わりに能動論理「0」により活性化されるワード線を提供することにより、達成される。 $n$ チャネルデバイスの方が $p$ チャネルデバイスよりも切替速度に関して有利であることから、 $p$ チャネルアクセスデバイスを有するSRAMセルは、通常は、従来の商品または組込式SRAMアプリケーションには用いられない。正規のSRAMメモリでは、切替速度およびその他の特徴が結果として悪化してしまうことになる。しかしながら、CAMセルにおいては、CAMメモリが定期的に行なう主なタスクはサーチおよび比較機能であるので、読出/書込の性能は従来のSRAMセルと比べてそれほど重大でない。

## 【 0 0 1 8 】

$n$ チャネルアクセスデバイスの代わりに $p$ チャネルアクセスデバイスを用いることにより、より均衡のとれた数の $p$ チャネルトランジスタおよび $n$ チャネルトランジスタを有する

10

20

30

40

50

完全な3進CAMセルがもたらされる。レイアウト中に8個のnチャネルデバイスと8個のpチャネルデバイスとが用いられるようにデバイスの均衡をとると、さらに好ましい。

【0019】

図1を参照して、本発明の一実施例に従ったCAMハーフセルが、一般的に参照番号100で表わされる。このハーフセル100は、相補的なビット線対BLおよび/BLと、ワード線WLと、サーチ線SLと、マッチ線MLと、交差結合されたインバータトランジスタP1、N1、P2およびN2と、pチャネルアクセスデバイスP3およびP4とを含む。

【0020】

P2は、正の供給電圧102と第1のノード104との間に結合される。N2は、第1のノード104と接地供給電圧106との間に結合される。P2およびN2はともに、第2のノード108によりゲート制御される。P1は、正の供給電圧102と第2のノード108との間に結合される。N1は、第2のノード108と接地供給電圧106との間に結合される。P1およびN1はともに、第1のノード104によりゲート制御される。

【0021】

第1のノード104は、アクセストランジスタP3を介してビット線BLに結合される。P3は、ワード線WLによりゲート制御される。第2のノード108は、アクセストランジスタP4を介してビット線/BLに結合される。P4もまた、ワード線WLによりゲート制御される。pチャネルアクセスデバイスP3およびP4は、交差結合されたインバータを、読出/書込データを保持する相補ビット線BLおよび/BLに選択的に接続する。

【0022】

マッチ線MLは、直列結合されたトランジスタN3およびN4を介して接地に結合される。N4はサーチ線SLによりゲート制御され、N3は第2のノード108によりゲート制御される。図1からわかるように、先行技術のアプローチに関して論じたような2つのpチャネルトランジスタおよび6つのnチャネルトランジスタとは対照的に、ハーフセルを含む、4つのpチャネルトランジスタと4つのnチャネルトランジスタとが設けられる。

【0023】

図2を参照して、本発明の一実施例に従った完全な3進CAMセルが一般的に参照番号200で表わされる。この完全な3進CAMセルは、8個のpチャネルトランジスタと8個のnチャネルトランジスタとを含む。完全な3進CAMセルの第1のSRAMセル構成要素のトランジスタには、便宜上、図1中の対応のトランジスタと同様の参照番号を付す。CAMセルの第2のSRAMセル構成要素については、交差結合されたインバータトランジスタをP12、N12、P11およびN11と称し、アクセストランジスタをP13およびP14と称し、さらに、マッチ線MLと接地との間に直列結合されたトランジスタをそれぞれN14およびN13と称する。なお、完全な3進CAMセルに対しては、2つの相補ビット線対BL1、/BL1およびBL2、/BL2と、2つのサーチ線SL1およびSL2とがある。

【0024】

次に、図2に示した完全な3進CAMセル200の一般的な動作について述べる。書込動作を行なうためには、CAMセルに記憶すべきデータがビット線対BL1、/BL1およびBL2、/BL2上にロードされる。ワード線WLは能動論理「0」にアサートされ、pチャネルアクセストランジスタP3、P4、P13およびP14をオンにする。相補ビット線対に保持されるデータはこれにより2つのSRAMセルに書込まれ、ワード線がデアサートされる。

【0025】

読出動作について、相補ビット線対はVDD/2にプリチャージされる。ワード線が能動論理「0」にアサートされ、SRAMセルからのデータがビット線対上に読出される。その後このデータは、データバス(図示せず)に転送される。

【0026】

サーチおよび比較動作について、マッチ線が論理「1」にプリチャージされ、データがサ

10

20

30

40

50

ーチ線SL1およびSL2上に置かれる。典型的には、サーチデータおよび記憶されているデータは、不整合の場合マッチ線の状態に変化が起るような態様で与えられる。不整合が起る確率の方が低いので、整合ではなく不整合に対してマッチ線の状態を変えるのが好ましい。したがって、マッチ線の状態に変化が起る頻度は低くなり、マッチ線の放電により放散される電力が減じられる。マッチ線MLは論理「1」にプリチャージされており、不整合が起るとそのマッチ線は接地に放電され、一方、整合の場合はマッチ線の状態に何も変化が起らない。これに代えて、マッチ線検知の別のアプローチにおいては、マッチ線は論理「0」にプリチャージされており、マッチ線を論理「0」に保持する2つの直列デバイスより弱いあるデバイスでプルアップすることにより、整合の検出が行なわれる。

10

**【0027】**

CAMセル200が、左側のSRAMセルに論理「1」を記憶し、右側のSRAMセルに論理「0」を記憶し、SL1が論理「1」を有し、SL2が論理「0」を有する場合、不整合は以下のような結果となる。左側のSRAMセルは論理「1」をトランジスタN3に出力し、それをオンにする。サーチ線SL1は論理「1」をトランジスタN4に与え、それをオンにする。N3およびN4がともにオンにされるので、それらによりマッチ線MLを接地に放電する経路がもたらされ、よって不整合が示される。

**【0028】**

CAMセルが左側のSRAMセルに論理「0」を記憶し、右側のSRAMセルに論理「1」を記憶する場合、整合状況は以下の結果となる。左側のSRAMセルは論理「0」をトランジスタN3のゲートに出力し、それをオフのままにする。サーチ線SL1は論理「1」をトランジスタN4のゲートに与え、それをオンにする。しかしながら、N3とN4とは直列接続されているので、マッチ線MLを接地に放電するための接地への経路は存在しない。同様に、右側のSRAMセルは論理「1」をトランジスタN13に与え、それをオンにする。サーチ線SL2は論理「0」をトランジスタN14に与え、それをオフのままにする。したがって、左側のSRAMセルと同様、トランジスタN13およびN14はマッチ線MLを接地に放電するための経路をもたさない。この結果、マッチ線は論理「1」にプリチャージされたままとなり、整合状況を示す。

20

**【0029】**

CAMセルが左右両方のSRAMセルに論理「0」を記憶する場合、「ドントケア」状態が存在する。各SRAMセルは論理「0」を出力する。この論理「0」はトランジスタN3およびN13のゲートに与えられ、サーチ線SL1およびSL2に与えられたデータに関係なく、確実に整合状況が検出されるように、またマッチ線が変化しないようにする。

30

**【0030】**

この基本的な動作の記載は、マッチ線検出スキームの1つの可能性のみを対象としている。しかしながら、当該分野で慣用のものおよび一般的なアプローチを含むこの他のアプローチも、本発明の範囲を逸脱することなく実現され得る。

**【0031】**

図3を参照して、本発明の代替的な実施例が一般的に参照番号300で図示される。本実施例では、SRAMセルのアクセスデバイスN23、N24、N33およびN34はnチャンネルデバイスであり、比較回路のトランジスタP23、P24、P33およびP34はpチャンネルデバイスである。動作は、図2に示した実施例の動作と同様であるが、当業者には明らかなように、極性の異なるデバイスに対しては適切な電圧が逆にされる。たとえば、ワード線WLは能動論理「1」にアサートされる。さらに、マッチ線MLは論理「0」になっており、不整合によりそのマッチ線MLは論理「1」に帯電される。

40

**【0032】**

図4を参照して、本実施例に従った3進CAMハーフセルのレイアウトが、一般的に参照番号400で表わされる。レイアウト400は図1に示した回路100に対応する。便宜上、図1のトランジスタの符号、すなわちP1、P2、P3、P4、N1、N2、N3およびN4が、レイアウト400における対応の領域を示すために付けられている。レイ

50

ウト400において、破線は能動半導体領域405（たとえば拡散またはイオン注入領域）を表わす領域を囲む。これらの領域は、p型能動領域405aおよびn型能動領域405bを含む。太い実線はポリシリコン層410を囲み、細い実線は金属1の層420を囲む。金属1の層420は、複数の金属コンタクト404間に金属の相互接続をもたらす。これらの金属コンタクト404は、X印を付けた正方形で表わされる。特記すべき事項は、P2、N2およびP1、N1により形成された交差結合インバータに対する金属1の層420接続である。この他のより高い金属層（典型的には複数の金属層がある）は、簡明のため図示されない。これらは、金属3の層M3内にある、サーチ線SLと相補ビット線BLおよび/BLとを含む。当業者にはこれらおよびその他の層が明らかになるであろう。

10

#### 【0033】

図4からわかるように、pチャネルデバイスP1、P2、P3およびP4は、単一のnウェルを用いて図面の上の方にまとめられているのに対し、nチャネルデバイスN1、N2、N3およびN4は、単一のpウェルを用いて、下の方にまとめられている。こうして分けることにより、セル領域がバランスよく用いられることになる。さらに、比較回路N3およびN4とアクセスデバイスP3およびP4とは空間的に分離されており、これによって、所望どおり狭いアスペクト比を有する、よくまとまった効率的なレイアウトがもたらされる。このように、p+領域とn+領域との分離部が少なくとも2つ必要であった先行技術のアプローチとは異なり、セル全体に対してp+領域とn+領域との分離部は1つしか必要ない。上述のレイアウトのさらなる利点には、アクセストランジスタ（P3、P4）への接続の反対側の端部にサーチトランジスタ（N3、N4）への接続を有するという点がある。このように分離することにより、上方の金属層における過密状態が緩和される。さらに、このセルは、トランジスタのジオメトリ、ローカル配線（または金属1）、および上方の金属層によって同時に設定された最小の幅に近い。

20

#### 【0034】

幅が最小になりアスペクト比が向上したということは、面積が小さくなり、かつマッチ線が短くなったことを意味しており、これは速度の増加および消費電力の減少にとって重要である。分析報告により、0.13 $\mu\text{m}$ の純論理プロセスを用いる先行技術のアプローチは、本発明に従ったレイアウトを用いて実現されたセルより約40%も大きなセルサイズを用いるということが実証される。

30

#### 【0035】

本発明は特定の実施例を参照して述べられたが、本発明の精神から逸脱することなくさまざまな変形例が当業者には明らかになるであろう。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例に従った3進CAM-halfセルの回路図である。

【図2】 本発明の第1の実施例に従った完全な3進SRAMベースのCAMセルの回路図である。

【図3】 本発明の第2の実施例に従った完全な3進SRAMベースのCAMセルの回路図である。

【図4】 図1の回路に対応する-halfセルのレイアウトの平面図である。

40

【図5】 先行技術に従った完全な3進SRAMベースのCAMの回路図である。

#### 【符号の説明】

100 CAM-halfセル、102 正の供給電圧、104 第1のノード、106 接地供給電圧、108 第2のノード、BL、/BL 相補ビット線対、WL ワード線、SL サーチ線、ML マッチ線、P1、N1、P2、N2 交差結合されたインバータトランジスタ、P3、P4 pチャネルアクセスデバイス。





---

フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100096792

弁理士 森下 八郎

(72)発明者 リチャード・フォス

イギリス、ケイ・ワイ・2 5・エヌ・ジェイ スコットランド、カーコルディー・ファイフ、レイス・ガーデンズ、28

審査官 須原 宏光

(56)参考文献 特開平07-220483(JP,A)

特開昭62-165794(JP,A)

特開平08-031954(JP,A)

特開平10-178110(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 15/04

H01L 27/10