(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/185131 A1

(51) 国際特許分類:
H10N 60/12 (2023.01)

(21) 国際出願番号： PCT/JP2023/009066

(22) 国際出願日： 2023年3月9日(09.03.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 富士通株式会社(**FUJITSU LIMITED**) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者: 才田 大輔(**SAIDA, Daisuke**); 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠重, 外(**ITOH, Tadashige** et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内 ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

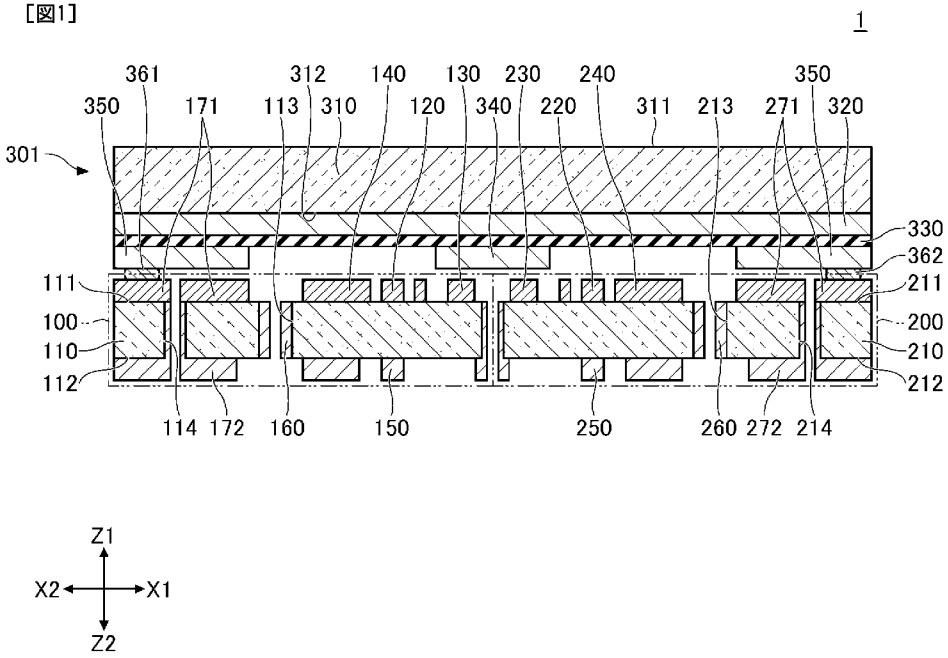
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

WO 2024/185131 A1

(54) **Title:** QUANTUM DEVICE AND METHOD FOR MANUFACTURING QUANTUM DEVICE

(54) 発明の名称： 量子デバイス及び量子デバイスの製造方法

[図1]



(57) **Abstract:** This quantum device comprises a first quantum bit substrate, a second quantum bit substrate, and a capacitive coupling substrate. The first quantum bit substrate has a first quantum bit and a first electrode connected to the first quantum bit. The second quantum bit substrate has a second quantum bit and a second electrode connected to the second quantum bit. The capacitive coupling substrate has: a third electrode that is capacitively coupled to the first electrode and the second electrode; a shield layer that covers the first quantum bit and the second quantum bit; and an insulating

［続葉有］

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

film provided between the third electrode and the shield layer. The quantum device can be used in, for example, quantum computing.

(57) 要約:量子デバイスは、第１量子ビット基板と、第２量子ビット基板と、容量結合基板と、を有し、前記第１量子ビット基板は、第１量子ビットと、前記第１量子ビットに接続された第１電極と、を有し、前記第２量子ビット基板は、第２量子ビットと、前記第２量子ビットに接続された第２電極と、を有し、前記容量結合基板は、前記第１電極及び前記第２電極に容量結合する第３電極と、前記第１量子ビット及び前記第２量子ビットを覆うシールド層と、前記第３電極と前記シールド層との間に設けられた絶縁膜と、を有する。量子デバイスは、例えば量子コンピューティングに使用できる。

明　細　書

発明の名称 ： 量子デバイス及び量子デバイスの製造方法

技術分野

[0001]　本開示は、量子デバイス及び量子デバイスの製造方法に関する。

背景技術

[0002]　量子ビットを含む量子デバイスでは、計算量の拡大に向けて量子ビットの多ビット化について検討されている。そこで、量子ビットが形成された複数の量子ビット基板を含む量子デバイスが提案されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第１００６８１８１号明細書

特許文献2：米国特許出願公開第２０１９／０２０７０７５号明細書

特許文献3：米国特許出願公開第２０２２／０１８９９２２号明細書

特許文献4：特表２０２１－５３４５８３号公報

非特許文献

[0004] 非特許文献1：A. Gold et al., npj 7 (2021) 142

発明の概要

発明が解決しようとする課題

[0005]　量子ビットの多ビット化に向けて、量子ビットが形成された複数の基板同士を対向する他の基板（容量結合基板）を用いて容量結合させ、複数の量子ビット間の接続を行うことが検討されている。また、量子デバイスでは、量子ビットへの外部からの電磁波を遮蔽することが求められている。

[0006]　本開示の目的は、量子ビット間の接続を容量結合基板にて行うとともに量子ビットへの外部からの電磁波を遮蔽することができる量子デバイス及び量子デバイスの製造方法を提供することにある。

課題を解決するための手段

[0007] 本開示の一形態によれば、第１量子ビット基板と、第２量子ビット基板と、容量結合基板と、を有し、前記第１量子ビット基板は、第１量子ビットと、前記第１量子ビットに接続された第１電極と、を有し、前記第２量子ビット基板は、第２量子ビットと、前記第２量子ビットに接続された第２電極と、を有し、前記容量結合基板は、前記第１電極及び前記第２電極に容量結合する第３電極と、前記第１量子ビット及び前記第２量子ビットを覆うシールド層と、前記第３電極と前記シールド層との間に設けられた絶縁膜と、を有する量子デバイスが提供される。

発明の効果

[0008] 本開示によれば、量子ビット間の接続を行うとともに量子ビットへの外部からの電磁波を遮蔽することができる。

図面の簡単な説明

[0009] [図1]図１は、第１実施形態に係る量子デバイスを示す断面図である。

[図2]図２は、第１実施形態に係る量子デバイスにおける第１量子ビット基板及び第２量子ビット基板を示す上面図である。

[図3]図３は、第１実施形態に係る量子デバイスにおける容量結合基板を示す下面図である。

[図4]図４は、第１実施形態に係る量子デバイスの使用方法を示す断面図である。

[図5]図５は、参考例に係る量子デバイスを示す断面図である。

[図6]図６は、第１実施形態における容量結合基板の製造方法の第１例を示す断面図（その１）である。

[図7]図７は、第１実施形態における容量結合基板の製造方法の第１例を示す断面図（その２）である。

[図8]図８は、第１実施形態における容量結合基板の製造方法の第１例を示す断面図（その３）である。

[図9]図９は、第１実施形態における容量結合基板の製造方法の第１例を示す断面図（その４）である。

[図10]図１０は、第１実施形態における容量結合基板の製造方法の第２例を示す断面図（その１）である。

[図11]図１１は、第１実施形態における容量結合基板の製造方法の第２例を示す断面図（その２）である。

[図12]図１２は、第１実施形態における容量結合基板の製造方法の第２例を示す断面図（その３）である。

[図13]図１３は、第２実施形態に係る量子デバイスにおける容量結合基板を示す下面図である。

[図14]図１４は、第３実施形態に係る量子デバイスを示す断面図である。

[図15]図１５は、第４実施形態に係る量子デバイスを示す断面図である。

[図16]図１６は、第５実施形態に係る量子デバイスを示す断面図である。

[図17]図１７は、第６実施形態に係る量子デバイスを示す断面図である。

[図18]図１８は、第６実施形態に係る量子デバイスにおける第１量子ビット基板及び第２量子ビット基板を示す上面図である。

[図19]図１９は、第７実施形態に係る量子デバイスを示す断面図である。

発明を実施するための形態

[0010] 以下、本開示の実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。本開示においては、Ｘ１－Ｘ２方向、Ｙ１－Ｙ２方向、Ｚ１－Ｚ２方向を相互に直交する方向とする。Ｘ１－Ｘ２方向及びＹ１－Ｙ２方向を含む面をＸＹ面と記載し、Ｙ１－Ｙ２方向及びＺ１－Ｚ２方向を含む面をＹＺ面と記載し、Ｚ１－Ｚ２方向及びＸ１－Ｘ２方向を含む面をＺＸ面と記載する。なお、便宜上、Ｚ１－Ｚ２方向を上下方向とし、Ｚ１側を上側、Ｚ２側を下側とする。また、平面視とは、Ｚ１側から対象物を視ることをいい、平面形状とは、対象物をＺ１側から視た形状のことをいう。

[0011] 量子ビットを含む量子デバイスにおいて、近年より大規模な量子ビット計算を実現する量子デバイスが求められている。そのためには複数の量子ビッ

ト同士を接続する多ビット化技術が必要であり、多ビット化技術の一つとして、量子ビットが形成された基板同士を対向する他の基板を用いて接続する手法が考えられる。より具体的には、複数の量子ビット基板に対向するように結合用の基板を配置し、結合用の基板に量子ビット間の結合を行うための電極を設けることで量子ビット間の接続を実現することができる。ここで発明者はさらに、結合用の基板に外部からの電磁波を遮蔽するシールド機能を持たせるための構造を鋭意検討した。

[0012] （第１実施形態）

第１実施形態について説明する。第１実施形態は量子デバイスに関する。図１は、第１実施形態に係る量子デバイスを示す断面図である。図２は、第１実施形態に係る量子デバイスにおける第１量子ビット基板及び第２量子ビット基板を示す上面図である。図３は、第１実施形態に係る量子デバイスにおける容量結合基板を示す下面図である。

[0013] 図１及び図２に示すように、第１実施形態に係る量子デバイス１は、第１量子ビット基板１００と、第２量子ビット基板２００と、容量結合基板３０１とを有する。なお、図２では、容量結合基板３０１を省略している。

[0014] 第１量子ビット基板１００は、第１基板１１０と、複数の第１量子ビット１２０と、複数の第１電極１３０と、複数の第１読み出し回路１４０と、複数の第１入力部１５０と、複数の第１読み出し部１６０とを有する。第１基板１１０は、例えばＳｉ基板、サファイア基板又はＭｇＯ基板である。第１基板１１０の誘電損失は、好ましくは1×10^{-3}以下であり、より好ましくは1×10^{-4}以下である。第１基板１１０の比抵抗は、好ましくは０．１ｋΩ・ｃｍ以上であり、より好ましくは１ｋΩ・ｃｍ以上である。第１基板１１０は、Ｚ１側の上面１１１と、Ｚ２側の下面１１２とを有する。第１基板１１０に複数の第１読み出し用貫通孔１１３と、複数の第１接地用貫通孔１１４とが形成されている。第１量子ビット１２０、第１電極１３０及び第１読み出し回路１４０は上面１１１に設けられ、第１入力部１５０は下面１１２に設けられている。第１電極１３０及び第１読み出し回路１４０は第１量

子ビット１２０に接続されている。これらの接続は、直接的、あるいは磁気結合、容量結合、ガルバニック結合などによる間接的な接続でもよい。平面視で第１入力部１５０と第１量子ビット１２０とが重なる。第１読み出し用貫通孔１１３は、第１量子ビット１２０との間に第１読み出し回路１４０が位置するように形成されている。第１読み出し部１６０は第１読み出し用貫通孔１１３に設けられており、第１読み出し回路１４０に磁気結合、容量結合、ガルバニック結合などにより間接的に接続されている。

[0015] 第１量子ビット１２０は、隣接する他の第１量子ビット１２０にビット間配線１８１を介して、磁気結合、容量結合、ガルバニック結合などにより間接的に接続されている。ビット間配線１８１の経路上には、キャパシタ１８２が設けられている。第１量子ビット１２０の各々は隣接する他の第１量子ビット１２０との間で量子もつれ状態を作り出して量子演算を行う。

[0016] 第１量子ビット１２０、第１電極１３０、第１読み出し回路１４０、第１入力部１５０及び第１読み出し部１６０は、極低温で超伝導体となる材料、例えばＡｌ、Ｎｂ又はＴｉＮから構成される。第１接地用貫通孔１１４に入り込む導体層１７２が下面１１２に設けられ、導体層１７２に接続される導体層１７１が上面１１１に設けられている。導体層１７１及び１７２も、極低温で超伝導体となる材料、例えばＡｌ、Ｎｂ、ＴｉＮ、又はＮｂＮから構成される。導体層１７１は第１導体層の一例である。

[0017] 第２量子ビット基板２００は、第２基板２１０と、複数の第２量子ビット２２０と、複数の第２電極２３０と、複数の第２読み出し回路２４０と、複数の第２入力部２５０と、複数の第２読み出し部２６０とを有する。第２基板２１０は、例えばＳｉ基板、サファイア基板又はＭｇＯ基板である。第２基板２１０の誘電損失は、好ましくは1×10^{-3}以下であり、より好ましくは1×10^{-4}以下である。第２基板２１０の比抵抗は、好ましくは０．１ｋΩ・ｃｍ以上であり、より好ましくは１ｋΩ・ｃｍ以上である。第２基板２１０は、Ｚ１側の上面２１１と、Ｚ２側の下面２１２とを有する。第２基板２１０に複数の第２読み出し用貫通孔２１３と、複数の第２接地用貫通孔２

１４とが形成されている。第２量子ビット２２０、第２電極２３０及び第２読み出し回路２４０は上面２１１に設けられ、第２入力部２５０は下面２１２に設けられている。第２電極２３０及び第２読み出し回路２４０は第２量子ビット２２０に接続されている。これらの接続は、直接的、あるいは磁気結合、容量結合、ガルバニック結合などによる間接的な接続でもよい。平面視で第２入力部２５０と第２量子ビット２２０とが重なる。第２読み出し用貫通孔２１３は、第２量子ビット２２０との間に第２読み出し回路２４０が位置するように形成されている。第２読み出し部２６０は第２読み出し用貫通孔２１３に設けられており、第２読み出し回路２４０に磁気結合、容量結合、ガルバニック結合などにより間接的に接続されている。

[0018] 第２量子ビット２２０は、隣接する他の第２量子ビット２２０にビット間配線２８１を介して、磁気結合、容量結合、ガルバニック結合などにより間接的に接続されている。ビット間配線２８１の経路上には、キャパシタ２８２が設けられている。第２量子ビット２２０の各々は隣接する他の第２量子ビット２２０との間で量子もつれ状態を作り出して量子演算を行う。

[0019] 第２量子ビット２２０、第２電極２３０、第２読み出し回路２４０、第２入力部２５０及び第２読み出し部２６０は、極低温で超伝導体となる材料、例えばＡｌ、Ｎｂ又はＴｉＮから構成される。第２接地用貫通孔２１４に入り込む導体層２７２が下面２１２に設けられ、導体層２７２に接続される導体層２７１が上面２１１に設けられている。導体層２７１及び２７２も、極低温で超伝導体となる材料、例えばＡｌ、Ｎｂ、ＴｉＮ、又はＮｂＮから構成される。導体層２７１は第２導体層の一例である。

[0020] 容量結合基板３０１は、第３基板３１０と、シールド層３２０と、絶縁膜３３０と、第３電極３４０と、シールド層３５０とを有する。第３基板３１０が熱酸化膜付きＳｉ基板であってもよい。より好ましくは、第３基板３１０の誘電損失が低い方が良く、例えばＳｉ基板、サファイア基板又はＭｇＯ基板である。第３基板３１０の誘電損失は、好ましくは1×10^{-3}以下であり、より好ましくは1×10^{-4}以下である。第３基板３１０の比抵抗は、好

ましくは０．１ｋΩ・ｃｍ以上であり、より好ましくは１ｋΩ・ｃｍ以上である。第３基板３１０は、Ｚ１側の上面３１１と、Ｚ２側の下面３１２とを有する。シールド層３２０は下面３１２に設けられ、絶縁膜３３０はシールド層３２０の下面に設けられ、第３電極３４０及びシールド層３５０は絶縁膜３３０の下面に設けられている。絶縁膜３３０はシールド層３２０と第３電極３４０及びシールド層３５０との間に設けられている。シールド層３２０はＺ１側から第１量子ビット１２０及び第２量子ビット２２０を覆う。シールド層３２０、第３電極３４０及びシールド層３５０は、第１量子ビット１２０及び第２量子ビット２２０の動作温度である極低温で超伝導体となる材料、例えばＡｌ、ＴｉＮ又はＮｂＮから構成される。絶縁膜３３０は、例えばシールド層３２０の材料の酸化物、すなわち酸化アルミニウム、又は窒化物、例えば窒化アルミニウムから構成される。シールド層３５０は第３導体層の一例である。

[0021] 第３電極３４０は島状に配置されており、シールド層３２０及びシールド層３５０と電気的に絶縁されている。第３電極３４０の電位は、例えば浮遊電位である。第３電極３４０は矩形状の平面形状を有し、第３電極３４０のＹ１－Ｙ２方向における寸法（幅）は一定である。平面視で、各第３電極３４０は１個の第１電極１３０及び１個の第２電極２３０と重なり、シールド層３５０は導体層１７１及び２７１と少なくとも一部が重なる。第３電極３４０は第１電極１３０及び第２電極２３０に容量結合する。第１電極１３０及び第２電極２３０は第３電極３４０に対向し、第１量子ビット１２０及び第２量子ビット２２０は絶縁膜３３０に対向する。

[0022] 量子デバイス１は、導体層１７１とシールド層３５０とを接合する導電性接合材３６１と、導体層２７１とシールド層３５０とを接合する導電性接合材３６２とを有する。導電性接合材３６１及び３６２の材料は、超伝導材料の場合は例えばＩｎであり、常伝導材料の場合は例えばＡｕやＣｕである。導電性接合材３６１及び３６２として超伝導材料だけ利用する場合、常伝導材料だけ利用する場合、あるいは双方を利用する場合があってよい。

[0023] 量子デバイス１は、例えばプローブ基板が取り付けられて使用される。図４は、第１実施形態に係る量子デバイス１の使用方法を示す断面図である。

[0024] 図４に示すように、プローブ基板４００は、基材４１０と、複数の第１入力プローブ４２１と、複数の第２入力プローブ４２２と、複数の第１読み出しプローブ４３１と、複数の第２読み出しプローブ４３２と、複数の第１接地プローブ４４１と、複数の第２接地プローブ４４２とを有する。第１入力プローブ４２１、第２入力プローブ４２２、第１読み出しプローブ４３１、第２読み出しプローブ４３２、第１接地プローブ４４１及び第２接地プローブ４４２は基材４１０に固定されていても良い。例えば、第１入力プローブ４２１、第２入力プローブ４２２、第１読み出しプローブ４３１及び第２読み出しプローブ４３２は、同軸ピンであり、ピンが機械的に伸縮する機構を有していても良い。各第１入力プローブ４２１は１個の第１入力部１５０に接触し、各第２入力プローブ４２２は１個の第２入力部２５０に接触する。各第１読み出しプローブ４３１は１個の第１読み出し部１６０に接触し、各第２読み出しプローブ４３２は１個の第２読み出し部２６０に接触する。各第１接地プローブ４４１は導体層１７２に接触し、各第２接地プローブ４４２は導体層２７２に接触する。

[0025] 第１接地プローブ４４１及び第２接地プローブ４４２から、導体層１７１、１７２、２７１及び２７２と、シールド層３５０とに接地電位が供給される。第１入力プローブ４２１から第１量子ビット１２０の状態を変化させるための信号が第１入力部１５０に供給され、第２入力プローブ４２２から第２量子ビット２２０の状態を変化させるための信号が第２入力部２５０に供給される。第１読み出しプローブ４３１から第１量子ビット１２０の状態が読み出され、第２読み出しプローブ４３２から第２量子ビット２２０の状態が読み出される。

[0026] 次に、参考例と比較しながら、第１実施形態の効果について説明する。図５は、参考例に係る量子デバイスを示す断面図である。

[0027] 参考例に係る量子デバイス１Ｘは、容量結合基板３０１に代えて容量結合

基板３０１Ｘを有する。容量結合基板３０１Ｘはシールド層３２０及び絶縁膜３３０を有しておらず、第３電極３４０及びシールド層３５０が第３基板３１０の下面３１２に設けられている。他の構成は第１実施形態と同様である。

[0028] 量子デバイス１及び１Ｘのいずれにおいても、第３電極３４０が第１電極１３０及び第２電極２３０に容量結合する。従って、第３電極３４０を介して第１電極１３０と第２電極２３０とが容量結合する。例えば、第１電極１３０と第２電極２３０との間の容量結合の強さは、第１量子ビット基板１００内での隣り合う第１量子ビット１２０の間の容量結合の強さ、及び第２量子ビット基板２００内での隣り合う第２量子ビット２２０の間の容量結合の強さと等しい。

[0029] 但し、量子デバイス１では、第１量子ビット１２０及び第１読み出し回路１４０の上方にシールド層３２０が存在するのに対し、量子デバイス１Ｘでは、第１量子ビット１２０及び第１読み出し回路１４０の上方にシールド層３２０が存在しない。このため、量子デバイス１では、第１量子ビット１２０及び第１読み出し回路１４０に向かう上方からの電磁波に対して良好なシールド効果を得ることができるが、量子デバイス１Ｘでは、第１量子ビット１２０及び第１読み出し回路１４０に上方からの電磁波が到達しやすい。同様に、量子デバイス１では、第２量子ビット２２０及び第２読み出し回路２４０に向かう上方からの電磁波に対して良好なシールド効果を得ることができるが、量子デバイス１Ｘでは、第２量子ビット２２０及び第２読み出し回路２４０に上方からの電磁波が到達しやすい。

[0030] また、量子デバイス１では、シールド層３２０が存在するために、第３基板３１０の誘電損失が第１量子ビット１２０及び第１読み出し回路１４０に影響しにくいが、量子デバイス１Ｘでは、第３基板３１０の誘電損失が第１量子ビット１２０及び第１読み出し回路１４０に影響しやすい。同様に、量子デバイス１では、第３基板３１０の誘電損失が第２量子ビット２２０及び第２読み出し回路２４０に影響しにくいが、量子デバイス１Ｘでは、第３基

板３１０の誘電損失が第２量子ビット２２０及び第２読み出し回路２４０に影響しやすい。

[0031] このように、第１実施形態によれば、量子ビット間の接続を行いながらシールド効果を得ることができ、また、誘電損失によるコヒーレンスの低減を抑制することができる。

[0032] また、容量結合基板３０１の第１量子ビット１２０、第２量子ビット２２０と対向する領域において絶縁膜３３０と第１量子ビット１２０の間及び絶縁膜３３０と第２量子ビット２２０の間には導電部材は設けられていない。従って、第１量子ビット１２０及び第２量子ビット２２０に寄生する浮遊容量を抑制することができる。

[0033] なお、量子デバイス１の使用に際し、第１量子ビット基板１００及び第２量子ビット基板２００と容量結合基板３０１との間の空間を真空状態にしたり、この空間に不活性ガスを充填したりして封止してもよい。この場合、第１量子ビット１２０及び第２量子ビット２２０をより安定して動作させやすくなる。

[0034] 次に、容量結合基板３０１の製造方法について説明する。図６～図９は、容量結合基板３０１の製造方法の第１例を示す断面図であり、図１０～図１２は、容量結合基板３０１の製造方法の第２例を示す断面図である。

[0035] 第１例では、まず、図６に示すように、第３基板３１０の下面３１２となる面の上に、シールド層３２０となる第１層３２０Ａを形成する。第１層３２０Ａは、例えば蒸着法により形成することができる。第１層３２０Ａは、例えばＡｌ又はＴｉＮからなる。

[0036] 次いで、図７に示すように、第１層３２０Ａの表面を酸化し、絶縁膜３３０を形成する。第１層３２０Ａの残部がシールド層３２０となる。絶縁膜３３０は、例えば強制酸化又は自然酸化により形成することができる。なお、この工程は第１層３２０ＡがＡｌ膜の場合、第１層３２０Ａを窒化させる窒化工程であってもよい。

[0037] その後、図８に示すように、絶縁膜３３０の上に、第３電極３４０及びシ

ールド層３５０となる第２層３４０Ａを形成する。第２層３４０Ａは、例えば蒸着法により形成することができる。第２層３４０Ａは、例えばＡｌ又はＴｉＮからなる。

[0038] 続いて、図９に示すように、第２層３４０Ａを例えばエッチングにより加工して第３電極３４０及びシールド層３５０を形成する。このようにして容量結合基板３０１を製造することができる。

[0039] 第２例では、まず、第１例と同様にして、絶縁膜３３０の形成までの処理を行う。次いで、図１０に示すように、レジストパターン３８０を形成する。レジストパターン３８０は、第３電極３４０が形成される部分及びシールド層３５０が形成される部分に開口を有する。

[0040] その後、図１１に示すように、絶縁膜３３０及びレジストパターン３８０の上に、第３電極３４０及びシールド層３５０となる第３層３４０Ｂを形成する。第３層３４０Ｂは、例えば蒸着法により形成することができる。第３層３４０Ｂは、例えばＡｌ又はＴｉＮからなる。

[0041] 続いて、図１２に示すように、レジストパターン３８０を除去する。レジストパターン３８０の除去に伴い、レジストパターン３８０の上に形成されていた第３層３４０Ｂも除去される。この結果、第３電極３４０及びシールド層３５０が形成される。このようにして容量結合基板３０１を製造することができる。

[0042] 量子デバイス１を製造する場合には、第１量子ビット基板１００及び第２量子ビット基板２００を準備し、上記の方法により容量結合基板３０１を準備する。そして、容量結合基板３０１に第１量子ビット基板１００及び第２量子ビット基板２００を接合する。この接合では、導電性接合材３６１及び３６２を用いる。このようにして、量子デバイス１を製造することができる。

[0043] シールド層３２０の電位は限定されず、例えば浮遊電位又は接地電位であってもよい。但し、シールド層３２０の電位は、接地電位であるよりも浮遊電位であることが好ましい。シールド層３２０の電位を浮遊電位とすること

により、外部の電磁界がシールド層３２０を通過する通過率を低減させることができ、導体層１７１及び２７１並びにシールド層３５０の接地電位を安定させやすいためである。

[0044] （第２実施形態）

次に、第２実施形態について説明する。第２実施形態は、主として、第３電極の平面形状の点で第１実施形態と相違する。図１３は、第２実施形態に係る量子デバイスにおける容量結合基板を示す下面図である。

[0045] 図１３に示すように、第２実施形態に係る量子デバイスは、容量結合基板３０１に代えて容量結合基板３０２を有する。容量結合基板３０２では、第３電極３４０が、第１領域３４１と、第２領域３４２と、第３領域３４３とを有する。第１領域３４１は第１電極１３０に対向し、第２領域３４２は第２電極２３０に対向する。第３領域３４３は、第１領域３４１及び第２領域３４２に連なり、第１領域３４１と第２領域３４２との間に位置する。第３電極３４０のＹ１－Ｙ２方向（第２方向）における寸法は、第３領域３４３において、第１領域３４１及び第２領域３４２よりも小さい。Ｙ１－Ｙ２方向は、第１電極１３０及び第２電極２３０が並ぶＸ１－Ｘ２方向（第１方向）に平面視で垂直な方向である。

[0046] 第２実施形態の他の構成は第１実施形態と同様である。

[0047] 第２実施形態によっても第１実施形態と同様の効果を得ることができる。また、第２実施形態では、第３電極３４０のＹ１－Ｙ２方向における寸法が、第３領域３４３において、第１領域３４１及び第２領域３４２よりも小さいため、第３電極３４０における磁束量子のトラップを生じにくくすることができる。

[0048] （第３実施形態）

次に、第３実施形態について説明する。第３実施形態は、主として、第１量子ビット基板及び第２量子ビット基板の構成の点で第１実施形態と相違する。図１４は、第３実施形態に係る量子デバイスを示す断面図である。

[0049] 図１４に示すように、第３実施形態に係る量子デバイス３では、第１接地

用貫通孔１１４が導体層１７２により埋められ、第２接地用貫通孔２１４が導体層２７２により埋められている。

[0050] 第３実施形態の他の構成は第１実施形態と同様である。

[0051] 第３実施形態によっても第１実施形態と同様の効果を得ることができる。

[0052] （第４実施形態）

次に、第４実施形態について説明する。第４実施形態は、主として、容量結合基板の構成の点で第１実施形態と相違する。図１５は、第４実施形態に係る量子デバイスを示す断面図である。

[0053] 図１５に示すように、第４実施形態に係る量子デバイス４は、容量結合基板３０１に代えて容量結合基板３０４を有する。容量結合基板３０４では、絶縁膜３３０が、第３電極３４０とシールド層３２０との間と、シールド層３５０とシールド層３２０との間のみに形成されており、平面視で第３電極３４０とシールド層３５０との間には絶縁膜３３０が形成されていない。従って、シールド層３２０の下面が絶縁膜３３０から露出している。

[0054] 第４実施形態の他の構成は第１実施形態と同様である。

[0055] 第４実施形態によっても第１実施形態と同様の効果を得ることができる。

[0056] （第５実施形態）

次に、第５実施形態について説明する。第５実施形態は、主として、容量結合基板の構成の点で第１実施形態と相違する。図１６は、第５実施形態に係る量子デバイスを示す断面図である。

[0057] 図１６に示すように、第５実施形態に係る量子デバイス５は、容量結合基板３０１に代えて容量結合基板３０５を有する。容量結合基板３０５は、絶縁膜３３０に形成された導電層３９０を有する。導電層３９０は第３電極３４０及びシールド層３５０を含む。また導電層３９０は、少なくとも第１量子ビット１２０及び第２量子ビット２２０に対向する領域において、第３電極３４０及びシールド層３５０の領域よりも膜厚が薄く形成されている。例えば図８及び図９で示したように、絶縁膜３３０上の第２層３４０Ａをエッチングすることにより第３電極３４０とシールド層３５０が形成される。本

実施形態でも同様に、絶縁膜３３０上に形成された導電部材をエッチングにより部分的に除去して第３電極３４０とシールド層３５０を形成する際、絶縁膜３３０上の導電部材が完全に除去されず、第３電極３４０とシールド層３５０の間に残存することにより、導電層３９０が形成される。

[0058] 第５実施形態の他の構成は第１実施形態と同様である。

[0059] 第５実施形態によっても、第１実施形態と同様に、良好なシールド効果を得ることができ、また、誘電損失によるコヒーレンスの低減を抑制することができる。また、容量結合基板３０５の少なくとも第１量子ビット１２０、第２量子ビット２２０と対向する領域において導電層３９０の厚さが他の領域に比べて薄くなっているために第１量子ビット１２０や第２量子ビット２２０に寄生する浮遊容量の発生を抑制することができる。

[0060] （第６実施形態）

次に、第６実施形態について説明する。第６実施形態は、主として、第１量子ビット基板及び第２量子ビット基板の構成の点で第１実施形態と相違する。図１７は、第６実施形態に係る量子デバイスを示す断面図である。図１８は、第６実施形態に係る量子デバイスにおける第１量子ビット基板及び第２量子ビット基板を示す上面図である。

[0061] 図１７及び図１８に示すように、第６実施形態に係る量子デバイス６では、第１量子ビット基板１００に、第１読み出し用貫通孔１１３及び第１接地用貫通孔１１４が形成されておらず、第１量子ビット基板１００は導体層１７２を有しない。第１入力部１５０は第１基板１１０の上面１１１に設けられている。第１量子ビット１２０と第１入力部１５０との間にキャパシタ１９０が接続されている。同様に、第２量子ビット基板２００に、第２読み出し用貫通孔２１３及び第２接地用貫通孔２１４が形成されておらず、第１量子ビット基板１００は導体層１７２を有しない。第２入力部２５０は第２基板２１０の上面２１１に設けられている。第２量子ビット２２０と第２入力部２５０との間にキャパシタ２９０が接続されている。

[0062] 平面視で、第１入力部１５０及び第２入力部２５０は容量結合基板３０１

から露出している。第１入力部１５０及び第２入力部２５０には、それぞれボンディングワイヤが接続される。第６実施形態では、第１入力プローブ４２１及び第２入力プローブ４２２ではなく、ボンディングワイヤから第１量子ビット１２０、第２量子ビット２２０の状態を変化させるための信号が入力される。

[0063] 第６実施形態の他の構成は第１実施形態と同様である。

[0064] 第６実施形態によっても第１実施形態と同様の効果を得ることができる。

[0065] （第７実施形態）

次に、第７実施形態について説明する。第７実施形態は、主として、容量結合基板の構成の点で第１実施形態と相違する。図１９は、第７実施形態に係る量子デバイスを示す断面図である。

[0066] 図１９に示すように、第７実施形態に係る量子デバイス７は、容量結合基板３０１に代えて容量結合基板３０７を有する。容量結合基板３０７は、シールド層３５０に代えてシールド層３５１を有する。シールド層３５１は第３電極３４０よりも厚い。シールド層３５１は、例えば第３電極３４０と同じ材料から構成される。

[0067] また、量子デバイス７は導電性接合材３６１及び３６２を有しておらず、シールド層３５１が導体層１７１及び２７１に直接接合されている。シールド層３５１は、例えば拡散接合により導体層１７１及び２７１に接合されている。

[0068] 第７実施形態の他の構成は第１実施形態と同様である。

[0069] 第７実施形態によっても第１実施形態と同様の効果を得ることができる。

[0070] なお、いずれの実施形態においても、シールド層３２０と絶縁膜３３０との積層構造体が繰り返し設けられていてもよい。また、量子デバイスに含まれる量子ビット基板が３個以上であってもよい。

[0071] 本開示に係る量子デバイスは、例えば量子コンピューティングに使用できる。

[0072] 以上、好ましい実施の形態等について詳説したが、上述した実施の形態等

に制限されることはなく、請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態等に種々の変形及び置換を加えることができる。

符号の説明

[0073] １、３、４、５、６、７：量子デバイス

１００：第１量子ビット基板

１１０：第１基板

１２０：第１量子ビット

１３０：第１電極

２００：第２量子ビット基板

２１０：第２基板

２２０：第２量子ビット

２３０：第２電極

３０１、３０２、３０４、３０５、３０７：容量結合基板

３１０：第３基板

３２０：シールド層

３３０：絶縁膜

３４０：第３電極

３４１：第１領域

３４２：第２領域

３４３：第３領域

３５０、３５１、３７０：シールド層

３９０：導電層

請求の範囲

[請求項1] 第１量子ビット基板と、

第２量子ビット基板と、

容量結合基板と、

を有し、

前記第１量子ビット基板は、

第１量子ビットと、

前記第１量子ビットに接続された第１電極と、

を有し、

前記第２量子ビット基板は、

第２量子ビットと、

前記第２量子ビットに接続された第２電極と、

を有し、

前記容量結合基板は、

前記第１電極及び前記第２電極に容量結合する第３電極と、

前記第１量子ビット及び前記第２量子ビットを覆うシールド層と、

前記第３電極と前記シールド層との間に設けられた絶縁膜と、

を有することを特徴とする量子デバイス。

[請求項2] 前記第１量子ビット基板は、前記第１量子ビット及び前記第１電極をＮ組（Ｎは２以上の整数）有し、

前記第２量子ビット基板は、前記第２量子ビット及び前記第２電極をＮ組有し、

前記容量結合基板は、前記第３電極をＮ個有し、

Ｎ個の前記第３電極は互いに電気的に絶縁されていることを特徴とする請求項１に記載の量子デバイス。

[請求項3] 前記第３電極は、

前記第１電極に対向する第１領域と、

前記第２電極に対向する第２領域と、

前記第１領域及び前記第２領域に連なり、前記第１領域と前記第２領域との間に位置する第３領域と、

を有し、

前記第３電極の前記第１電極及び前記第２電極が並ぶ第１方向に平面視で垂直な第２方向における寸法は、前記第３領域において、前記第１領域及び前記第２領域よりも小さいことを特徴とする請求項１又は２に記載の量子デバイス。

[請求項4] 前記第３電極の電位は浮遊電位であることを特徴とする請求項１又は２に記載の量子デバイス。

[請求項5] 前記第１量子ビット基板は、第１基板及び第１導体層を有し、

前記第２量子ビット基板は、第２基板及び第２導体層を有し、

前記容量結合基板は、第３基板及び第３導体層を有し、

前記第１量子ビット、前記第１電極及び前記第１導体層は前記第１基板の前記容量結合基板側に設けられ、

前記第２量子ビット、前記第２電極及び前記第２導体層は前記第２基板の前記容量結合基板側に設けられ、

前記第３導体層は絶縁膜の前記第１量子ビット基板及び前記第２量子ビット基板側に設けられており、

前記第１導体層と前記第３導体層とが直接接合され、

前記第２導体層と前記第３導体層とが直接接合されていることを特徴とする請求項１又は２に記載の量子デバイス。

[請求項6] 前記第３電極は、前記第１量子ビット及び前記第２量子ビットが動作する温度で超伝導体となることを特徴とする請求項１又は２に記載の量子デバイス。

[請求項7] 前記第３電極は、Ａｌ又はＴｉＮを含むことを特徴とする請求項６に記載の量子デバイス。

[請求項8] 前記シールド層は、前記第１量子ビット及び前記第２量子ビットが動作する温度で超伝導体となることを特徴とする請求項１又は２に記

載の量子デバイス。

[請求項9] 前記シールド層は、Ａｌ又はＴｉＮを含むことを特徴とする請求項８に記載の量子デバイス。

[請求項10] 前記第１量子ビット基板は、誘電損失が１×１０$^{-3}$以下の第１基板を有し、

前記第２量子ビット基板は、誘電損失が１×１０$^{-3}$以下の第２基板を有し、

前記第１量子ビット及び前記第１電極は前記第１基板の前記容量結合基板側に設けられ、

前記第２量子ビット及び前記第２電極は前記第２基板の前記容量結合基板側に設けられていることを特徴とする請求項１又は２に記載の量子デバイス。

[請求項11] 前記第１基板は、シリコン基板、サファイア基板又はＭｇＯ基板であり、

前記第２基板は、シリコン基板、サファイア基板又はＭｇＯ基板であることを特徴とする請求項１０に記載の量子デバイス。

[請求項12] 前記容量結合基板は、誘電損失が１×１０$^{-3}$以下の第３基板を有し、

前記シールド層は前記第３基板の前記第１量子ビット基板及び前記第２量子ビット基板側に設けられていることを特徴とする請求項１又は２に記載の量子デバイス。

[請求項13] 前記第３基板は、シリコン基板、サファイア基板又はＭｇＯ基板であることを特徴とする請求項１２に記載の量子デバイス。

[請求項14] 第１量子ビットと、前記第１量子ビットに接続された第１電極と、を有する第１量子ビット基板を準備する工程と、

第２量子ビットと、前記第２量子ビットに接続された第２電極と、を有する第２量子ビット基板を準備する工程と、

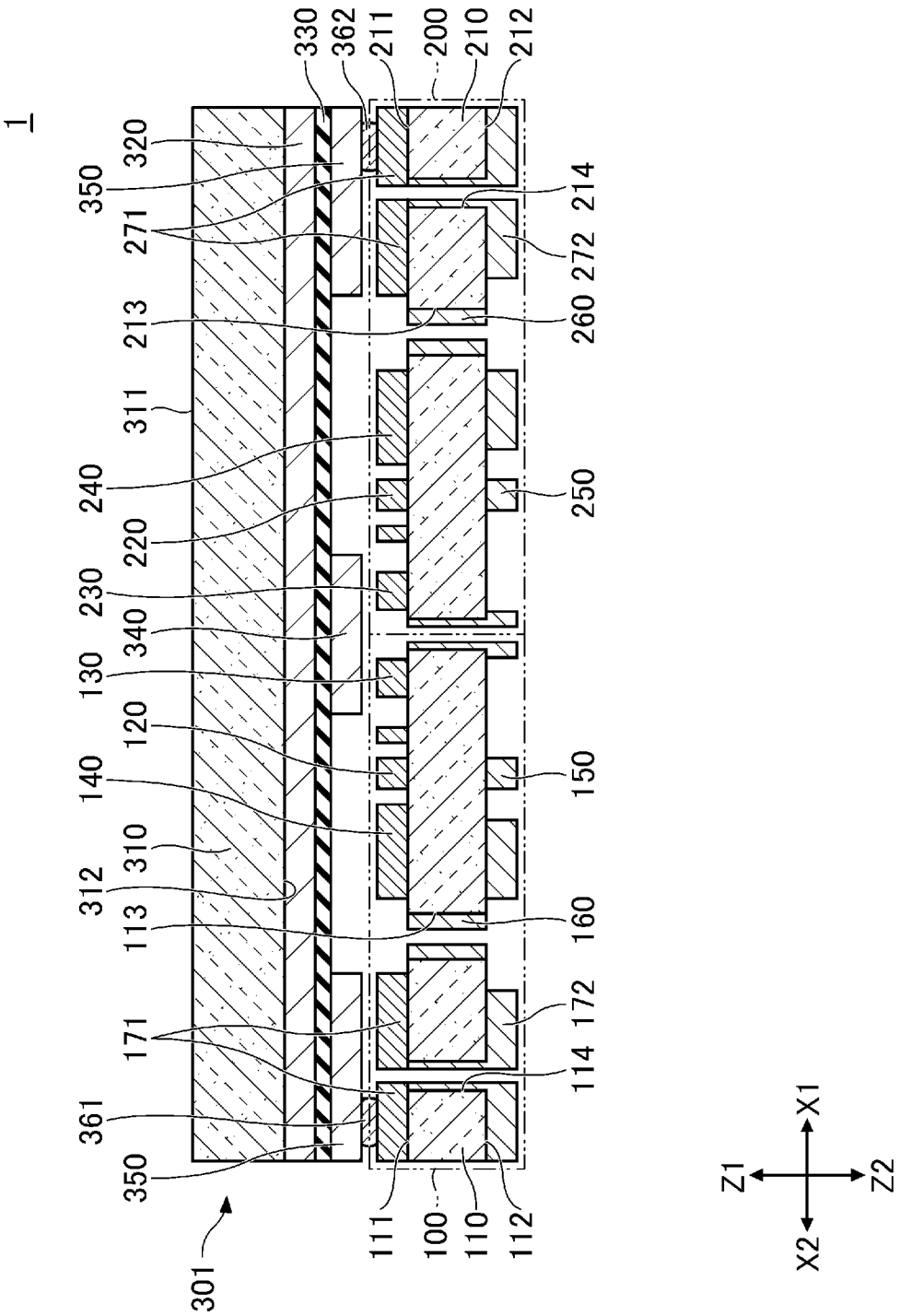
第３電極と、シールド層と、前記第３電極と前記シールド層との間

に設けられた絶縁膜と、を有する容量結合基板を準備する工程と、

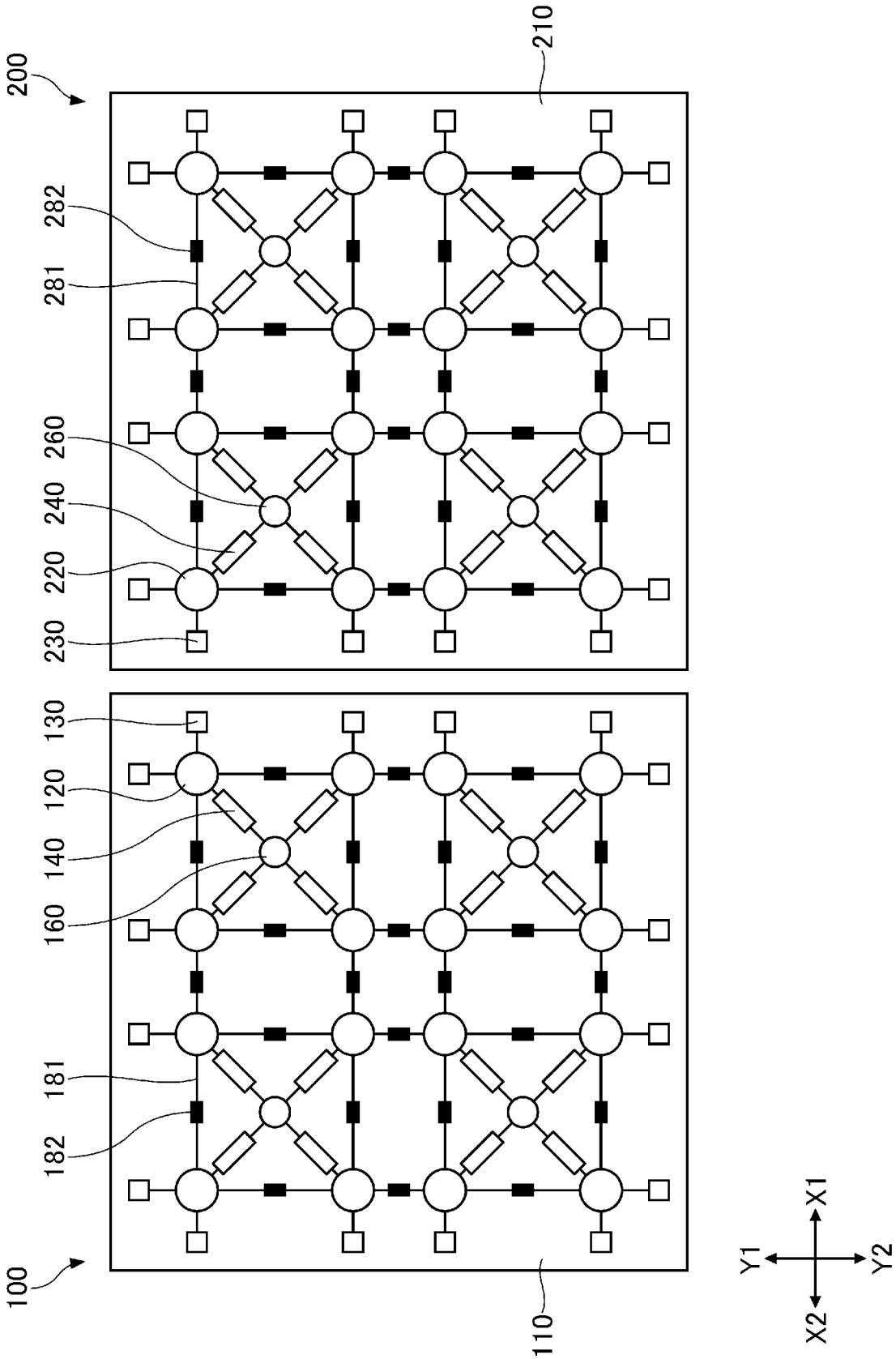
前記第１電極及び前記第２電極に前記第３電極が対向し、前記シールド層が前記第１量子ビット及び前記第２量子ビットを覆うように前記容量結合基板に前記第１量子ビット基板及び前記第２量子ビット基板を接合する工程と、

を有することを特徴とする量子デバイスの製造方法。

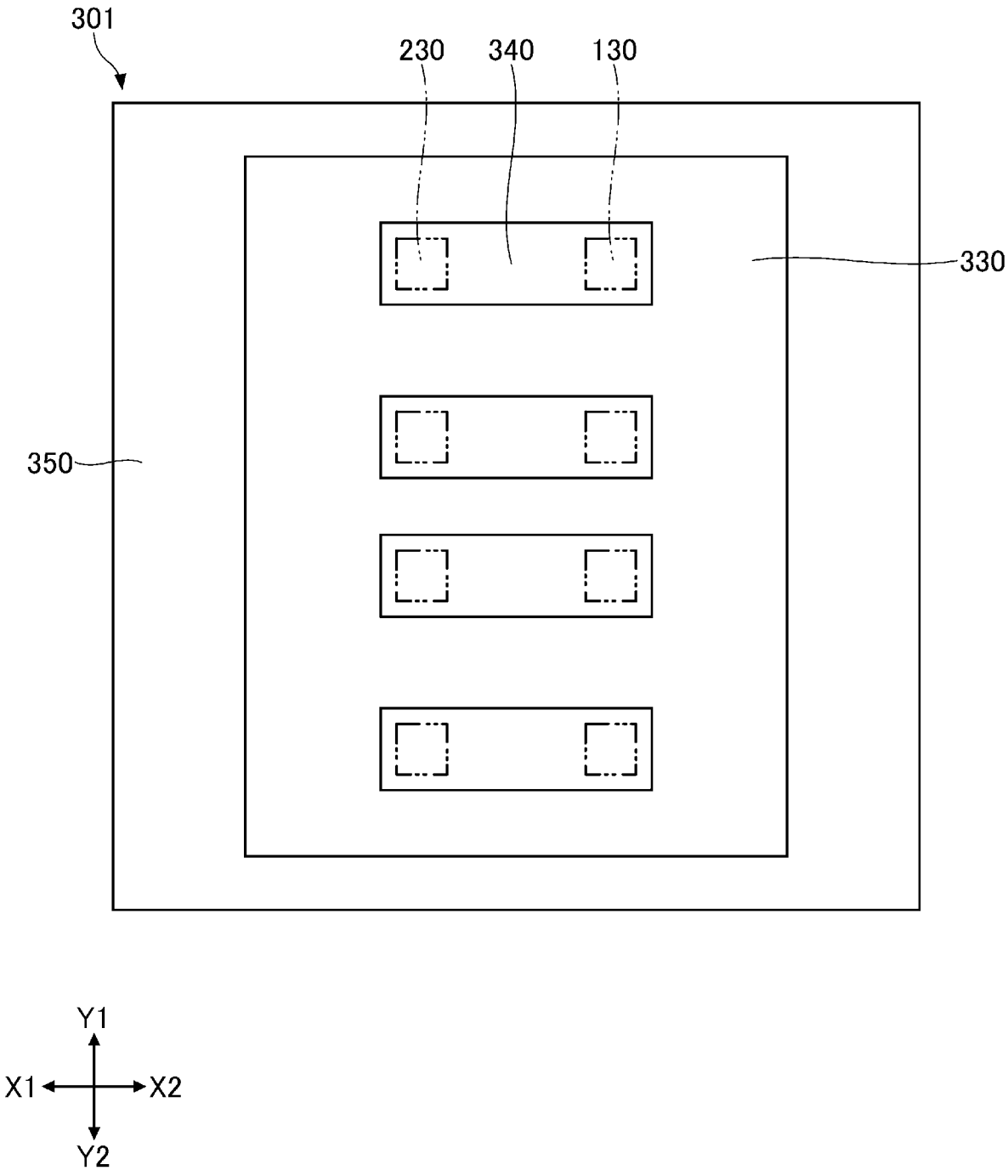
[図1]


1
330
362
211
200
210
212
320
350
271
214
272
213
260
311
240
250
220
230
340
130
120
150
140
310
312
113
160
171
172
114
361
350
301
111
100
110
112
Z1
X1
Z2
X2

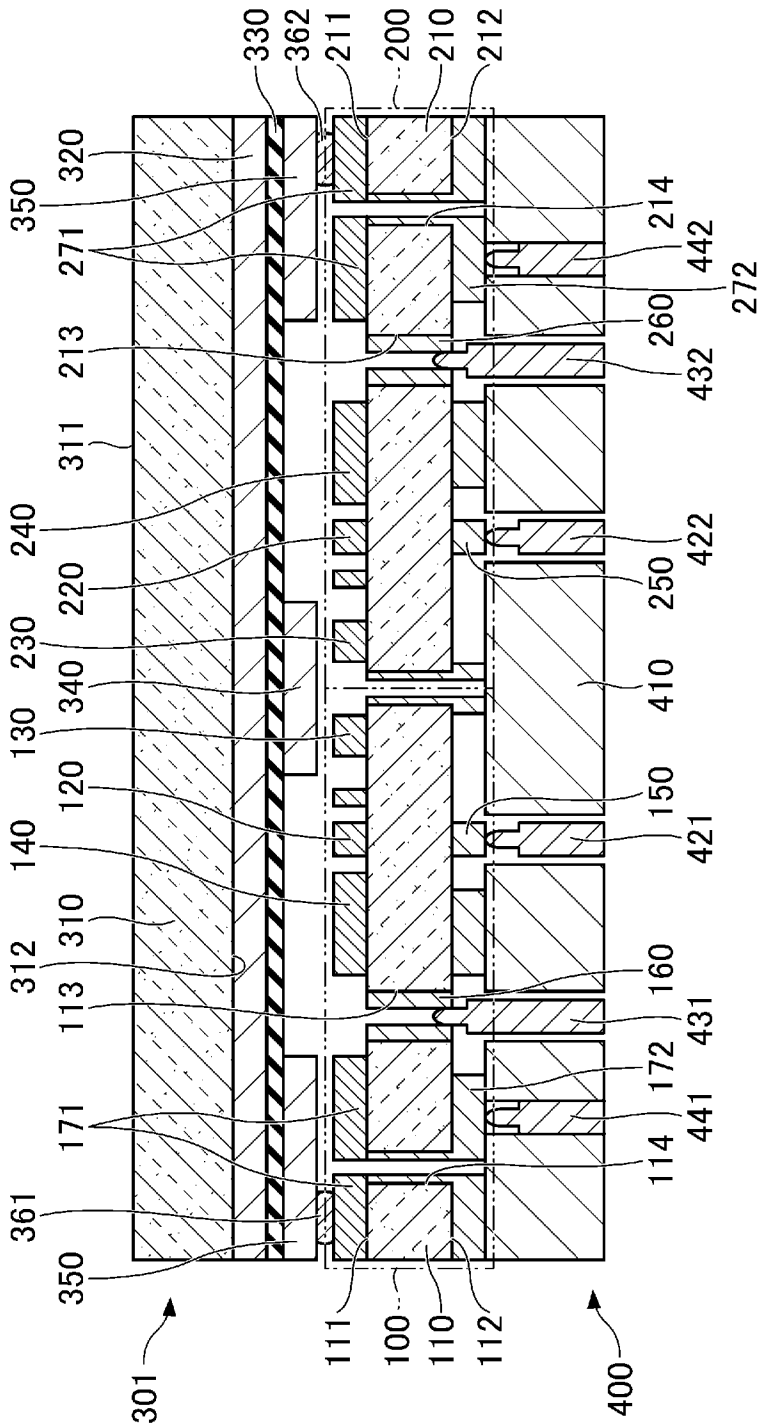
[図2]


200
210
282
281
260
240
220
230
130
120
140
160
181
182
100
110
X1
Y1
Y2
X2

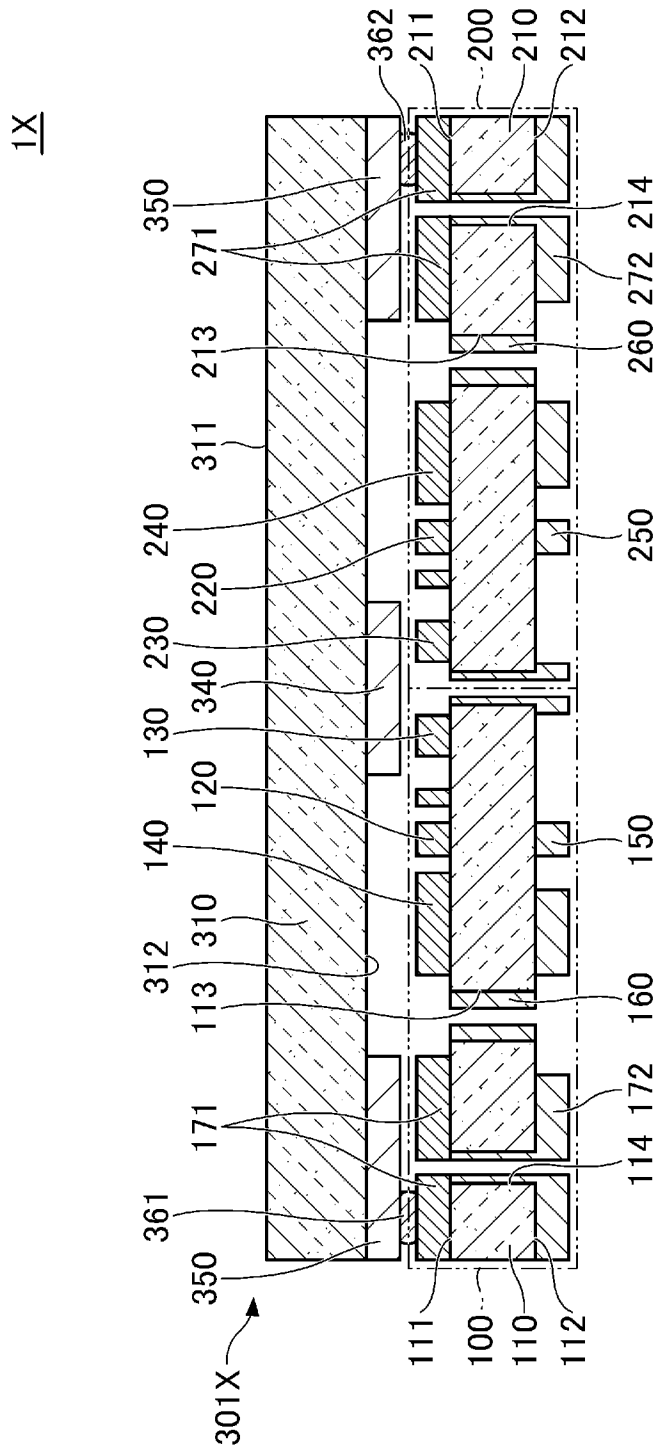
[図3]



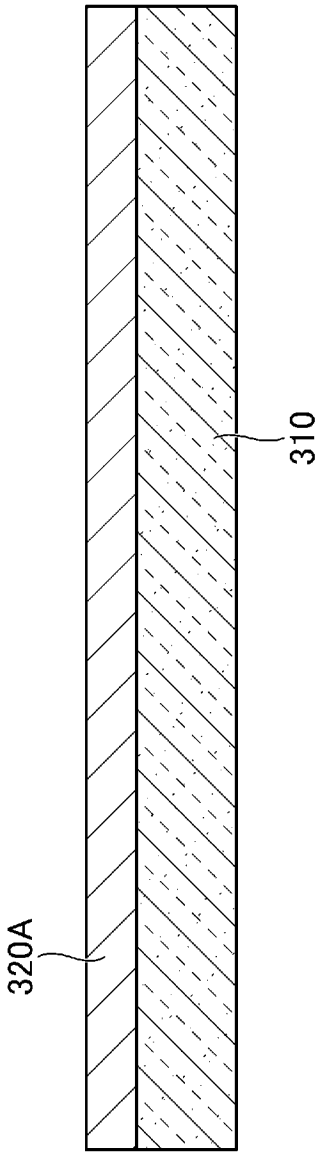
[図4]


330
362
211
200
210
212
320
350
271
214
442
272
260
213
432
311
240
422
220
250
230
410
340
130
150
120
421
140
310
160
312
431
113
172
171
441
114
361
350
111
100
110
112
301
400

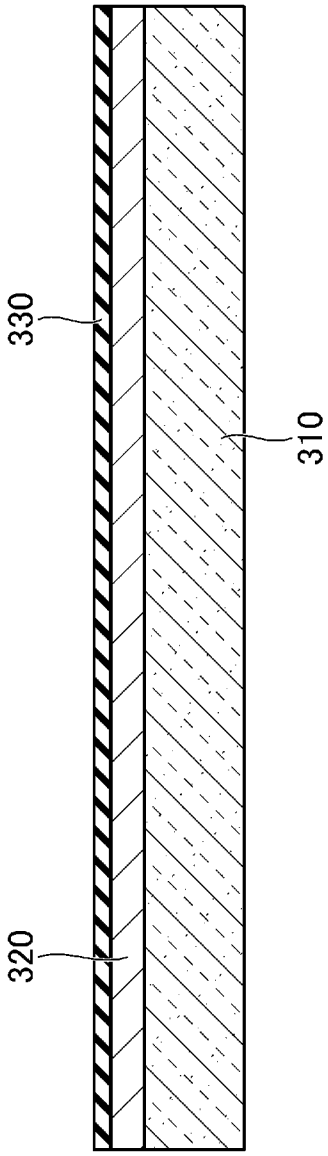
[図5]


1X
362
211
200
210
212
350
271
214
272
213
260
311
240
250
220
230
340
130
120
140
150
310
312
113
160
171
172
114
361
350
301X
111
100
110
112

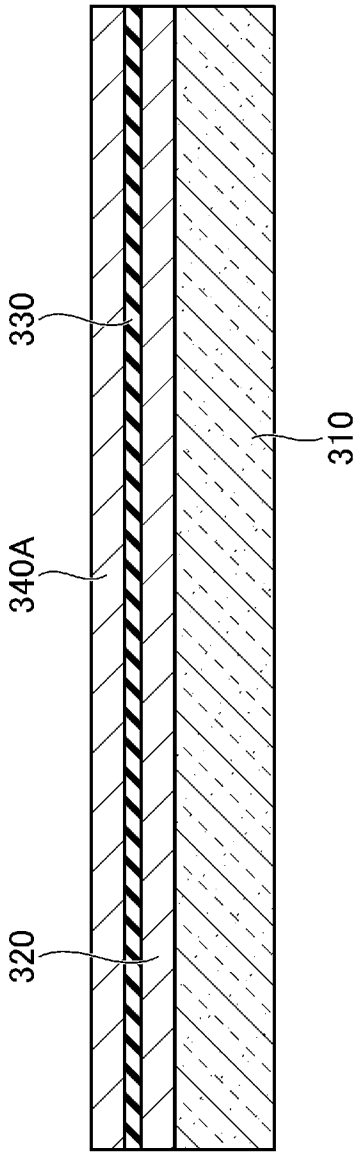
[図6]



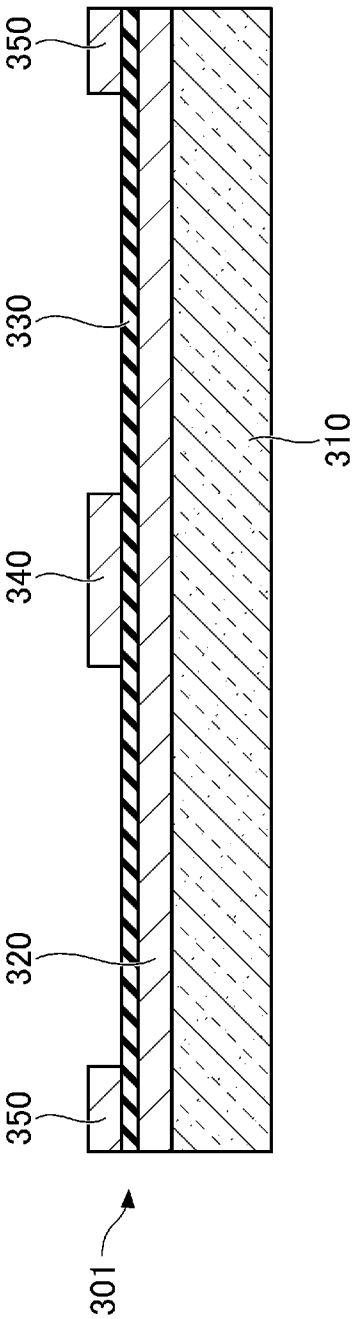
[図7]



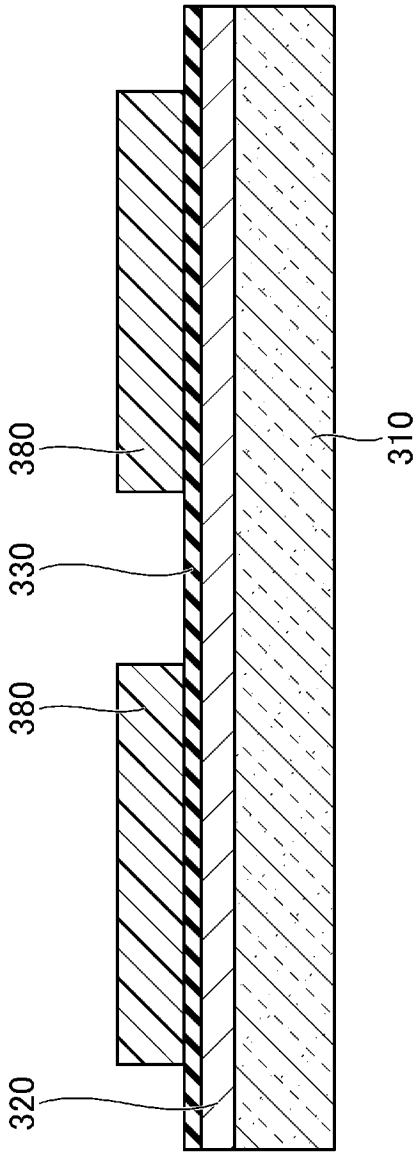
[図8]



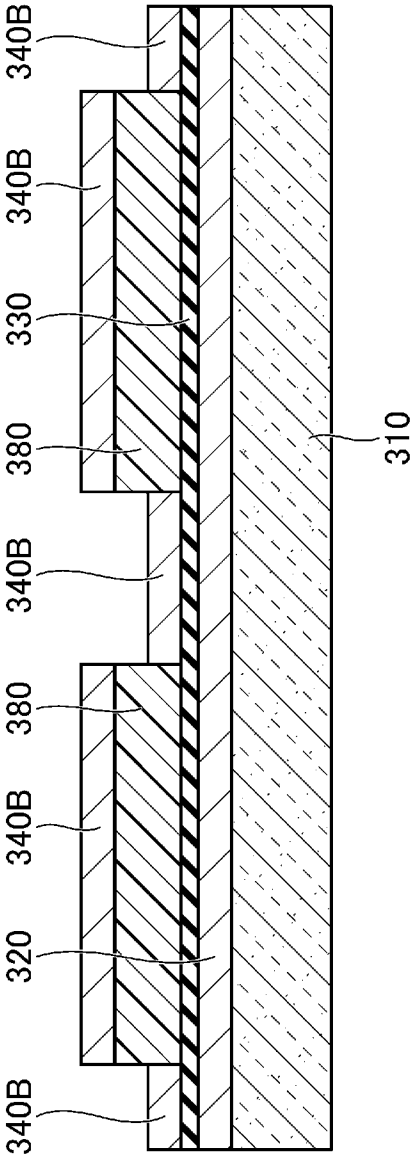
[図9]



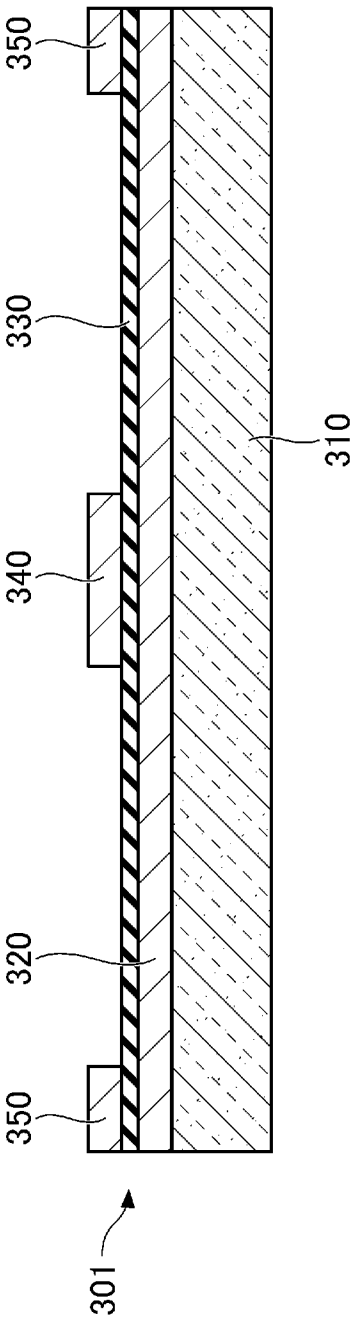
[図10]



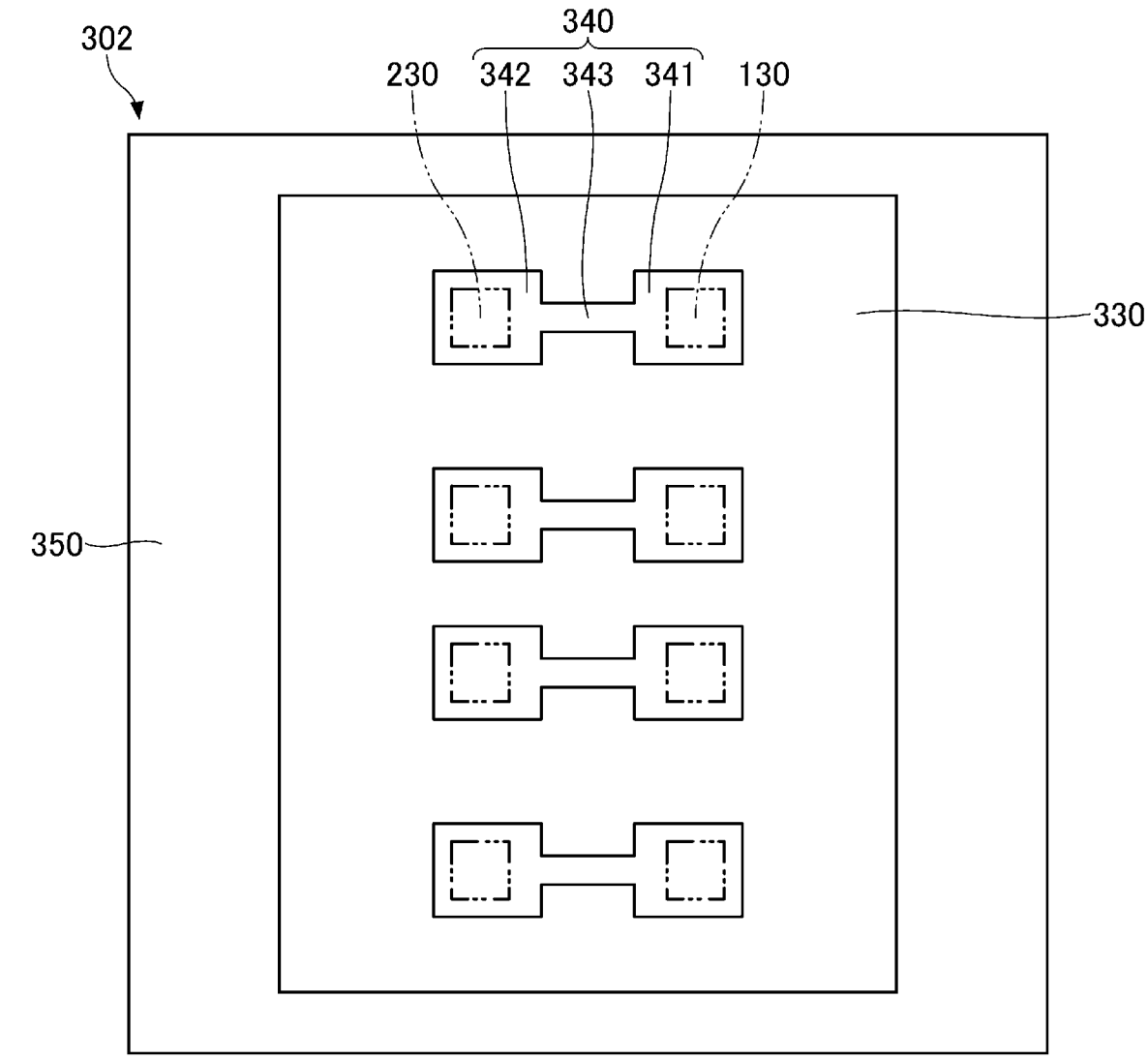
[図11]

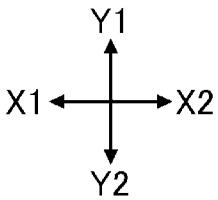


[図12]

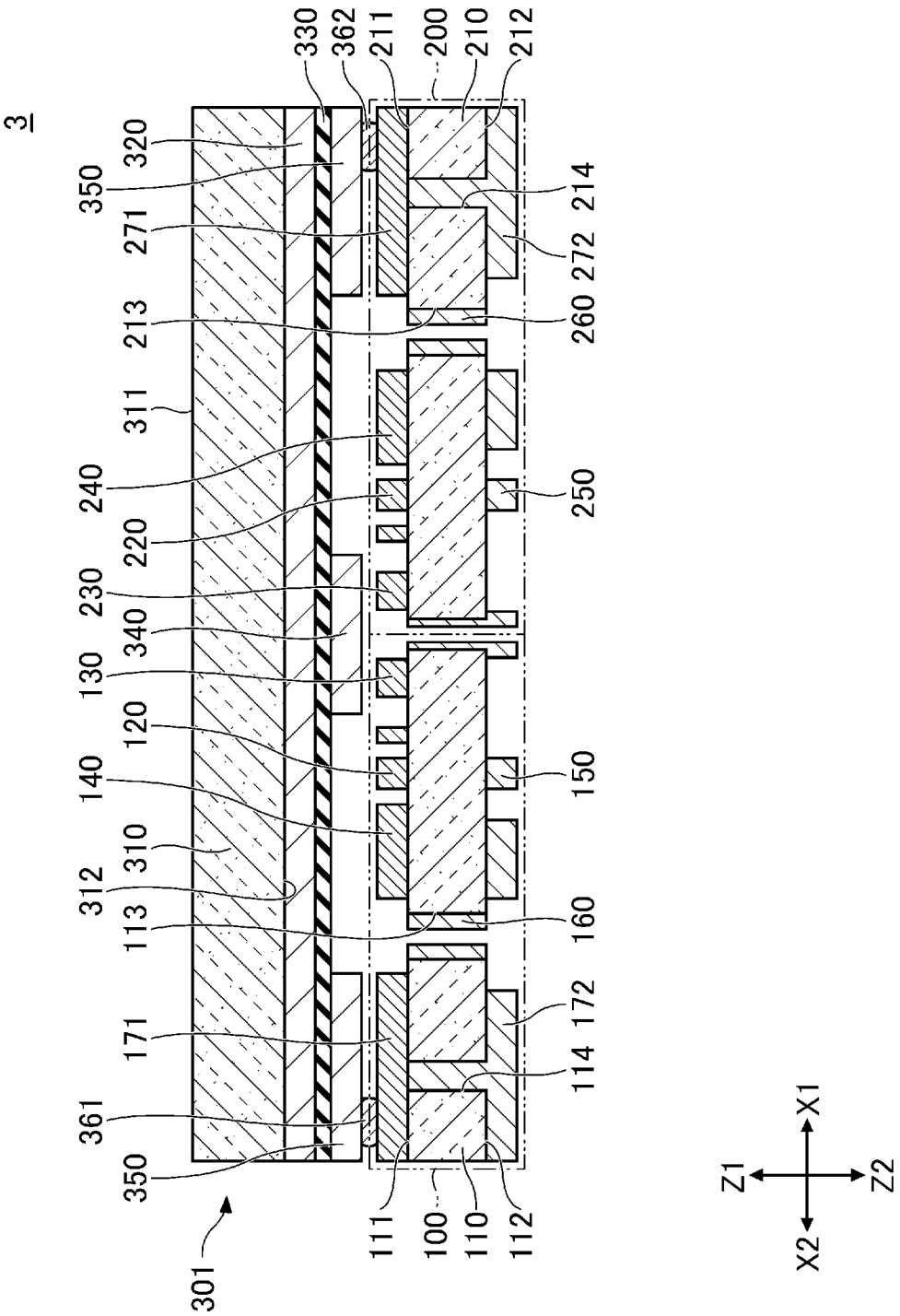


[図13]

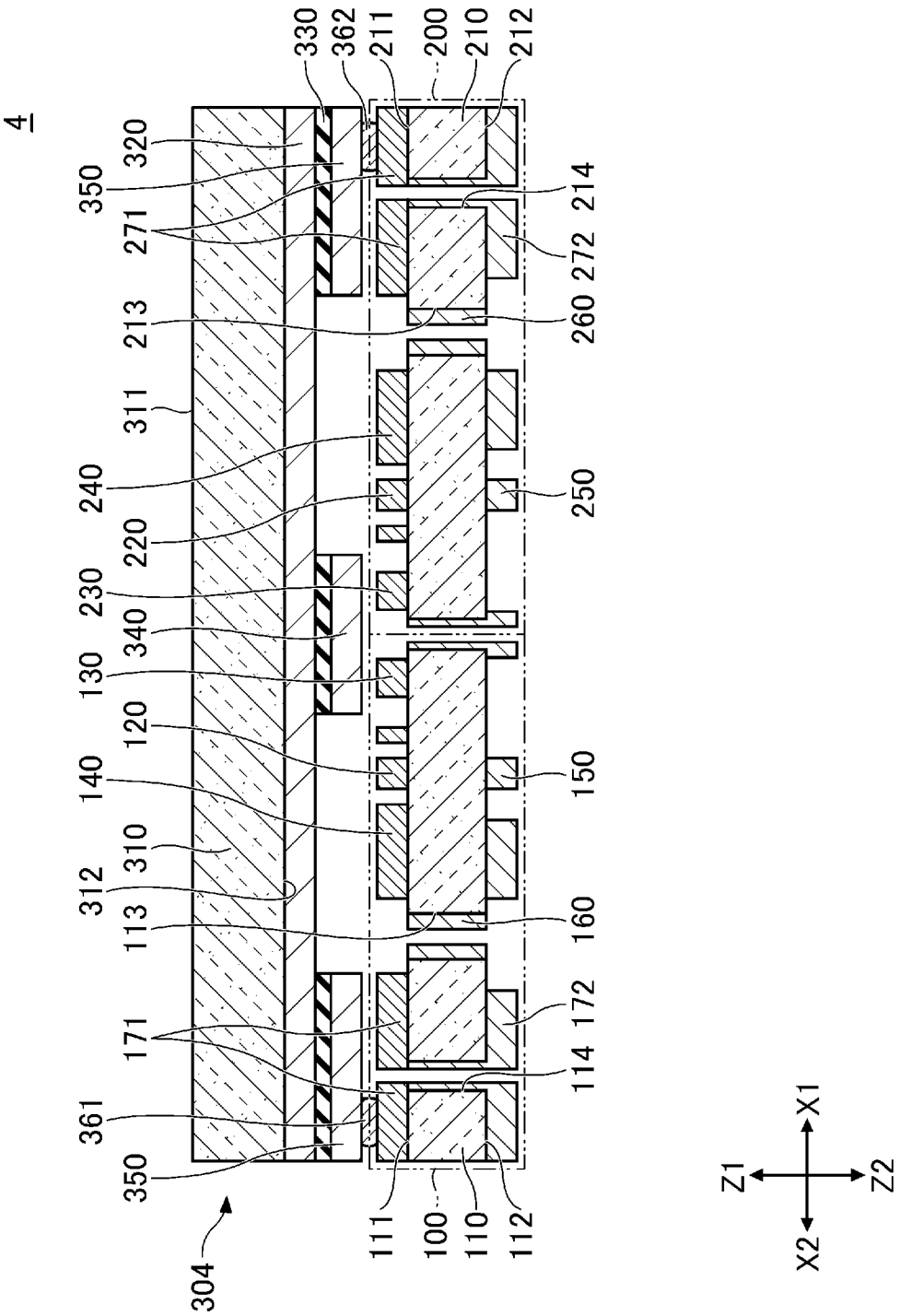




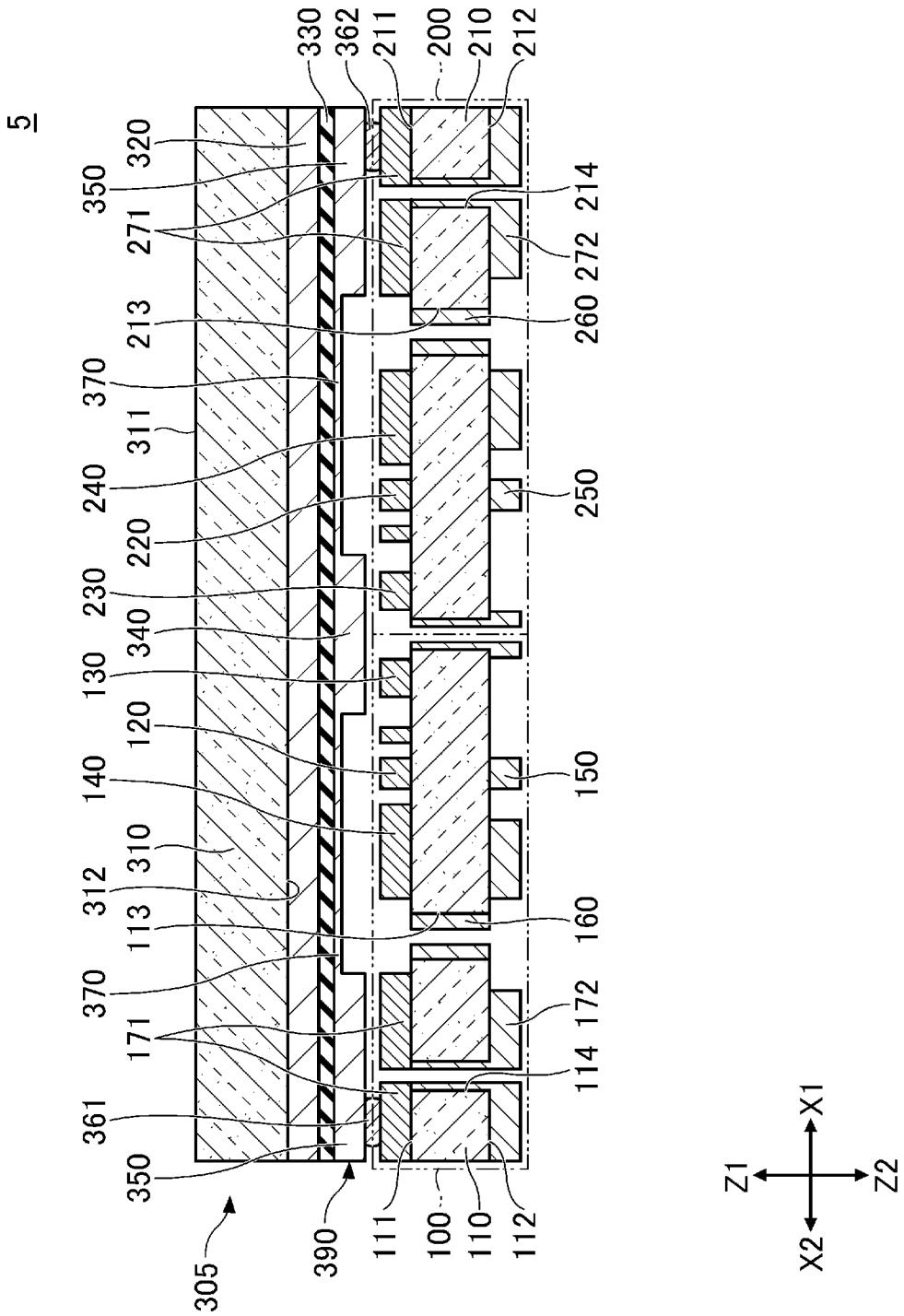
[図14]


3
330
362
211
200
210
212
320
350
271
214
272
213
260
311
240
250
220
230
340
130
120
150
140
310
312
113
160
171
172
114
361
350
301
111
100
110
112
Z1
X1
Z2
X2

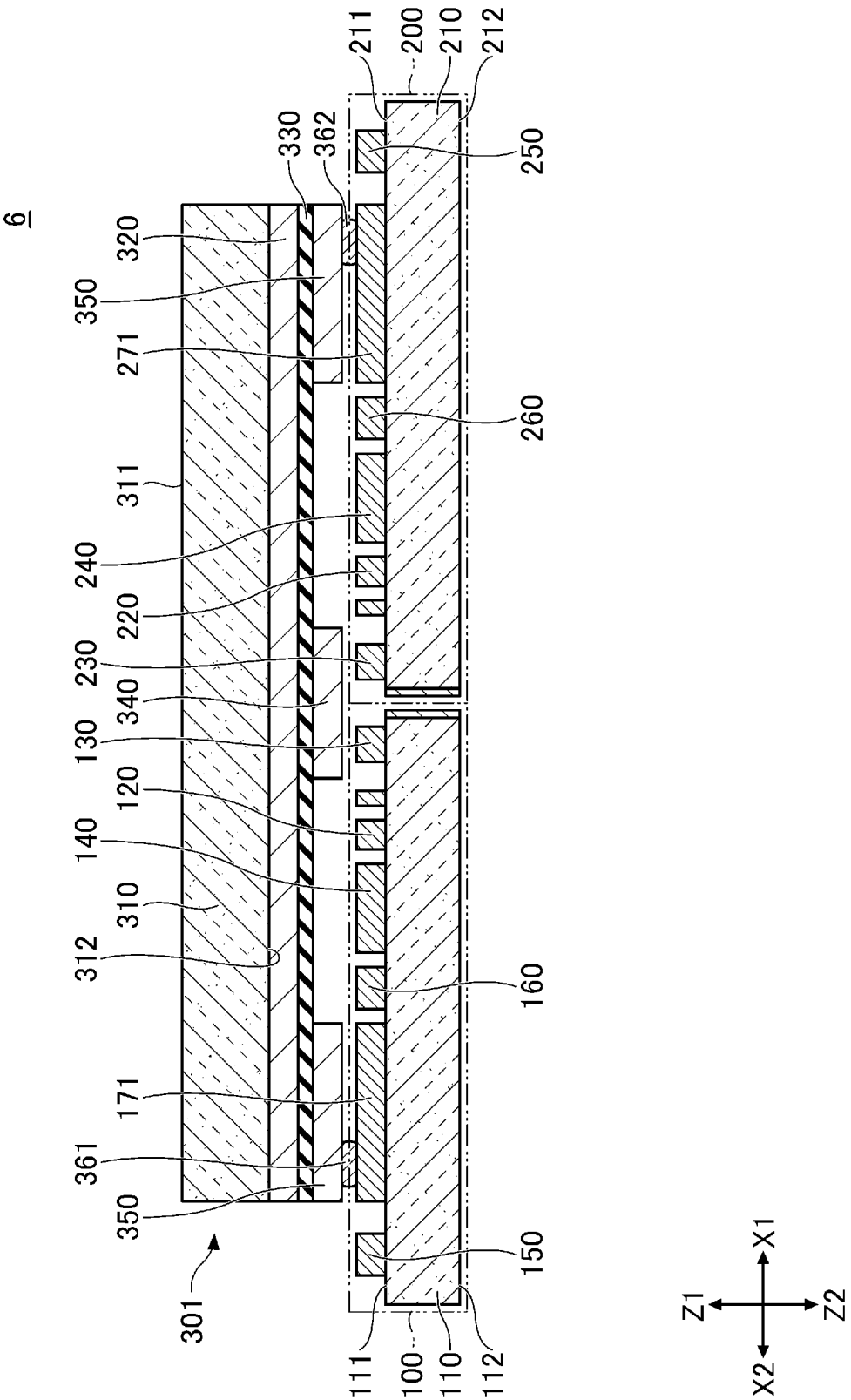
[図15]


4
330
362
211
200
210
212
320
350
271
214
272
213
260
311
240
250
220
230
340
130
120
150
140
310
312
113
160
171
172
114
361
350
304
111
100
110
112
Z1
X1
Z2
X2

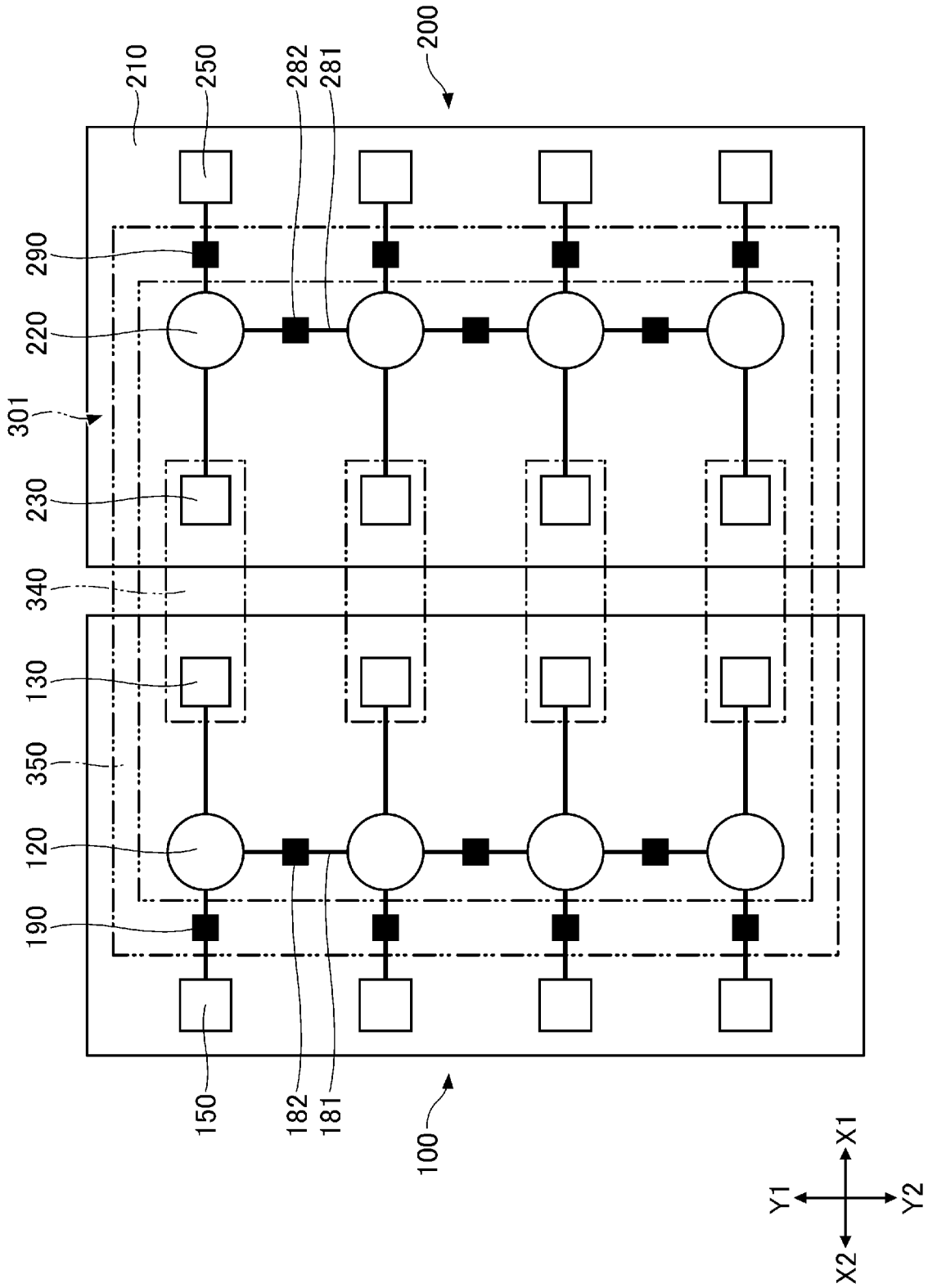
[図16]


5
330
362
211
200
210
212
320
350
271
214
272
213
260
370
311
240
250
220
230
340
130
120
150
140
310
312
113
160
370
171
172
114
361
350
305
390
111
100
110
112
Z1
X1
Z2
X2

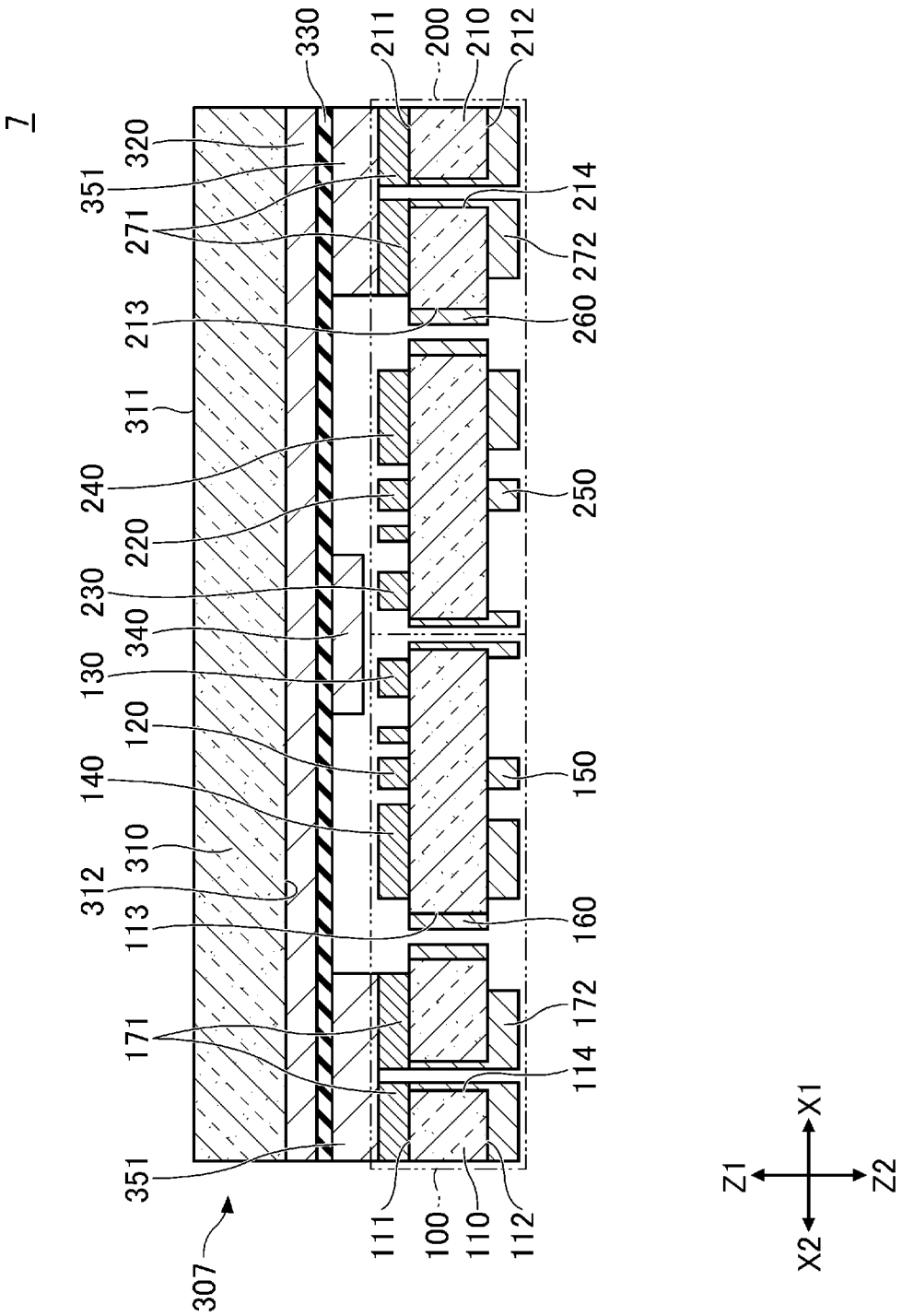
[図17]


6
211
200
210
212
330
362
250
320
350
271
260
311
240
220
230
340
130
120
140
310
312
160
171
361
350
150
301
111
100
110
112
Z1
X1
Z2
X2

[図18]


200
210
250
282
281
290
220
301
230
340
130
350
120
190
150
182
181
100
X1
Y1
Y2
X2

[図19]


7
330
211
200
210
212
320
351
271
214
272
213
260
311
240
250
220
230
340
130
120
150
140
310
312
113
160
171
172
114
351
307
111
100
110
112
Z1
X1
Z2
X2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/009066

A. CLASSIFICATION OF SUBJECT MATTER

H10N 60/12(2023.01)i
FI: H10N60/12 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10N60/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020/0364600 A1 (INTEL CORPORATION) 19 November 2020 (2020-11-19) paragraphs [0036]-[0082], fig. 1-16	1-14
A	US 2020/0287117 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 10 September 2020 (2020-09-10) paragraphs [0022]-[0045], fig. 1-6	1-14
A	US 2022/0123048 A1 (D-WAVE SYSTEMS INC.) 21 April 2022 (2022-04-21) paragraphs [0051]-[0105], fig. 1-6	1-14
A	US 2010/0133514 A1 (BUNYK et al.) 03 June 2010 (2010-06-03) paragraphs [0049]-[0079], fig. 1-6	1-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 May 2023	**30 May 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/009066

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2020/0364600 A1	19 November 2020	WO 2019/132963 A1 paragraphs [0036]-[0082], fig. 1-16	
US 2020/0287117 A1	10 September 2020	(Family: none)	
US 2022/0123048 A1	21 April 2022	WO 2020/168097 A1 p. 15, line 8 to p. 31, line 13, fig. 1-3	
US 2010/0133514 A1	03 June 2010	WO 2008/064491 A1 p. 13, line 10 to p. 22, line 28 EP 2097936 A1 CA 2667640 A JP 2010-511293 A	

国際調査報告

国際出願番号
PCT/JP2023/009066

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10N 60/12(2023.01)i
FI: H10N60/12 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10N60/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2020/0364600 A1 (INTEL CORPORATION) 19.11.2020 (2020-11-19) 段落[0036]-[0082],図1-16	1-14
A	US 2020/0287117 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 10.09.2020 (2020-09-10) 段落[0022]-[0045],図1-6	1-14
A	US 2022/0123048 A1 (D-WAVE SYSTEMS INC.) 21.04.2022 (2022-04-21) 段落[0051]-[0105],図1-6	1-14
A	US 2010/0133514 A1 (BUNYK et al.) 03.06.2010 (2010-06-03) 段落[0049]-[0079],図1-6	1-14

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
18.05.2023	30.05.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

杉山　芳弘 5F 6311

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/009066

引用文献	公表日	パテントファミリー文献	公表日
US 2020/0364600 A1	19.11.2020	WO 2019/132963 A1 段落[0036]-[0082],図1-16	
US 2020/0287117 A1	10.09.2020	（ファミリーなし）	
US 2022/0123048 A1	21.04.2022	WO 2020/168097 A1 第15頁第8行-第31頁第13行, 第1図-第3図	
US 2010/0133514 A1	03.06.2010	WO 2008/064491 A1 第13頁第10行-第22頁第28行 EP 2097936 A1 CA 2667640 A JP 2010-511293 A	