

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成26年7月3日(2014.7.3)

【公開番号】特開2012-252765(P2012-252765A)  
 【公開日】平成24年12月20日(2012.12.20)  
 【年通号数】公開・登録公報2012-054  
 【出願番号】特願2011-170885(P2011-170885)  
 【国際特許分類】

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/407 (2006.01)

【F I】

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/34 3 5 4 D

【手続補正書】

【提出日】平成26年5月19日(2014.5.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

m (mは2以上の自然数)本の書き込みワード線と、

m本の読み出しワード線と、

n (nは2以上の自然数)本のビット線と、

n本のソース線と、

n本の信号線と、

m行×n列のマトリクス状に配置されたメモリセルでなるメモリセルアレイと、

第1の駆動回路と、

第2の駆動回路と、を有し、

前記メモリセルの一は、

第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、

第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、

容量素子と、を有し、

前記第2のトランジスタの前記第2のチャンネル形成領域は、酸化物半導体を含んで構成され、

前記第k (kは、2以上(m-1)以下を満たす自然数)行のメモリセルの第1のソース電極と、前記第(k+1)行のメモリセルの第1のドレイン電極とは、電氣的に接続され、

前記第k行のメモリセルの第1のゲート電極と、前記第k行のメモリセルの第2のドレ

イン電極と、前記第  $k$  行のメモリセルの容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、

前記第 1 の駆動回路は、前記ビット線を介して前記第 1 のドレイン電極と電氣的に接続され、前記信号線を介して前記第 2 のソース電極と電氣的に接続され、

前記第 2 の駆動回路は、前記読み出しワード線を介して前記容量素子の電極の他方と電氣的に接続され、前記書き込みワード線を介して前記第 2 のゲート電極と電氣的に接続され、

前記第 1 の駆動回路は、前記書き込みワード線に入力される信号よりも前記信号線に入力される信号を遅らせる機能を有する半導体装置。

【請求項 2】

前記第  $k$  行のメモリセルの書き込み動作において、

選択されていない前記第 1 乃至前記第  $(k - 1)$  行のメモリセル及び、選択された前記第  $k$  行のメモリセルの前記書き込みワード線に第 1 の高電位が供給され、

選択されていない前記第  $(k + 1)$  乃至前記第  $m$  行のメモリセルの前記書き込みワード線に第 1 の低電位が供給され、

前記選択されていない第 1 乃至第  $(k - 1)$  行のメモリセル及び前記選択された第  $k$  行のメモリセルの前記読み出しワード線に第 2 の低電位が供給され、

前記選択されていない第  $(k + 1)$  乃至第  $m$  行のメモリセルの前記読み出しワード線に第 2 の高電位が供給され、

前記選択されていない第  $(k + 1)$  乃至第  $m$  行のメモリセルの前記第 1 のトランジスタが導通し、

前記選択された第  $k$  行のメモリセルの前記第 1 のトランジスタの前記ソース線が固定電位となることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体装置は、前記第 2 の駆動回路に電源電位より高い電位を出力する電位変換回路を有する請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 の駆動回路は、前記書き込みワード線及び前記読み出しワード線と電氣的に接続されたレベルシフト回路を有する請求項 1 乃至請求項 3 のいずれか一に記載の半導体装置。