

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/095099 A1

(43) 国际公布日
2011 年 8 月 11 日 (11.08.2011)

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2011/070658
- (22) 国际申请日: 2011 年 1 月 26 日 (26.01.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010111791.7 2010 年 2 月 8 日 (08.02.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 昆山龙腾光电有限公司 (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD) [CN/CN]; 中国江苏省昆山市龙腾路一号, Jiangsu 215301 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 张盛东 (ZHANG, Shengdong) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。

廖聪维 (LIAO, Congwei) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 何常德 (HE, Changde) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。 戴文君 (DAI, Wenjun) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。

(74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC LAW OFFICE); 中国广东省深圳市福田区金田路与福华路交汇处现代商务大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: GRID DRIVING CIRCUIT UNIT, GRID DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 栅极驱动电路单元、栅极驱动电路及显示装置

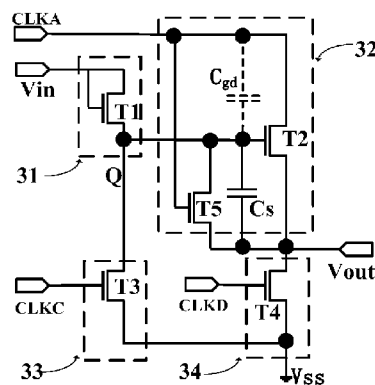


图 3 / Fig. 3

(57) Abstract: A grid driving circuit unit, a grid driving circuit and a display device are provided. The grid driving circuit unit comprises: a first clock signal control module, an input signal control module, a third clock signal control module and a fourth clock signal control module, wherein the first clock signal control module comprises a driving unit and a clock feed-through inhibiting unit. The driving unit transfers a first clock signal to an output port after being switched on; the clock feed-through inhibiting unit couples the control end of the driving unit to a signal output interface under the control of the first clock signal; the input signal control module provides the driving voltage for the driving unit under the control of an input pulse signal; the third clock signal control module provides the shutdown voltage for the driving unit under the control of a third clock signal; the third clock signal lags two phases behind the first clock signal; the fourth clock signal control module pulls down the voltage of the signal output interface under the control of a fourth clock signal, and the fourth clock signal is one phase ahead of the first clock signal.

[见续页]



WO 2011/095099 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) **摘要:**

一种栅极驱动电路单元、栅极驱动电路及显示装置, 该栅极驱动电路单元包括: 第一时钟信号控制模块、输入信号控制模块、第三时钟信号控制模块和第四时钟信号控制模块。第一时钟信号控制模块包括驱动单元和时钟馈通抑制单元, 驱动单元在开启后, 将第一时钟信号传送到输出端口; 时钟馈通抑制单元在第一时钟信号的控制下将驱动单元的控制端耦合到信号输出接口; 输入信号控制模块在输入脉冲信号的控制下, 给驱动单元提供驱动电压; 第三时钟信号控制模块在第三时钟信号的控制下给驱动单元提供关闭电压, 第三时钟信号比第一时钟信号滞后两个相位; 第四时钟信号控制模块在第四时钟信号的控制下拉下信号输出接口的电压, 第四时钟信号比第一时钟信号超前一个相位。

说明书

发明名称：栅极驱动电路单元、栅极驱动电路及显示装置

技术领域

- [1] 本发明涉及一种显示装置，特别涉及显示装置的栅极驱动电路。

背景技术

- [2] 非晶硅TFT工艺具有加工温度低、器件性能均匀、成本低、适用于大面积显示的特点，因此非晶硅TFT LCD工艺已经成为现代平板显示技术的主流。

- [3] 栅极驱动电路是非晶硅TFT

LCD的重要组成部分，为了进一步地提高非晶硅TFT LCD的性能以及降低其成本，近年来，集成非晶硅TFT栅极驱动电路的研究受到了广泛的重视。目前大多数平板显示器所采用的栅极驱动方式是通过压封的办法将外围的IC芯片连接到显示面板。与这种常规方式相比，将非晶硅TFT栅极驱动电路集成于玻璃基板上的方式不仅能够减少外围驱动芯片的数量及其压封工序，而且能够制作成质量轻、厚度薄且外观对称的窄边框面板，使液晶面板的总体费用降低，使液晶模组更加紧凑，机械可靠性更强。

- [4] 应用非晶硅TFT制作集成电路通常面临两个难题：一是非晶硅的载流子迁移率低，从而非晶硅TFT难于提供大的驱动电流，这导致了集成非晶硅TFT的电路速度慢；二是在长时间的电应力作用下，非晶硅TFT的阈值电压会发生漂移，这种阈值电压的漂移会带来电路性能的不稳定甚至电路的失效。

- [5] 迄今为止，已经有多篇报道提出了几种集成非晶硅TFT栅极驱动电路方案来解决这两个难题，这些报道中提到的电路一般采用栅极电压自举技术提高上拉TFT的驱动能力，采用半周期开启的驱动方式抑制下拉TFT管的阈值电压漂移，采用占空比为50%的两相时钟信号作为时钟信号，通常一个栅极驱动电路单元为达到上述功能需要包含十多个晶体管。然而这种两相时钟的栅极驱动电路存在明显的不足：电路的功耗大，稳定性差，器件的数量多导致电路复杂、版图面积大等。这些不足使得两相时钟的集成栅极驱动电路在低功耗、高性能以及高分辨率显示领域中的应用受到了限制。因此，如何降低集成栅极驱动电路的功耗、

提高其稳定性，降低电路的复杂程度仍为亟待研究的问题。

对发明的公开

技术问题

- [6] 本发明要解决的主要技术问题是，提供了一种栅极驱动电路单元、栅极驱动电路及显示装置，降低电路的复杂程度、减少功耗并提高电路的稳定性。

技术解决方案

- [7] 一方面，本发明公开了一种栅极驱动电路单元，包括：信号输入接口，用于接收输入脉冲信号；信号输出接口，用于输出驱动信号；第一时钟信号控制模块，包括驱动单元和时钟馈通抑制单元，所述驱动单元包括控制端，所述驱动单元的控制端接受驱动电压后，将第一时钟信号传送至所述信号输出接口；所述时钟馈通抑制单元用于在第一时钟信号的控制下将所述控制端耦合到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位；输入信号控制模块，用于从信号输入接口接收输入脉冲信号，并在输入脉冲信号的控制下，给所述驱动单元的控制端提供驱动电压；第三时钟信号控制模块，用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位；第四时钟信号控制模块，用于在第四时钟信号的控制下，拉下所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。
- [8] 其中，所述第一时钟信号、第三时钟信号和第四时钟信号三个周期相同的N相时钟信号，其中，N为大于或等于4的整数。所述一个相位的值等于 $2\pi/N$ 。
- [9] 在一种实施例中，所述输入信号控制模块用于在输入脉冲信号的控制下，给所述驱动单元的控制端充电；所述驱动单元用于输入所述第一时钟信号，在被所述驱动电压开启后将所述第一时钟信号传递到所述信号输出接口；所述第三时钟信号控制模块用于响应第三时钟信号，且在第三时钟信号的控制下拉下所述驱动单元的控制端的电压。
- [10] 本发明公开的另一种栅极驱动电路单元包括：信号输入接口，用于接收输入脉冲信号；信号输出接口，用于输出驱动信号；第一时钟信号控制模块，包括驱动单元和时钟馈通抑制单元，所述驱动单元包括控制端，所述驱动单元的控制

端接受驱动电压后，将第一时钟信号传送至所述信号输出接口；所述时钟馈通抑制单元用于在第一时钟信号的控制下将所述控制端耦合到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位；输入信号控制模块，用于从信号输入接口接收输入脉冲信号，并在输入脉冲信号的控制下，给所述驱动单元的控制端提供驱动电压；第二时钟信号控制模块，用于在第二时钟信号的控制下，拉下所述信号输出接口的电压，所述第二时钟信号比第一时钟信号滞后一个相位；第三时钟信号控制模块，用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位；第四时钟信号控制模块，用于在第四时钟信号的控制下，拉下所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。

[11] 所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号是四个周期相同的M相时钟信号，其中，M为大于或等于4的整数。所述一个相位的值等于 $2\pi/M$ 。

[12] 另一方面，本发明还公开了一种包括以上任一种栅极驱动电路单元的栅极驱动电路，该栅极驱动电路包括多级串接的栅极驱动电路单元，前一级栅极驱动电路单元的信号输出接口耦合到后一级栅极驱动电路单元的信号输入接口，至少一个栅极驱动电路单元为上述任一个所述的栅极驱动电路单元，且后一级栅极驱动电路单元的时钟信号比前一级栅极驱动电路单元的相应的时钟信号滞后一个相位。

[13] 又一方面，本发明还公开一种显示装置，包括：面板，所述面板包括由多个像素构成的二维像素阵列，以及与每个像素阵列相连的第一方向的多条数据线和第二方向的多条栅极扫描线；数据驱动电路，用于给所述数据线提供图像信号；上述所述的栅极驱动电路，用于给所述栅极扫描线提供驱动信号。

[14] 本发明通过多相时钟的电路设计，采用极少的晶体管即完成了栅极驱动电路的功能，降低了电路设计的复杂程度，减小了栅极驱动电路的面积，减少了其功耗，并且提高了其稳定性。

附图说明

[15] 图1示例性地描述了显示装置的结构框图；

- [16] 图2示例性地描述了本发明的栅极驱动电路的结构框图；
- [17] 图3示例性地描述了本发明的一种栅极驱动电路单元的电路图；
- [18] 图4示例性地描述了本发明一种栅极驱动电路单元的信号图；
- [19] 图5示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由四相时钟驱动时的电路图；
- [20] 图6示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由四相时钟驱动时的信号图；
- [21] 图7示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由六相时钟驱动时的电路图；
- [22] 图8示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由六相时钟驱动时的信号图；
- [23] 图9示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由八相时钟驱动时的电路图；
- [24] 图10示例性地描述了本发明采用一种栅极驱动电路单元的栅极驱动电路由八相时钟驱动时的信号图；
- [25] 图11示例性地描述了本发明的另一种栅极驱动电路单元的电路图；
- [26] 图12示例性地描述了本发明的另一种栅极驱动电路单元的信号图；
- [27] 图13示例性地描述了本发明采用另一种栅极驱动电路单元的栅极驱动电路由四相时钟驱动时的电路图；
- [28] 图14示例性地描述了本发明采用另一种栅极驱动电路单元的栅极驱动电路由四相时钟驱动时的信号图；
- [29] 图15示例性地描述了本发明采用另一种栅极驱动电路单元的栅极驱动电路由六相时钟驱动时的电路图；
- [30] 图16示例性地描述了本发明采用另一种栅极驱动电路单元的栅极驱动电路由六相时钟驱动时的信号图。

本发明的实施方式

- [31] 下面对照附图并结合具体实施方式对本发明进行进一步详细说明。
- [32] 如图1所示，显示装置1包括面板4、数据驱动电路3和栅极驱动电路2。所述面

板4包括由多个像素41、42、43、44、45、46构成的二维像素阵列，以及与每个像素阵列相连的第一方向（例如纵向）的多条数据线和第二方向（例如横向）的多条栅极扫描线。图1中以像素41、42、43、44、45、46为例进行表示，本领域技术人员应当理解，每一行或每一列所包括的像素数量根据面板的具体情况确定。通常，每条栅极扫描线对应于像素阵列中的一行，每条数据线对应像素阵列中的一列。数据驱动电路3用于输出图像信号到所述数据线；栅极驱动电路2用于输出驱动信号到所述栅极扫描线，以完成对像素阵列的行扫描。所述栅极驱动电路可以通过焊接与面板相连或者将栅极驱动电路集成在面板上。显示装置1可以是液晶显示器、有机发光显示器、电子纸显示器等。

[33] 如图2所示为栅极驱动电路2的结构框图。栅极驱动电路2包括串联的多级栅极驱动电路单元，前一级栅极驱动电路单元的信号输出接口Vout耦合到后一级栅极驱动电路单元的信号输入接口Vin，首级驱动电路单元的输入信号由信号发生器提供，每一级驱动电路单元的信号输出接口Vout都连接着负载面板上相对应的一条栅极扫描线。

[34] 信号发生器还用于给各级栅极驱动电路单元提供低电平信号Vss。

[35] 时钟发生器给各级栅极驱动电路单元提供时钟信号。

[36] 如图3所示为栅极驱动电路单元的一种具体实施例的电路图。首先对一些术语进行说明。

[37] 晶体管可以为双极型晶体管或场效应晶体管。当晶体管为双极型晶体管时，其控制极是指双极型晶体管的基极，第一、二主电流导通极分别指双极型晶体管的集电极和发射极。当晶体管为场效应晶体管时，其控制极是指场效应晶体管的栅极，第一、二主电流导通极分别指场效应晶体管的漏极和源极。显示装置中的晶体管通常为薄膜晶体管(TFT)，此种情况下晶体管的控制极是指薄膜晶体管的栅极，第一、二主电流导通极分别指薄膜晶体管的漏极和源极。

[38] 下面以晶体管为TFT为例说明图3所示栅极驱动电路单元的结构和工作过程。

[39] 如图3所示的实施例中，栅极驱动电路单元包括：信号输入接口Vin、信号输出接口Vout、输入信号控制模块111、第一时钟信号控制模块32、第三时钟信号控制模块33和第四时钟信号控制模块34。信号输入接口Vin用于接收输入脉冲信号

。信号输出接口Vout用于输出驱动信号。第一时钟信号控制模块32包括驱动单元和时钟馈通抑制单元，所述驱动单元包括控制端，所述驱动单元的控制端接受驱动电压后，将第一时钟信号传送至所述信号输出接口；所述时钟馈通抑制单元用于在第一时钟信号的控制下将所述控制端耦合到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位。输入信号控制模块31用于从信号输入接口接收输入脉冲信号，给所述驱动单元的控制端提供驱动电压。第三时钟信号控制模块33用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位。第四时钟信号控制模块34用于在第四时钟信号的控制下，拉下所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。

- [40] 图3示出了栅极驱动电路单元在一种实施例中的具体电路结构，输入信号控制模块31包括第一晶体管T1，所述第一晶体管T1的栅极和漏极接收输入信号Vin，所述第一晶体管T1的源极用于输出驱动电压信号；第一时钟信号控制模块32包括驱动单元和时钟馈通抑制单元，所述驱动单元包括第二晶体管T2，所述第二晶体管T2的栅极连接到所述第一晶体管T1的源极，第二晶体管T2的栅极即为驱动单元的控制端，定义第一晶体管T1的源极和第二晶体管T2的栅极的连接节点为节点Q，所述第二晶体管T2的漏极输入第一时钟信号CLKA，所述第二晶体管T2的源极连接到所述信号输出接口Vout，用于在所述第二晶体管T2的栅极电压的控制下，当所述第一时钟信号CLKA的高电平到来时对所述信号输出接口充电，当所述第一时钟信号CLKA的低电平到来时拉下所述信号输出接口Vout的电位。时钟馈通抑制单元包括第五晶体管T5，所述第五晶体管T5的栅极响应第一时钟信号CLKA，其漏极连接到第二晶体管T2的栅极，源极连接到信号输出接口Vout，第五晶体管T5用于当信号输出为低电平时在第一时钟信号CLKA的高电平到来时将第二晶体管T2的栅极耦合到所述信号输出接口Vout，从而稳定第二晶体管T2的栅极电位。所述第三时钟信号控制模块33包括第三晶体管T3，所述第三晶体管T3的栅极响应第三时钟信号CLKC，第三晶体管T3的漏极连接到所述第二晶体管T2的栅极，第三晶体管T3的源极连接到第一电压源Vss，第一电压源Vss用于提供低电平，第三晶体管T3用于在所述第三时钟信号CLKC的高电平到来时将第

二晶体管T2的栅极耦合到第一电压源Vss，从而拉低所述第二晶体管T2的栅极的电位。本实施例中，第四时钟信号控制模块34包括第四晶体管T4，所述第四晶体管T4的栅极响应第四时钟信号CLKD，漏极连接到所述信号输出接口Vout，源极连接到第一电压源Vss，第四晶体管T4用于在第四时钟信号CLKD的高电平到来时将输出接口Vout连接到第一电压源Vss，从而拉低所述信号输出接口Vout的电压。

[41] 本实施例中，栅极驱动电路单元的三个时钟信号满足以下条件：

[42] 第一时钟信号、第三时钟信号和第四时钟信号是三个周期相同的N相时钟信号。这三个时钟信号的占空比均为 $1/N$ ，每个相位的值等于 $2\pi/N$ 。其中，N为大于或等于4的整数。第三时钟信号CLKC比第一时钟信号CLKA滞后两个相位，第四时钟信号CLKD比第一时钟信号CLKA超前一个相位。各时钟信号的高电平为Vdd，低电平为Vss。

[43] 如图4所示，栅极驱动电路的工作过程分为四个阶段：预充电阶段、上拉阶段、下拉阶段以及低电平维持阶段，下面详细说明这四个阶段。

[44] (1) 预充电阶段

[45] 在第二晶体管T2的漏极成为高电平之前，加在信号输入接口Vin的输入脉冲信号通过第一晶体管T1给节点Q充电，第二晶体管T2在参与给负载的充电之前被充分打开的过程称为预充电阶段。

[46] 预充电阶段，时钟信号CLKA、CLKC均为低电平，时钟信号CLKD为高电平，输入信号Vin为高电平，第一晶体管T1开启，节点Q的电位逐渐抬高。当节点Q的电位高于第二晶体管T2的阈值电压Vth的时候，第二晶体管T2被打开。因为时钟信号CLKA为低电平，所以输出信号Vout保持为低电位。此时，第三晶体管T3、第四晶体管T4和第五晶体管T5均处于关断状态。预充电结束时刻，节点Q的电位达到 $V_{dd}-V_{th}$ 。

[47] (2) 上拉阶段

[48] 第二晶体管T2的漏极电压变成高电平，处于开启状态晶体管T2给负载端充电，并将信号输出接口Vout的电位最终上拉到Vdd的过程称为上拉阶段。

[49] 上拉阶段时，时钟信号CLKA变为高电平，时钟信号CLKC和CLKD为低电平

，输入信号 V_{in} 为低电平，第一晶体管T1关断，第三晶体管T3、第四晶体管T4也处于关断状态。因此，节点Q悬浮，第二晶体管T2保持为开启，时钟信号CLKA通过第二晶体管T2给负载提供充电电流。节点Q的电位随着输出接口Vout的充电而提高，这被称为自举。

[50] 在上拉阶段之初，第二晶体管T2工作于饱和导通的状态，第五晶体管T5也处于饱和导通的状态；当输出电压达到 $2V_{th}$ 后，第二晶体管T2进入线性导通的状态；当输出电压达到 $V_{dd}-V_{th}$ 后，第五晶体管T5被关断。

[51] (3) 下拉阶段

[52] 第二晶体管T2、第三晶体管T3和第四晶体管T4分别对输出接口Vout和节点Q放电，并且将节点Q和输出接口Vout的电位最终拉到 V_{ss} 的过程，称为下拉阶段。

[53] 下拉阶段包含两个连续的过程，第一个过程是给输出接口Vout的放电。时钟信号CLKA、CLKC和CLKD为低电平。因此，第一晶体管T1、第三晶体管T3、第四晶体管T4和第五晶体管T5均处于关断状态。此时，因为第二晶体管T2保持着开启的状态，而第二晶体管的漏极电平为 V_{ss} ，所以信号输出接口Vout的电位通过第二晶体管T2管下拉到 V_{ss} 。

[54] 下拉阶段的第二个过程是给节点Q的放电。时钟信号CLKC成为高电平，时钟信号CLKA和CLKD为低电平。此时，第三晶体管T3开启，节点Q的存储电荷通过第三晶体管T3释放。因此，节点Q的电位降低。当节点Q的电位降低到 V_{th} 之下后，第二晶体管T2管关断。

[55] 节点Q上存储的电荷必须在时钟信号CLKC的高电平期间彻底释放，否则，第二晶体管T2仍然处于开启状态，从而信号输出接口Vout的低电平状态在第一个时钟信号CLKA下一个周期的高电平作用下被破坏。

[56] (4) 低电平维持阶段

[57] 当输出接口的电位被拉低到 V_{ss} 以后，该栅极驱动电路单元进入非选通状态。在此阶段，输出接口Vout的电位须稳定地维持于低电平 V_{ss} ，故称该阶段为低电平维持阶段。

[58] 若在低电平维持阶段，栅极驱动电路的信号输出端口Vout出现噪声电压，则与之相连接的面板的行选择晶体管误开启，从而造成面板中图像信息的错误。

- [59] 在低电平维持阶段，第一晶体管T1管处于关态，第二晶体管T2的栅极因电荷在时钟信号CLKC为高电平时的释放而变成低电平，因此输出信号Vout理应也维持在低电平。
- [60] 但是，当时钟信号CLKA从低电平跳变到高电平时，由于第二晶体管T2的栅-漏寄生电容Cgd的连接，第二晶体管T2的栅电位VQ也相应增加。当VQ大于晶体管T2的阈值电压Vth的时候，晶体管T2开启，负载电容被充电，输出信号Vout出现噪声电压。这种情况下，需要采取一些措施维持输出信号Vout的低电平状态。
- [61] 本实施例从防止输出驱动信号出现噪声电压和消除输出驱动信号上的噪声电压两方面解决该问题。
- [62] 为防止输出驱动信号出现噪声电压，在本实施例中增加了第五晶体管T5。增加了第五晶体管T5后，第二晶体管T2的栅电位VQ的大小取决于第二晶体管T2的寄生电容Cgd与输出接口Vout的负载电容的大小之比。输出接口Vout的负载电容的值要远远大于节点Q的电容，因此VQ被显著减小，减少第二晶体管T2被开启的几率，从而降低噪声电压出现的可能性。
- [63] 增加了第五晶体管T5之后，当时钟信号CLKA从低电平跳变到高电平时，由于第二晶体管T2的栅-漏寄生电容Cgd的耦合，节点Q出现高电平。此时，第五晶体管T5管在时钟信号CLKA的控制下打开，节点Q与输出接口Vout短接，节点Q上的耦合电荷通过第五晶体管T5释放到输出接口Vout，节点Q的电压下降，第二晶体管T2得以保持关断状态，同时输出信号Vout也得以维持于低电平状态。
- [64] 增加了第五晶体管T5之后，当时钟信号CLKA从高电平跳变到低电平时，同样地，由于上拉的第二晶体管T2的栅-漏寄生电容Cgd的耦合，节点Q出现比Vss更低的一个低电平。此时，与节点Q连接着的第三晶体管T3和第五晶体管T5均处于关断状态，第二晶体管T2也处于关断的状态，因此，输出信号Vout仍然保持为低电平状态，直到时钟信号CLKC的高电平来临，第三晶体管T3管被开启，节点Q的电位得以恢复到Vss。
- [65] 另一方面，为消除输出驱动信号中出现的噪声电压，本实施例中增加了第四晶体管T4。第四晶体管T4在时钟信号CLKD为高电平时打开，将信号输出接口连接到地，从而将信号输出接口Vout点的噪声电荷释放，避免信号输出接口Vout点

长时间噪声电荷的累积，从而消除输出驱动信号中的噪声电压。而且时钟信号CLKD超前时钟信号CLKA一个相位，即时钟信号CLKD的下降沿和时钟信号CLKA的上升沿有一定的交叠，当时钟信号CLKA处于上升沿时，时钟信号CLKD处于下降沿，第四晶体管T4还没有完全关断，所以可减少信号输出接口Vout点的噪声电压。

[66] 另外，第三晶体管T3在时钟信号CLKC为高电平时打开，将节点Q连接到地，将Q点的噪声电荷释放，避免Q点的长时间噪声电荷的累积，保证第二晶体管T2在低电平维持阶段的可靠关断，防止第二晶体管T2将信号输出接口Vout点的电压上拉。

[67] 在另外的实施例中，时钟馈通抑制单元还包括存储电容Cs，所述存储电容Cs连接在所述第二晶体管T2的栅极和源极之间。通过增加存储电容Cs，可减少晶体管T2的寄生电容Cgd与节点Q的电容之比，因此增加存储电容Cs的值能够减少VQ，从而抑制输出接口Vout的噪声电压。但是，存储电容Cs也不宜太大，过大的存储电容Cs会导致过大的电路面积。

[68] 晶体管T5和存储电容Cs共同构成时钟馈通抑制单元，可以减少低电平维持阶段输出信号的噪声，使输出信号更加平稳。

[69] 由以上工作过程可知，与现有技术中需要10个以上的晶体管的两相时钟驱动的方案相比，本实施例的栅极驱动电路通过多相时钟的设计，采用极少数量的晶体管即完成了栅极驱动电路的功能，降低了电路设计的复杂程度，一方面减小了电路设计面积，降低了功耗，更适用于高品质的显示装置，另一方面提高了电路制造的成品率。

[70] 另外，栅极驱动电路的功耗主要是动态功耗，其与时钟的频率成正比，本实施例设计了三个时钟信号，采用大于或等于四相的时钟信号，减少时钟跳变的频率，从而减少了功耗。

[71] 本实施例从防止输出驱动信号出现噪声电压和消除输出驱动信号上的噪声电压两方面保持低电平维持阶段输出驱动信号的稳定性，既向像素阵列提供了稳定的驱动信号，又向下一级栅极驱动电路单元提供了稳定的输入信号，从而提高了整个栅极驱动电路的稳定性和显示装置的图像显示质量。

- [72] 由于采用了多相时钟驱动，电路中承受电压应力的下拉晶体管的栅极电压信号的占空比较小，所以晶体管阈值电压漂移量少，电特性退化减小，电路稳定性好。从而栅极驱动电路的寿命被延长。
- [73] 下面以栅极驱动电路采用的时钟相位为四、六和八为例进行说明。
- [74] 为满足显示装置对栅极驱动信号的要求，当多级栅极驱动电路单元串接时，后一级栅极驱动电路单元的时钟信号比前一级栅极驱动电路单元的相对应的时钟信号要滞后一个相位。
- [75] 当时钟信号的相数等于N的时候，第 $k*N+1$ 级栅极驱动电路单元的时钟接口的接法与第1级栅极驱动电路单元相同，第 $k*N+2$ 级栅极驱动电路单元的时钟接口的接法与第2级栅极驱动电路单元相同.....第 $k*N+i$ 级栅极驱动电路单元的时钟接口的接法与第i级栅极驱动电路单元相同。其中，k为大于或者等于1的整数，i为大于或者等于0并且小于或者等于N-1的整数。
- [76] 如图5所示，时钟发生器提供的时钟信号为四相时钟信号,分别为CLK1、CLK2、CLK3和CLK4，脉冲占空比为25%，此时各级栅极驱动电路单元的时钟具体连接方式为：
- [77] 第一级栅极驱动电路单元51的时钟接口CLKA接信号CLK1，时钟接口CLKC接信号CLK3，时钟接口CLKD接信号CLK4；第二级栅极驱动电路单元52的时钟接口CLKA接信号CLK2，时钟接口CLKC接信号CLK4，时钟接口CLKD接信号CLK1；第三级栅极驱动电路单元53的时钟接口CLKA接信号CLK3，时钟接口CLKC接信号CLK1，时钟接口CLKD接信号CLK2；第四级栅极驱动电路单元54的时钟接口CLKA接信号CLK4，时钟接口CLKC接信号CLK2，时钟接口CLKD接信号CLK3.....
- [78] 其余各级的接法：当级数被4除余1，则该栅极驱动电路单元的时钟接口的接法与第一级栅极驱动电路单元相同；如果级数被4除余2，则该栅极驱动电路单元的时钟接口的接法与第二级栅极驱动电路单元相同；如果级数被4除余3，则该栅极驱动电路单元的时钟接口的接法与第三级栅极驱动电路单元相同；如果级数被4整除，则该栅极驱动电路单元的时钟接口的接法与第四级栅极驱动电路单元相同。

- [79] 采用四相时钟驱动时的工作信号图如图6所示，该栅极驱动电路在上述四相时钟信号和起始脉冲信号的作用下，为图1中所示的负载面板的各行提供驱动信号。
- [80] 本实施例中，栅极驱动电路采用的六相时钟信号如图7所示，时钟发生器提供的时钟信号为六相时钟信号，分别为CLK1、CLK2、CLK3、CLK4、CLK5和CLK6，脉冲占空比为1/6，各级栅极驱动电路单元的时钟具体连接方式为：
- [81] 第一级栅极驱动电路单元71的时钟接口CLKA接信号CLK1，时钟接口CLKC接信号CLK3，时钟接口CLKD接信号CLK4；第二级栅极驱动电路单元72的时钟接口CLKA接信号CLK2，时钟接口CLKC接信号CLK4，时钟接口CLKD接信号CLK5；第三级栅极驱动电路单元73的时钟接口CLKA接信号CLK3，时钟接口CLKC接信号CLK5，时钟接口CLKD接信号CLK6；第四级栅极驱动电路单元74的时钟接口CLKA接信号CLK4，时钟接口CLKC接信号CLK6，时钟接口CLKD接信号CLK1；第五级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK5，时钟接口CLKC接信号CLK1，时钟接口CLKD接信号CLK2；第六级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK6，时钟接口CLKC接信号CLK2，时钟接口CLKD接信号CLK3.....
- [82] 其余各级的接法：当级数被6除余1，则该栅极驱动电路单元的时钟接口的接法与第一级栅极驱动电路单元相同；如果级数被6除余2，则该栅极驱动电路单元的时钟接口的接法与第二级栅极驱动电路单元相同；如果级数被6除余3，则该栅极驱动电路单元的时钟接口的接法与第三级栅极驱动电路单元相同；如果级数被6除余4，则该栅极驱动电路单元的时钟接口的接法与第四级栅极驱动电路单元相同；如果级数被6除余5，则该栅极驱动电路单元的时钟接口的接法与第五级栅极驱动电路单元相同；如果级数被6整除，则该栅极驱动电路单元的时钟接口的接法与第六级栅极驱动电路单元相同。
- [83] 采用六相时钟驱动时的工作信号图如图8所示，该栅极驱动电路在上述六相时钟信号和起始脉冲信号的作用下，为图1中所示的面板4的各行提供驱动信号。
- [84] 本实施例中，栅极驱动电路采用的八相时钟信号如图9所示，时钟发生器提供的时钟信号为八相时钟信号，分别为CLK1、CLK2、CLK3、CLK4、CLK5、CLK

6、CLK7和CLK8，脉冲占空比为1/8，各级栅极驱动电路单元的时钟具体连接方式为：

- [85] 第一级栅极驱动电路单元91的时钟接口CLKA接信号CLK1，时钟接口CLKC接信号CLK3，时钟接口CLKD接信号CLK4；第二级栅极驱动电路单元92的时钟接口CLKA接信号CLK2，时钟接口CLKC接信号CLK4，时钟接口CLKD接信号CLK5；第三级栅极驱动电路单元93的时钟接口CLKA接信号CLK3，时钟接口CLKC接信号CLK5，时钟接口CLKD接信号CLK6；第四级栅极驱动电路单元94的时钟接口CLKA接信号CLK4，时钟接口CLKC接信号CLK6，时钟接口CLKD接信号CLK7；第五级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK5，时钟接口CLKC接信号CLK7，时钟接口CLKD接信号CLK8；第六级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK6，时钟接口CLKC接信号CLK8，时钟接口CLKD接信号CLK1；第七级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK7，时钟接口CLKC接信号CLK1，时钟接口CLKD接信号CLK2；第八级栅极驱动电路单元（图中未示出）的时钟接口CLKA接信号CLK8，时钟接口CLKC接信号CLK2，时钟接口CLKD接信号CLK3.....
- [86] 其余各级的接法：当级数被8除余1，则该栅极驱动电路单元的时钟接口的接法与第一级栅极驱动电路单元相同；如果级数被8除余2，则该栅极驱动电路单元的时钟接口的接法与第二级栅极驱动电路单元相同；如果级数被8除余3，则该栅极驱动电路单元的时钟接口的接法与第三级栅极驱动电路单元相同；如果级数被8除余4，则该栅极驱动电路单元的时钟接口的接法与第四级栅极驱动电路单元相同；如果级数被8除余5，则该栅极驱动电路单元的时钟接口的接法与第五级栅极驱动电路单元相同；如果级数被8除余6，则该栅极驱动电路单元的时钟接口的接法与第六级栅极驱动电路单元相同；如果级数被8除余7，则该栅极驱动电路单元的时钟接口的接法与第七级栅极驱动电路单元相同；如果级数被8整除，则该栅极驱动电路单元的时钟接口的接法与第八级栅极驱动电路单元相同。
- [87] 采用八相时钟驱动时的工作的信号图如图10所示，该栅极驱动电路在上述八相时钟信号和起始脉冲信号的作用下，为图1中所示的面板4的各行提供驱动信号

- 。
- [88] 在另一种实施例中栅极驱动电路单元的电路结构如图11所示，栅极驱动电路单元包括信号输入接口Vin、信号输出接口Vout、输入信号控制模块111、第一时钟信号控制模块112、第二时钟信号控制模块115、第三时钟信号控制模块113和第四时钟信号控制模块114。信号输入接口Vin用于接收输入脉冲信号，如果本级栅极驱动电路单元是第一级，则输入脉冲信号由信号发生器提供，如果本级栅极驱动电路单元不是第一级，则输入脉冲信号由前一级栅极驱动电路单元提供，即本级栅极驱动电路单元的信号输入接口耦合到前一级栅极驱动电路单元的信号输出接口。信号输出接口Vout用于输出驱动信号分别至相对应的扫描线和下一级栅极驱动电路单元的信号输入接口。第一时钟信号控制模块112包括驱动单元和时钟馈通抑制单元，所述驱动单元包括用于输入驱动电压的控制端，所述驱动单元在被所述驱动电压开启后，在第一时钟信号的控制下，输出驱动信号至所述信号输出接口Vout；所述时钟馈通抑制单元用于在第一时钟信号的控制下将所述控制端连接到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位。输入信号控制模块111用于从信号输入接口接收输入脉冲信号，并在输入脉冲信号的控制下，给所述驱动单元的控制端提供驱动电压。第二时钟信号控制模块115用于在第二时钟信号的控制下拉下所述信号输出接口的电压，所述第二时钟信号比第一时钟信号滞后一个相位。第三时钟信号控制模块113用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位。第四时钟信号控制模块114用于在第四时钟信号的控制下，拉下所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。本实施例在上述实施例的基础上增加了第二时钟信号控制模块，具有四个时钟信号，第一时钟信号CLKA、第二时钟信号CLKB、第三时钟信号CLKC和第四时钟信号CLKD的工作周期相同的N相时钟信号，其中，N为大于或等于4的整数。其中第二时钟信号CLKB比第一时钟信号CLKA滞后一个相位，第三时钟信号CLKC比第一时钟信号CLKA滞后两个相位，第四时钟信号CLKD比第一时钟信号CLKA超前一个相位。
- [89] 如图11示出了栅极驱动电路单元在另一种实施例中的具体电路结构，与图3所

示实施例不同的是增加了第二时钟信号控制模块115，在一种具体实例中，第二时钟信号控制模块115包括第六晶体管T6，第六晶体管T6的栅极响应第二时钟信号CLKB，其漏极连接到信号输出接口Vout，源极连接到第一电压源Vss，用于在所述第二时钟信号CLKB的高电平到来时将所述信号输出接口Vout的电位下拉到Vss。

[90] 在下拉阶段，第二晶体管T2将信号输出接口Vout的电压下拉到第一时钟信号CLKA的低电平。同时，当第二时钟信号CLKB的高电平到来时，第六晶体管T6开启，将信号输出接口Vout连接到电压源Vss，在第二晶体管T2和第六晶体管T6的同时下拉下，使信号输出接口Vout的电压迅速下拉到低电平，从而使输出驱动信号的下降沿时间更短，对像素阵列的驱动效果更好。

[91] 另外，第六晶体管T6增加了一条给输出接口Vout的放电通路，保证输出接口Vout在低电平维持阶段没有噪声电压的积累，有助于提高输出信号Vout的低电平稳定能力。

[92] 本实施例工作时的信号图如图12所示。时钟信号CLKA、CLKB、CLKC和CLKD的高电位均为Vdd，低电位均为Vss，占空比为25%。该电路的输入信号Vin是上一级栅驱动电路单元的输出信号。本级的栅驱动电路单元的输出信号是Vout。本实施例的栅极驱动电路单元和上述实施例栅极驱动电路单元的基本工作原理相同，其工作过程也包含预充电阶段、上拉阶段、下拉阶段和低电平维持阶段，在此不在赘述。

[93] 为满足显示装置对栅极驱动信号的要求，当多级栅极驱动电路单元串接，且分别与N相时钟信号相连时，后一级栅极驱动电路单元的时钟信号比前一级栅极驱动电路单元的相对应的时钟信号滞后一个相位。

[94] 如图13中所示，时钟发生器提供的时钟信号为四相时钟信号，其分别为CLK1、CLK2、CLK3和CLK4，脉冲占空比为25%，各级栅极驱动电路单元的时钟具体连接方式为：

[95] 第一级栅极驱动电路单元131的时钟接口CLKA接信号CLK1，时钟接口CLKB接信号CLK2，时钟接口CLKC接信号CLK3，时钟接口CLKD接信号CLK4；第二级栅极驱动电路单元132的时钟接口CLKA接信号CLK2，时钟接口CLKB接信号

CLK3, 时钟接口CLKC接信号CLK4, 时钟接口CLKD接信号CLK1; 第三级栅极驱动电路单元133的时钟接口CLKA接信号CLK3, 时钟接口CLKB接信号CLK4, 时钟接口CLKC接信号CLK1, 时钟接口CLKD接信号CLK2; 第四级栅极驱动电路单元134的时钟接口CLKA接信号CLK4, 时钟接口CLKB接信号CLK1, 时钟接口CLKC接信号CLK2, 时钟接口CLKD接信号CLK3。

[96] 其余各级的接法: 当级数被4除余1, 则该栅极驱动电路单元的时钟接口的接法与第一级的相同; 如果级数被4除余2, 则该栅极驱动电路单元的时钟接口的接法与第二级的相同; 如果级数被4除余3, 则该栅极驱动电路单元的时钟接口的接法与第三级的相同; 如果级数被4整除, 则该栅极驱动电路单元的时钟接口的接法与第四级的相同。

[97] 本实施例采用四相时钟驱动时的信号图如图14所示。

[98] 当时钟发生器提供的时钟信号的相位大于四时, 各级栅极驱动电路单元的时钟接口的接法需要满足时钟接口CLKA、CLKB、CLKC和CLKD的相位要求, 其具体接法和不同时钟驱动时的信号图见图15-图16。

[99] 本实施例采用六相时钟驱动时的电路图如图15所示。

[100] 本实施例采用六相时钟驱动时的信号图如图16所示。

[101] 另外, 输入信号控制模块、驱动单元、第三时钟信号控制模块、第二时钟信号控制模块、第四时钟信号控制模块和时钟馈通抑制单元除了采用上述实施例中的单晶体管外, 在另外的实施例中, 它们中的至少一个还可以采用多个晶体管, 通过连接以完成该模块的功能。

[102] 综上所述, 本发明具有以下优点:

[103] 其一, 在该栅极驱动电路中, 输出电位的上拉和下拉由同一个晶体管来完成。两相时钟情况下, 上拉和下拉分别由两个不同的晶体管来完成。所以本电路占用的版图面积较小。

[104] 其二, 常规的集成栅极驱动电路设计中均需要用到下一级栅极驱动电路的输出信号给本级下拉。而该电路不需要用到下一级栅极驱动电路的输出信号, 这一方面减少了下一级单元电路的负载量, 另一方面减少了下一级单元电路上拉延迟带来的本级下拉延迟时间的增加。

- [105] 其三，本发明构成栅极驱动电路单元的晶体管数目仅为5个或者6个。而在常规的两相时钟驱动的情况下，通常需要10个以上的晶体管。所以根据本发明的栅极驱动电路需要的晶体管数量少，其电路简单、占用面积少，并且其制造成品率更高。
- [106] 其四，根据本发明的栅极驱动电路中下拉晶体管所承受电压应力相比于常规电路更小，故本电路中的晶体管阈值电压漂移量少，电特性退化减少，从而该栅极驱动电路具有更好的稳定性。
- [107] 其五，该栅极驱动电路采用多相时钟控制，因此其功耗比常规的两相时钟控制的栅极驱动电路的功耗更少。
- [108] 在本发明中，栅极驱动电路可由非晶硅薄膜晶体管构成，并且可被集成在显示装置的面板上，与像素阵列一起完成。
- [109] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，但这只是为便于理解而举的实例，不应认为本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，可以做出各种可能的等同改变或替换，这些改变或替换都应属于本发明的保护范围。

权利要求书

[权利要求 1]

一种栅极驱动电路单元，其特征在于包括：

信号输入接口，用于接收输入脉冲信号；

信号输出接口，用于输出驱动信号；

第一时钟信号控制模块，包括驱动单元和时钟馈通抑制单元，所述驱动单元包括控制端，所述驱动单元的控制端获得驱动电压后，将第一时钟信号传送至所述信号输出接口；所述时钟馈通抑制单元在第一时钟信号的控制下将所述控制端耦合到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位；

输入信号控制模块，用于从信号输入接口接收输入脉冲信号，给所述驱动单元的控制端提供驱动电压；

第三时钟信号控制模块，用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位；

第四时钟信号控制模块，用于在第四时钟信号的控制下，下拉所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。

[权利要求 2]

如权利要求1所述的栅极驱动电路单元，其特征在于，所述第一时钟信号、第三时钟信号和第四时钟信号是三个周期相同的N相时钟信号，其中，N为大于或等于4的整数；所述一个相位的值等于 $2\pi/N$ 。

[权利要求 3]

如权利要求1或2所述的栅极驱动电路单元，其特征在于，所述输入信号控制模块的输出端耦合到所述驱动单元的控制端，用于在输入脉冲信号的控制下，给所述驱动单元的控制端充电；所述第三时钟信号控制模块的第一端用于响应第三时钟信号，第二端耦合到所述驱动单元的控制端，第三端耦合到第一电压源，所述第三时钟信号控制模块在第三时钟信号的控制下拉低所述驱动单元的控制端的电压。

[权利要求 4]

如权利要求3所述的栅极驱动电路单元，其特征在于，所述输入信号控制模块包括第一晶体管，所述第一晶体管的控制极和第一主电流导通极接收输入信号，所述第一晶体管的第二主电流导通极用于提供驱动电压；所述驱动单元包括第二晶体管，所述第二晶体管的控制极耦合到所述第一晶体管的第二主电流导通极，所述第二晶体管的第二主电流导通极耦合到所述信号输出接口，用于在被所述驱动电压开启后，当所述第一时钟信号的高电平到来时对所述信号输出接口充电，当所述第一时钟信号的低电平到来时拉下所述信号输出接口的电位；所述时钟馈通抑制单元包括第五晶体管，所述第五晶体管的控制极响应第一时钟信号，其第一主电流导通极耦合到所述第二晶体管的控制极，第二主电流导通极耦合到所述信号输出接口，用于在第一时钟信号的高电平到来时将所述第二晶体管的控制极耦合到所述信号输出接口；所述第三时钟信号控制模块包括第三晶体管，所述第三晶体管的控制极响应第三时钟信号，第三晶体管的第二主电流导通极耦合到第一电压源，用于在所述第三时钟信号的高电平到来时将所述第二晶体管的控制极的电位下拉到第一电压源的电压；所述第四时钟信号控制模块包括第四晶体管，所述第四晶体管的控制极响应第四时钟信号，其第一主电流导通极耦合到所述信号输出接口，第二主电流导通极耦合到第一电压源，用于在第四时钟信号的高电平到来时将所述信号输出接口的电压下拉到第一电压源的电压。

[权利要求 5]

如权利要求4所述的栅极驱动电路单元，其特征在于，所述时钟馈通抑制单元还包括存储电容，所述存储电容连接在所述第二晶体管的控制极和第二主电流导通极之间。

[权利要求 6]

一种栅极驱动电路单元，其特征在于包括：
信号输入接口，用于接收输入脉冲信号；

信号输出接口，用于输出驱动信号；

第一时钟信号控制模块，包括驱动单元和时钟馈通抑制单元，所述驱动单元包括控制端，所述驱动单元的控制端获得驱动电压后，将第一时钟信号传送至所述信号输出接口；所述时钟馈通抑制单元用于在第一时钟信号的控制下将所述控制端耦合到所述信号输出接口；所述第一时钟信号比所述输入脉冲信号滞后一个相位；

输入信号控制模块，用于从信号输入接口接收输入脉冲信号，并在输入脉冲信号的控制下，给所述驱动单元的控制端提供驱动电压；

第二时钟信号控制模块，用于在第二时钟信号的控制下拉下所述信号输出接口的电压，所述第二时钟信号比第一时钟信号滞后一个相位；

第三时钟信号控制模块，用于在第三时钟信号的控制下给所述驱动单元的控制端提供关闭电压，所述第三时钟信号比第一时钟信号滞后两个相位；

第四时钟信号控制模块，用于在第四时钟信号的控制下，拉下所述信号输出接口的电压，所述第四时钟信号比第一时钟信号超前一个相位。

[权利要求 7] 如权利要求5所述的栅极驱动电路单元，其特征在于，所述第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号是四个周期相同的M相时钟信号，其中，M为大于或等于4的整数；所述一个相位的值等于 $2\pi/M$ 。

[权利要求 8] 如权利要求6或7所述的栅极驱动电路单元，其特征在于，所述输入信号控制模块的输出端耦合到所述驱动单元的控制端，用于在输入脉冲信号的控制下，给所述驱动单元的控制端充电；所述第三时钟信号控制模块的第一端用于响应第三时钟信号，第二端耦合到所述驱动单元的控制端，第三端耦合到第一电压源，所述第

三时钟信号控制模块在第三时钟信号的控制下拉低所述驱动单元的控制端的电压。

[权利要求 9]

如权利要求8所述的栅极驱动电路单元，其特征在于，所述输入信号控制模块包括第一晶体管，所述第一晶体管的控制极和第一主电流导通极接收输入信号，所述第一晶体管的第二主电流导通极用于提供驱动电压；所述驱动单元包括第二晶体管，所述第二晶体管的控制极耦合到所述第一晶体管的第二主电流导通极，所述第二晶体管的第二主电流导通极耦合到所述信号输出接口，用于在被所述驱动电压开启后，当所述第一时钟信号的高电平到来时对所述信号输出接口充电，当所述第一时钟信号的低电平到来时拉下所述信号输出接口的电位；所述时钟馈通抑制单元包括第五晶体管，所述第五晶体管的控制极响应第一时钟信号，其第一主电流导通极耦合到所述第二晶体管的控制极，第二主电流导通极耦合到所述信号输出接口，用于在第一时钟信号的高电平到来时将所述第二晶体管的控制极耦合到所述信号输出接口；所述第二时钟信号控制模块包括第六晶体管，所述第六晶体管的控制极响应第二时钟信号，其第一主电流导通极耦合到信号输出接口，第二主电流导通极耦合到第一电压源，用于在所述第二时钟信号的高电平到来时将所述信号输出接口的电位下拉到第一电压源的电压；所述第三时钟信号控制模块包括第三晶体管，所述第三晶体管的控制极响应第三时钟信号，第三晶体管的第二主电流导通极耦合到第一电压源，用于在所述第三时钟信号的高电平到来时将所述第二晶体管的控制极的电位下拉到第一电压源的电压；所述第四时钟信号控制模块包括第四晶体管，所述第四晶体管的控制极响应第四时钟信号，其第一主电流导通极耦合到所述信号输出接口，第二主电流导通极耦合到第一电压源，用于在第四时钟信号的

高电平到来时将所述信号输出接口的电压下拉到第一电压源的电压。

[权利要求 10] 如权利要求9所述的栅极驱动电路单元，其特征在于，所述时钟馈通抑制单元还包括存储电容，所述存储电容连接在所述第二晶体管的控制极和第二主电流导通极之间。

[权利要求 11] 一种栅极驱动电路，包括多级串接的栅极驱动电路单元，前一级栅极驱动电路单元的信号输出接口耦合到后一级栅极驱动电路单元的信号输入接口，其特征在于，至少一个栅极驱动电路单元为权利要求1至权利要求10中任一项所述的栅极驱动电路单元，且后一级栅极驱动电路单元的时钟信号比前一级栅极驱动电路单元的相应的时钟信号滞后一个相位。

[权利要求 12] 一种显示装置，包括：面板，所述面板包括由多个像素构成的二维像素阵列，以及与每个像素阵列相连的第一方向的多条数据线和第二方向的多条栅极扫描线；数据驱动电路，用于给所述数据线提供图像信号；其特征在于还包括：如权利要求11所述的栅极驱动电路，用于给所述栅极扫描线提供驱动信号。

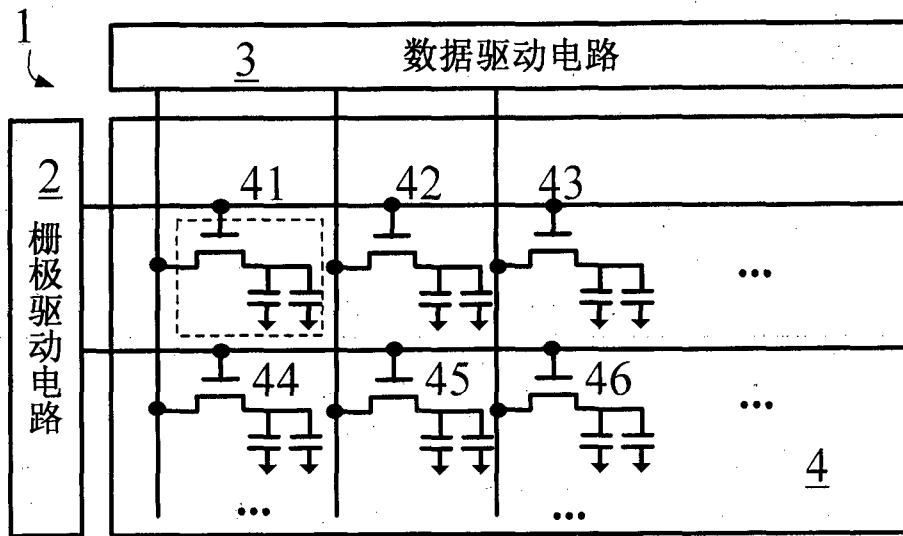


图 1

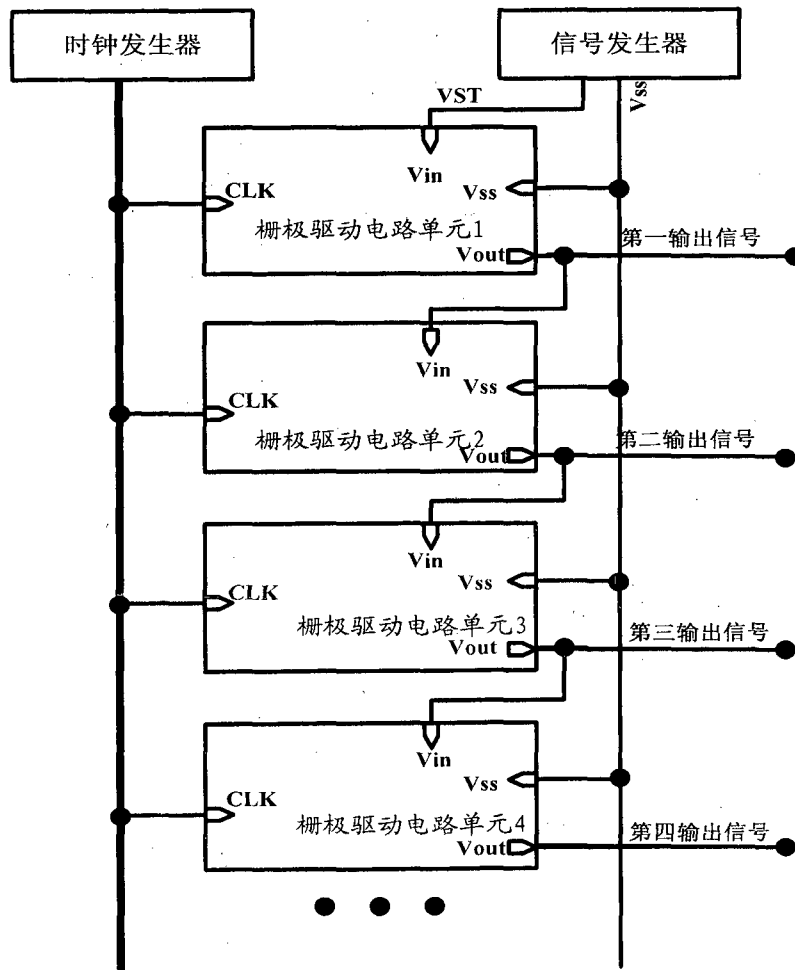


图 2

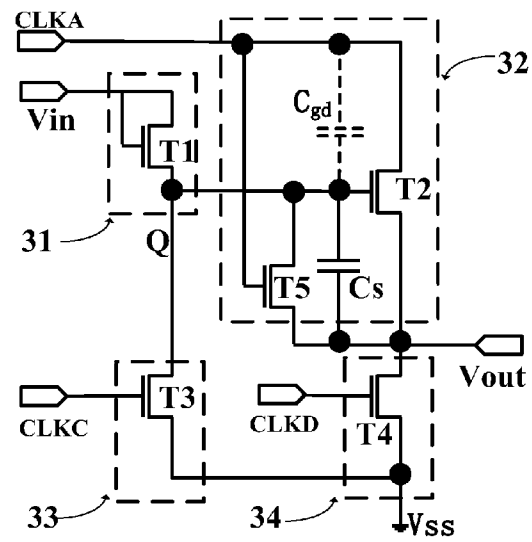


图 3

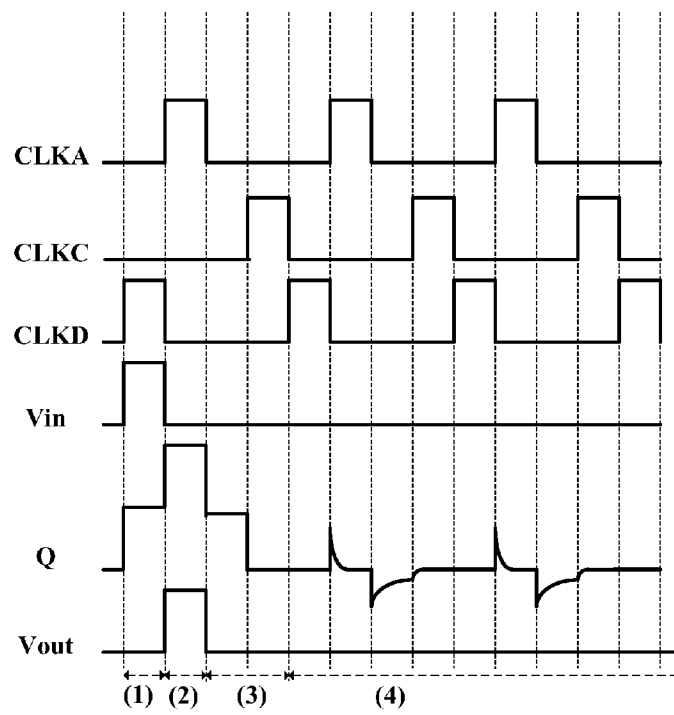


图 4

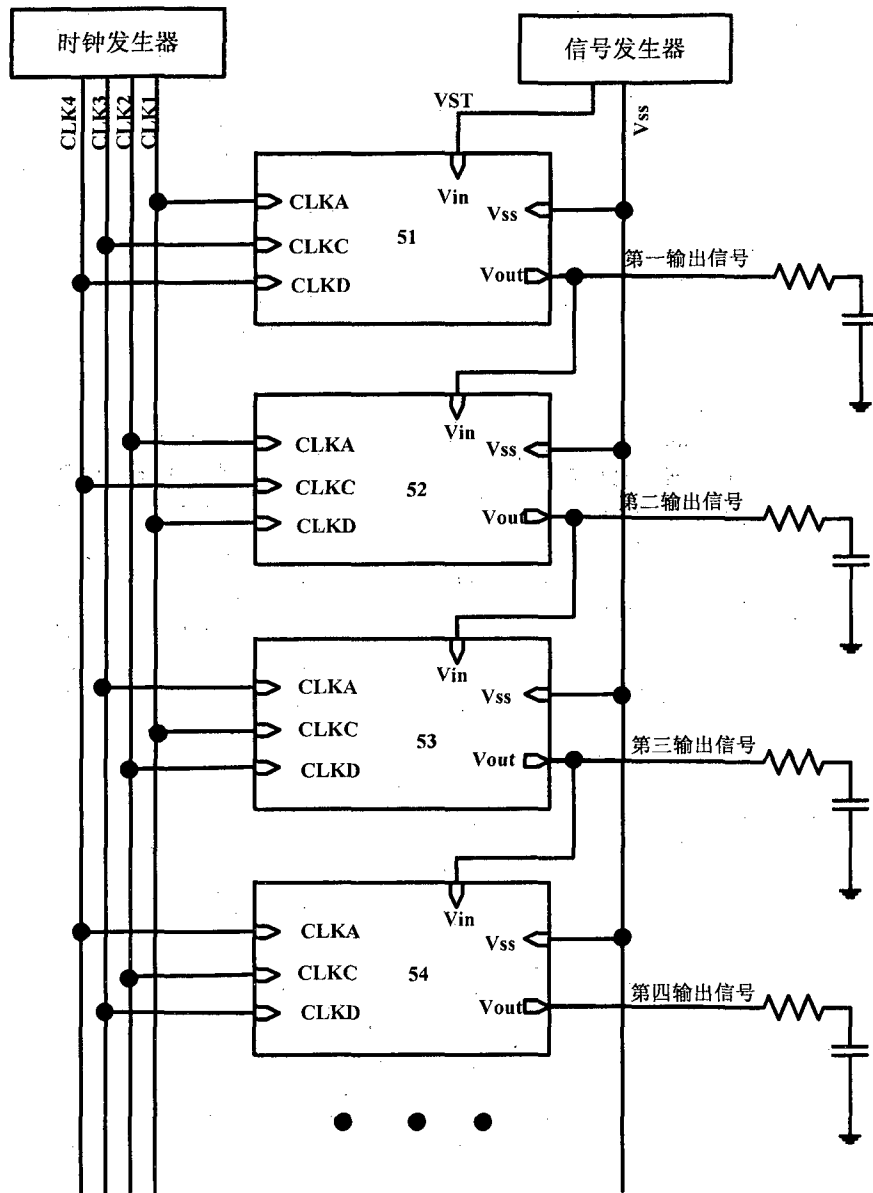


图 5

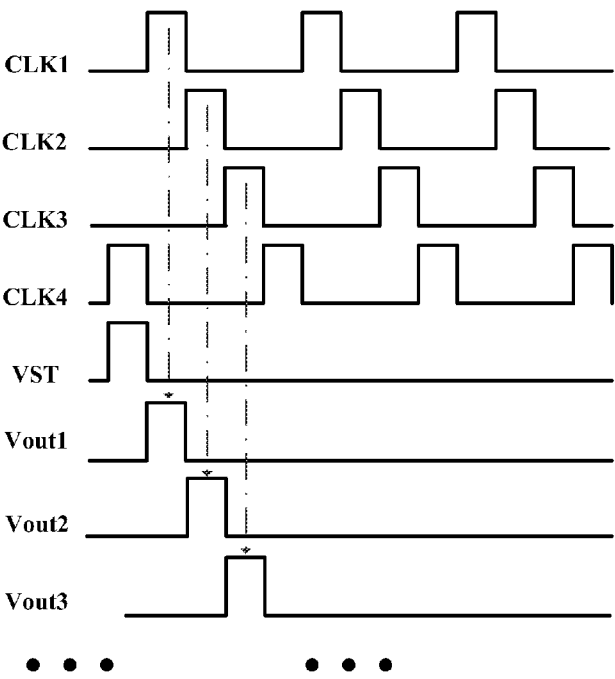


图 6

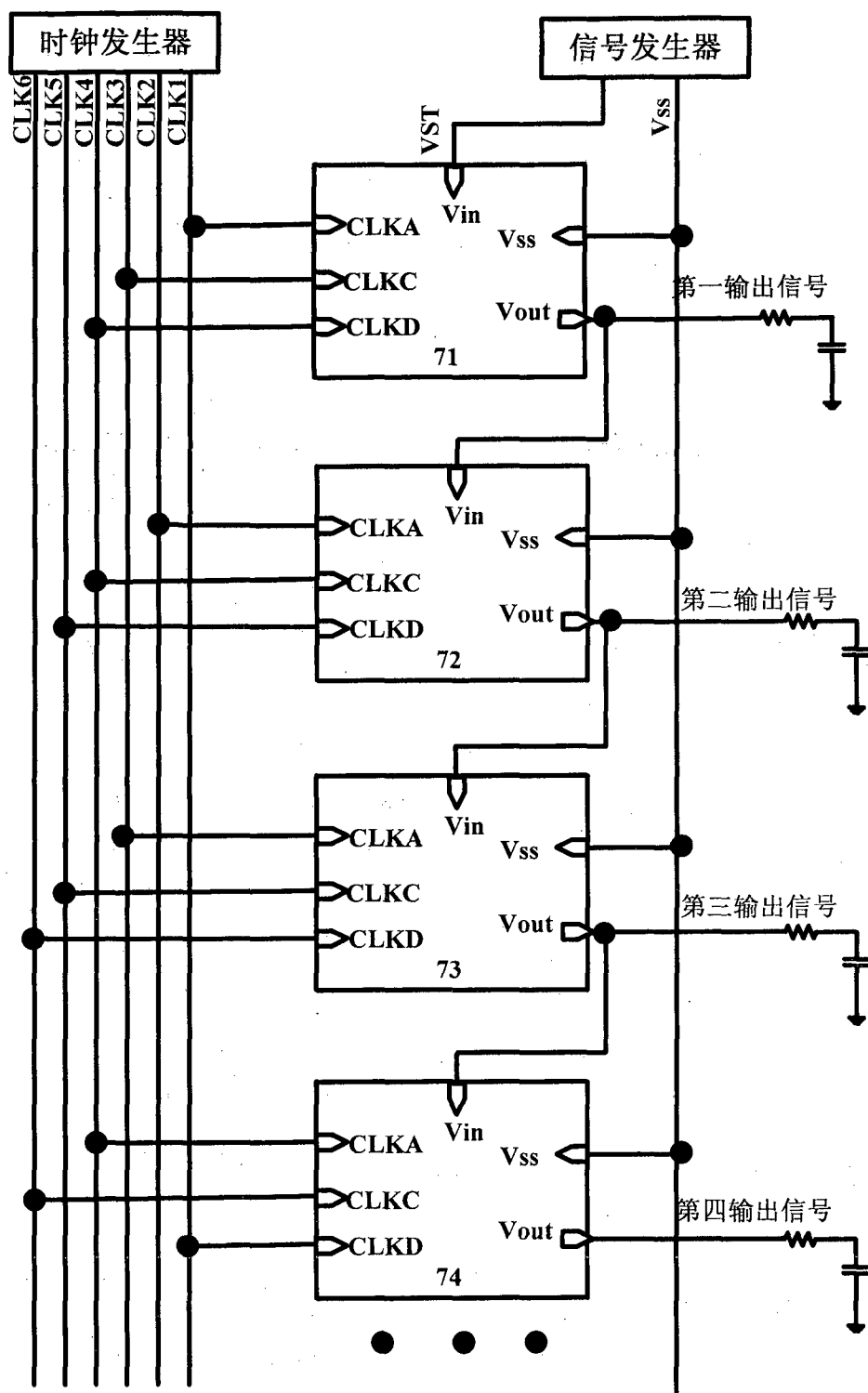


图 7

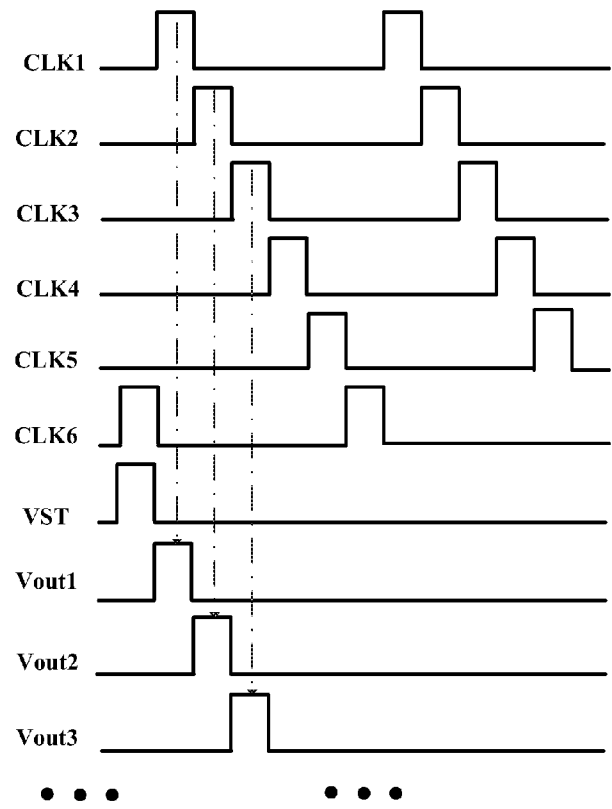


图 8

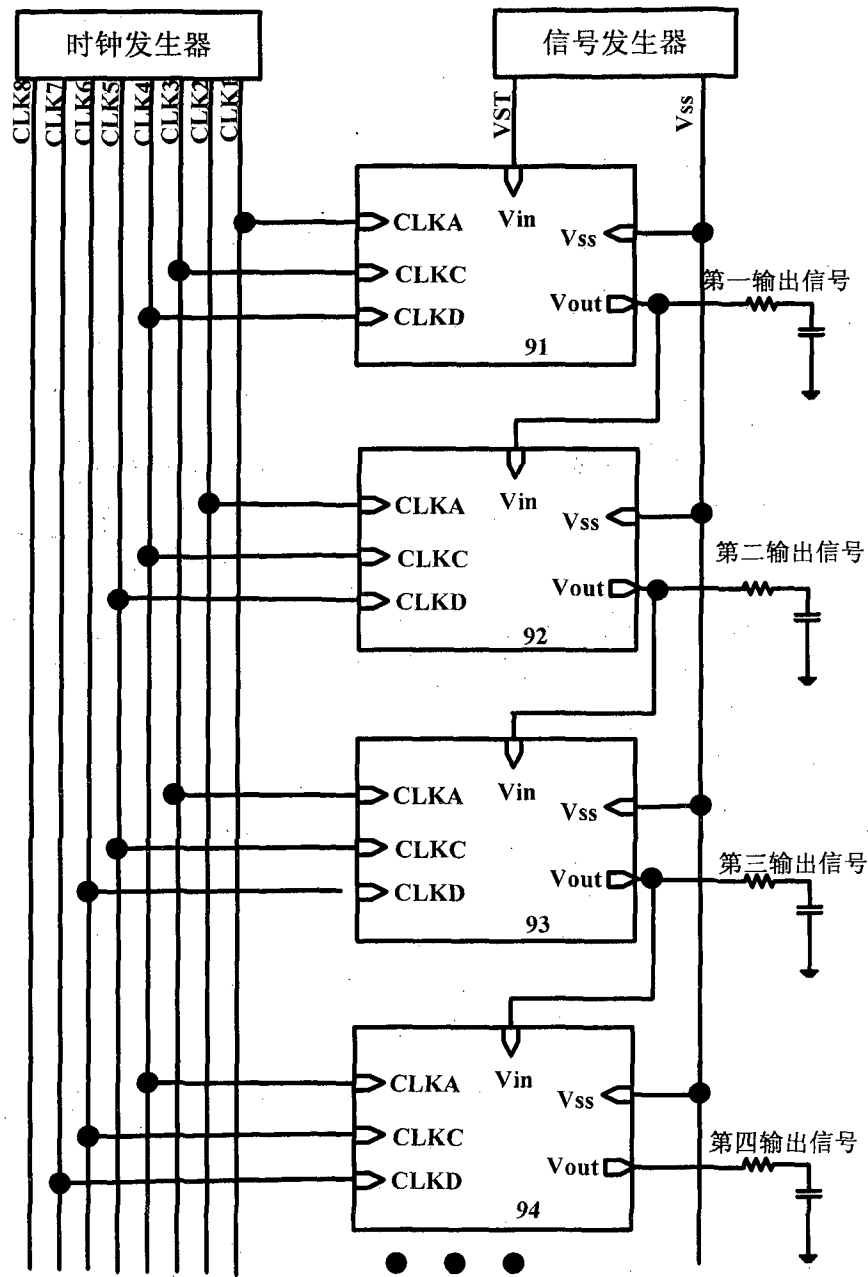


图 9

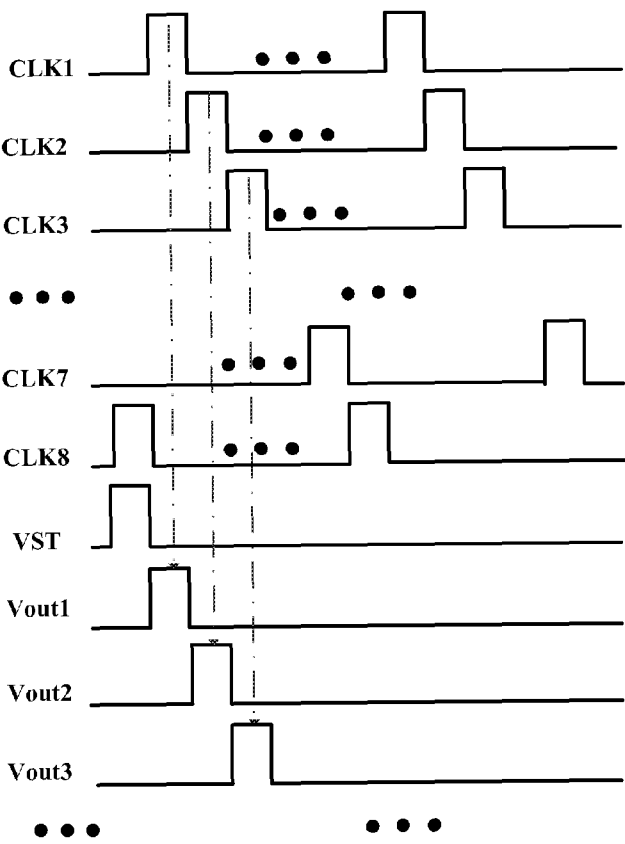


图 10

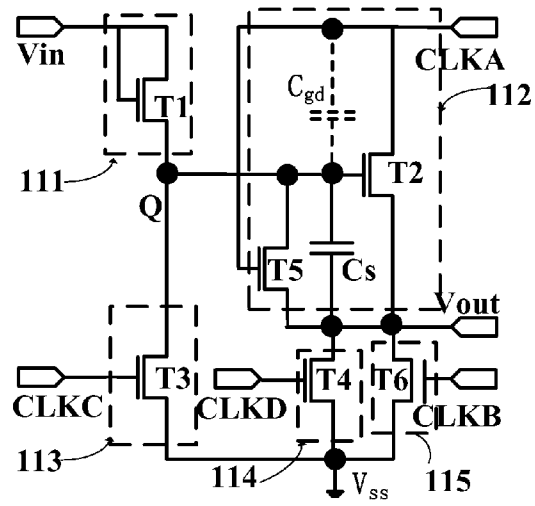


图 11

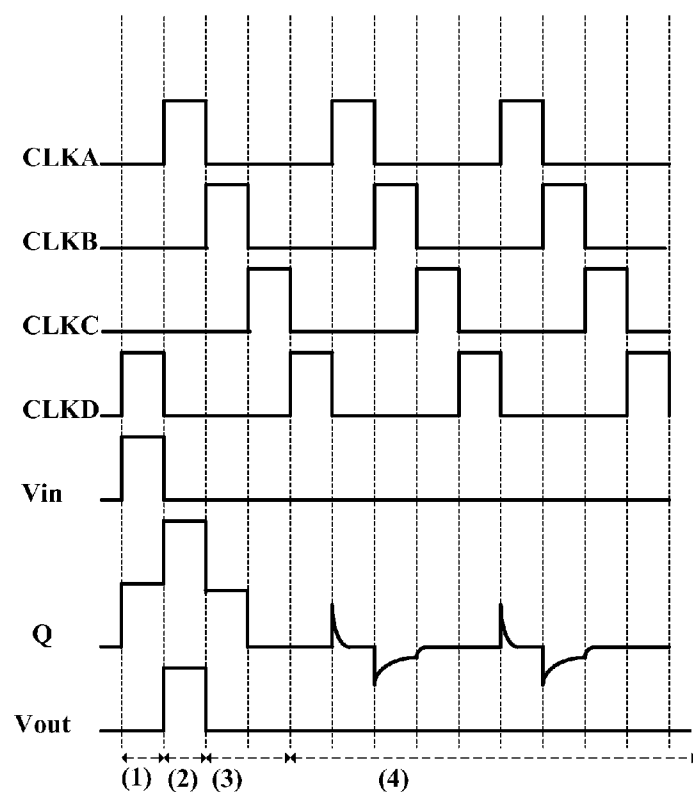


图 12

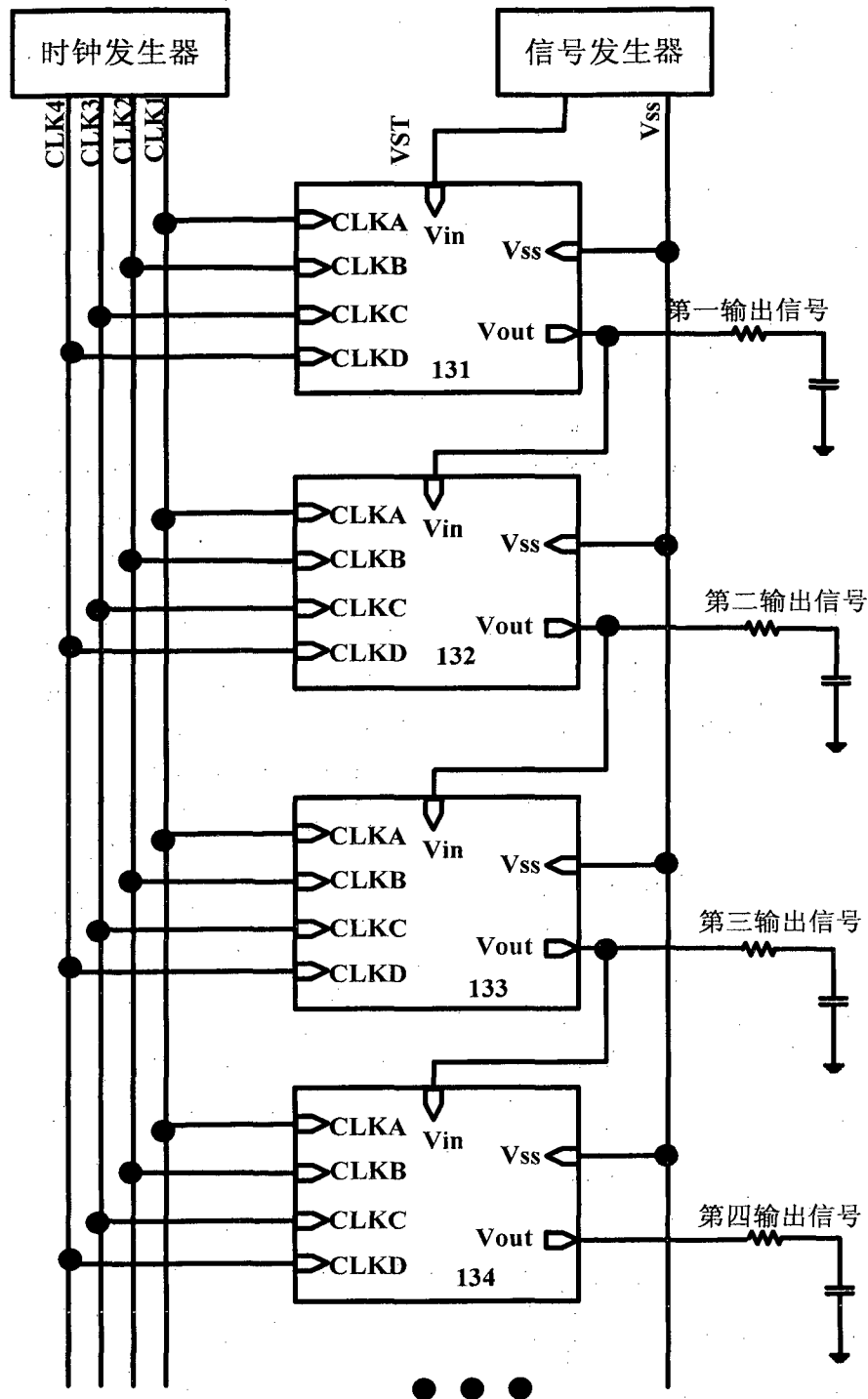


图 13

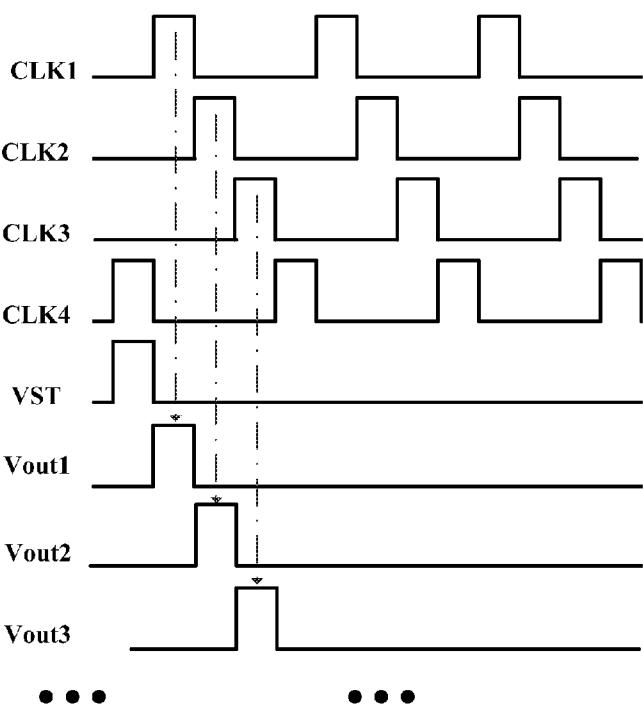


图 14

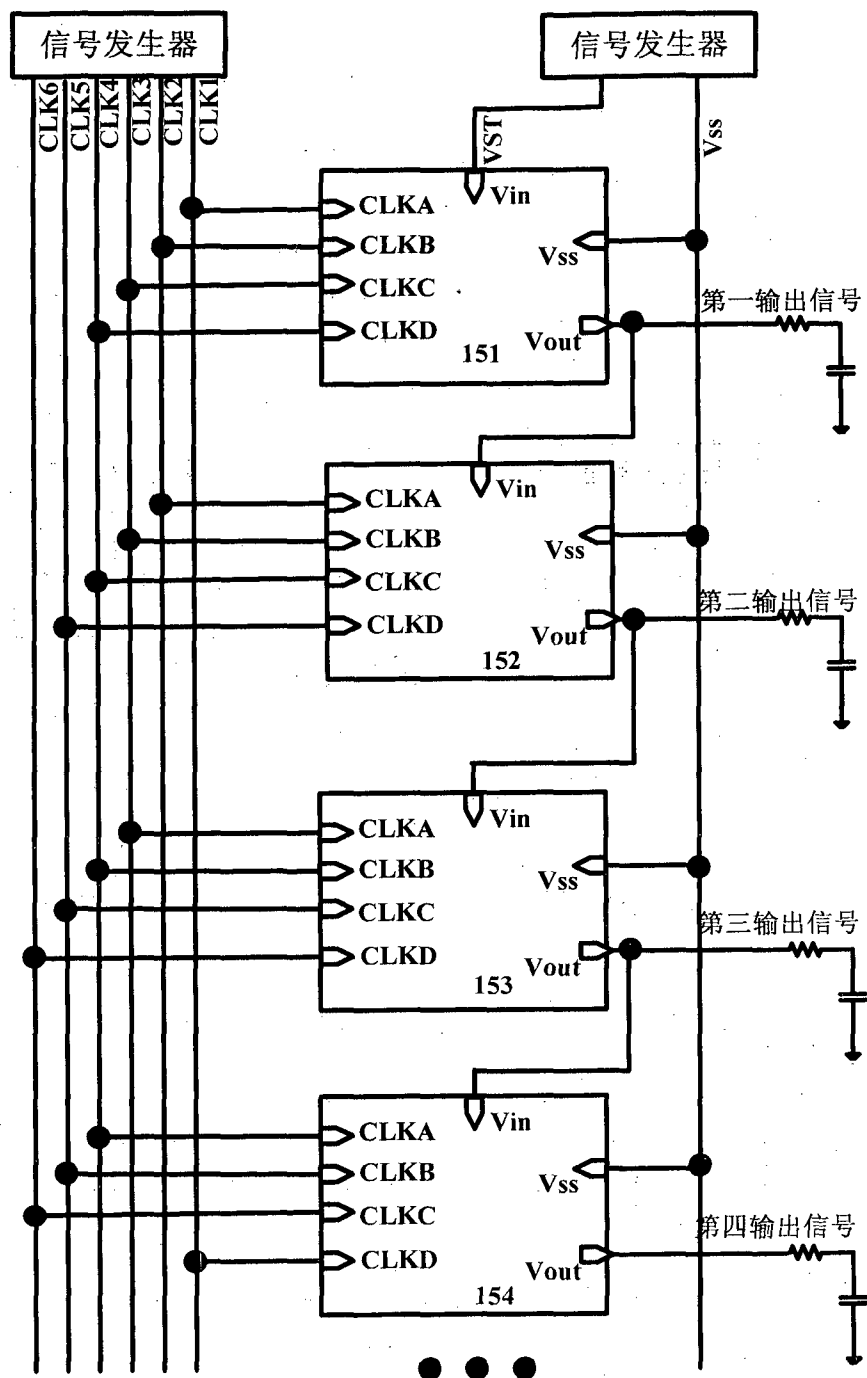


图 15

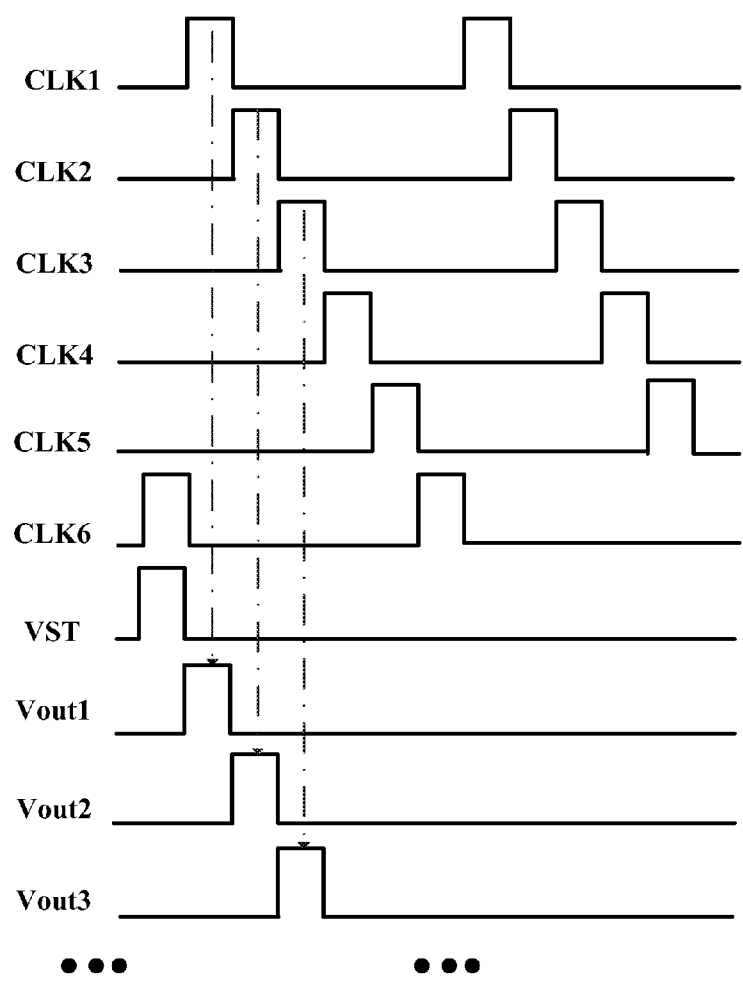


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/070658

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G3/-,H03K17/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CNPAT,CNKI: grid, control, driv+, circuit, clock, signal, third, 3th, CLK3, CLKC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN101783124A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL et al.) 21 Jul.2010 (21.07.2010) the whole document	1-12
A	WO2009/104306A1 (SHARP KK.) 27 Aug.2009 (27.08.2009) specification: paragraphs 0073-0078, 0105-0131, figures 4-5,10-11	1-12
A	CN101625840A (SHANGHAI BROADCAST&TELEVISION MOULD CO.) 13 Jan.2010 (13.01.2010) the whole document	1-12
A	US7489758B2 (HANNSTAR DISPLAY CORPORATION) 10 Feb.2009 (10.02.2009) the whole document	1-12

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 Apr.2011 (06.04.2011)	Date of mailing of the international search report 05 May 2011 (05.05.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer WANG Zhenyu Telephone No. (86-10)010-62414184

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/070658

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN1689067A (SAMSUNG ELECTRONICS CO.,LTD.) 26 Oct.2005 (26.10.2005) the whole document	1-12
A	CN1508770A (LG PHILLIP LCD CO.,LTD.) 30 Jun.2004 (30.06.2004) the whole document	1-12
A	CN1514421A (LG PHILLIP LCD CO.,LTD.) 21 Jul.2004 (21.07.2004) the whole document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/070658

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101783124A	21.07.2010	NONE	
WO2009/104306A1	27.08.2009	US2010321372A	23.12.2010
		CN101939777A	05.01.2011
CN101625840A	13.01.2010	NONE	
US7489758B2	10.02.2009	US2008253501A	16.10.2008
		TW200843348A	01.11.2008
CN1689067A	26.10.2005	KR20040023901A	20.03.2004
		WO2004025618A	25.03.2004
		AU2003202156A	30.04.2004
		US2004095342A	20.05.2004
		US7184011B	27.02.2007
		JP2006516163T	22.06.2006
		US2007120802A	31.05.2007
		US7746312B	29.06.2010
		JP2010117719A	27.05.2010
		US2004113878A	17.06.2004
CN1508770A	30.06.2004	US7038643B	02.05.2006
		KR20040053584A	24.06.2004
		DE10337530A	15.07.2004
		JP2004199025A	15.07.2004
		JP3955553B2	08.08.2007
CN1514421A	21.07.2004	TW259919B	11.08.2006
		US2004125069A	01.07.2004
		GB2396948A	07.07.2004
		KR20040061680A	07.07.2004
		DE10328387A	22.07.2004
		JP2004212939A	29.07.2004
		JP4031414B2	09.01.2008
		TW226034B	01.01.2005
		US7081890B	25.07.2006

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/070658

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36 (2006.01) i

G09G3/20 (2006.01) i

国际检索报告

国际申请号
PCT/CN2011/070658

A. 主题的分类

参见附加栏

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G3/-,H03K17/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC,CNPAT,CNKI:栅极, 控制, 驱动, 电路, 时钟, 信号, 第三, grid, control, driv+, circuit, clock, signal, third, 3th, CLK3, CLKC

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN101783124A (北京大学深圳研究生院 等) 21.7 月 2010 (21.07.2010) 全文	1-12
A	WO2009/104306A1 (夏普株式会社) 27.8 月 2009 (27.08.2009) 说明书第 0073 段-第 0078 段,第 0105 段-第 0131 段、附图 4-5,10-11	1-12
A	CN101625840A(上海广电光电子有限公司)13.1 月 2010 (13.01.2010) 全文	1-12
A	US7489758B2 (HANNSTAR DISPLAY CORPORATION) 10.2 月 2009 (10.02.2009) 全文	1-12
A	CN1689067A (三星电子株式会社) 26.10 月 2005 (26.10.2005) 全文	1-12
A	CN1508770A (LG.飞利浦 LCD 株式会社) 30.6 月 2004 (30.06.2004) 全文	1-12
A	CN1514421A (LG.飞利浦 LCD 株式会社)21.7 月 2004 (21.07.2004) 全文	1-12



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

06.4 月 2011 (06.04.2011)

国际检索报告邮寄日期

05.5 月 2011 (05.05.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

王振宇

电话号码: (86-10) 010-62414184

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/070658

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101783124A	21.07.2010	无	
WO2009/104306A1	27.08.2009	US2010321372A	23.12.2010
		CN101939777A	05.01.2011
CN101625840A	13.01.2010	无	
US7489758B2	10.02.2009	US2008253501A	16.10.2008
		TW200843348A	01.11.2008
CN1689067A	26.10.2005	KR20040023901A	20.03.2004
		WO2004025618A	25.03.2004
		AU2003202156A	30.04.2004
		US2004095342A	20.05.2004
		US7184011B	27.02.2007
		JP2006516163T	22.06.2006
		US2007120802A	31.05.2007
		US7746312B	29.06.2010
		JP2010117719A	27.05.2010
CN1508770A	30.06.2004	US2004113878A	17.06.2004
		US7038643B	02.05.2006
		KR20040053584A	24.06.2004
		DE10337530A	15.07.2004
		JP2004199025A	15.07.2004
		JP3955553B2	08.08.2007
		TW259919B	11.08.2006
CN1514421A	21.07.2004	US2004125069A	01.07.2004
		GB2396948A	07.07.2004
		KR20040061680A	07.07.2004
		DE10328387A	22.07.2004
		JP2004212939A	29.07.2004
		JP4031414B2	09.01.2008
		TW226034B	01.01.2005
		US7081890B	25.07.2006

A. 主题的分类:

G09G3/36 (2006.01) i

G09G3/20 (2006.01) i