

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6436022号  
(P6436022)

(45) 発行日 平成30年12月12日(2018.12.12)

(24) 登録日 平成30年11月22日(2018.11.22)

(51) Int.Cl.

H03M 1/54 (2006.01)

F I

H03M 1/54

請求項の数 16 (全 30 頁)

(21) 出願番号	特願2015-173922 (P2015-173922)	(73) 特許権者	000004260
(22) 出願日	平成27年9月3日(2015.9.3)		株式会社デンソー
(65) 公開番号	特開2017-50776 (P2017-50776A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成29年3月9日(2017.3.9)	(74) 代理人	100106149
審査請求日	平成29年10月9日(2017.10.9)		弁理士 矢作 和行
		(74) 代理人	100121991
			弁理士 野々部 泰平
		(74) 代理人	100145595
			弁理士 久保 貴則
		(72) 発明者	根塚 智裕
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 A/D変換器

(57) 【特許請求の範囲】

【請求項1】

オペアンプ(11)と、該オペアンプの第1入力端子と出力端子との間に挿入された積分容量(C1)と、を有する積分器(10, 40, 70)と、

前記オペアンプの出力信号を量子化した量子化結果を出力する量子化器(20)と、

前記オペアンプにおける前記第1入力端子に接続され、前記積分容量に蓄積された電荷の減算を行うためのDAC電圧(Vdac)を前記量子化結果に基づいて決定するDAC(30)と、を備えるA/D変換器であって、

前記積分器は、前記積分容量と前記オペアンプの出力端子との間に、互いの接続をオンオフするフィードバックスイッチ(S3)を有し、

入力信号としてのアナログ信号は、前記積分容量と前記フィードバックスイッチとの間に入力され、

前記積分容量は、前記フィードバックスイッチがオフされた状態で前記アナログ信号をサンプリングし、

前記量子化器が前記オペアンプの出力に基づいて量子化を行い、

前記DACが前記量子化結果に基づいて前記積分容量に蓄積された電荷を順次減算することにより前記アナログ信号をデジタル値に変換することを特徴とするA/D変換器。

【請求項2】

前記DACは、前記DAC電圧として、アナロググランドレベルと、該アナロググランドレベルよりも電位が高くされたハイレベル(Vp)と、前記アナロググランドレベルよ

りも電位が低くされたローレベル (V<sub>m</sub>) と、を含むことを特徴とする請求項 1 に記載の A / D 変換器。

【請求項 3】

前記 D A C は、前記量子化結果に基づいた前記 D A C 電圧の切り替え時において、前記アナロググランドレベルを跨いで、前記ハイレベルと前記ローレベルとの間を相互に切り替える動作を含むことを特徴とする請求項 2 に記載の A / D 変換器。

【請求項 4】

前記 D A C は、前記量子化結果に基づいた前記 D A C 電圧の切り替え時において、前記 D A C 電圧を前記アナロググランドレベルから変化させない動作を含むことを特徴とする請求項 2 または請求項 3 に記載の A / D 変換器。

10

【請求項 5】

前記量子化器は、少なくとも 1 . 5 ビットの分解能で前記量子化結果を出力することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の A / D 変換器。

【請求項 6】

前記量子化器は、前記オペアンプの出力信号と閾値電圧とを比較するコンパレータ ( 2 1 , 2 2 , 2 3 ) を有し、前記閾値電圧が可変とされることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の A / D 変換器。

【請求項 7】

前記量子化器は、前記閾値電圧が可変とされることにより前記量子化器の分解能を可変とすることを特徴とする請求項 6 に記載の A / D 変換器。

20

【請求項 8】

前記量子化器は、前記 D A C による前記積分容量に蓄積された電荷の 1 回の減算につき、可変とされた前記閾値電圧を変化させながら複数回の前記量子化を行うことを特徴とする請求項 6 または請求項 7 に記載の A / D 変換器。

【請求項 9】

前記積分容量に蓄積された電荷の減算を、前記アナログ信号に依らない予め定められた所定のサイクル数だけ繰り返すことを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の A / D 変換器。

【請求項 10】

予め定められた所定のサイクル数の電荷の前記減算を繰り返す動作の後、前記積分容量に残存した残差を 1 ビットに設定された前記量子化器により A / D 変換して最下位ビットを生成することを特徴とする請求項 9 に記載の A / D 変換器。

30

【請求項 11】

前記オペアンプの出力端子に、前記量子化器に並列に接続された副 A D C ( 5 0 ) を備え、

前記量子化器を介して前記デジタル値の上位ビットが生成され、前記副 A D C を介して残りの前記デジタル値の下位ビットが生成されることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の A / D 変換器。

【請求項 12】

前記積分器は、前記オペアンプにおける前記第 1 入力端子と前記出力端子との間において、前記積分容量と並列に接続された増幅容量 ( C 3 ) を有し、

40

前記上位ビットの生成後において前記積分容量に残存した残差が前記増幅容量に転送され増幅された後、前記副 A D C により前記下位ビットが生成されることを特徴とする請求項 11 に記載の A / D 変換器。

【請求項 13】

前記 D A C は、前記 D A C 電圧に応じた電荷が蓄積され、前記オペアンプの前記第 1 入力端子に接続される D A C 容量 ( C 2 ) を有し、

前記上位ビットの生成後において前記積分容量に残存した残差が前記 D A C 容量に転送され増幅された後、前記副 A D C により前記下位ビットが生成されることを特徴とする請求項 11 に記載の A / D 変換器。

50

**【請求項 1 4】**

前記積分容量は、前記上位ビットの生成後において、前記オペアンプに対して電氣的に切り離されることを特徴とする請求項 1 2 または請求項 1 3 に記載の A / D 変換器。

**【請求項 1 5】**

前記上位ビットの生成後において、前記副 A D C における A / D 変換と並行して前記積分容量に次の A / D 変換にかかる前記アナログ信号がサンプリングされることを特徴とする請求項 1 4 に記載の A / D 変換器。

**【請求項 1 6】**

前記上位ビットの生成後であって前記積分容量に残存した残差が前記副 A D C に転送された後において、

10

前記副 A D C における前記下位ビットの A / D 変換と並行して、次の A / D 変換にかかる前記アナログ信号のサンプリング、あるいは、次の A / D 変換にかかる前記上位ビットの A / D 変換が行われることを特徴とする請求項 1 1 ~ 1 5 のいずれか 1 項に記載の A / D 変換器。

**【発明の詳細な説明】****【技術分野】****【0 0 0 1】**

本発明は、簡素な構成で、高速かつ高精度な A / D 変換を実現できる A / D 変換器に関する。

**【背景技術】**

20

**【0 0 0 2】**

環境問題やエネルギー問題を背景に、自動車や産業機器をより高速かつ高精度に制御して排出ガスを抑制したり、使用するエネルギー量を低減したりすることへの要求が高まっている。自動車や産業機器を制御する制御回路はデジタル化が進んでおり、機器の物理的状態を検出するセンサが出力するアナログ信号を A / D 変換器 ( A D C ) によってデジタル信号に変換した上で、デジタル信号処理した結果を用いて機器を制御するのが一般的になっている。そのため、高速かつ高精度な A D C に対する要求が高まっている。

**【0 0 0 3】**

例えば、特許文献 1 に記載の逐次比較 ( S A R ) 型の A D C は、A D C を構成する容量素子の容量値の誤差に起因する A / D 変換の非線形性誤差を低減するために、A / D 変換

30

を実行する際に使用する容量についてディザリングを実施するように構成されている。

一方、特許文献 2 および非特許文献 1 に記載の A D C は、デルタシグマ ( ) 変調を利用して高精度化を実現したデルタシグマ型 A / D 変換器である。

**【0 0 0 5】**

また、特許文献 3 に記載の A / D 変換器は、アナログ量子化器によるフィードバック量の大きさを可変にした増分デルタ ( インクリメンタル ) 型の A / D 変換器である。

**【先行技術文献】****【特許文献】****【0 0 0 6】**

40

【特許文献 1】米国特許第 8 8 1 0 4 4 3 号明細書

【特許文献 2】米国特許第 5 1 8 9 4 1 9 号明細書

【特許文献 3】米国特許第 6 9 9 9 0 1 4 号明細書

**【非特許文献】****【0 0 0 7】**

【非特許文献 1】K. C.-H. Chao, S. Nadeem, W. L. Lee, and C. G. Sodini, "A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converter", IEEE Transactions on Circuits and Systems, Vol. 37, No. 3, Mar. 1990

**【発明の概要】****【発明が解決しようとする課題】**

50

## 【 0 0 0 8 】

特許文献 1 に記載の A / D 変換器は、高精度化のためにディザリングと呼ばれる手法が用いられている。しかしながら、ディザリングは素子の誤差を時間方向に分散して誤差を見かけ上低減することはできるものの、時間方向に分散した誤差を完全に無くすることはできない。また、ディザリングを実施するためには追加の制御機構が必要であり、素子面積や消費電力が増大してしまう虞がある。

## 【 0 0 0 9 】

また、ディザリング以外の高精度化手法として、素子の誤差を測定した上で、素子の誤差に応じた補正値を記憶し、補正値にもとづき A / D 変換結果を補正するトリミングと呼ばれる手法も広く用いられている。しかしながら、トリミングの実現には補正値を記憶するための記憶素子や記憶した補正値にもとづき補正を実行するための補正機構が追加が必要となる。

10

## 【 0 0 1 0 】

さらに、SAR 型の A / D 変換器で主流となっている容量 DAC を用いる回路構成では、高精度化のためには容量 DAC に用いる容量素子の比精度を高める必要があり、総容量値を比較的大きくしなければならない。このため、A / D 変換の過程で大きな容量値を持つ容量 DAC を参照電圧によって駆動するため、参照電圧を十分に低いインピーダンスで供給できないような状況においては、参照電圧のセトリングに比較的に長い時間が必要である。よって、高精度化のために容量値を大きくするほど高速化が困難になるという問題がある。

20

## 【 0 0 1 1 】

また、非特許文献 1 に記載のデルタシグマ型の A / D 変換器では、高精度化のためにオーバーサンプリングが必要であるが、所望の信号帯域に対して 1 桁から 2 桁高い周波数でオーバーサンプリングを実行するのが一般的であり、回路の動作周波数が変換速度を律速することが多い。また、A / D 変換器の前段の入力信号源が高速なオーバーサンプリングを実行するために必要な低い出力インピーダンスを持たない場合には、高速なバッファが必要となるため、バッファの動作周波数が変換速度を律速することが多い。また、オーバーサンプリングを実施し、かつ、高速化と高精度化のために高次の変調を用いる場合には、複数の異なるサンプリング時刻における入力信号に対してフィルタ処理がかかった結果が A / D 変換結果として出力される。そのため、例えばある特定の時刻の入力信号の大きさのみを用いて機器の制御を行う用途には適さない。

30

## 【 0 0 1 2 】

また、特許文献 2 に記載のデルタシグマ型 A / D 変換器のように、デルタシグマ型 A / D 変換器にナイキスト A / D 変換器を組み合わせることで、高速化と高精度化を両立させる A / D 変換器も知られている。このような A / D 変換器では、変調により A / D 変換結果の上位ビット (MSBs) を生成し、ナイキスト A / D 変換器により A / D 変換結果の下位ビット (LSBs) を生成することにより、高精度化と高速化を実現している。しかしながら、このような A / D 変換器でも、前段の変調器においてオーバーサンプリングを行うため、上述のナイキスト A / D 変換器を組み合わせないデルタシグマ型 A / D 変換器と同様に、A / D 変換器の前段バッファの動作周波数が高くなる問題や、特定の時刻の入力信号の A / D 変換結果が得られないという問題がある。

40

## 【 0 0 1 3 】

また、特許文献 3 では、上記のデルタシグマ型の A / D 変換器の問題点を解決するためにデルタ変調を基本原理とする増分デルタ (インクリメンタル) 型 A / D 変換器が提案されている。この A / D 変換に用いられるデルタ変調は、A / D 変換に必要なサイクル数が高分解能化に伴って指数関数的に増加する問題点がある。そのため、サイクル数を低減することにより A / D 変換を高速化するために、大きさが異なる複数の参照電圧を用いる DAC をフィードバックに用いている。すなわち、大きい参照電圧による粗い分解能のデルタ変調と小さい参照電圧による細かい分解能のデルタ変調を組み合わせることで、A / D 変換に必要なサイクル数を低減している。しかしながら、参照電圧を生成する

50

回路を構成する素子の素子値には通常誤差があるため、複数の大きさが異なる参照電圧を高い比精度で生成することは困難である。そのため、D A Cによるフィードバック時に誤差が発生し、高精度のA / D変換を実現することが困難である。また、粗い分解能と細かい分解能のデルタ変調を組み合わせるA / D変換に必要なサイクル数を削減しても、A / D変換に必要なサイクル数が高分解能化に伴って指数関数的に増大するという問題が残る。

【 0 0 1 4 】

また、特許文献2および非特許文献1に記載のデルタシグマ型A / D変換器の一般的な構成や、特許文献3に示されるA / D変換器では、サンプリング容量と積分器の積分容量が別の容量素子を用いて構成されるため、サンプリングにおける熱雑音を低減するためには、サンプリング容量の容量値を大きくする必要がある。さらに、熱雑音を低減するためにサンプリング容量の容量値を大きくすると、積分器の出力信号振幅の飽和を避けるために、サンプリング容量の大きさに応じて積分器の積分容量の容量値も大きくする必要がある、集積回路上に実現する場合には大きな面積が必要となる。

10

【 0 0 1 5 】

また、サンプリング容量から積分器への信号電荷の転送が必要なため、転送時に発生する熱雑音やフリッカー雑音の影響を低減するために、積分器を構成するオペアンプの面積や消費電力を増大して雑音を低減する必要がある。

【 0 0 1 6 】

本発明は、上記問題点を鑑みてなされたものであり、簡素な構成で、高速かつ高精度なA / D変換を実現できるナイキストA / D変換器を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 1 7 】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

【 0 0 1 8 】

上記目的を達成するために、本発明は、オペアンプ(11)と、該オペアンプの第1入力端子と出力端子との間に挿入された積分容量(C1)と、を有する積分器(10, 40, 70)と、オペアンプの出力信号を量子化した量子化値を出力する量子化器(20)と、オペアンプにおける第1入力端子に接続され、積分容量に蓄積された電荷の減算を行うためのD A C電圧(Vdac)を量子化値に基づいて決定するD A C(30)と、を備えるA / D変換器であって、積分器は、積分容量とオペアンプの出力端子との間に、互いの接続をオンオフするフィードバックスイッチ(S3)を有し、入力信号としてのアナログ信号は、積分容量とフィードバックスイッチとの間に入力され、積分容量は、フィードバックスイッチがオフされた状態でアナログ信号をサンプリングし、量子化器がオペアンプの出力に基づいて量子化を行い、D A Cが量子化値に基づいて積分容量に蓄積された電荷を順次減算することによりアナログ信号をデジタル値に変換することを特徴としている。

30

【 0 0 1 9 】

これによれば、入力信号としてのアナログ信号が積分器における積分容量に一回のサンプリングにより保持され、サンプリングにより保持された電荷に基づいてA / D変換を行うので、オーバーサンプリングを必要としない。すなわち、特定の時刻の入力信号に対してA / D変換を実行するナイキストA / D変換器を構成することができる。また、オーバーサンプリングを必要としないので、回路の動作周波数が前段のバッファの動作周波数に律速されず、高速なA / D変換を実現することができる。

40

【 0 0 2 0 】

また、例えばD A Cを一つの容量を用いて構成し、かつ、D A Cが実質一つの参照電圧によって駆動されるように構成することで、構成要素の特性ばらつきに起因するA / D変換の誤差を抑制できる。したがって、A / D変換に用いるD A Cが複数の容量で構成され

50

るSAR型のA/D変換器において、高精度化のためにしばしば行われるトリミングやディザリング等の操作を実施することなく、高精度なA/D変換を実現することができる。また、特許文献3とは異なり複数の参照電圧を用いてDACを駆動しないことから、参照電圧を発生する回路の誤差に起因するA/D変換の非線形性誤差が発生しない。

#### 【0021】

また、積分容量を用いてサンプリングを実行するため、特許文献2や非特許文献1に示されるデルタシグマ型のA/D変換器、および、特許文献3のように積分容量とサンプリング容量が別の容量で構成されるA/D変換器と比較して、サンプリング後のサンプリング容量と積分容量との間での信号電荷の転送が不要である。また、積分容量のリセットが不要なため積分容量のリセットに起因する熱雑音が発生しない。このため、高速かつ低ノイズのA/D変換を実現することができる。また、熱雑音を十分低減するために大きな容量値と面積を必要とするサンプリング容量を必要としないので、低コストにA/D変換を実現することができる。

10

#### 【0022】

また、特許文献1に示されるような多数の素子を要するSAR型のA/D変換器や非特許文献1に示されるような高速化のために複数の積分器を要する高次の変調を用いたA/D変換器に較べて簡素な構成でA/D変換を実現することができる。

#### 【図面の簡単な説明】

#### 【0023】

【図1】第1実施形態にかかるA/D変換器の概略構成を示す回路図である。

20

【図2】第1実施形態におけるA/D変換動作を示すタイミングチャートである。

【図3】変形例1のA/D変換器におけるA/D変換動作を示すタイミングチャートである。

【図4】第2実施形態にかかるA/D変換器の概略構成を示す回路図である。

【図5】第2実施形態におけるA/D変換動作を示すタイミングチャートである。

【図6】変形例2のA/D変換器におけるA/D変換動作を示すタイミングチャートである。

【図7】変形例3における量子化器の構成を示す回路図である。

【図8】変形例3のA/D変換器におけるA/D変換動作を示すタイミングチャートである。

30

【図9】変形例4のA/D変換器におけるA/D変換動作を示すタイミングチャートである。

【図10】変形例5のA/D変換器におけるA/D変換動作を示すタイミングチャートである。

【図11】第3実施形態にかかるA/D変換器の概略構成を示す回路図である。

【図12】第3実施形態におけるA/D変換動作を示すタイミングチャートである。

【図13】第4実施形態にかかるA/D変換器の概略構成を示す回路図である。

【図14】第4実施形態におけるA/D変換動作を示すタイミングチャートである。

#### 【発明を実施するための形態】

#### 【0024】

40

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

#### 【0025】

(第1実施形態)

最初に、図1を参照して、本実施形態に係るA/D変換器の概略構成について説明する。

#### 【0026】

図1に示すように、このA/D変換器100は、積分器10と、量子化器20と、D/A変換器30(以降、DAC30と示す)とを備えている。入力信号(Vin)はアナログ信号であり、A/D変換器100から出力される信号(Dout)はデジタル信号であ

50

る。

#### 【0027】

積分器10は、オペアンプ11と、積分容量C1と、フィードバックスイッチS3と、を有している。積分容量C1は、オペアンプ11の反転入力端子と出力端子との間に挿入されている。フィードバックスイッチS3は積分容量C1とオペアンプ11の出力端子との間に挿入されている。つまり、積分容量C1とフィードバックスイッチS3は互いに直列接続されて、オペアンプ11の反転入力端子と出力端子との間に配置されている。一方、オペアンプ11の非反転入力端子はアナロググランドレベル(AGND)に接続されている。AGNDはA/D変換器100全体の基準電位であり、必ずしも0Vとは限らない。なお、特許請求の範囲に記載の第1入力端子とは、本実施形態における反転入力端子に相当する。また、オペアンプ11の反転入力端子は、スイッチS2を介してAGNDに接続可能になっている。

10

#### 【0028】

A/D変換器100の入力端子Tinは、図1に示すように、積分容量C1とフィードバックスイッチS3との間にスイッチS1を介して接続されている。このように構成すれば、フィードバックスイッチS3をオフした状態でスイッチS1およびスイッチS2をオンすることにより、積分容量C1に入力信号Vinの大きさに基づいた電荷が蓄積される。すなわち、積分容量C1に入力信号Vinがサンプリングされる。以降、入力されるアナログ信号の電位を入力信号Vinもしくは単にVinと称し、オペアンプ11の出力端子の電位を出力電圧Voutもしくは単にVoutと称する。スイッチS1およびスイッチS2をオフにしてフィードバックスイッチS3をオンの状態にすると、オペアンプ11の出力電圧Voutと積分容量C1におけるVinを入力する側の一端の電位とが等しくなる。以降、フィードバックスイッチS3を単にスイッチS3と称することがある。

20

#### 【0029】

量子化器20は、積分器10の出力、すなわちオペアンプ11の出力電圧Voutが入力され、その出力電圧Voutを量子化した結果であるQoutを出力している。すなわち、量子化器20は、アナログ値であるVoutを量子化し、デジタル値である量子化結果Qoutに変換している。また、量子化器20は、入力信号VinをA/D変換した結果であるDoutを出力している。この量子化器20は、コンパレータ21と、ロジック回路24と、を有している。

30

#### 【0030】

コンパレータ21は、非反転入力端子にオペアンプ11の出力電圧Voutが入力され、反転入力端子にはAGNDが入力されている。コンパレータ21の出力はロジック回路24に入力されている。ロジック回路24は、コンパレータ21の出力に基づいてDAC30に量子化結果Qoutを出力するとともに、A/D変換結果Doutを出力する。特許請求の範囲に記載の量子化結果はQoutに相当する。

#### 【0031】

ロジック回路24は、Vout > AGNDの場合は量子化結果Qoutとして1を出力する。一方、Vout < AGNDの場合はQoutとして-1を出力する。つまり、本実施形態における量子化器20は1ビットの量子化器である。また、ロジック回路24はA/D変換の過程で量子化器20によって量子化が実行されるたびにQoutを順次積分してA/D変換結果Doutを生成する。量子化器20のより具体的な動作は追って詳述する。

40

#### 【0032】

DAC30はD/A変換器であり、量子化器20が出力する量子化結果Qoutに基づいて、DAC30が積分容量C1から減算する電荷の量を決定している。このDAC30は、参照電圧として、AGNDよりも高い電位に設定されたハイレベルVpと、AGNDよりも低い電位に設定されたローレベルVmとを実質的に有する2レベルD/A変換器である。なお、VpとVmは、AGNDが0Vの場合には、互いに絶対値が同一で正負が逆の関係にあり、Vp = -Vmを満たすように設定される。

50

## 【 0 0 3 3 】

また、DAC 30はDAC容量C2を有している。DAC容量C2の一端にはスイッチS6～S8を介してAGNDおよび参照電圧を発生する電圧源が接続されている。具体的には、DAC容量C2の一端には、スイッチS6を介してAGNDが接続され、スイッチS7を介してVmが接続され、スイッチS8を介してVpが接続されている。DAC容量C2の一端の電位は、スイッチS6～S8によって排他的に選択されるVp、VmもしくはAGNDのうちいずれかと等しくなる。以降、DAC容量C2の一端の電位をDAC電圧Vdacと称することがある。

## 【 0 0 3 4 】

さらに、DAC容量C2におけるオペアンプ11の反転入力端子側の一端は、スイッチS4を介してAGNDに接続可能になっている。また、DAC容量C2はオペアンプ11の反転入力端子とスイッチS5を介して接続されている。すなわち、DAC30は積分器10とスイッチS5を介して接続されている。

10

## 【 0 0 3 5 】

DAC容量C2には、スイッチS5をオフするとともにスイッチS4をオンにすることによって、スイッチS7もしくはスイッチS8によって選択された参照電圧に基づいた電荷が蓄積される。さらに、DAC容量C2に電荷が蓄積された状態で、スイッチS4をオフするとともにスイッチS5をオンにすることによって、DAC容量C2を積分器10に接続し、スイッチS7およびスイッチS8をオフするとともにスイッチS6をオンすることによってDAC容量C2に蓄積された電荷が積分容量C1に転送される。すなわち、DAC30によって積分容量C1に蓄積された電荷の減算が行われる。

20

## 【 0 0 3 6 】

本実施形態では、DAC容量C2に電荷を蓄積する際に、Qout = 1の場合にはスイッチS7がオンし、Qout = -1の場合にはスイッチS8がオンするように構成されている。AGNDもDAC容量C2にスイッチS6を介して接続されているが、本実施形態では、DAC容量C2に蓄積される電荷がVp - AGND間もしくはVm - AGND間の電位差を基準に決定されるため、AGNDが0Vの場合には、DAC容量C2に蓄積される電荷はVpもしくはVmの大きさによって決定され、AGNDは実質D/A変換の参照電圧としては用いられない。

## 【 0 0 3 7 】

30

次に、図2を参照して、本実施形態におけるA/D変換器100の具体的な動作について説明する。

## 【 0 0 3 8 】

図2はA/D変換器100の動作を示すタイミングチャートである。時刻t1以前がサンプリングの期間に相当し、時刻t1以降がA/D変換の期間に相当する。

## 【 0 0 3 9 】

## &lt; サンプリング &gt;

時刻t1以前のサンプリングの期間において、スイッチS1, S2, S4, S6がオンとされ、スイッチS3, S5, S7, S8がオフとされている。スイッチS5がオフであるから、積分器10とDAC30とが互いに電氣的に分離している。また、スイッチS3がオフであるから、積分容量C1とオペアンプ11の出力端子とが互いに電氣的に分離している。

40

## 【 0 0 4 0 】

サンプリングの期間には、スイッチS1およびS2がオンしているので、積分容量C1はその両端子がそれぞれ入力信号VinとAGNDに接続された状態になっている。これにより、積分容量C1には入力信号Vinに基づいた電荷が蓄積される。すなわち、入力信号Vinが積分容量C1にサンプリングされる。

## 【 0 0 4 1 】

一方、スイッチS4およびS6がオンしているので、DAC容量C2の両端子がそれぞれAGNDに接続された状態になっている。これにより、DAC容量C2は電荷が蓄積さ

50



れない状態となっており、いわゆるリセットされた状態となっている。なお、DAC容量C2は、時刻t1以降に量子化結果Qoutの値に基づいて電荷が蓄積されるため、リセットの動作は必須ではない。

【0042】

< A/D変換 >

時刻t1以降のA/D変換の期間では、積分器10の出力電圧Voutを量子化器20によって量子化し、積分容量C1に蓄積された電荷から量子化結果Qoutに基づいた電荷をDAC30によって減算する動作を繰り返すことによって、入力信号VinのA/D変換が行われる。

【0043】

まず、時刻t1においてスイッチS1およびスイッチS2がオフされ、スイッチS3がオンされることによりオペアンプ11の出力電圧VoutはVinと同一の電圧値となり、Vinが積分容量C1に保持される。図2に示す例では、時刻t1～時刻t3において、Voutは、量子化器20を構成するコンパレータ21の閾値電圧であるAGNDよりも大きい値である。このため、量子化器20からはQout = 1、Dout = 1が出力される。なお、時刻t1以降、スイッチS1およびS2は常時オフであり、スイッチS3は常時オンである。

【0044】

DAC30にはQout = 1が入力され、時刻t2においてスイッチS6がオフされるとともにスイッチS7がオンされる。これにより、DAC容量C2には、ローレベルVmとAGNDとの電位差およびDAC容量C2の容量値に基づいた電荷が蓄積される。

【0045】

その後、時刻t3においてスイッチS4がオフされるとともにスイッチS5がオンされ、且つ、スイッチS7がオフされるとともにスイッチS6がオンされる。これによって、DAC電圧Vdacの時刻t3の前後における電位差(=Vm - AGND)とDAC容量C2の容量値に応じた電荷がDAC容量C2から積分容量C1に転送されて、A/D変換の残差に相当する電圧がオペアンプ11の出力電圧Voutとして出力される。なお、時刻t2から時刻t4に至る動作が積分容量C1からの最初の電荷の減算に係る1サイクルである。以降、時刻t2～時刻t4と同様の減算に係る1サイクルを減算サイクルと呼ぶことがある。

【0046】

時刻t3～時刻t5においては、オペアンプ11は、入力信号Vinをサンプリングした結果に相当する時刻t1～時刻t3における初期のVoutからDAC30によって最初の減算を実行した結果生成されるA/D変換の残差をVoutとして出力する。その残差は、量子化器20に入力され量子化される。図2に示すように、時刻t3～時刻t5における残差はAGNDよりも大きい値である。このため、時刻t1～時刻t3と同様に量子化器20からはQout = 1が出力される。また、最初の量子化の結果(時刻t1～時刻t3のQout = 1)と2回目の量子化の結果(時刻t3～時刻t5のQout = 1)とを積分した値であるDout = 2が量子化器20から出力される。なお、図2においては簡略化のため時刻t3においてただちにVout、QoutおよびDoutが変化し安定するように表記してあるが、実際の動作においては積分器やスイッチ、量子化器等の動作に伴う遅延により、時刻t3においてVoutが変化し始めてから安定して量子化結果が確定するまでには、一定の時間を要する。また、時刻t1から時刻t3、および、時刻t3から時刻t5に至る動作が量子化器20による量子化に係る1サイクルである。以降、同様の量子化に係る1サイクルを量子化サイクルと呼ぶことがある。

【0047】

時刻t3～時刻t5における2回目の量子化の結果は、時刻t1～時刻t3における最初の量子化の結果と同様にQout = 1である。このため、図2に示す時刻t4～時刻t6の間における2回目の減算サイクルでは、時刻t2～時刻t4の間における最初の減算サイクルの動作と同様の動作で減算が実行される。時刻t1～時刻t7の間は、Vout

10

20

30

40

50

A G N Dの関係が成立するので、 $Q_{out} = 1$ であり、 $D_{out}$ は1量子化サイクルごとに1ずつ加算されていく。時刻 $t_1 \sim$ 時刻 $t_7$ の間に $Q_{out} = 1$ の量子化サイクルが5サイクル存在するため、時刻 $t_7$ の直前においては $D_{out} = 5$ となる。

【0048】

時刻 $t_7$ において5回目の減算が実行されると、 $V_{out}$ がA G N Dを下回る。このため、時刻 $t_7 \sim$ 時刻 $t_9$ においては、量子化器20は $Q_{out} = -1$ を出力する。 $Q_{out}$ が時刻 $t_7$ 以前の1から-1に変化することにより、時刻 $t_8 \sim$ 時刻 $t_{10}$ の減算サイクルでは、スイッチS7およびスイッチS8の動作は時刻 $t_8$ 以前の減算サイクルとは異なる動作となる。具体的には、時刻 $t_8$ においてスイッチS6がオフされるとともにスイッチS8がオンされ、さらに、時刻 $t_9$ においてスイッチS8がオフされるとともにスイッチS6がオンされる。この間、スイッチS7はオフの状態を維持する。これによって、時刻 $t_9$ の前後におけるD A C電圧 $V_{dac}$ の電位差( $= V_p - A G N D$ )とD A C容量C2の容量値に応じた電荷が積分容量C1に転送され、 $V_{out}$ が増加する。

【0049】

時刻 $t_9 \sim$ 時刻 $t_{11}$ においては、再び $V_{out} = A G N D$ となるため、 $Q_{out} = 1$ となり、 $D_{out} = 5$ となる。時刻 $t_9 \sim$ 時刻 $t_{11}$ での量子化結果が $Q_{out} = 1$ のため、時刻 $t_{11}$ において再び $V_{out}$ が減少して、 $V_{out} < A G N D$ となる。これにより、時刻 $t_{11} \sim$ 時刻 $t_{13}$ において、 $Q_{out} = -1$ が出力されて $D_{out} = 4$ となる。

【0050】

時刻 $t_{13}$ までの8サイクルの量子化と7サイクルの減算によって、3ビット(9階調)のA/D変換の分解能が得られている。時刻 $t_{13}$ でA/D変換を終了してもよいが、本実施形態では、さらに減算と量子化をそれぞれ1サイクルずつ実行して、A/D変換の分解能を4ビット(16階調)にするように動作している。

【0051】

具体的には、図2に示すように、時刻 $t_{11} \sim$ 時刻 $t_{13}$ の量子化サイクルにおける量子化結果が $Q_{out} = -1$ であることから、時刻 $t_{12} \sim$ 時刻 $t_{14}$ において時刻 $t_8 \sim$ 時刻 $t_{10}$ と同様のD A C30の動作によって、D A C容量C2から積分容量C1へ電荷が転送され $V_{out}$ が増加する。すなわち、最後の減算である8回目の減算が実行される。

【0052】

時刻 $t_{13}$ 以降に、最後の量子化である9回目の量子化が実行される。最後の量子化においては、量子化器20は $V_{out} = A G N D$ で $Q_{out} = 0$ を出力し、 $V_{out} < A G N D$ の場合に $Q_{out} = -1$ を出力するようになっている。図2に示す例では、 $V_{out} = A G N D$ のため $Q_{out} = 0$ となり、 $D_{out} = 4$ となる。この $D_{out}$ の値が入力信号 $V_{in}$ の最終的なA/D変換結果となる。

【0053】

本発明のA/D変換器においては、積分容量C1からの電荷の減算および量子化器20による量子化は、入力信号 $V_{in}$ のレベルに依らず所望の分解能が得られる所定のサイクル数だけ実行する。本実施形態では、A/D変換器100の所望の分解能がNビットの場合には、電荷の減算は $2^{N-1}$ サイクル、量子化は $2^{N-1} + 1$ サイクル必要となる。

【0054】

次に、本実施形態におけるA/D変換器100の効果について説明する。

【0055】

このA/D変換器100は、サンプリング時に積分容量C1をオペアンプ11の出力端子から切り離して、積分容量C1に入力信号 $V_{in}$ を入力可能なように構成されるので、積分容量C1のリセットが不要であり、かつ、一般的なデルタシグマ型A/D変換器や特許文献3に記載のA/D変換器が必要とするサンプリング容量から積分容量への信号電荷の転送を省略することができる。従来の構成においては、積分容量のリセットとサンプリング容量でのサンプリング、および、サンプリング容量から積分容量への信号電荷の転送

において、それぞれ熱雑音やフリッカー雑音の影響が蓄積される。これに対して、本実施形態では、積分容量C1のリセットやサンプリング容量から積分容量への信号電荷の転送が不要なため、サンプリング容量から積分容量への信号電荷の転送を実施する構成と較べて、熱雑音やフリッカー雑音の影響を低減することができる。

【0056】

また、一般的なデルタシグマ型A/D変換器や特許文献3に記載のA/D変換器と較べて、本実施形態では、サンプリング容量から積分容量への信号電荷の転送が不要で、かつ、サンプリング容量が積分器に接続されることによるオペアンプ11のフィードバックファクタの低下が無いため、オペアンプ11や各種スイッチに対するスルーレートや帯域幅、オン抵抗等の要求仕様を緩和でき、オペアンプやスイッチの消費電力や面積の低減、もしくは、A/D変換の高速化を実現できる。

10

【0057】

また、従来のように積分容量とサンプリング容量をそれぞれ有する構成では、入力信号の振幅と積分器の出力信号の振幅が同程度である場合には、積分器の出力信号を飽和させないために積分容量とサンプリング容量はおおむね同程度の容量値を必要とする。本実施形態では、入力信号のサンプリングを、積分容量C1を用いて実施するため、サンプリング容量が不要であり、半導体集積回路として実現する際に比較的大きな面積を要する容量素子の面積をおおむね半分に削減することができる。

【0058】

また、このA/D変換器100は、一度のサンプリングに対して一度のA/D変換を行うナイキストA/D変換器である。このため、オーバーサンプリングを必要とする一般的なデルタシグマ型A/D変換器において、その前段にしばしば必要となる高速バッファを必要としない。よって、サンプリングの速度に起因する変換周波数の制限が少なく、高速かつ高精度のA/D変換を実現することができる。

20

【0059】

また、ひとつのDAC容量C2と実質1つの電位差( $V_p - V_m$ )を基準として積分容量C1に蓄積された電荷の減算が実施されることから、素子のばらつきや参照電圧を発生する電源の電圧値の誤差に起因するA/D変換の非線形性誤差が発生しない。このため、特許文献3に示されるようなDACの駆動に複数の参照電圧を用いる構成や、一般的なSAR型A/D変換器およびマルチビットのデルタシグマ型A/D変換器に見られるようにDACを複数の容量で構成する場合と比較して、A/D変換の非線形性誤差を低減することができる。したがって、SAR型のA/D変換器において高精度化のために用いられるディザリングやトリミング等の操作を実施することなく、高精度なA/D変換を実現することができる。

30

【0060】

また、多くの容量素子を用いるSAR型A/D変換器や複数の積分器を用いる高次のデルタシグマ型A/D変換器に較べて、簡素な構成でA/D変換を実現することができる。

【0061】

さらに、本実施形態では、入力信号 $V_{in}$ のレベルに依存せずに、所望のA/D変換の分解能に応じた所定のサイクル数の電荷の減算を実行する。すなわち、減算により一旦オペアンプ11の出力電圧 $V_{out}$ がAGNDより大きい側から小さい側、もしくは、AGNDより小さい側から大きい側に超えても、所定のサイクル数に達するまで減算を継続する。特許文献3に示されるように、入力信号のレベルに依存してオペアンプによる演算回数が異なる構成では、オペアンプのオフセット等に起因するA/D変換の誤差の大きさが入力信号のレベルに依存するため、A/D変換に非線形性誤差が発生する場合がある。これに対して、本実施形態におけるA/D変換器100では、入力レベルに依存せずに同じ回数の減算を実行する。このため、オペアンプ11のオフセット等に起因するA/D変換の誤差の入力レベル依存性が無い。すなわち、非線形性誤差が少ない高精度なA/D変換を実現することができる。

40

【0062】

50

## (変形例1)

第1実施形態に記載したような2レベルのDAC30を採用する場合、第1実施形態のように $V_p - AGND$ 間の電位差、あるいは $V_m - AGND$ 間の電位差を用いて電荷を減算する方法のほかに、 $V_p - V_m$ 間の電位差を用いて減算する方法を採用することもできる。

## 【0063】

本変形例におけるA/D変換器100では、図3に示すように、第1実施形態に対してスイッチS6～S8の動作を変更する。具体的には、減算サイクルの期間を含む時刻 $t_2$ ～時刻 $t_{14}$ において、スイッチS6がオフ状態で維持されるとともに、量子化器20の出力 $Q_{out}$ に応じて、スイッチS7とスイッチS8のいずれかが排他的に減算サイクルの前半にオンし、減算サイクルの後半ではスイッチS7とスイッチS8のオンとオフがそれぞれ減算サイクルの前半とは反転するように制御される。これにより、量子化器20の出力 $Q_{out}$ に応じてDAC容量C2の容量値およびDAC電圧 $V_{dac}$ の減算サイクルの前半と後半の電位差( $= V_p - V_m$ 、もしくは、 $V_m - V_p$ )によって決定される量の電荷がDAC容量C2から積分容量C1に転送されて、A/D変換の残差に相当する電圧がオペアンプ11の出力電圧 $V_{out}$ として出力される。

## 【0064】

なお、時刻 $t_2$ ～時刻 $t_4$ の減算サイクルにおいて、DAC30の制御に用いられる $Q_{out}$ は時刻 $t_1$ ～時刻 $t_3$ の量子化サイクルに出力されている $Q_{out} = 1$ である。すなわち、量子化サイクルと対応する減算サイクルの間には、半サイクル分の時間的ずれが存在する。そのため、時刻 $t_2$ ～時刻 $t_4$ において、DAC30は時刻 $t_1$ ～時刻 $t_3$ の期間に出力される $Q_{out} = 1$ をもとに制御されるように、量子化器20の出力 $Q_{out}$ とDAC30の制御との間に適宜遅延を挿入すればよい。もしくは、量子化器20の出力 $Q_{out}$ が変化するタイミングを図3に対して半量子化サイクル分遅らせるように構成してもよい。

## 【0065】

本変形例におけるDAC電圧 $V_{dac}$ の1減算サイクルの前半と後半の間の電位差( $= V_p - V_m$ 、もしくは、 $V_m - V_p$ )の絶対値は、第1実施形態における電位差( $= V_p - AGND$ 、もしくは、 $V_m - AGND$ )の絶対値の2倍に相当する。そのため、第1実施形態と同等の減算を行うに当たって、DAC容量C2の容量値を半減することができる。したがって、DAC容量C2による減算によって発生する熱雑音およびオペアンプ11のフリッカー雑音がA/D変換結果に与える影響を低減することができる。

## 【0066】

なお、本変形例におけるDAC30は、第1実施形態に較べて、時刻 $t_2$ ～時刻 $t_{14}$ においてスイッチS6がオフ状態で維持されるため、AGNDがDAC30による $V_{out}$ の変化を伴う減算には用いられない。このため、本変形例をシングルエンドの回路構成で実施する場合において、 $V_p$ と $V_m$ との中間電位とAGNDの電位との間に誤差が生じても、積分容量C1からの電荷の減算に起因するA/D変換のオフセット誤差が発生しない。すなわち、 $V_p$ 、 $V_m$ およびAGNDを発生する電源の精度に対する要求を第1実施形態と較べて緩和することができる。

## 【0067】

## (第2実施形態)

最初に、図4を参照して、本実施形態に係るA/D変換器の概略構成について説明する。

## 【0068】

図4に示すように、このA/D変換器200は、積分器10と、量子化器20と、D/A変換器30(以降、DAC30と示す)とを備えている。入力信号( $V_{in}$ )はアナログ信号であり、A/D変換器200から出力される信号( $D_{out}$ )はデジタル信号である。

## 【0069】

10

20

30

40

50

なお、本実施形態におけるA/D変換器200は、第1実施形態におけるA/D変換器100に対して量子化器20の構成が異なっている。積分器10は第1実施形態と同様の構成であるから、その詳しい説明を省略する。DAC30は、その入力信号、すなわち量子化器20の出力Qoutに対応するDAC電圧Vdacの仕様が第1実施形態と異なる。以下、詳しく説明する。

#### 【0070】

本実施形態における量子化器20は、積分器10の出力、すなわちオペアンプ11の出力電圧Voutが入力され、そのVoutを量子化した結果であるQoutを出力している。すなわち、量子化器20は、アナログ値であるVoutを量子化し、デジタル値である量子化結果Qoutに変換している。また、量子化器20は、入力信号VinをA/D

10

#### 【0071】

第1コンパレータ22は、非反転入力端子にオペアンプ11の出力電圧Voutが入力され、反転入力端子には閾値電圧V1が入力されている。第2コンパレータ23は、第1コンパレータ22と同様に、オペアンプ11の出力電圧Voutが非反転入力端子に入力され、反転入力端子には閾値電圧V2が入力されている。閾値電圧V1はAGNDよりも高い電位とされ、閾値電圧V2はAGNDよりも低い電位とされている。つまり、各電圧は $V2 < AGND < V1$ の関係となっている。各コンパレータ22, 23の出力はそれぞれロジック回路24に入力されている。ロジック回路24は、コンパレータ22, 23の出力に基づいて、DAC30に量子化結果Qoutを出力するとともに、デジタル信号DoutをA/D変換結果として出力する。

20

#### 【0072】

ロジック回路24は、 $Vout > V1$ の場合は量子化結果Qoutとして1を出力する。 $V2 < Vout < V1$ の場合は、Qoutとして0を出力する。 $Vout < V2$ の場合は、Qoutとして-1を出力する。つまり、本実施形態における量子化器20は1.5ビットの量子化器である。また、ロジック回路24はA/D変換の過程で量子化器20によって量子化が実行されるたびにQoutを順次積分してA/D変換結果Doutを生成する。量子化器20の具体的な動作は追って詳述する。

#### 【0073】

DAC30はD/A変換器であり、量子化器20が出力する量子化結果Qoutに基づいて、DAC30が積分容量C1から減算する電荷の量を決定している。このDAC30は、参照電圧として、アナロググランドレベルであるAGNDと、AGNDよりも高い電位に設定されたハイレベルVpと、AGNDよりも低い電位に設定されたローレベルVmとを有する3レベルD/A変換器である。

30

#### 【0074】

本実施形態においては、DAC容量C2に電荷を蓄積する際に、 $Qout = 1$ の場合にはスイッチS7がオンし、 $Qout = -1$ の場合にはスイッチS8がオンし、 $Qout = 0$ の場合にはスイッチS6がオンするように構成されている。なお、例えば $AGND = 0$  Vの場合には、VpとVmは $Vp = -Vm$ を満たすように設定する。また、コンパレータ21, 22に入力される閾値電圧V1およびV2は、例えばそれぞれ $V1 = Vp / 16$ 、 $V2 = Vm / 16$ に設定する。

40

#### 【0075】

次に、図5を参照して、本実施形態におけるA/D変換器200の具体的な動作について説明する。

#### 【0076】

図5はA/D変換器200の動作を示すタイミングチャートである。時刻t15以前がサンプリングの期間に相当し、時刻t15以降がA/D変換の期間に相当する。

#### 【0077】

<サンプリング>

50

時刻  $t_{15}$  以前のサンプリングの期間において、スイッチ  $S_1$  ,  $S_2$  ,  $S_4$  ,  $S_6$  がオンとされ、スイッチ  $S_3$  ,  $S_5$  ,  $S_7$  ,  $S_8$  がオフとされている。スイッチ  $S_5$  がオフであるから、積分器 10 と DAC 30 とが互いに電氣的に分離している。また、スイッチ  $S_3$  がオフであるから、積分容量  $C_1$  とオペアンプ 11 の出力端子とが互いに電氣的に分離している。

#### 【0078】

サンプリングの期間には、スイッチ  $S_1$  および  $S_2$  がオンしているので、入力信号  $V_{in}$  が積分容量  $C_1$  にサンプリングされる。また、スイッチ  $S_4$  および  $S_6$  がオンしているので、DAC 容量  $C_2$  の両端子がそれぞれ AGND に接続され、DAC 容量  $C_2$  はリセットされた状態となっている。

10

#### 【0079】

< A / D 変換 >

時刻  $t_{15}$  以降の A / D 変換の期間では、積分器 10 の出力電圧  $V_{out}$  を量子化器 20 によって量子化し、積分容量  $C_1$  に蓄積された電荷から量子化結果  $Q_{out}$  に基づいた電荷を DAC 30 によって減算する動作を繰り返すことによって、入力信号  $V_{in}$  の A / D 変換が行われる。

#### 【0080】

まず、時刻  $t_{15}$  においてスイッチ  $S_1$  およびスイッチ  $S_2$  がオフされ、スイッチ  $S_3$  がオンされることによりオペアンプ 11 の出力電圧  $V_{out}$  は  $V_{in}$  と同一の電圧値となり、 $V_{in}$  が積分容量  $C_1$  に保持される。図 5 に示す例では、時刻  $t_{15}$  ~ 時刻  $t_{17}$  において、 $V_{out}$  は量子化器 20 を構成する第 1 コンパレータ 22 の閾値電圧  $V_1$  よりも大きい値である。このため、量子化器 20 からは  $Q_{out} = 1$ 、 $D_{out} = 1$  が出力される。

20

#### 【0081】

DAC 30 には  $Q_{out} = 1$  が入力され、時刻  $t_{16}$  においてスイッチ  $S_6$  がオフされるとともにスイッチ  $S_7$  がオンされる。これにより、DAC 容量  $C_2$  には、ローレベル  $V_m$  と AGND との電位差および DAC 容量  $C_2$  の容量値に基づいた電荷が蓄積される。

#### 【0082】

その後、時刻  $t_{17}$  においてスイッチ  $S_4$  がオフされるとともにスイッチ  $S_5$  がオンされ、且つ、スイッチ  $S_7$  がオフされるとともにスイッチ  $S_6$  がオンされる。これによって、DAC 電圧  $V_{dac}$  の時刻  $t_{17}$  の前後における電位差 ( $= V_m - AGND$ ) と DAC 容量  $C_2$  の容量値に応じた電荷が DAC 容量  $C_2$  から積分容量  $C_1$  に転送されて、A / D 変換の残差に相当する電圧がオペアンプ 11 の出力電圧  $V_{out}$  として出力される。

30

#### 【0083】

時刻  $t_{17}$  ~ 時刻  $t_{19}$  においては、オペアンプ 11 は、入力信号  $V_{in}$  をサンプリングした結果に相当する時刻  $t_{15}$  ~ 時刻  $t_{17}$  における初期の  $V_{out}$  から DAC 30 によって最初の減算を実行した結果生成される A / D 変換の残差を  $V_{out}$  として出力する。その残差は、量子化器 20 に入力され量子化される。図 5 に示すように、時刻  $t_{17}$  ~ 時刻  $t_{19}$  における残差は閾値電圧  $V_1$  よりも大きい値である。このため、時刻  $t_{15}$  ~ 時刻  $t_{17}$  と同様に量子化器 20 からは  $Q_{out} = 1$  が出力される。また、最初の量子化の結果 (時刻  $t_{16}$  ~ 時刻  $t_{18}$  の  $Q_{out} = 1$ ) と 2 回目の量子化の結果 (時刻  $t_{18}$  ~ 時刻  $t_{20}$  の  $Q_{out} = 1$ ) とを積分した値である  $D_{out} = 2$  が量子化器 20 から出力される。

40

#### 【0084】

時刻  $t_{15}$  ~ 時刻  $t_{21}$  の間は、 $V_{out} > V_1$  の関係が成立するので、 $Q_{out} = 1$  であり、 $D_{out}$  は 1 量子化サイクルごとに 1 ずつ加算されていく。時刻  $t_{15}$  から時刻  $t_{21}$  の間に  $Q_{out} = 1$  の量子化サイクルが 5 サイクル存在するため、時刻  $t_{21}$  の直前においては  $D_{out} = 5$  となる。

#### 【0085】

時刻  $t_{21}$  において、5 回目の減算が実行されると、 $V_2 < V_{out} < V_1$  となる。こ

50

のため、時刻  $t_{21}$  ~ 時刻  $t_{23}$  においては、量子化器 20 は  $Q_{out} = 0$  を出力する。このため、6 回目の減算サイクルである時刻  $t_{22}$  ~ 時刻  $t_{24}$  においてスイッチ  $S_6$  のオン状態が継続されるとともにスイッチ  $S_7$ ,  $S_8$  のオフ状態が継続され、DAC 電圧  $V_{dac}$  は  $AGND$  と同電位に維持される。また、スイッチ  $S_4$  およびスイッチ  $S_5$  のオンオフは、時刻  $t_{21}$  以前と同様に継続されるため、DAC 容量  $C_2$  による積分容量  $C_1$  からの電荷の減算は継続されるが、DAC 電圧  $V_{dac}$  が  $AGND$  と同電位に維持されるので、積分容量  $C_1$  からの電荷の減算は実質行われぬ。そのため、時刻  $t_{21}$  以降  $V_{out}$  は変動しない。

#### 【0086】

時刻  $t_{25}$  までに 8 サイクルの量子化と 7 サイクルの減算が完了しており、4 ビット (17 階調) の  $A/D$  変換の分解能が得られている。図 5 の例では、時刻  $t_{25}$  までに得られる  $D_{out} = 5$  が入力信号  $V_{in}$  の最終的な  $A/D$  変換結果となる。本実施形態では、 $A/D$  変換器の所望の分解能が  $N$  ビットの場合には、電荷の減算は  $2^{N-1} - 1$  サイクル、量子化は  $2^{N-1}$  サイクル必要となる。

#### 【0087】

本実施形態における  $A/D$  変換器 200 も、第 1 実施形態と同様の効果を奏する。これに加えて、本実施形態における量子化器 20 は 1.5 ビットの量子化器として機能するため、第 1 実施形態として図 2 に示した最後の量子化サイクルに相当する量子化サイクルを必要とすることなく、8 サイクルの量子化によって 4 ビット (17 階調) の分解能の  $A/D$  変換を実現することができる。

#### 【0088】

(変形例 2)

第 2 実施形態に記載したような 3 レベルの DAC 30 を採用する場合、 $A/D$  変換の期間において、第 2 実施形態と同様に  $V_p - AGND$  間もしくは  $V_m - AGND$  間の電位差を用いて減算する方法のほかに、変形例 1 と同様に  $V_p - V_m$  間もしくは  $V_m - V_p$  間の電位差を用いて減算する方法を採用することもできる。

#### 【0089】

本変形例における  $A/D$  変換器 200 では、図 6 に示すように、第 2 実施形態に対してスイッチ  $S_6 \sim S_8$  の動作を変更する。具体的には、時刻  $t_{16}$  においてスイッチ  $S_6$  がオフされるとともに、スイッチ  $S_7$  がオンされる。そして時刻  $t_{17}$  において、スイッチ  $S_7$  がオフされるとともに、スイッチ  $S_6$  のオフ状態が維持されつつスイッチ  $S_8$  がオンされる。これにより、時刻  $t_{17}$  の前後の DAC 電圧  $V_{dac}$  の電位差 ( $= V_p - V_m$ ) と DAC 容量  $C_2$  の容量値に応じた電荷が DAC 容量  $C_2$  から積分容量  $C_1$  に転送されて  $A/D$  変換の残差に相当する電圧がオペアンプ 11 の出力電圧  $V_{out}$  として出力される。

#### 【0090】

なお、第 1 実施形態の変形例 1 と同様に本変形例においても、時刻  $t_{16}$  ~ 時刻  $t_{18}$  の減算サイクルにおいて、DAC 30 の制御に用いる  $Q_{out}$  は時刻  $t_{15}$  ~ 時刻  $t_{17}$  の量子化サイクルに出力されている  $Q_{out} = 1$  である。そのため、量子化器 20 の出力  $Q_{out}$  と DAC 30 の制御との間に遅延を挿入する等の方法で、適宜 DAC 30 の制御のタイミングを調整すればよい。

#### 【0091】

第 1 実施形態とその変形例 1 の関係と同様に、本変形例の DAC 電圧  $V_{dac}$  の 1 減算サイクルの前半と後半の間の電位差 ( $= V_p - V_m$ 、もしくは、 $V_m - V_p$ ) の絶対値は、第 2 実施形態における電位差 ( $= V_p - AGND$ 、もしくは、 $V_m - AGND$ ) の絶対値の 2 倍に相当する。そのため、第 1 実施形態の変形例 1 と同様に  $A/D$  変換結果に対する熱雑音やフリッカー雑音の影響を低減することができる。

#### 【0092】

なお、本変形例における DAC 30 は、第 2 実施形態に較べて、時刻  $t_{16}$  ~ 時刻  $t_{22}$  においてスイッチ  $S_6$  がオフ状態で維持されるため、 $AGND$  が DAC 30 による  $V_o$

10

20

30

40

50

out の変化を伴う減算には用いられない。また、時刻  $t_{22}$  以降は A G N D がスイッチ S 6 を介して D A C 容量 C 2 に接続されるが実質減算は行われず。そのため、本変形例はシングルエンドの回路構成で実施する場合において、 $V_p$  と  $V_m$  との中間電位と A G N D の電位との間に誤差が生じて、積分容量 C 1 からの電荷の減算時の誤差に起因する A / D 変換のオフセット誤差や非線形性誤差が発生しない。すなわち、 $V_p$ 、 $V_m$  および A G N D を発生する電源の精度に対する要求を第 2 実施形態と較べて緩和することができる。

【0093】

(変形例 3)

第 2 実施形態および変形例 2 では、量子化器 20 を 2 つのコンパレータ 22, 23 によって構成することにより 1.5 ビットの量子化を実現する形態について説明した。これに対して本変形例では、コンパレータ 22, 23 の閾値電圧を可変とすることで、量子化器の分解能を 1.5 ビットと 1 ビットに切り替えて動作する形態について説明する。

【0094】

まず、図 7 を参照して、本変形例における量子化器 20 の構成について説明する。

【0095】

図 7 に示す量子化器 20 においては、第 1 コンパレータ 22 に入力される閾値電圧を  $V_1$ 、 $V_3$ 、 $V_5$  の 3 通りに変更できるようになっている。また、第 2 コンパレータ 23 に入力される閾値電圧を  $V_2$ 、 $V_4$  の 2 通りに変更できるようになっている。具体的には、図 7 に示すように、ハイレベル  $V_p$  とローレベル  $V_m$  の間に、抵抗器 R 1 ~ R 6 が電位の高い方から R 1 ~ R 6 の順で直列に接続され、各抵抗器の midpoint 電位を閾値電圧としてコンパレータ 22, 23 に入力できるようになっている。

【0096】

つまり、各抵抗器 R 1 ~ R 6 は、抵抗器 R 1 と抵抗器 R 2 との midpoint で電圧  $V_3$  が生じるように設定され、抵抗器 R 2 と抵抗器 R 3 との midpoint で電圧  $V_1$  が生じるように設定され、抵抗器 R 3 と抵抗器 R 4 との midpoint で電圧  $V_5$  が生じるように設定され、抵抗器 R 4 と抵抗器 R 5 との midpoint で電圧  $V_2$  が生じるように設定され、抵抗器 R 5 と抵抗器 R 6 との midpoint で電圧  $V_4$  が生じるように設定されている。

【0097】

第 1 コンパレータ 22 の反転入力端子にはスイッチ S 21 を介して電圧  $V_3$  が入力可能にされ、スイッチ S 22 を介して電圧  $V_1$  が入力可能にされ、スイッチ S 23 を介して電圧  $V_5$  が入力可能にされている。一方、第 2 コンパレータ 23 の反転入力端子にはスイッチ S 24 を介して電圧  $V_2$  が入力可能にされ、スイッチ S 25 を介して電圧  $V_4$  が入力可能にされている。

【0098】

なお、本変形例における量子化器 20 はコンパレータ 22, 23 の閾値電圧として  $V_1$  ~  $V_5$  の 5 種類を設定可能であるが、本変形例の動作では 3 種類のみを用いる構成となっている。5 種類の電圧を設定する例については、後述の変形例 4 および変形例 5 において説明する。また、閾値電圧のうち電圧  $V_5$  は、 $V_p$  と  $V_m$  のちょうど中間の電位であることが望ましい。すなわち、A G N D が 0 V の場合には、電圧の関係が  $V_5 = A G N D = 0 V$  とすることが望ましい。

【0099】

次に、図 8 を参照して、本変形例に係る A / D 変換器 200 の動作および作用効果について説明する。なお、時刻  $t_{25}$  までの動作は第 2 実施形態の動作と同様であるが、時刻  $t_{25}$  の直前の Q o u t に基づく減算を実行する点異なる。すなわち、時刻  $t_{25}$  までの期間における A / D 変換の分解能を N ビットとすると減算を  $2^{N-1}$  サイクル実行する点異なる。それ以外の点は同様の動作であるから、その説明を省略する。また、コンパレータ 22, 23 に入力される閾値電圧  $V_1$ 、 $V_2$  は、第 2 実施形態と同様に、それぞれ  $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$  である。

【0100】

時刻  $t_{25}$  に至るまでは、量子化器 20 における閾値電圧が  $V_1$  および  $V_2$  に設定され

10

20

30

40

50



ている。すなわち、スイッチ S 2 2 とスイッチ S 2 4 がオンされており、スイッチ S 2 1、S 2 3、S 2 5 はオフされている。これにより、本変形例における量子化器 2 0 は、時刻 t 2 5 に至るまでは 1 . 5 ビットの量子化器として機能している。図 8 においては、この A / D 変換の期間を 1 . 5 - b i t M O D E ( 1 . 5 ビットモード ) と記載している。

#### 【 0 1 0 1 】

時刻 t 2 5 に至った後、図 7 に示す量子化器 2 0 におけるスイッチ S 2 2 がオフされ、スイッチ S 2 3 がオンされる。これにより、第 1 コンパレータ 2 2 に入力される閾値電圧は V 5 ( = A G N D ) となる。時刻 t 2 5 以降、第 2 コンパレータ 2 3 に入力される閾値電圧は V 2 のまま維持されるが、本変形例におけるロジック回路 2 4 は、V o u t と V 2 の比較結果を無視するように設定される。すなわち、時刻 t 2 5 以降、本変形例における量子化器 2 0 は閾値電圧が A G N D とされた第 1 コンパレータ 2 2 のみを使用する 1 ビット量子化器として機能する。ロジック回路 2 4 は、V o u t が A G N D を上回る場合に Q o u t = 0 を出力し、A G N D を下回る場合に Q o u t = - 1 を出力するように設定されている。図 8 においては、この A / D 変換の期間を 1 - b i t M O D E ( 1 ビットモード ) と記載している。

#### 【 0 1 0 2 】

図 8 に示すように、時刻 t 2 5 以降において、量子化器 2 0 に入力される V o u t は A G N D を下回っている。このため、量子化器 2 0 からは Q o u t = - 1 が出力される。このとき、ロジック回路 2 4 は、時刻 t 2 5 の直前までの 1 . 5 ビットモードによる 8 回の量子化で得られたデジタル出力 D o u t を 2 倍した上で、時刻 t 2 5 以降の Q o u t = - 1 を加算する。これにより、1 ビットモードによる最後の 1 回の量子化を実行した時点で得られる入力信号 V i n の最終的な A / D 変換結果は D o u t = 9 となる。

#### 【 0 1 0 3 】

本変形例では、分解能が 1 ビットに設定された量子化器 2 0 によって最後の量子化が行われる。最後の量子化に用いる 1 つの閾値電圧 V 5 が、時刻 t 2 5 以前の量子化に用いる 2 つの閾値電圧 V 1、V 2 のちょうど中間にあることから、最後の量子化により A / D 変換の分解能を 1 ビット分高めることができる。そのため、ロジック回路 2 4 は時刻 t 2 5 の直前の D o u t を 2 倍に演算したうえで、1 ビットの量子化結果 Q o u t を加算する。

#### 【 0 1 0 4 】

図 8 の例では、9 サイクルの量子化と 8 サイクルの減算によって、分解能が 5 ビット ( 3 2 階調 ) の A / D 変換を実行している。本変形例では、A / D 変換器の所望の分解能が N ビットの場合には、電荷の減算は  $2^{N-2}$  サイクル、量子化は  $2^{N-2} + 1$  サイクル必要となる。そのため、変形例 2 と同等の分解能を得るために必要なサイクル数は略半分となる。減算サイクル数が低減することにより、減算によって発生する熱雑音やフリッカー雑音が A / D 変換結果に与える影響を低減できる。

#### 【 0 1 0 5 】

##### ( 変形例 4 )

変形例 3 では、図 7 に示す量子化器 2 0 において、3 種類の閾値電圧を用いて分解能を可変とすることで、A / D 変換器の分解能を向上する形態について説明した。本変形例では、図 7 に示す量子化器 2 0 において、5 種類の閾値電圧を用いて量子化器 2 0 の分解能を可変とすることで、さらに分解能を向上する形態について説明する。

#### 【 0 1 0 6 】

図 9 を参照して、本変形例に係る A / D 変換器 2 0 0 の動作および作用効果について説明する。なお、サンプリングが完了する時刻 t 2 6 までの期間については第 2 実施形態に記載の時刻 t 1 5 までの期間と同様であるから、その説明を省略する。なお、本変形例では、コンパレータ 2 2、2 3 に入力される閾値電圧 V 1 ~ V 5 は、それぞれ V 1 = V p / 1 6、V 2 = V m / 1 6、V 3 = V p / 8、V 4 = V m / 8、V 5 = A G N D = 0 V に設定されている。

## 【 0 1 0 7 】

時刻  $t_{31}$  に至るまでは、量子化器 20 における第 1 コンパレータ 22 の閾値電圧が  $V_3$  に設定され、第 2 コンパレータ 23 の閾値電圧が  $V_4$  に設定されている。すなわち、スイッチ  $S_{21}$  とスイッチ  $S_{25}$  がオンされており、スイッチ  $S_{22} \sim S_{24}$  はオフされている。つまり、時刻  $t_{26} \sim$  時刻  $t_{31}$  においては、第 2 実施形態に較べて、2 つの閾値電圧の差が大きく設定されている。

## 【 0 1 0 8 】

図 9 に示すように、閾値電圧を  $V_3$  と  $V_4$  にそれぞれ設定している時刻  $t_{27}$  において、変形例 2 と同様に、スイッチ  $S_6$  がオフされるとともに、スイッチ  $S_7$  がオンされる。そして時刻  $t_{28}$  において、スイッチ  $S_7$  がオフされるとともに、スイッチ  $S_6$  のオフ状態が維持されつつスイッチ  $S_8$  がオンされる。これにより、時刻  $t_{28}$  の前後の電位差 ( $= V_p - V_m$ ) と DAC 容量  $C_2$  の容量値に応じた電荷が積分容量  $C_1$  に転送されて、A/D 変換の残差に相当する電圧がオペアンプ 11 の出力電圧  $V_{out}$  として出力される。DAC 容量  $C_2$  の容量値が第 2 実施形態と同一であるとすれば、1 回の減算による積分容量  $C_1$  からの電荷の減算量は第 2 実施形態の 2 倍となる。

## 【 0 1 0 9 】

時刻  $t_{26} \sim$  時刻  $t_{28}$  の最初の量子化サイクルにおいては  $V_{out} > V_3$  であり、 $Q_{out} = 1$ 、 $D_{out} = 1$  である。同様に、時刻  $t_{28} \sim$  時刻  $t_{30}$  の 2 回目の量子化サイクルにおいても  $V_{out} > V_3$  となるので、 $Q_{out} = 1$ 、 $D_{out} = 2$  となる。さらに、入力信号  $V_{in}$  のレベルに依らずに所定の量子化サイクルが完了するまで、すなわち、図 9 の例において 4 サイクルの量子化が完了する時刻  $t_{31}$  まで、閾値電圧を  $V_3$  および  $V_4$  で維持したまま量子化を実行する。

## 【 0 1 1 0 】

時刻  $t_{30} \sim$  時刻  $t_{33}$  の期間は  $V_4 < V_{out} < V_3$  の関係を満たすので、 $Q_{out} = 0$  となる。そのため、変形例 2 における時刻  $t_{21}$  以降の動作と同様に、時刻  $t_{31} \sim$  時刻  $t_{34}$  の期間においては、スイッチ  $S_6$  がオンされつつスイッチ  $S_7$  および  $S_8$  はオフされた状態となる。すなわち、積分容量  $C_1$  からの電荷の減算は實質行われない。また、 $Q_{out} = 0$  のため、 $D_{out} = 2$  が維持される。時刻  $t_{33}$  までに得られる分解能を  $N$  ビットとすると、時刻  $t_{33}$  までの量子化サイクル数は、変形例 2 と同様に、 $2^{N-1}$  サイクルである。すなわち、4 サイクルの量子化が完了した時刻  $t_{33}$  の時点で、3 ビット (9 階調) の A/D 変換の分解能が得られる。

## 【 0 1 1 1 】

時刻  $t_{33}$  において、スイッチ  $S_{21}$  がオフされ、スイッチ  $S_{22}$  がオンされる。すなわち、量子化器 20 の第 1 コンパレータ 22 の閾値電圧が  $V_3$  から  $V_1$  に切り替えられる。同様に、スイッチ  $S_{25}$  がオフされ、スイッチ  $S_{24}$  がオンされる。すなわち、量子化器 20 の第 2 コンパレータ 23 の閾値電圧が  $V_4$  から  $V_2$  に切り替えられる。また、時刻  $t_{32} \sim$  時刻  $t_{34}$  の間は、 $V_{out}$  は変化していないが、変形例 2 と同様に DAC 電圧  $V_{dac}$  を AGND に設定した状態で減算が行われている。

## 【 0 1 1 2 】

図 9 に示すように、時刻  $t_{33} \sim$  時刻  $t_{35}$  においては  $V_{out} > V_1$  であるから、 $Q_{out} = 1$  となる。ここでは、量子化器 20 における 2 つの閾値電圧の差が時刻  $t_{33}$  以前の  $1/2$  に切り替えられており、量子化器 20 の量子化結果  $Q_{out}$  の 1 階調の大きさは、時刻  $t_{33}$  以前に対して  $1/2$  となる。そのため、ロジック回路 24 は、時刻  $t_{33}$  までの A/D 変換結果  $D_{out} = 2$  を 2 倍した上で時刻  $t_{33} \sim$  時刻  $t_{35}$  における  $Q_{out} = -1$  を加算する。よって、時刻  $t_{33}$  から時刻  $t_{35}$  において  $D_{out} = 5$  となる。

## 【 0 1 1 3 】

5 サイクルの量子化が完了する時刻  $t_{35}$  までに、4 ビット (17 階調) の A/D 変換の分解能が得られる。時刻  $t_{35}$  で A/D 変換の処理を完了する場合には、第 2 実施形態と同様の A/D 変換結果  $D_{out}$  を得るまでの量子化は 5 サイクルであり、第 2 実施形態

10

20

30

40

50

における8サイクルよりも小さくすることができる。すなわち、第2実施形態に較べて、A/D変換の処理速度を向上することができる。

【0114】

本変形例では、時刻 $t_{35}$ 以降に、変形例3の時刻 $t_{25}$ 以降と同様に、量子化器20を1ビットモードで動作させて最後の量子化を実行する。時刻 $t_{35}$ 以降は $V_{out} < A_{GND}$ であるから $Q_{out} = -1$ となり、時刻 $t_{35}$ の直前の $D_{out} = 5$ を2倍した上で、時刻 $t_{35}$ 以降の $Q_{out} = -1$ を加算する。これにより、入力信号 $V_{in}$ の最終的なA/D変換結果である $D_{out} = 9$ が得られる。

【0115】

図9の例では、6サイクルの量子化と5サイクルの減算によって、A/D変換の分解能は5ビット(32階調)が得られる。A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2^{N-3} + 1$ サイクル、量子化は $2^{N-3} + 2$ サイクル必要となる。そのため、分解能Nが高い場合には、変形例3と較べて同等の分解能を得るために必要なサイクル数は略半分に低減できる。また、減算のサイクル数が低減することにより、減算の実行によって増加する熱雑音やフリッカー雑音がA/D変換結果に与える影響を低減できる。

【0116】

なお、本変形例における量子化器20は、時刻 $t_{26}$ から時刻 $t_{35}$ に至る期間において、時刻 $t_{33}$ にて量子化器20の2つの閾値電圧をそれぞれ変更するものの、1.5ビット量子化器として機能している。また、時刻 $t_{35}$ 以降は、閾値電圧を $A_{GND}$ とする1ビット量子化器として機能している。

【0117】

(変形例5)

上記した第2実施形態および変形例2~4では、量子化器20を1.5ビットあるいは1ビットで用いる例について説明した。これに対して、本変形例では、変形例3にて説明した図7に示す量子化器20によって2.5ビット(5レベル)の量子化を実現する例について説明する。

【0118】

本変形例におけるA/D変換器200の量子化器20は、1サイクルの量子化に際して、閾値電圧を半量子化サイクル毎に変化させて、それぞれの半量子化サイクルの量子化結果 $Q_{out}$ を用いてDAC30を制御する。すなわち、1.5ビットの量子化器20を使用して、1量子化サイクルで5レベルの量子化を実行し、実質2.5ビットの量子化器を実現している。

【0119】

具体的には、図10に示すように、量子化サイクルの前半において、第1コンパレータ22の閾値電圧を $V_3$ とし第2コンパレータ23の閾値電圧を $V_4$ として、量子化サイクルの後半において、第1コンパレータ22の閾値電圧を $V_1$ とし第2コンパレータ23の閾値電圧を $V_2$ として、2回の量子化を1回の量子化サイクル内で実行する。DAC30は、1回の量子化サイクル内の2つの量子化結果それぞれを用いて制御する。量子化結果 $Q_{out}$ は、 $V_{out} > V_1$ または $V_{out} > V_3$ であれば $Q_{out} = 1$ であり、 $V_2 < V_{out} < V_1$ または $V_4 < V_{out} < V_3$ であれば $Q_{out} = 0$ であり、 $V_{out} < V_2$ または $V_{out} < V_4$ であれば $Q_{out} = -1$ となる。

【0120】

DAC30を駆動するDAC電圧 $V_{dac}$ は、1量子化サイクルにおける $Q_{out}$ の合計値に基づいて決定する。具体的には、1量子化サイクルにおける2つの量子化結果 $Q_{out}$ の合計値が2であればDAC電圧 $V_{dac}$ の1減算サイクルの前半と後半における電位差を $V_p - V_m$ として減算を行う。同様に、 $Q_{out}$ の合計値が1であれば電位差を $V_p - A_{GND}$ として、 $Q_{out}$ の合計値が-1であれば電位差を $V_m - A_{GND}$ として、 $Q_{out}$ の合計値が-2であれば電位差を $V_m - V_p$ として減算を行う。また、 $Q_{out}$ の合計値が0であればDAC電圧 $V_{dac}$ を $A_{GND}$ として実質的に減算を行わない。

## 【0121】

図10を参照して、本変形例に係るA/D変換器200の動作について説明する。なお、サンプリングが完了する時刻 $t_{37}$ までの期間については第2実施形態に記載の時刻 $t_{15}$ までの期間と同様であるから、その説明を省略する。なお、本変形例においては、コンパレータ22, 23に入力される閾値電圧 $V_1 \sim V_5$ は、それぞれ $V_1 = V_p / 16$ 、 $V_2 = V_m / 16$ 、 $V_3 = 3V_p / 16$ 、 $V_4 = 3V_m / 16$ 、 $V_5 = A_{GND} = 0V$ に設定されている。

## 【0122】

図10に示すように、時刻 $t_{37} \sim$ 時刻 $t_{39}$ におけるオペアンプ11の出力 $V_{out}$ は $V_{out} > V_3$ 且つ $V_{out} > V_1$ であるから、時刻 $t_{37} \sim$ 時刻 $t_{39}$ の間の量子化サイクルの前半と後半における2回の量子化の結果 $Q_{out}$ がそれぞれ1であり、1量子化サイクルでの $Q_{out}$ の合計値は2となる。よって、時刻 $t_{38} \sim$ 時刻 $t_{40}$ の間の減算サイクルで、変形例2や変形例4にて説明した動作と同様に、DAC30におけるスイッチS7およびS8を制御して電位差 $V_p - V_m$ による減算が実行される。時刻 $t_{39} \sim$ 時刻 $t_{41}$ の量子化サイクルにおいても、 $Q_{out}$ の合計値は2であり、 $V_{out} > V_3$ 且つ $V_{out} > V_1$ であり、時刻 $t_{40} \sim$ 時刻 $t_{42}$ の間の減算サイクルにおいては、電位差 $V_p - V_m$ による減算が実行される。

10

## 【0123】

なお、1量子化サイクル内の2つの量子化結果 $Q_{out}$ を合計する処理は必ずしも必要ではなく、量子化サイクルの後半の $Q_{out}$ のみから減算サイクルの前半のDAC電圧 $V_{dac}$ を決定し、量子化サイクルの後半の $Q_{out}$ のみから減算サイクルの後半のDAC電圧 $V_{dac}$ を決定することによって、DAC30を動作させてもよい。

20

## 【0124】

また、時刻 $t_{37} \sim$ 時刻 $t_{39}$ の間の2つの $Q_{out}$ の合計値2が減算に反映されるのは時刻 $t_{38} \sim$ 時刻 $t_{40}$ の減算サイクルである。すなわち、時刻 $t_{38} \sim$ 時刻 $t_{40}$ の減算サイクルでは、時刻 $t_{37} \sim$ 時刻 $t_{39}$ の間に得られた $Q_{out}$ に基づいてスイッチS6～S8が制御されて減算が実行される。

## 【0125】

時刻 $t_{41} \sim$ 時刻 $t_{43}$ における3回目の量子化サイクルでは、前半が $V_4 < V_{out} < V_3$  ( $Q_{out} = 0$ ) かつ後半が $V_{out} > V_1$  ( $Q_{out} = 1$ ) である。よって、この量子化サイクルにおける $Q_{out}$ の合計値は1であり、時刻 $t_{42} \sim$ 時刻 $t_{44}$ における3回目の減算は電位差 $V_p - A_{GND}$ に基づいて実行される。つまり、第2実施形態と同様に、DAC30のスイッチS6とスイッチS7によってDAC電圧 $V_{dac}$ を制御することによって減算が行われる。

30

## 【0126】

時刻 $t_{37} \sim$ 時刻 $t_{39}$ における4回目の量子化サイクルでは、前半が $V_4 < V_{out} < V_3$  ( $Q_{out} = 0$ ) かつ後半が $V_2 < V_{out} < V_1$  ( $Q_{out} = 0$ ) である。よって、この量子化サイクルにおける $Q_{out}$ の合計値は0であり、時刻 $t_{44} \sim$ 時刻 $t_{46}$ の最後の減算サイクルにおいて、実質的に減算は実行されない。4サイクルの量子化が完了する時刻 $t_{45}$ までに得られるA/D変換結果は $D_{out} = 5$ であり、A/D変換の分解能は4ビット(17階調)である。

40

## 【0127】

本変形例では、時刻 $t_{45}$ 以降、変形例3や変形例4と同様に、量子化器20を1ビットモードで動作させて最後の量子化を実行する。時刻 $t_{45}$ 以降は $V_{out} < A_{GND}$ であるから、 $Q_{out} = -1$ となり、時刻 $t_{45}$ の直前の $D_{out} = 5$ を2倍した上で加算する。これにより、最終的なA/D変換結果は $D_{out} = 9$ となる。

## 【0128】

図10の例では、5回の量子化サイクルと4回の減算サイクルによって、5ビット(32階調)のA/D変換の分解能が得られている。A/D変換器の所望の分解能がNビットの場合には、電荷の減算は $2^{N-3}$ サイクル、量子化は $2^{N-3} + 1$ サイクル必要となる

50

。そのため、所望の分解能  $N$  が高い場合には、変形例 3 と較べて同等の分解能を得るために必要なサイクル数を略半分に低減できる。また、変形例 4 と同様に、減算の実行によって増加する熱雑音やフリッカー雑音の影響を低減できる。

#### 【0129】

(第3実施形態)

第2実施形態およびその変形例 2～5 では、 $A/D$  変換結果  $Dout$  の生成に量子化器 20 のみを用いる構成について説明した。これに対して、本実施形態における  $A/D$  変換器 300 は、 $A/D$  変換の過程における量子化のうちの一部を、量子化器 20 とは異なる  $A/D$  変換器により実行するように構成する。以降、量子化器 20 とは異なる  $A/D$  変換器を、副  $ADC50$  と称する。

10

#### 【0130】

最初に、図 11 を参照して、本実施形態における  $A/D$  変換器 300 の概略構成について説明する。

#### 【0131】

図 11 に示すように、本実施形態における  $A/D$  変換器 300 は、積分器 40、量子化器 20、 $DAC30$  に加えて、副  $ADC50$  および加算器 60 を備えている。 $DAC30$  については第2実施形態の変形例 5 と同様であるから、その詳しい説明を省略する。また、図 11 では簡略化のため詳細な構成の記載を省略してあるが、量子化器 20 は、第2実施形態の変形例 5 と同様に図 7 に示した可変の閾値電圧を用いる構成である。

#### 【0132】

積分器 40 は、積分容量  $C1$  と増幅容量  $C3$  とを有し、これらがオペアンプ 11 の反転入力端子と出力端子との間に並列に接続されている。

20

#### 【0133】

積分容量  $C1$  は、その一端がスイッチ  $S9$  を介してオペアンプ 11 の反転入力端子に接続され、他端がスイッチ  $S3$  を介してオペアンプ 11 の出力端子に接続されている。また、積分容量  $C1$  とスイッチ  $S9$  の中点はスイッチ  $S2$  を介して  $AGND$  に接続され、積分容量  $C1$  とスイッチ  $S3$  の中点はスイッチ  $S10$  を介して  $AGND$  に接続されている。

#### 【0134】

増幅容量  $C3$  は、その一端がスイッチ  $S14$  を介してオペアンプ 11 の反転入力端子に接続され、他端がスイッチ  $S12$  を介してオペアンプ 11 の出力端子に接続されている。また、増幅容量  $C3$  とスイッチ  $S14$  の中点はスイッチ  $S13$  を介して  $AGND$  に接続され、増幅容量  $C3$  とスイッチ  $S12$  の中点はスイッチ  $S11$  を介して  $AGND$  に接続されている。

30

#### 【0135】

入力端子  $Tin$  はスイッチ  $S1$  を介して、積分容量  $C1$  とスイッチ  $S3$  の中점에接続されている。スイッチ  $S2$  およびスイッチ  $S3$  の機能は、それぞれ第2実施形態におけるスイッチ  $S2$  および  $S3$  と同様である。

#### 【0136】

副  $ADC50$  は、オペアンプ 11 の出力端子に、量子化器 20 と並列に接続されている。副  $ADC50$  のデジタル出力  $Lout$  は量子化器 20 のデジタル出力  $Mout$  とともに加算器 60 に入力されている。加算器 60 は、量子化器 20 から出力される  $Mout$  と、副  $ADC50$  から出力される  $Lout$  とを加算して最終的なデジタル出力  $Dout$  とする。副  $ADC50$  には一般的に知られた  $A/D$  変換器を採用することができる。

40

#### 【0137】

次に、図 12 を参照して、本実施形態における  $A/D$  変換器 300 の動作について説明する。

#### 【0138】

<サンプリング>

時刻  $t47$  以前のサンプリングの期間において、スイッチ  $S1$ 、 $S2$ 、 $S4$ 、 $S6$ 、 $S11$ 、 $S13$  がオンとされ、スイッチ  $S3$ 、 $S5$ 、 $S7$ 、 $S8$ 、 $S9$ 、 $S10$ 、 $S12$ 、

50

S 1 4 がオフとされている。スイッチ S 3 がオフであるから、積分容量 C 1 とオペアンプ 1 1 の出力端子とが互いに電氣的に分離している。スイッチ S 1 および S 2 がオンしているので、入力信号 V i n が積分容量 C 1 にサンプリングされる。また、スイッチ S 1 1 および S 1 3 がオンし、スイッチ S 1 2 および S 1 4 がオフしているので、増幅容量 C 3 はオペアンプ 1 1 から電氣的に分離された上、両端が A G N D に接続されている。これにより、増幅容量 C 3 は電荷が蓄積されない状態となっている。

【 0 1 3 9 】

また、D A C 3 0 ではスイッチ S 4 および S 6 がオンしているので、D A C 容量 C 2 の両端子がそれぞれ A G N D に接続されている。これにより、D A C 容量 C 2 は電荷が蓄積されない状態となっている。

【 0 1 4 0 】

< A / D 変換 >

時刻 t 4 7 においてスイッチ S 1 および S 2 がオフされて V i n のサンプリングが終了し、スイッチ S 3 およびスイッチ S 9 がオンされて V o u t が出力される。

【 0 1 4 1 】

時刻 t 4 7 ~ 時刻 t 4 8 の動作は、第 2 実施形態の変形例 5 における時刻 t 3 7 ~ 時刻 t 4 5 の動作と同様であるため詳しい説明を省略する。時刻 t 4 8 の直前における量子化器の出力 M o u t は、変形例 5 の時刻 t 4 5 の直前における出力 D o u t と同値であり、M o u t = 5 である。時刻 t 4 8 までに、M o u t に得られる A / D 変換の分解能は 4 ビット ( 1 7 階調 ) であり、本実施形態の A / D 変換結果 D o u t のうち上位 4 ビット相当が量子化器 2 0 によって A / D 変換される。

【 0 1 4 2 】

時刻 t 4 8 において、スイッチ S 3、S 1 1 および S 1 3 がオフされるとともに、スイッチ S 1 0、S 1 2 および S 1 4 がオンされると同時に最後の減算が実行される。これにより、A / D 変換の残差に相当する電荷がすべて増幅容量 C 3 に転送される。この時、オペアンプ 1 1 から出力される A / D 変換の残差 V o u t は時刻 t 4 8 以前の残差と較べて、積分容量 C 1 と増幅容量 C 3 の容量値の比に応じて増幅されている。図 1 2 の例では、A / D 変換の残差が略 1 6 倍に増幅されている。これに伴って、ロジック回路 2 4 は、時刻 t 4 8 までの A / D 変換結果 M o u t を 1 6 倍して、時刻 t 4 8 以前の量子化器 2 0 による A / D 変換の結果として M o u t = 8 0 を出力する。

【 0 1 4 3 】

時刻 t 4 9 以降において、副 A D C 5 0 によって、オペアンプ 1 1 が出力する増幅された残差 V o u t を A / D 変換する。図 1 2 の例では、副 A D C 5 0 からは L o u t = - 4 が出力される。量子化器 2 0 の出力 M o u t = 8 0 と、副 A D C 5 0 の出力 L o u t = - 4 が加算器 6 0 によって加算されることにより、最終的な A / D 変換結果 D o u t = 7 6 が得られる。このように、量子化器 2 0 による上位 4 ビットに相当する A / D 変換結果 M o u t と、副 A D C 5 0 による下位 4 ビットに相当する A / D 変換結果 L o u t と、を加算することにより、最終的な A / D 変換結果 D o u t には 8 ビットの分解能が得られる。

【 0 1 4 4 】

なお、本実施形態における A / D 変換器 3 0 0 は、時刻 t 4 8 において、積分容量 C 1 のすべての電荷が増幅容量 C 3 に転送される。そのため、積分容量 C 1 をオペアンプ 1 1 から電氣的に切り離しても増幅容量 C 3 によりオペアンプ 1 1 の出力電圧が維持される状態にある。よって、時刻 t 4 9 において、スイッチ S 9 および S 1 0 をオフするとともに、スイッチ S 1 および S 2 をオンする。これより、積分容量 C 1 がオペアンプ 1 1 と電氣的に切り離され、積分容量 C 1 による入力信号 V i n のサンプリングが再び実行される。

【 0 1 4 5 】

図 1 2 に示すように、時刻 t 4 9 ~ 時刻 t 5 0 の期間には、副 A D C 5 0 によって、ひとつ前の A / D 変換に係る A / D 変換の残差を入力とする下位ビットの A / D 変換が実行されている。すなわち、ひとつ前の A / D 変換に係る下位ビットの A / D 変換と、その次の A / D 変換に係る入力信号 V i n のサンプリングと、が並行して実行されている。

10

20

30

40

50

## 【 0 1 4 6 】

次に、本実施形態における A / D 変換器 3 0 0 の効果について説明する。

## 【 0 1 4 7 】

第 2 実施形態およびその変形例 2 ~ 5 においては、A / D 変換分解能を高くすると、サイクル数が指数関数的に増加するため、高分解能の A / D 変換を実現する場合には大きく変換速度が低下する。これに対して、本実施形態における A / D 変換器 3 0 0 は、下位ビットの A / D 変換を担う副 A D C 5 0 を備えている。このため、分解能の増加に対して指数関数的にサイクル数が増加する量子化器 2 0 による上位ビットの A / D 変換が受け持つ分解能を低減し、A / D 変換に必要なサイクル数を大幅に低減することができる。

## 【 0 1 4 8 】

また、本実施形態における A / D 変換器 3 0 0 は、増幅容量 C 3 を、積分容量 C 1 とは別体として有している。このため、副 A D C 5 0 による下位ビットの A / D 変換の動作中において、積分容量 C 1 をオペアンプ 1 1 から切り離すことにより、並行して次の A / D 変換に係るサンプリングを実行することができる。さらに、時刻 t 5 1 以降の次の A / D 変換に係る上位ビットの A / D 変換の期間においても、副 A D C 5 0 は次の A / D 変換に用いられないため、副 A D C 5 0 を用いてひとつ前の A / D 変換に係る下位ビットの A / D 変換を実行できる。そのため、入力信号 V i n のサンプリングや副 A D C 5 0 による下位ビットの A / D 変換の処理時間の確保が容易で、A / D 変換全体のスループットを向上することができる。

## 【 0 1 4 9 】

また、副 A D C 5 0 には、一般的な A / D 変換器を用いることができる。変換速度を高めるために一回のサンプリングによって A / D 変換を実行するナイキスト A / D 変換器を副 A D C 5 0 として用いる場合、トリミングなどの高精度化技術を必要とすることなく、A / D 変換全体の変換精度を保ちつつ 1 0 ~ 1 2 ビット程度までの下位ビットの A / D 変換を副 A D C 5 0 に割り当てることができる。したがって、本実施形態においては、副 A D C 5 0 の変換精度に起因する A / D 変換の誤差の増大を抑制しつつ、量子化器 2 0 による上位ビットの A / D 変換のサイクル数を大幅に削減することができ、その結果、A / D 変換の速度を大幅に向上することができる。

## 【 0 1 5 0 】

また、D A C 容量 C 2 と増幅容量 C 3 との比精度に起因する A / D 変換の非線形性誤差は、量子化器 2 0 による上位ビットの A / D 変換の分解能を高めることによって小さくできる。そのため、上位ビットの A / D 変換に、その非線形性誤差が副 A D C 5 0 に割り当てられる分解能に対応する精度よりも十分小さくなる程度の分解能を割り当てることで、上位ビットの A / D 変換の非線形性誤差が A / D 変換全体の精度に与える影響を十分小さくできる。例えば A / D 変換全体の分解能が 1 6 ビットの場合には、下位ビットの A / D 変換に 1 0 ~ 1 2 ビットの分解能を副 A D C 5 0 に割り当て、量子化器 2 0 による上位ビットの A / D 変換に 4 ~ 6 ビットの分解能を割り当てればよい。

## 【 0 1 5 1 】

これにより、トリミングなどの高精度化技術を必要とすることなく、高い精度を維持しながら A / D 変換の速度を大幅に向上することができる。

## 【 0 1 5 2 】

( 第 4 実施形態 )

第 3 実施形態では、積分器 4 0 が増幅容量 C 3 を用いて A / D 変換の残差を増幅し、増幅した残差を副 A D C 5 0 によって A / D 変換する構成について説明した。これに対して、本実施形態では、図 1 3 に示すように、増幅容量 C 3 を有することなく D A C 容量 C 2 を用いて A / D 変換の残差を増幅し、副 A D C 5 0 によって増幅された残差の A / D 変換を行う構成について説明する。

## 【 0 1 5 3 】

最初に、図 1 3 を参照して、本実施形態における A / D 変換器 4 0 0 の概略構成について説明する。

## 【0154】

図13に示すように、本実施形態におけるA/D変換器400は、積分器70と量子化器20とDAC30と副ADC50と加算器60とを備えている。DAC30については上記した各実施形態および各変形例と同様であるから、その詳しい説明を省略する。また、量子化器20については第3実施形態と同様である。

## 【0155】

本実施形態における積分器70は、第2実施形態における積分器10に加えてスイッチS10を有している。スイッチS10は、積分容量C1とスイッチS3の midpoint とAGNDとの間に介在している。スイッチS10は第3実施形態におけるスイッチS10と同様の動作および機能を奏するものであるから、第3実施形態と同一の符号で示している。

10

## 【0156】

さらに、このA/D変換器400は、図13に示すように、積分器70におけるオペンプ11の出力端子と、DAC30におけるスイッチS6～S8とDAC容量C2の midpoint と、がスイッチS15を介して接続されている。そのため、スイッチS1～S4およびスイッチS6～S8をオフした上で、スイッチS5、スイッチS10およびスイッチS15をオンすることにより、積分容量C1の電荷をDAC容量C2に転送することができる。

## 【0157】

本実施形態におけるA/D変換器400は、積分器70およびスイッチS15を除き第3実施形態におけるA/D変換器300と同様の構成となる。

## 【0158】

20

次に、図14を参照して、本実施形態におけるA/D変換器300の動作について説明する。

## 【0159】

## &lt;サンプリング&gt;

図14に示す時刻t52以前および時刻t55～時刻t56の間のサンプリングの期間は、スイッチS10およびスイッチS15がオフされており、第2実施形態の変形例5におけるサンプリングの期間と同様の動作であるため、詳しい説明は省略する。

## 【0160】

## &lt;A/D変換&gt;

時刻t52においてスイッチS1およびS2がオフされて入力信号Vinのサンプリングが終了し、スイッチS3がオンされてVoutが出力される。時刻t52～時刻t53の動作は、第3実施形態における時刻t47～時刻t51の間の動作と同様であるため、詳しい説明を省略する。

30

## 【0161】

時刻t53において、スイッチS4がオフされるとともにスイッチS5がオンされ、最後の減算が実行される。また、時刻t54において、スイッチS5がオフされてスイッチS4がオンされるとともにスイッチS6がオンされ、DAC容量C2の電荷がリセットされる。時刻t55において、スイッチS6がオフされるとともに、スイッチS10およびS15がオンされる。これにより、時刻t53までのA/D変換の残差に相当する積分容量C1に残存した電荷がすべてDAC容量C2に転送され、A/D変換の残差の増幅が行われる。

40

## 【0162】

第3実施形態の時刻t48においては、最後の減算と同時にA/D変換の残差の増幅が実行されるが、本実施形態においては、減算に用いるDAC容量C2を用いて残差の増幅を実行するため、時刻t54に最後の減算サイクルを終えてから、DAC容量C2の電荷をリセットした上で、時刻t55以降に残差の増幅を開始する。時刻t55～時刻t56の間に、増幅されたA/D変換の残差が副ADC50に転送される。転送された残差は、時刻t55以降に副ADC50によってA/D変換される。量子化器20の出力Moutおよび副ADC50の出力Loutから、8ビットの分解能を持つ最終的なA/D変換結果Dout=76を得る動作は、第3実施形態と同様であるため詳細な説明は省略する。

50



## 【 0 1 6 3 】

時刻  $t_{56}$  において、スイッチ  $S_{10}$  および  $S_{15}$  がオフされるとともにスイッチ  $S_6$  がオンされる。また、スイッチ  $S_3$  がオフの状態のまま、スイッチ  $S_1$  およびスイッチ  $S_2$  がオンされることによって、時刻  $t_{52}$  以前と同様に、積分容量  $C_1$  を用いて次の  $A/D$  変換に係るサンプリングが開始される。

## 【 0 1 6 4 】

時刻  $t_{57}$  以降は、次の  $A/D$  変換に係る量子化器  $20$  による上位ビットの  $A/D$  変換の期間であり、 $A/D$  変換器  $400$  の動作は時刻  $t_{52}$  から時刻  $t_{56}$  に至る期間と同様である。時刻  $t_{55} \sim$  時刻  $t_{59}$  の期間は、副  $ADC_{50}$  は、時刻  $t_{56}$  以降に実行される次の  $A/D$  変換には使われない。すなわち、時刻  $t_{56}$  から時刻  $t_{59}$  に至る期間では、ひとつ前の  $A/D$  変換に係る下位ビットの  $A/D$  変換と、その次の  $A/D$  変換に係る入力信号  $V_{in}$  のサンプリングおよび上位ビットの  $A/D$  変換と、が並行して実行されている。

10

## 【 0 1 6 5 】

次に、本実施形態における  $A/D$  変換器  $400$  の効果について説明する。

## 【 0 1 6 6 】

本実施形態における  $A/D$  変換器  $400$  は、下位ビットの  $A/D$  変換を担う副  $ADC_{50}$  を備えている。このため、第3実施形態と同様に、量子化器  $20$  による上位ビットの  $A/D$  変換に必要なサイクル数を低減することができる。

## 【 0 1 6 7 】

また、本実施形態における  $A/D$  変換器  $400$  は、 $A/D$  変換の残差の副  $ADC_{50}$  への転送が完了した時点で、第3実施形態と同様に、副  $ADC_{50}$  による下位ビットの  $A/D$  変換と並行して次の  $A/D$  変換に係るサンプリングおよび上位ビットの  $A/D$  変換を行うことができる。したがって、 $A/D$  変換のスループットを向上することができる。

20

## 【 0 1 6 8 】

また、本実施形態の  $DAC$  容量  $C_2$  は第3実施形態における増幅容量  $C_3$  の機能を兼ねるように構成されている。このため、必要な容量素子の数を削減できるとともに、 $DAC$  容量  $C_2$  と増幅容量  $C_3$  との容量値の比精度に起因する  $A/D$  変換の非線形性誤差が発生しない。

## 【 0 1 6 9 】

(その他の実施形態)

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

30

## 【 0 1 7 0 】

上記した各実施形態および各変形例では、4ビットや8ビットのような、所定のビット数の  $A/D$  変換を例に説明したが、 $A/D$  変換器  $100 \sim 400$  は任意のビット数に対して適用可能である。

## 【 0 1 7 1 】

また、上記した各実施形態および各変形例では、入力信号  $V_{in}$  のサンプリングの期間において、 $DAC$  容量  $C_2$  あるいは増幅容量  $C_3$  をリセットするように各スイッチが動作する構成について例示したが、各スイッチの動作は、本発明の主旨を逸脱しない範囲において、任意に設計することができる。

40

## 【 0 1 7 2 】

上記した各実施形態では、簡略化のため増幅器としてシングルエンドのオペアンプ  $11$  を用いる例について説明したが、シングルエンドのオペアンプに代えて差動のオペアンプを用いて  $A/D$  変換器  $100 \sim 400$  を構成することもできる。

## 【 符号の説明 】

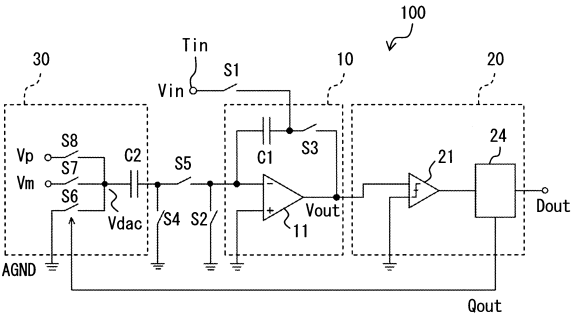
## 【 0 1 7 3 】

10 ... 積分器, 20 ... 量子化器, 30 ...  $D/A$  変換器 ( $DAC$ ), 100 ...  $A/D$  変換器

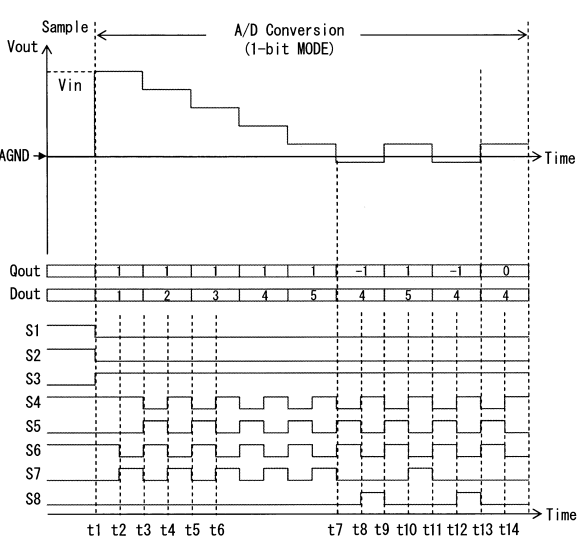
50

, C 1 ... 積分容量 , C 2 ... D A C 容量

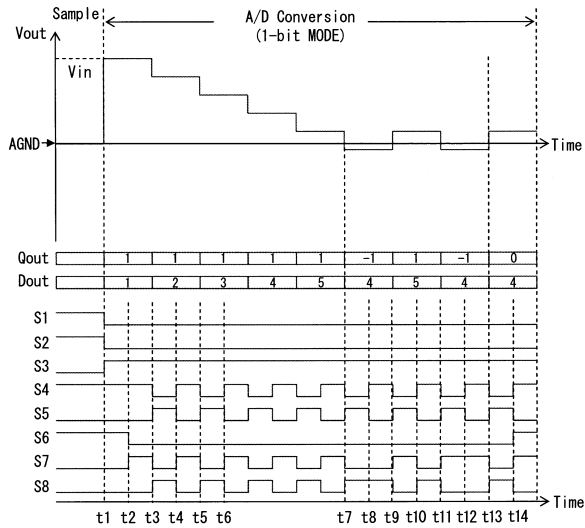
【 図 1 】



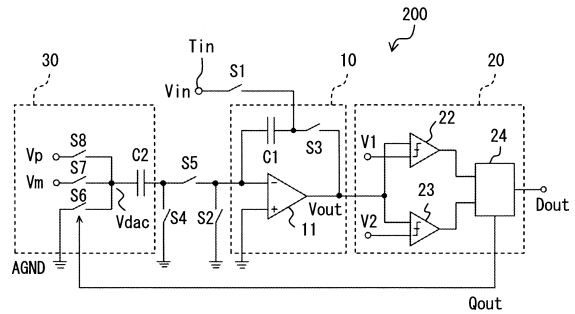
【 図 2 】



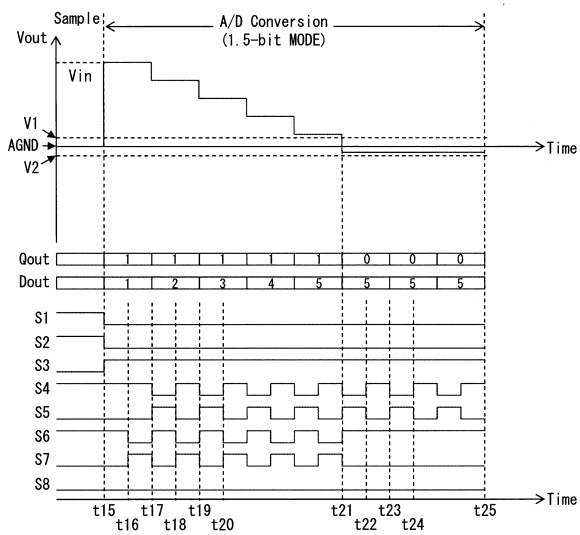
【図 3】



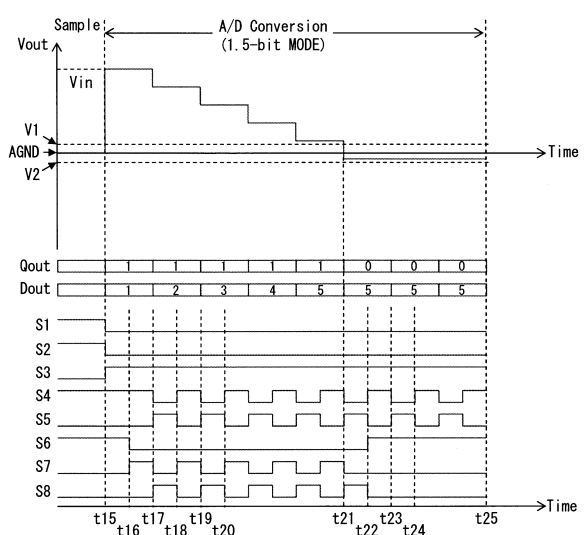
【図 4】



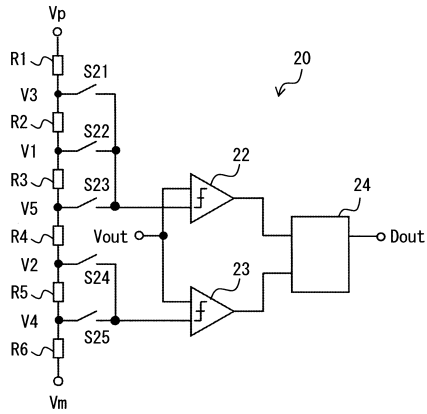
【図 5】



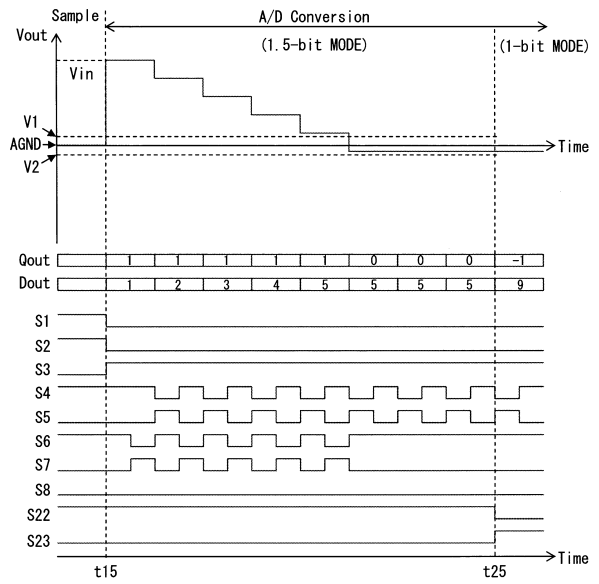
【図 6】



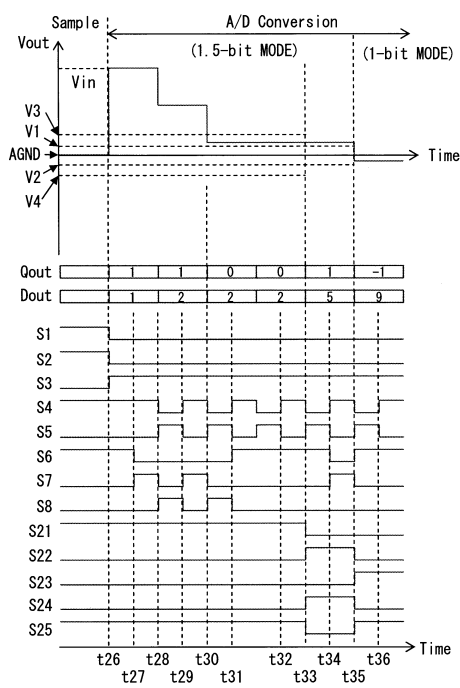
【図 7】



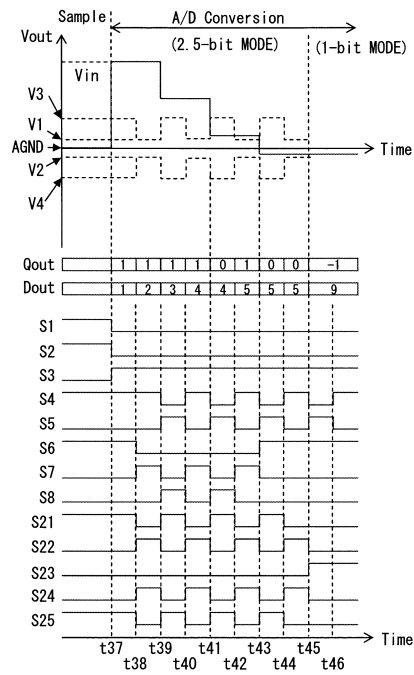
【図 8】



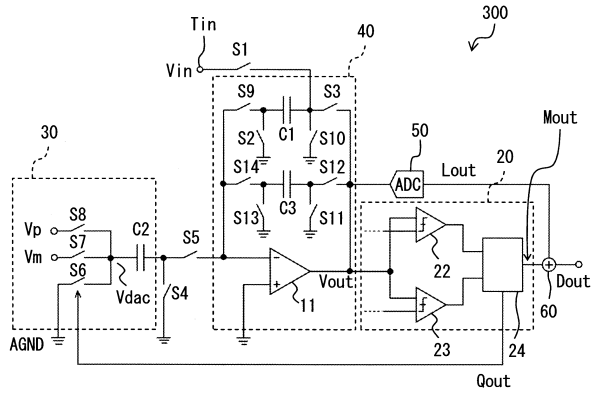
【図 9】



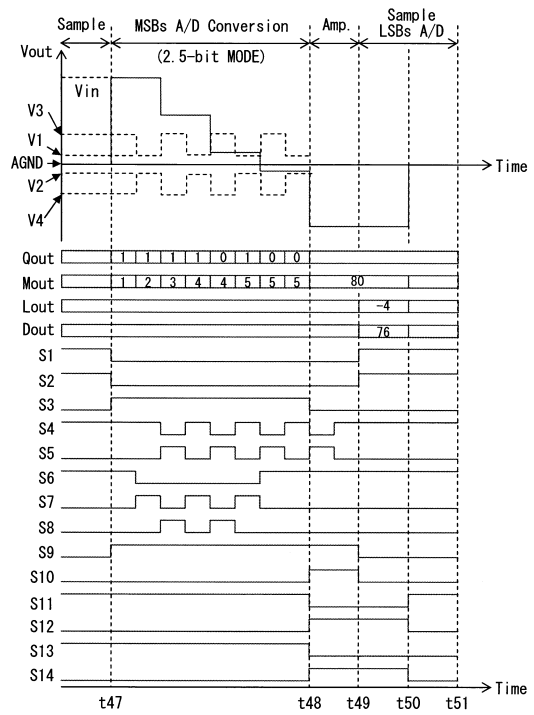
【図 10】



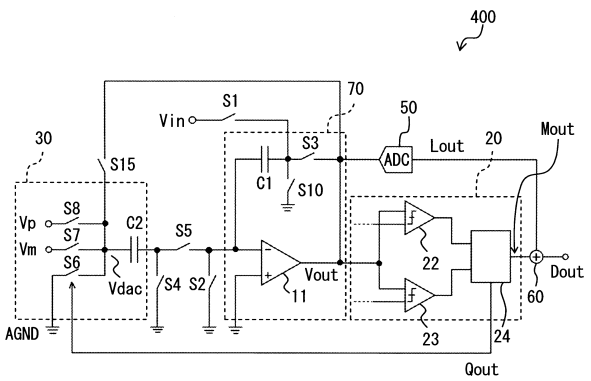
【 図 1 1 】



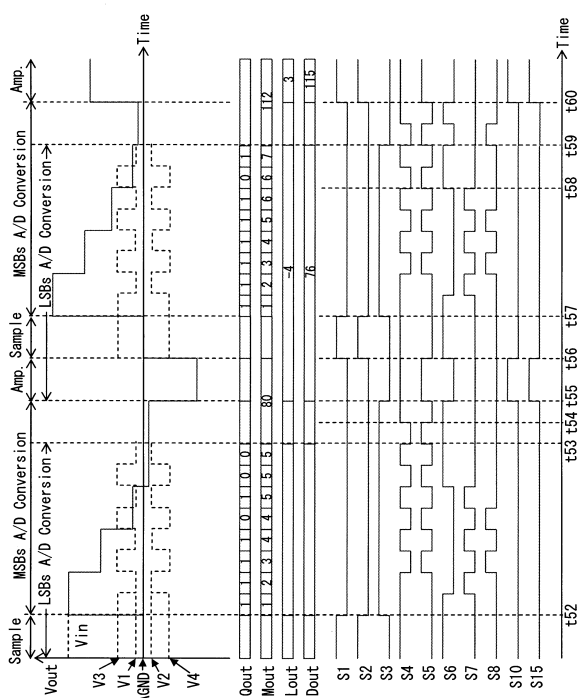
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

- (56)参考文献 特開平 2 - 2 4 6 6 2 2 ( J P , A )  
特開平 1 - 1 6 4 1 2 1 ( J P , A )  
特開昭 6 2 - 2 6 5 8 2 0 ( J P , A )  
特開平 5 - 2 1 8 8 7 4 ( J P , A )  
特開 2 0 0 9 - 1 7 7 2 6 6 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)

H 0 3 M 1 / 0 0 - 1 / 8 8