

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

|  |                                     |  |
|--|-------------------------------------|--|
| (51) Int. Cl. <sup>6</sup><br>H03K 19/00<br>H03K 17/00 | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2004년01월24일<br>10-0407984<br>2003년11월20일 |
| (21) 출원번호<br>(22) 출원일자                                 | 10-1998-0061793<br>1998년12월30일      | (65) 공개번호<br>(43) 공개일자                   |
|  |                                     | 10-2000-0045235<br>2000년07월15일           |

|           |                                      |
|-----------|--------------------------------------|
| (73) 특허권자 | 주식회사 하이닉스반도체                         |
| (72) 발명자  | 경기 이천시 부발읍 아미리 산136-1<br>차형훈         |
| (74) 대리인  | 경기도 안양시 만안구 석수3동 754-22호<br>강용복, 김용인 |

**심사관 : 권호영**

### (54) 멀티플렉서

#### 요약

본 발명은 출력신호에 그리취(Glitch)가 발생하는 것을 방지함과 동시에 트랜지스터의 수를 줄여 집적도를 향상시키도록 한 멀티플렉서에 관한 것으로서, 전원단과 접지단 사이에 직렬로 구성되고 각 게이트 단자에 공통으로 제 1 입력신호가 인가되는 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터와, 상기 제 1 PMOS 트랜지스터의 소오스 단자와 제 1 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트에 공통으로 데이터 셀렉트 신호가 인가되는 제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터와, 상기 제 1 PMOS 트랜지스터의 드레인 단자와 제 1 NMOS 트랜지스터의 드레인 단자에 공통으로 연결되고 전원단과 접지단 사이에 직렬로 구성되며 각 게이트 단자에 공통으로 제 2 입력신호가 인가되는 제 3 PMOS 트랜지스터 및 제 3 NMOS 트랜지스터와, 상기 제 3 PMOS 트랜지스터의 소오스 단자와 제 3 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트 단자에 데이터 셀렉트 신호의 반전된 신호가 인가되는 제 4 PMOS 트랜지스터 및 제 4 NMOS 트랜지스터와, 상기 제 2 PMOS 트랜지스터와 제 2 NMOS 트랜지스터 및 제 4 PMOS 트랜지스터와 제 4 NMOS 트랜지스터의 출력단에 연결되어 출력신호를 출력하는 래치 회로를 포함하여 구성됨을 특징으로 한다.

#### 대표도

#### 도3

#### 명세서

#### 도면의 간단한 설명

- <1> 도 1은 종래의 멀티플렉서를 나타낸 회로도
- <2> 도 2는 종래의 멀티플렉서의 동작을 나타낸 동작타이밍도
- <3> 도 3은 본 발명에 의한 멀티플렉서를 나타낸 회로도
- <4> 도 4는 본 발명에 의한 멀티플렉서의 동작을 설명하기 위한 동작타이밍도
- <5> 도면의 주요부분에 대한 부호의 설명
- <6> 21,23,25,27 : PMOS 트랜지스터      22,24,26,28 : NMOS 트랜지스터
- <7> 29 : 래치 회로      30 : 인버터

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

- <8> 본 발명은 멀티플렉서(Multiplexor)에 관한 것으로, 특히 그리취(Glitch) 출력을 근원적으로 없앴고 동시에 사용되는 트랜지스터 수를 줄이고 고유 딜레이(Intrinsic Delay)를 줄여서 회로의 성능을 향상시키고 집적도를 높이는 데 적당한 멀티플렉서에 관한 것이다.
- <9> 일반적으로 멀티플렉서는 많은 입력선 중의 하나로부터 2진 정보를 선택하여 단일 출력선으로 연결시켜 주는 조합회로이다.

- <10> 특정 입력선의 선택은 선택 변수들의 집합에 의해 제어된다. 보통  $2^n$ 개의 입력선과 n개의 선택 변수가 있는데 이 선택 변수의 조합의 비트 조합에 의하여 입력을 선택하게 된다.
- <11> 이하, 첨부된 도면을 참고하여 종래의 멀티플렉서를 설명하면 다음과 같다.
- <12> 도 1은 종래의 멀티플렉서를 나타낸 회로도이다.
- <13> 도 1에 도시한 바와 같이, 제 1 입력신호(A)와 데이터 셀렉트 신호(Data Select Signal)(Sel)를 각각 입력으로 받아 논리 연산하여 출력하는 제 1 AND 게이트(11)와, 상기 데이터 셀렉트 신호(Sel)를 반전시키어 출력하는 제 1 인버터(12)와, 제 2 입력신호(B)와 제 1 인버터(12)의 출력신호를 각각 입력으로 받아 논리 연산하여 출력하는 제 2 AND 게이트(13)와, 상기 제 1, 제 2 AND 게이트(11, 13)의 출력신호를 각각 입력으로 받아 논리 연산하여 출력하는 NOR 게이트(14)와, 상기 NOR 게이트(14)에서 출력되는 신호를 반전시키어 출력신호(Z)를 출력하는 제 2 인버터(15)를 포함하여 구성된다.
- <14> 상기와 같이 구성된 종래의 멀티플렉서의 동작을 설명하면 다음과 같다.
- <15> 도 2는 종래의 멀티플렉서의 동작을 나타낸 동작 타이밍도이다.
- <16> 도 2에서와 같이 제 1 입력신호(A), 제 2 입력신호(B)가 "High"일 때 데이터 셀렉트 신호(Sel)가 "High"에서 "Low"로 전이하게 되면, 회로 구조상 제 1 인버터(12)의 출력이 "High"가 될 때까지는 딜레이(Delay)만큼 Sel 및 /Sel이 같은 값 "Low"를 갖는 기간이 존재하게 된다.
- <17> 상기 기간 동안에는 제 1 입력신호(A), 제 2 입력신호(B)에 상관없이 출력신호(Z)를 제 1 인버터(12)의 딜레이만큼 "Low"로 작동(Force)하여 그리취(Glitch)가 발생한다.

### **발명이 이루고자 하는 기술적 과제**

- <18> 그러나 상기와 같은 종래의 멀티플렉서에 있어서 다음과 같은 문제점이 있었다.
- <19> 즉, 회로 구조상 출력신호에 그리취가 발생함으로써 이와 연결된 다른 회로에 영향을 미쳐 오동작의 원인이 된다.
- <20> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 출력신호에 그리취가 발생하는 것을 방지함과 동시에 트랜지스터의 수를 줄여 집적도를 향상시키도록 한 멀티플렉서를 제공하는데 그 목적이 있다.

### **발명의 구성 및 작용**

- <21> 상기와 같은 목적을 달성하기 위한 본 발명에 의한 멀티플렉서는 전원단과 접지단 사이에 직렬로 구성되고 각 게이트 단자에 공통으로 제 1 입력신호가 인가되는 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터와, 상기 제 1 PMOS 트랜지스터의 소오스 단자와 제 1 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트에 공통으로 데이터 셀렉트 신호가 인가되는 제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터와, 상기 제 1 PMOS 트랜지스터의 드레인 단자와 제 1 NMOS 트랜지스터의 드레인 단자에 공통으로 연결되고 전원단과 접지단 사이에 직렬로 구성되며 각 게이트 단자에 공통으로 제 2 입력신호가 인가되는 제 3 PMOS 트랜지스터 및 제 3 NMOS 트랜지스터와, 상기 제 3 PMOS 트랜지스터의 소오스 단자와 제 3 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트 단자에 데이터 셀렉트 신호의 반전된 신호가 인가되는 제 4 PMOS 트랜지스터 및 제 4 NMOS 트랜지스터와, 상기 제 2 PMOS 트랜지스터와 제 2 NMOS 트랜지스터 및 제 4 PMOS 트랜지스터와 제 4 NMOS 트랜지스터의 출력단에 연결되어 출력신호를 출력하는 래치 회로를 포함하여 구성됨을 특징으로 한다.
- <22> 이하, 첨부된 도면을 참고하여 본 발명에 의한 멀티플렉서를 상세히 설명하면 다음과 같다.
- <23> 도 3은 본 발명에 의한 멀티플렉서를 나타낸 회로도이다.
- <24> 도 3에서와 같이, 전원단(Vdd)과 접지단(Vss) 사이에 직렬로 구성되고 각 게이트 단자에 공통으로 제 1 입력신호(A)가 인가되는 제 1 PMOS 트랜지스터(21) 및 제 1 NMOS 트랜지스터(22)와, 상기 제 1 PMOS 트랜지스터(21)의 소오스 단자와 제 1 NMOS 트랜지스터(22)의 소오스 단자 사이에 직렬로 구성되고 각 게이트에 공통으로 데이터 셀렉트 신호(Sel)가 인가되는 제 2 PMOS 트랜지스터(23) 및 제 2 NMOS 트랜지스터(24)와, 상기 제 1 PMOS 트랜지스터(21)의 드레인 단자와 제 1 NMOS 트랜지스터(22)의 드레인 단자에 공통으로 연결되고 전원단(Vdd)과 접지단(Vss) 사이에 직렬로 구성되며 각 게이트 단자에 공통으로 제 2 입력신호(B)가 인가되는 제 3 PMOS 트랜지스터(25) 및 제 3 NMOS 트랜지스터(26)와, 상기 제 3 PMOS 트랜지스터(25)의 소오스 단자와 제 3 NMOS 트랜지스터(26)의 소오스 단자 사이에 직렬로 구성되고 각 게이트 단자에 데이터 셀렉트 신호의 반전된 신호(/Sel)가 인가되는 제 4 PMOS 트랜지스터(27) 및 제 4 NMOS 트랜지스터(28)와, 상기 제 2 PMOS 트랜지스터(23)와 제 2 NMOS 트랜지스터(24) 및 제 4 PMOS 트랜지스터(27)와 제 4 NMOS 트랜지스터(28)의 출력단에 연결되어 출력신호(Z)를 출력하는 래치 회로(29)를 포함하여 구성된다.
- <25> 여기서 상기 데이터 셀렉트 신호(Sel)는 인버터(30)에 의해 반전되고, 상기 래치 회로(29)는 두 개의 인버터가 피드백(Feedback)되도록 직렬로 구성된다.
- <26> 상기와 같이 구성된 본 발명에 의한 멀티플렉서의 동작을 설명하면 다음과 같다.
- <27> 도 4는 본 발명에 의한 멀티플렉서의 동작을 설명하기 위한 동작 타이밍도이다.
- <28> 도 4에서와 같이, 제 1 입력신호(A)와 제 2 입력신호(B)가 모드 "High"일 때 데이터 셀렉트 신호(Sel)가 "Low"로 전이하면 이때 인버터(30)의 출력 노드(Node)인 /Sel은 인버터(30)의 시간 지연 후에 "Low"에서 "High"로 전이하게 된다.

- <29> 상기 데이터 셀렉트 신호(Sel)가 "High"에서 "Low"로 전이하는 시점부터 /Sel이 시간 지연 후 "Low"에서 "High"로 되기까지 Sel과 /Sel는 같이 "Low"값을 갖는다.
- <30> 한편, Sel과 /Sel가 동시에 "Low"일 때 제 1 PMOS 트랜지스터(21), 제 3 PMOS 트랜지스터(25), 제 2 NMOS 트랜지스터(24), 제 4 NMOS 트랜지스터(28)는 오프(OFF)이며, 제 2 PMOS 트랜지스터(23), 제 4 PMOS 트랜지스터(27), 제 1 NMOS 트랜지스터(22), 제 3 NMOS 트랜지스터(26)는 온(ON)상태가 된다.
- <31> 따라서 노드(ZN)는 전원단(Vdd)이나 접지단(Vss) 어느 쪽으로도 경로(Path)가 형성되지 않고 Z-스태이트(Z-state)를 유지하게 되며, 이때 출력신호(Z)는 래치 회로(29)에 의해 그 전 값인 "High"를 그대로 유지하게 된다.

### 발명의 효과

- <32> 이상에서 설명한 바와 같이 본 발명에 의한 멀티플렉서는 다음과 같은 효과가 있다.
- <33> 첫째, 데이터 셀렉트 신호가 변화하는 시점에서도 그리치를 발생시키지 않기 때문에 데이터 셀렉터로서 뿐만 아니라 클럭 셀렉터로서도 유용하게 사용할 수 있고 동작 속도(Speed)를 향상시킬 수 있다.
- <34> 둘째, 적은 트랜지스터를 사용함으로써 레이아웃(Layout) 면적을 최소화함으로써 집적도를 향상시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

전원단과 접지단 사이에 직렬로 구성되고 각 게이트 단자에 공통으로 제 1 입력신호가 인가되는 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터와,

상기 제 1 PMOS 트랜지스터의 소오스 단자와 제 1 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트에 공통으로 데이터 셀렉트 신호가 인가되는 제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터와,

상기 제 1 PMOS 트랜지스터의 드레인 단자와 제 1 NMOS 트랜지스터의 드레인 단자에 공통으로 연결되고 전원단과 접지단 사이에 직렬로 구성되며 각 게이트 단자에 공통으로 제 2 입력신호가 인가되는 제 3 PMOS 트랜지스터 및 제 3 NMOS 트랜지스터와,

상기 제 3 PMOS 트랜지스터의 소오스 단자와 제 3 NMOS 트랜지스터의 소오스 단자 사이에 직렬로 구성되고 각 게이트 단자에 데이터 셀렉트 신호의 반전된 신호가 인가되는 제 4 PMOS 트랜지스터 및 제 4 NMOS 트랜지스터와,

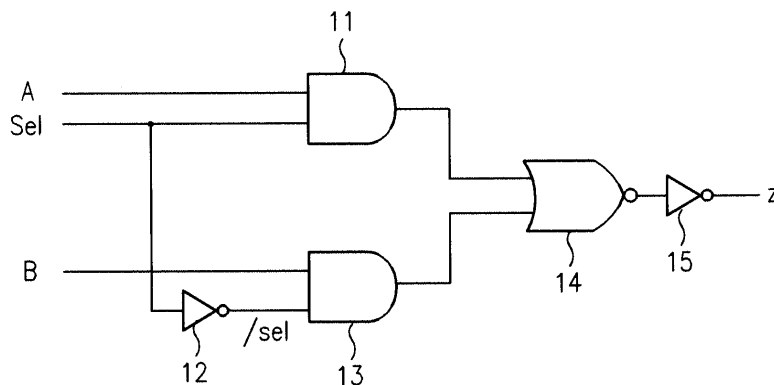
상기 제 2 PMOS 트랜지스터와 제 2 NMOS 트랜지스터 및 제 4 PMOS 트랜지스터와 제 4 NMOS 트랜지스터의 출력단에 연결되어 출력신호를 출력하는 래치 회로를 포함하여 구성됨을 특징으로 하는 멀티플렉서.

#### 청구항 2

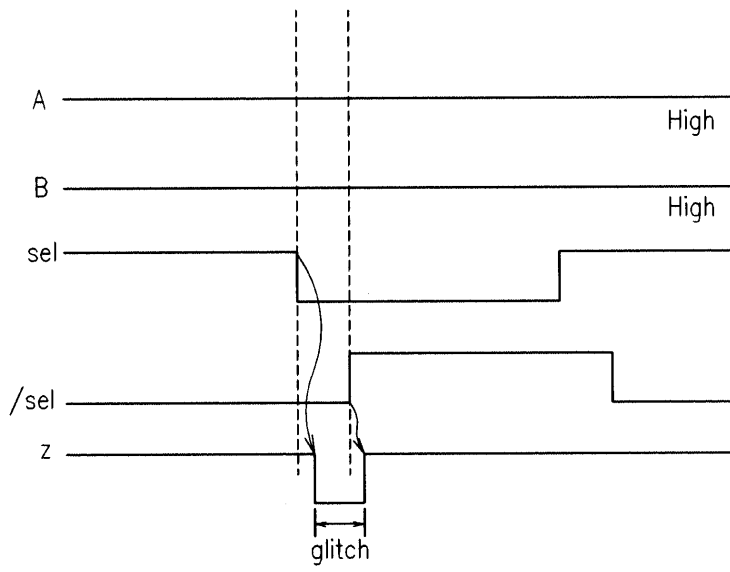
제 1 항에 있어서, 상기 래치 회로는 두 개의 인버터가 피드백되도록 직렬로 구성됨을 특징으로 하는 멀티플렉서.

### 도면

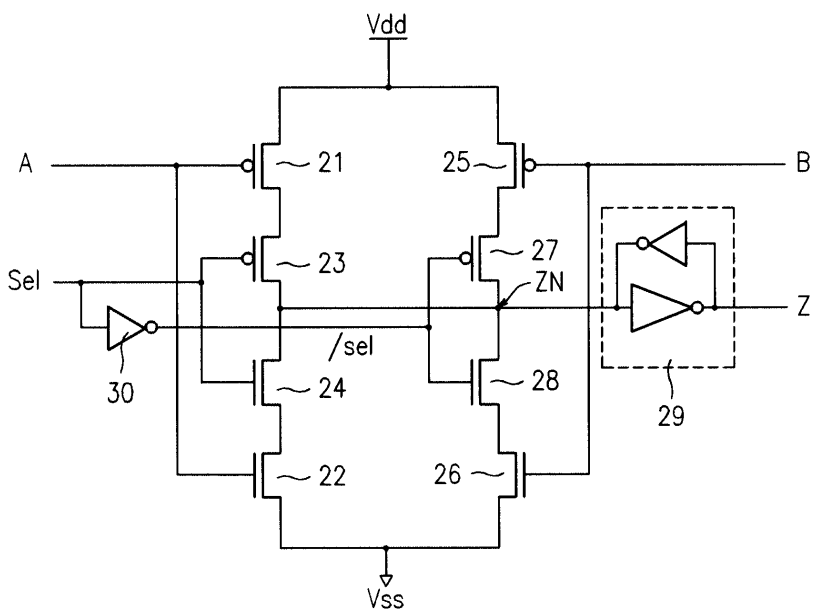
#### 도면1



도면2



도면3



## 도면4

