



(12)发明专利

(10)授权公告号 CN 105849905 B

(45)授权公告日 2019.10.25

(21)申请号 201480071542.6

(22)申请日 2014.12.29

(65)同一申请的已公布的文献号
申请公布号 CN 105849905 A

(43)申请公布日 2016.08.10

(30)优先权数据

61/921,453 2013.12.28 US

14/573,021 2014.12.17 US

(85)PCT国际申请进入国家阶段日
2016.06.28

(86)PCT国际申请的申请数据
PCT/US2014/072585 2014.12.29

(87)PCT国际申请的公布数据
W02015/100456 EN 2015.07.02

(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72)发明人 H·尼米 M·梅赫罗特拉
R·L·怀斯

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 赵志刚 赵蓉民

(51)Int.Cl.

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

B82Y 40/00(2006.01)

(56)对比文件

US 2007221956 A1, 2007.09.27,

US 2007221956 A1, 2007.09.27,

CN 103426882 A, 2013.12.04,

CN 103426882 A, 2013.12.04,

CN 103187418 A, 2013.07.03,

审查员 卫国统

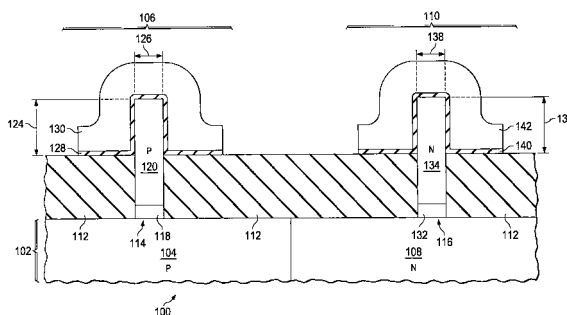
权利要求书1页 说明书5页 附图21页

(54)发明名称

高迁移率晶体管

(57)摘要

包含n沟道finFET(106)和p沟道finFET(110)的集成电路(100)具有在硅衬底(102)上方的介电层(112)。所述finFET(106、110)的所述鳍具有半导体材料,该半导体材料具有与硅相比更高的迁移率。n沟道finFET(106)的鳍是在穿过所述衬底(102)上的所述介电层(112)的第一沟槽(114)中的第一硅锗缓冲层(118)上。p沟道finFET(110)的鳍是在穿过所述衬底(102)上的介电层(112)的第二沟槽(116)中的第二硅锗缓冲层(132)上。鳍在所述介电层(112)上方延伸至少10纳米。通过在所述介电层(112)中的所述沟槽(114、116)中的所述硅锗缓冲层(118、132)上外延生长形成所述鳍,接着通过CMP平面化,将所述鳍下降至所述介电层(112)。使所述介电层(112)凹陷以暴露所述鳍。可以同时地或单独地形成所述鳍。



1. 一种形成集成电路的方法,所述方法包括:

提供包括硅的衬底,所述衬底具有在用于第一极性finFET的区域中的第一导电类型的第一区和具有在用于相反的第二极性finFET的区域中的相反的第二导电类型的第二区;

在所述衬底之上形成50纳米至100纳米厚的介电层;

在所述介电层中形成第一沟槽,所述第一沟槽下降至用于所述第一极性finFET的所述区域中的所述衬底;

在所述第一沟槽中的所述衬底上形成1纳米至5纳米厚的第一硅锗缓冲层;

在所述第一硅锗缓冲层上形成所述第一极性finFET的第一极性鳍,使得所述第一极性鳍在所述介电层的顶面上方延伸;

在所述介电层上方形成外延阻挡层,以便覆盖所述第一极性鳍;

在所述外延阻挡层和所述介电层中形成第二沟槽,所述第二沟槽下降至用于所述第二极性finFET的所述区域中的所述衬底;

在所述第二沟槽中的所述衬底上形成1纳米至5纳米厚的第二硅锗缓冲层;

在所述第二硅锗缓冲层上形成所述第二极性finFET的第二极性鳍,使得所述第二极性鳍在所述介电层的顶面上方延伸;

在所述外延阻挡层之上形成介电材料的覆盖层,以便覆盖所述第二极性鳍;

通过化学机械抛光过程即CMP过程移除所述覆盖层和所述外延阻挡层,以便平坦化所述第一极性鳍和所述第二极性鳍,使所述第一极性鳍和所述第二极性鳍下降至所述介电层;以及

使所述介电层凹陷,使得所述第一极性鳍和所述第二极性鳍在所述介电层上方延伸至少10纳米。

2. 根据权利要求1所述的方法,其中:

形成所述第一硅锗缓冲层,以具有少于百分之二十的在所述衬底处的锗原子分数和超过百分之八十的在所述第一硅锗缓冲层的顶面处的锗原子分数;以及

形成所述第二硅锗缓冲层,以具有少于百分之二十的在所述衬底处的锗原子分数和超过百分之八十的在所述第二硅锗缓冲层的顶面处的锗原子分数。

3. 根据权利要求1所述的方法,其中,所述第一极性鳍包括砷化镓。

4. 根据权利要求1所述的方法,其中,所述第一极性鳍包括砷化铟镓。

5. 根据权利要求4所述的方法,其中,所述第一极性鳍具有50:50至57:43的铟与镓的比例。

6. 根据权利要求1所述的方法,其中,所述第一极性鳍包括磷化铟。

7. 根据权利要求1所述的方法,其中,所述第一极性鳍包括锗。

8. 根据权利要求1所述的方法,其中,所述第二极性鳍包括锗。

高迁移率晶体管

背景技术

[0001] 本申请通常涉及集成电路,并且特别地涉及集成电路中的MOS晶体管。

[0002] 具有鳍式场效应晶体管(finFET)的集成电路达到了高栅极密度,但是缺乏由使用高迁移率材料(诸如III-V族材料或锗)的平面晶体管提供的晶体管性能。在高密度集成电路中集成高迁移率材料一直存在问题。

发明内容

[0003] 可以通过在硅衬底上方形成介电层形成包含n沟道finFET和p沟道finFET的集成电路。穿过所述介电层形成用于n沟道finFET的第一沟槽。在所述第一沟槽中的所述衬底上形成第一硅锗缓冲层,以及通过在所述第一硅锗缓冲层上外延生长形成所述n沟道finFET的所述n沟道鳍。穿过所述介电层形成用于所述p沟道finFET的p沟道鳍的第二沟槽。在所述第二沟槽中的衬底上形成第二硅锗缓冲层,以及通过在所述第二硅锗缓冲层上外延生长形成所述p沟道鳍。随后,使所述介电层凹陷以暴露所述鳍。

附图说明

[0004] 图1是包含n沟道finFET和p沟道finFET的一个示例集成电路的横截面。

[0005] 图2A至图2M是在示例制造顺序的连续阶段中描述的图1的集成电路的横截面。

[0006] 图3A至图3G是在另一个示例制造顺序的连续阶段中描述的图1的集成电路的横截面。

具体实施方式

[0007] 可以通过两个加工顺序中的任一个形成包含n沟道finFET和p沟道finFET的集成电路。在第一个顺序中,在硅衬底上方形成介电层。穿过介电层形成用于n沟道finFET的n沟道鳍的第一沟槽以暴露衬底。在第一沟槽中的衬底上形成第一硅锗缓冲层,并且在第一硅锗缓冲层上通过高电子迁移率材料的外延生长形成n沟道鳍,该n沟道鳍在介电层上方延伸。在介电层和n沟道鳍上方形成外延阻挡层。穿过覆盖层(cap layer)和介电层形成用于p沟道finFET的p沟道鳍的第二沟槽以暴露衬底。在第二沟槽中的衬底上形成第二硅锗缓冲层,并且在第二硅锗缓冲层上通过高空穴迁移率材料的外延生长形成p沟道鳍,该p沟道鳍在介电层上方延伸。n沟道鳍和p沟道鳍可以在生长期间各自被掺杂。在外延阻挡层和p沟道鳍上方形成覆盖层。CMP过程移除覆盖层和外延阻挡层,并且平坦化n沟道鳍和p沟道鳍,使其下降至介电层。随后,使介电层凹陷以暴露n沟道鳍和p沟道鳍。随后,在n沟道鳍和p沟道鳍上形成栅极介电层,并且在栅极介电层上形成栅极。

[0008] 在第二顺序中,在硅衬底上方形成介电层,并且穿过介电层同时形成用于n沟道鳍的第一沟槽和用于p沟道鳍的第二沟槽,以暴露衬底。在第一沟槽和在第二沟槽中的衬底上分别同时形成第一硅锗缓冲层和第二硅锗缓冲层。通过在第一硅锗缓冲层和在第二硅锗缓冲层上外延生长高迁移率材料分别同时形成n沟道鳍和p沟道鳍,该n沟道鳍和p沟道鳍在介

电层上方延伸。n沟道鳍和p沟道鳍可能在形成期间被掺杂,并且一个鳍注入掺杂剂以反掺杂原位(in-situ)掺杂剂。另选地,可以将掺杂剂注入n沟道鳍和p沟道鳍,以提供所需掺杂密度。在介电层和n沟道鳍与p沟道鳍上方形成覆盖层。CMP过程移除覆盖层,并且平坦化n沟道鳍和p沟道鳍,使其下降至介电层。随后,使介电层凹陷以暴露n沟道鳍和p沟道鳍。随后,在n沟道鳍和p沟道鳍上方形成栅极介电层,并且在栅极介电层上形成栅极。

[0009] 图1是包含n沟道finFET和p沟道finFET的示例集成电路的横截面。在单晶硅衬底102上形成集成电路100,该单晶硅衬底102包括用于n沟槽finFET106的区域中的p型区104,并且该单晶硅衬底102包括用于p沟槽finFET 110的区域中的n型区108。衬底102可以是块状硅晶片,或在硅晶片上的外延层。在衬底102上方沉积介电层112。介电层112可以包括一层或更多层的二氧化硅,以及可能包括诸如氮氧化硅和/或硼磷硅酸盐玻璃(BPSG)的其它介电材料。介电层112可以是20纳米至40纳米厚。在n沟道finFET 106的区域中穿过介电层112沉积第一沟槽114。在p沟道finFET 110的区域中穿过介电层112沉积第二沟槽116。

[0010] n沟道finFET 106包括在第一沟槽114中的沉积在衬底102的p型区104上的第一硅锆缓冲层118。第一硅锆缓冲层118可以是1纳米至5纳米厚,并且可以具有分级组分,使得第一硅锆缓冲层118在衬底102处具有小于百分之20的锆原子分数以及在第一硅锆缓冲层118的顶面处具有超过百分之80的锆原子分数。n沟道finFET 106包括在第一硅锆缓冲层118上的n沟道鳍120,通过至少10纳米的暴露高度124在介电层112的顶面122上方延伸。暴露高度124可以是20纳米至40纳米。在介电层112的顶面122上方的n沟道鳍120的平均宽度126可以小于30纳米(诸如10纳米至20纳米)。n沟道鳍120大体上填充在介电层112的顶面122处的第一沟槽114。将n沟道鳍120掺杂p型以提供用于n沟道finFET 106的所需阈值电压。n沟道鳍120主要是不同于硅的半导体材料,其可能具有与比硅更高的电子迁移率。例如,半导体材料可以是III-V族化合物半导体材料,诸如可能具有铟镓比为50:50至57:43的砷化镓、砷化铟镓,或磷化铟。另选地,半导体材料可以是具有锆原子分数大于百分之80的锆或硅锆。利用具有比硅更高的电子迁移率的半导体材料形成n沟道鳍120有利地提供在n沟道finFET 106中的所需的开态电流。n沟道finFET 106包括在n沟道鳍120上方配置的第一栅极介电层128,并且该第一栅极介电层128沿n沟道鳍120的侧面延伸。n沟槽finFET 106包括在第一栅极介电层128上方配置的第一栅极130,该第一栅极130至少部分向下延伸至介电层112的顶面122。第一栅极130可以包括被称为多晶硅的多晶的硅,第一栅极130可以包括金属硅化物,或者第一栅极130可以是金属栅极。

[0011] p沟道finFET 110包括在第二沟槽116中的沉积在衬底102的n型区108的第二硅锆缓冲层132。第二硅锆缓冲层132还可以是1纳米至5纳米厚,并且还可以具有与第一硅锆缓冲层118相似的分级组分。p沟道finFET 110包括在第二硅锆缓冲层132上的p沟道鳍134,通过至少10纳米的暴露高度136在介电层112的顶面122上部延伸。p沟道鳍134的暴露高度136可以大体上等于n沟道鳍120的暴露高度124。在介电层112的顶面122上部的p沟道鳍134的平均宽度138还可以是小于30纳米(诸如10纳米至20纳米)。p沟道鳍134大体上填充在介电层112的顶面122处的第二沟槽116。将p沟道鳍134掺杂n型以提供用于p沟道finFET 110的所需阈值电压。p沟道鳍134主要是不同于硅的半导体材料,其可能具有比硅更高的空穴迁移率。例如,半导体材料可以是诸如砷化镓的III-V族化合物半导体材料,或可以是具有锆原子分数大于百分之80的锆或硅锆。在实例示例的一个版本中,n沟道鳍120和p沟道鳍134可

以主要地由相同的半导体材料形成。利用具有比硅更高的空穴迁移率的半导体材料形成p沟道鳍134有利地提供在p沟道finFET 110中的所需的开态电流。p沟道finFET 110包括在p沟道鳍134上方配置的第二栅极介电层140,并且该第二栅极介电层140沿p沟道鳍134的侧面延伸。p沟槽finFET 110包括在第二栅极介电层140上方配置的第二栅极142,该第二栅极142至少部分向下延伸至介电层112的顶面122。第二栅极142可以包括多晶硅,第二栅极142可以包括金属硅化物,或者第二栅极142可以是金属栅极。

[0012] 图2A至图2M是图1的描述在示例制造顺序连续阶段中的集成电路的横截面。参照图2A,硅衬底102被提供用于形成集成电路100。在具有50纳米至100纳米的初始厚度的衬底102上方形成介电层112。在衬底102中介电层112可以由硅的热氧化形成,或者可以使用原硅酸四乙酯(还被称为四乙氧基硅烷(TEOS))由诸如等离子体增强化学气相沉积(PECVD)过程的沉积过程形成。介电层112可以包括诸如氮氧化硅或BPSG的其它介电层材料的一层或更多层。

[0013] 第一沟槽掩膜144被形成在介电层112上方以便暴露用于图1的第一沟槽114的区域,并且以便覆盖用于p沟道的finFET 110的区域。第一沟槽掩膜144可以包括减反射层和通过光刻过程形成的光阻模式。

[0014] 参照图2B,穿过介电层112形成第一沟槽114,以在由第一沟槽掩膜144暴露的区域中通过刻蚀介电层112暴露衬底102。可以使用反应离子刻蚀(RIE)过程刻蚀介电层112。在形成第一沟槽114之后,诸如通过灰化,接着通过湿法清洗过程移除第一沟槽掩膜144。

[0015] 参照图2C,在第一沟槽114中的衬底102上形成第一硅锆缓冲层118。在形成第一硅锆缓冲层118之前可以先进行在750°C至850°C处的氢气烘焙。通过在750°C至850°C的温度处使用硅烷或二氯甲硅烷和混合氯化氢的锆烷的外延过程生长第一硅锆缓冲层118。可以变化硅烷或二氯甲硅烷与锆烷的比率,使得在衬底102处的锆的原子分数是小于百分之20,以及在第一硅锆缓冲层118的顶部处的锆的原子分数是大于百分之80,以有利地提供与衬底102匹配的良好晶格并且以使n沟道鳍120形成。用于形成第一硅锆缓冲层118的外延过程没有在第一沟槽114的侧壁上沉积硅锆,以便显著地减小第一沟槽114的宽度。

[0016] 参照图2D,可以通过气相外延过程在第一硅锆缓冲层118上形成n沟道鳍120,该n沟道鳍120延伸越过介电层112的顶面122。第一硅锆缓冲层118有利地促进n沟道鳍120的半导体材料的外延生长,其直接地生长在硅衬底102上将会是有问题的。在其中n沟道鳍120主要是砷化镓的实例示例的版本中,外延过程可以在150托的压强下和750°C至850°C的温度处使用三甲基镓、三甲基铟或三乙基铟、和砷化氢。可以变化三甲基镓与三甲基铟的比率,以获得n沟道鳍120中的镓与铟的所需比率。在其中n沟道鳍120主要是砷化铟的实例示例的版本中,外延过程可以使用三甲基铟或三乙基铟和砷化氢。在其中n沟道鳍120主要是磷化铟的实例示例的版本中,外延过程可以使用三甲基铟和磷化氢。在其中n沟道鳍120主要是锆的实例示例的版本中,外延过程可以使用锆烷。在其中n沟道鳍120主要是硅锆的实例示例的版本中,外延过程可以使用硅烷或二氯甲硅烷和锆烷。另选地,可以由分子束外延(MBE)过程形成n沟道鳍120。

[0017] 参照图2E,在介电层112上方形成外延阻挡层146,该外延阻挡层146覆盖n沟道鳍120。外延阻挡层146可以包括20纳米至30纳米厚的氮化硅或氧氮化硅。可以通过在650°C至750°C处使用二氯甲硅烷和氨的低压化学气相沉积(LPCVD)过程形成外延阻挡层146。

[0018] 参照图2F,在外延阻挡层146上方形成第二沟槽掩膜148,以便暴露用于图1的第二沟槽116的区域,并且以便覆盖用于n沟槽的finFET 106的区域。第二沟槽掩膜148可以包括减反射层和通过光刻过程形成的光阻模式。

[0019] 参照图2G,穿过外延阻挡层146和介电层112形成第二沟槽116,以在由第二沟槽掩膜148暴露的区域中通过刻蚀外延阻挡层146和介电层112暴露衬底102。可以使用RIE过程刻蚀外延阻挡层146和介电层112。在形成第二沟槽116之后,诸如通过灰化,接着通过湿法清洗过程移除第二沟槽掩膜148。

[0020] 参照图2H,在第二沟槽116中的衬底102上形成第二硅锆缓冲层132。形成第二硅锆缓冲层132可以使用与用于形成第一硅锆缓冲层118的相同或相似的过程。在衬底102处的锆的原子分数可以是小于百分之20,以及在第二硅锆缓冲层132的顶部处的锆的原子分数可以是大于百分之80,以有利地提供与衬底102匹配的良好晶格并且以使p沟道鳍134形成。

[0021] 参照图2I,在第二硅锆缓冲层132上形成p沟道鳍134,该p沟道鳍134延伸越过介电层112的顶面122,并且如图2H所示可能延伸越过外延阻挡层146的顶面。第二硅锆缓冲层132有利地促进p沟道鳍134的半导体材料的外延生长,其直接地生长在硅衬底102上将会是有问题的。p沟道鳍134可以主要是锆或主要是硅锆,并且可以如参照图2D描述的通过气相外延过程形成。另选地,可以通过MBE过程形成p沟道鳍134。

[0022] 参照图2J,在外延阻挡层146上方形成覆盖层150,该覆盖层150覆盖p沟道鳍134。覆盖层150可以包括20纳米至30纳米厚的二氧化硅、氮化硅、和/或氧氮化硅。可以通过使用针对二氧化硅的TEOS的PECVD过程和/或针对氮化硅的双(叔丁基氨基)硅烷(BTBAS)在500℃至600℃形成覆盖层150。

[0023] 参照图2K,示意性描述为CMP衬垫152的CMP过程152移除图2J的覆盖层150和外延阻挡层146,并且平坦化n沟道鳍120和p沟道鳍134,使其下降至介电层112。由于外延阻挡层146包括氮化硅或氧氮化硅,并且介电层112包括二氧化硅,所以可以通过外延阻挡层146和介电层112之间的抛光阻力方面的变化提供用于CMP过程152的端点(endpoint)。

[0024] 图2L描述在完成图2K的CMP过程152之后的集成电路100。n沟道鳍120和p沟道鳍134可以是大体上与介电层112的顶面122共面。

[0025] 参照图2M,在没有从n沟道鳍120和p沟道鳍134显著地移除半导体材料的情况下使介电层112凹陷,使得n沟道鳍120和p沟道鳍134在所凹陷的介电层112上部延伸至少10纳米。可以通过等离子体刻蚀使介电层112凹陷,该等离子体刻蚀对相对于n沟道鳍120和p沟道鳍134的半导体材料的介电层112的介电材料(诸如二氧化硅)有选择性。另选地,可以通过诸如氢氟酸的稀释缓冲水溶液的湿法刻蚀使介电层112凹陷,该等离子体刻蚀对相对于n沟道鳍120和p沟道鳍134的半导体材料的介电层112的介电材料(诸如二氧化硅)有选择性。在使介电层112凹陷之后,在n沟道鳍120和p沟道鳍134上方形成栅极介电层和栅极以提供图1的结构。还可以通过另选的示例制造顺序获得图2M的结构,其中p沟道鳍134在n沟道鳍120之前形成。

[0026] 图3A至图3G是图1的描述在另一个示例的制造顺序连续阶段中的集成电路的横截面。参照图3A,硅衬底102被提供用于形成集成电路100。在具有50纳米至100纳米的初始厚度的衬底102上方形成介电层112。在介电层112上方形成沟槽掩膜154,以便暴露用于图1的

第一沟槽114和第二沟槽116的区域。穿过介电层112形成第一沟槽114和第二沟槽116,以在由沟槽掩膜154暴露的区域中通过刻蚀介电层112暴露衬底102。在形成第一沟槽114和第二沟槽116之后,移除沟槽掩膜154。

[0027] 参照图3B,如参照图2C和图2H所描述,第一硅锗缓冲层118和第二硅锗缓冲层132被同时地分别形成在第一沟槽114和第二沟槽116中的衬底102上。在实例示例中,第一硅锗缓冲层118和第二硅锗缓冲层132具有锗原子分数的相同组分和相同剖面。

[0028] 同时,在第一硅锗缓冲层118和第二硅锗缓冲层132上分别形成n沟道鳍120和p沟道鳍134,该n沟道鳍120和p沟道鳍134如参照图2D和图2I所描述延伸越过介电层112的顶面122。在实例示例中,n沟道鳍120和p沟道鳍134具有相同组分。n沟道鳍120和p沟道鳍134的半导体材料具有比硅更高的电子迁移率和更高的空穴迁移率。n沟道鳍120和p沟道鳍134的半导体材料可以大体上不掺杂或轻掺杂,可以在外延生长过程期间将n沟道鳍120和p沟道鳍134掺杂n型,或可以在外延生长过程期间将n沟道鳍120和p沟道鳍134掺杂p型。同时形成n沟道鳍120和p沟道鳍134有利地降低制造成本和集成电路100的复杂度。

[0029] 参照图3C,可以在介电层112上形成可选的第一注入掩膜156,以便暴露p沟道鳍134并且覆盖n沟道鳍120。如果需要,则可以以提供用于p沟道finFET 110的所需阈值电压的剂量将诸如磷和可能的砷的n型掺杂剂158注入p沟道鳍134中。剂量将取决于所需阈值电压和取决于p沟道鳍134的高度。在注入n型掺杂剂158之后移除第一注入掩膜156。随后执行退火操作,以激活所注入的n型掺杂剂158。

[0030] 参照图3D,可以在介电层112上方形成可选的第二注入掩膜160,以便暴露n沟道鳍120并且覆盖p沟道鳍134。如果需要,则可以以提供用于n沟道finFET 106的所需阈值电压的剂量将诸如硼的p型掺杂剂162注入n沟道鳍120中。剂量将取决于所需阈值电压和取决于n沟道鳍120的高度。在注入p型掺杂剂162之后移除第二注入掩膜160。随后执行退火操作,以激活所注入的p型掺杂剂162。

[0031] 参照图3E,在外延阻挡层112上方形成覆盖层150,该覆盖层150覆盖n沟道鳍120和p沟道鳍134。在实例示例中,覆盖层150可以包括20纳米至30纳米厚的氮化硅,和/或氧氮化硅。可以如参照图2J所描述形成覆盖层150。

[0032] 参照图3F,示意性描述为CMP衬垫152的CMP过程152移除盖层150,并且平坦化n沟道鳍120和p沟道鳍134,使其下降至介电层112。由于覆盖层150包括氮化硅或氧氮化硅,并且介电层112包括二氧化硅,所以可以通过覆盖层150和介电层112之间的抛光阻力方面的变化提供用于CMP过程152的端点。

[0033] 参照图3G,如参照图2M所描述,在没有从n沟道鳍120和p沟道鳍134显著地移除半导体材料的情况下使介电层112凹陷,使得n沟道鳍120和p沟道鳍134在所凹陷的介电层112上部延伸至少10纳米。在使介电层112凹陷之后,在n沟道鳍120和p沟道鳍134上方形成栅极介电层和栅极以提供图1的结构。

[0034] 在所描述的实施例中,修改是可能的,并且其它实施例在权利要求范围内是可能的。

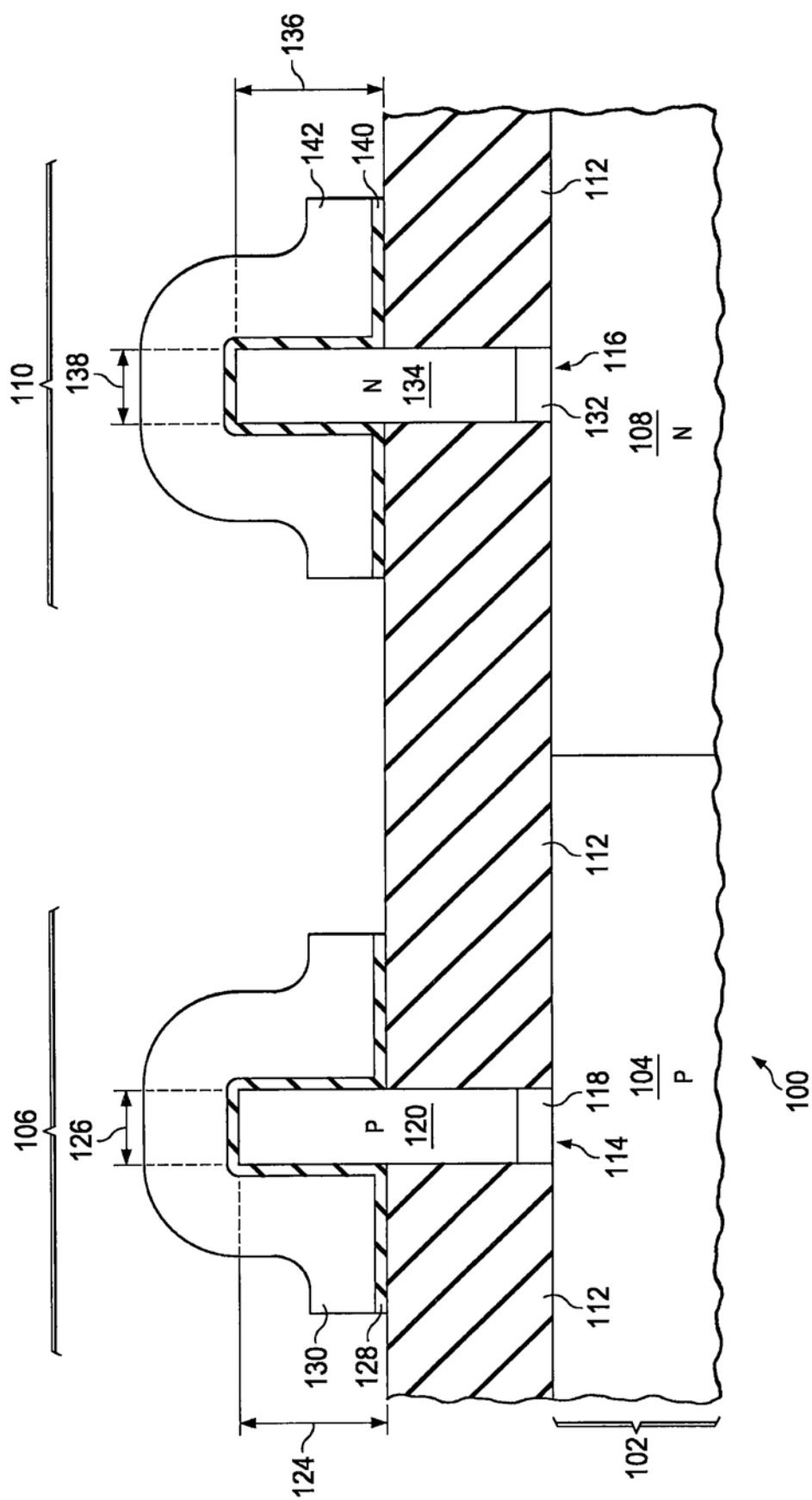


图1

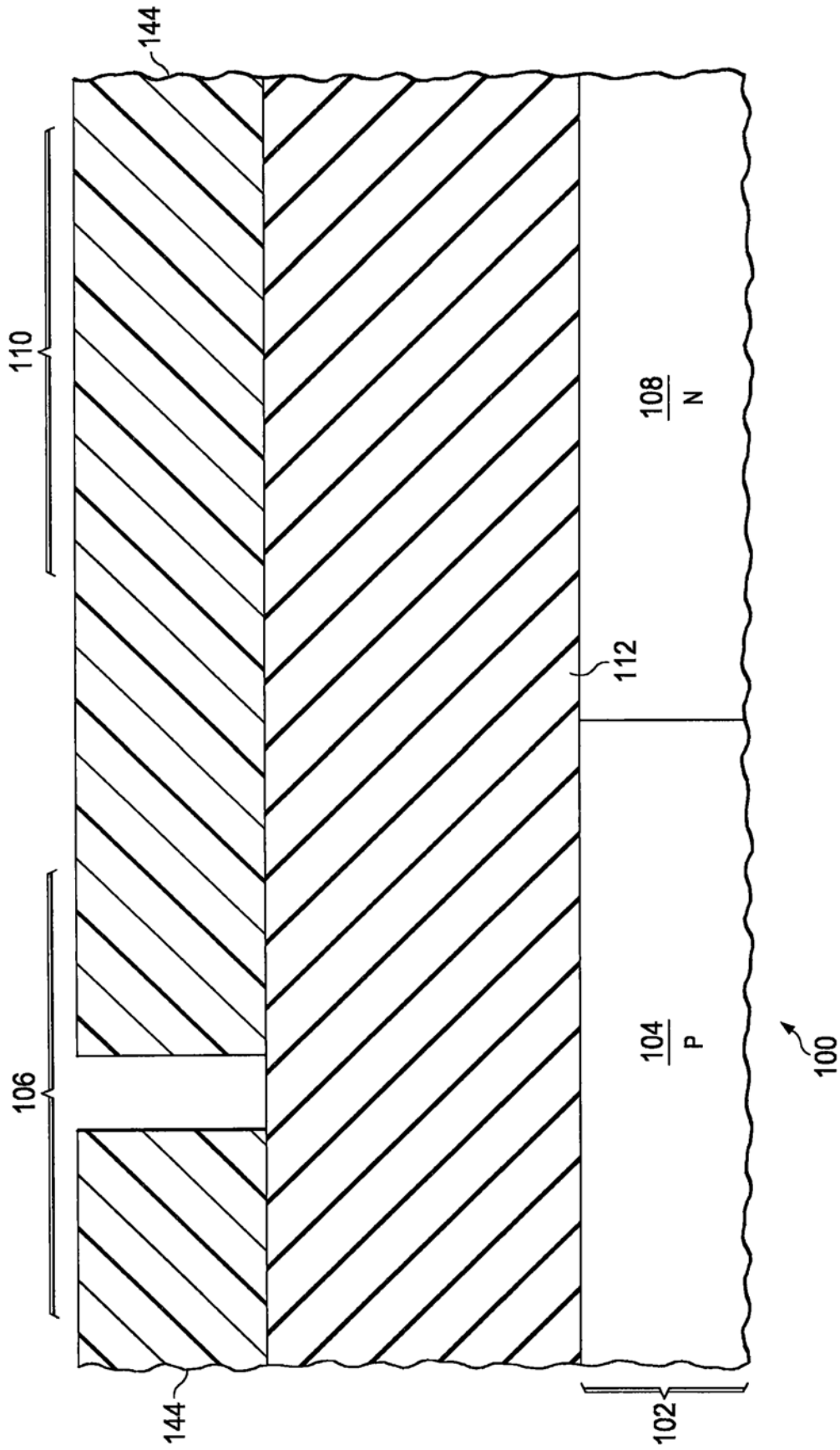


图2A

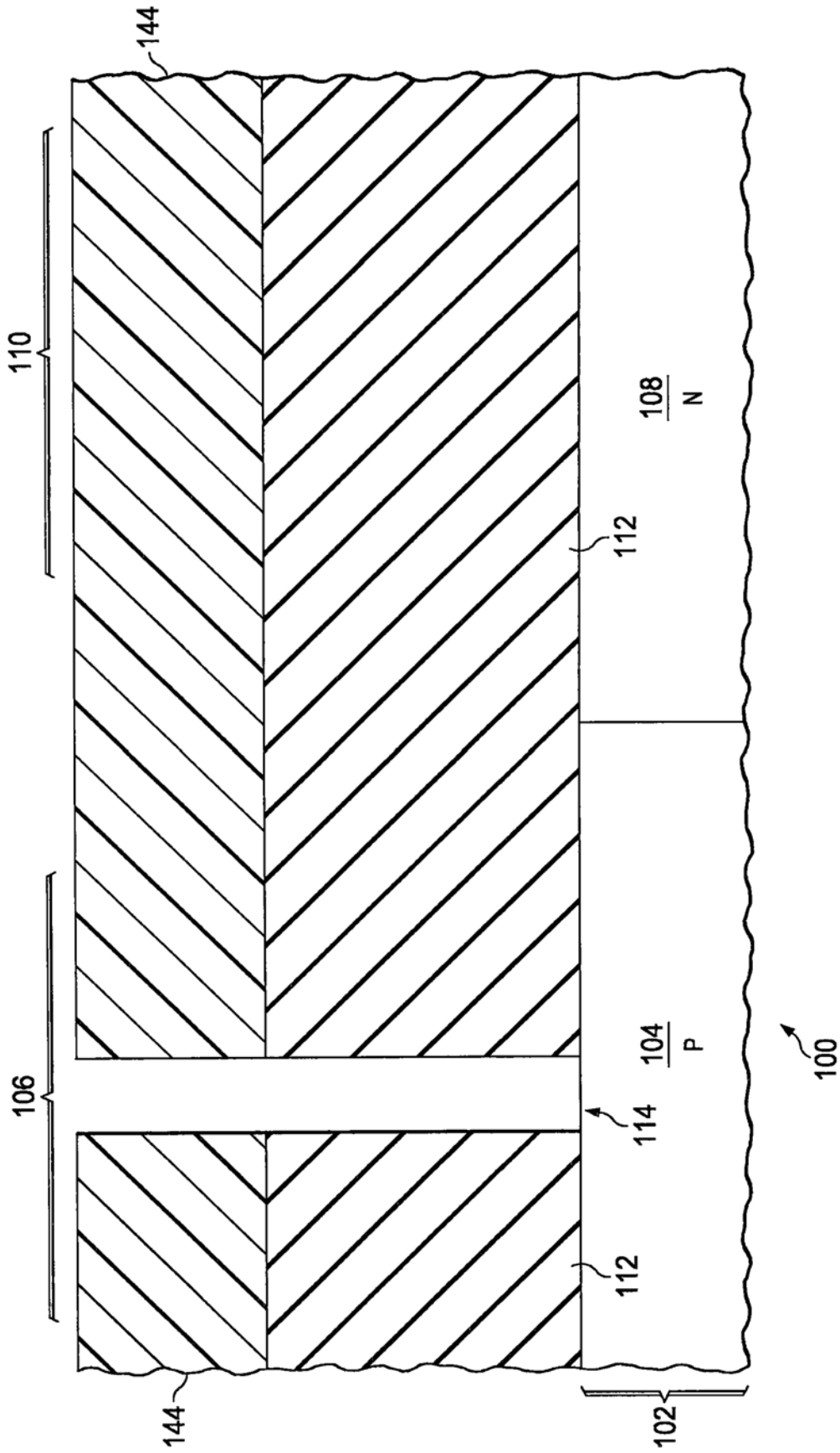


图2B

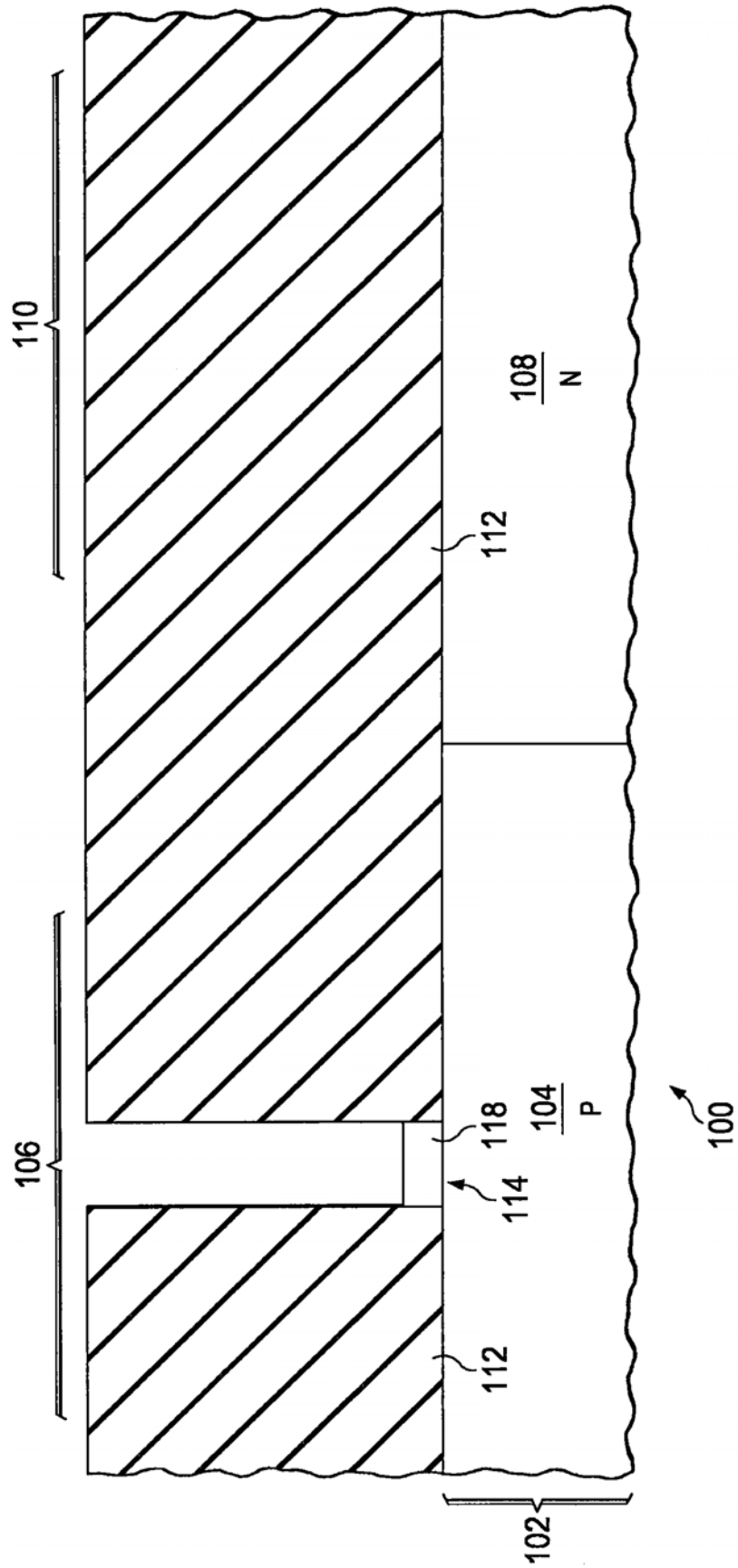


图2C

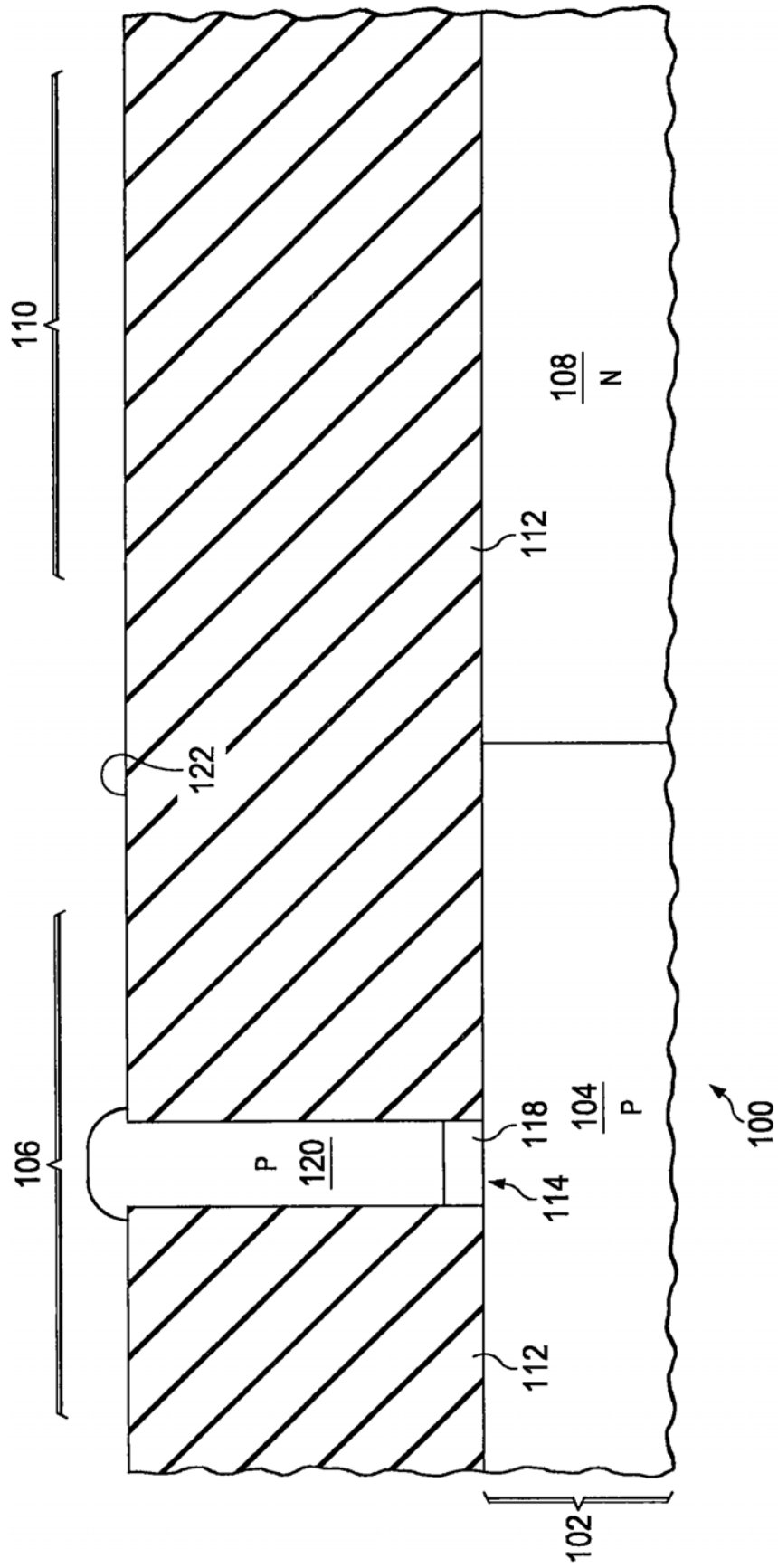


图2D

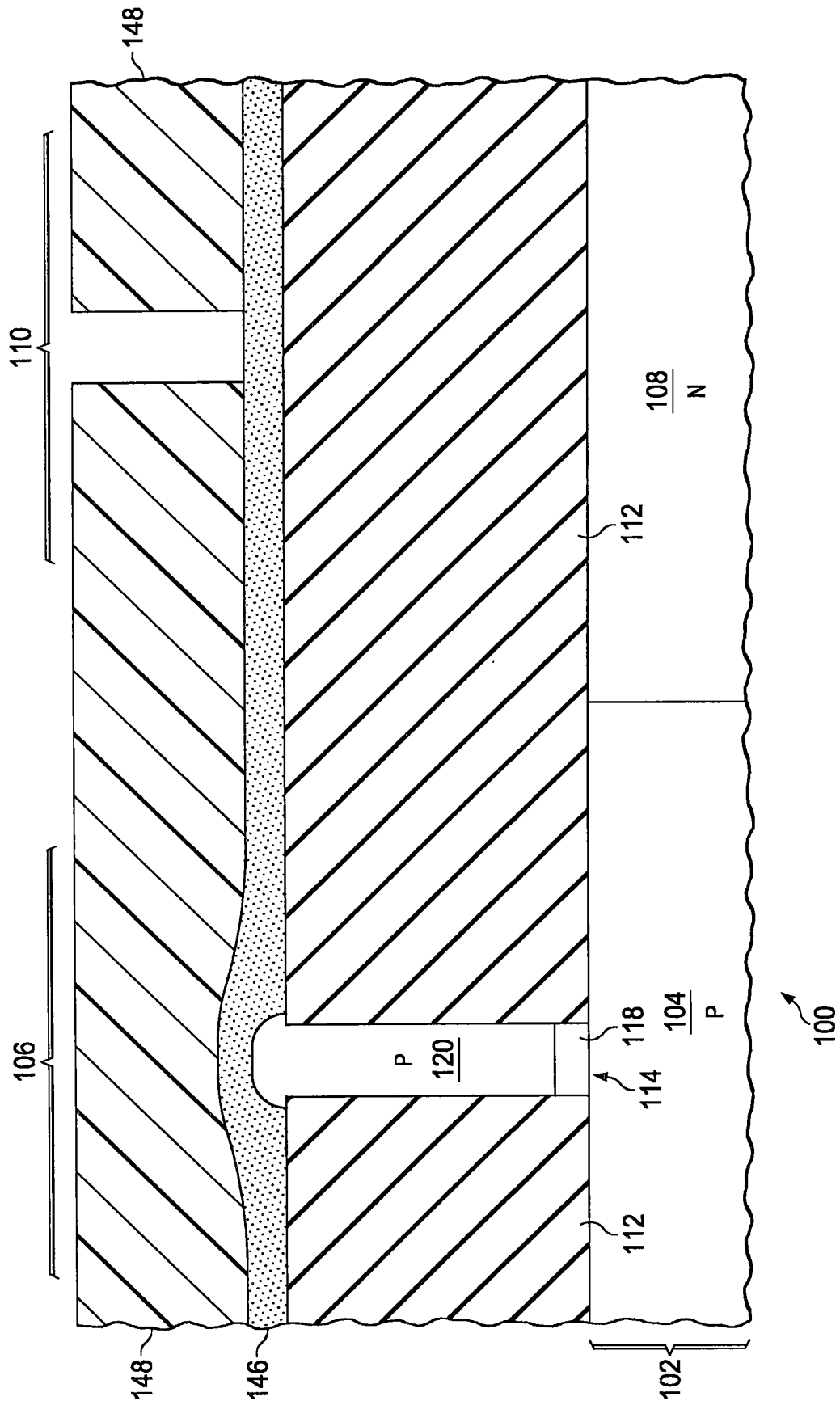


图2F

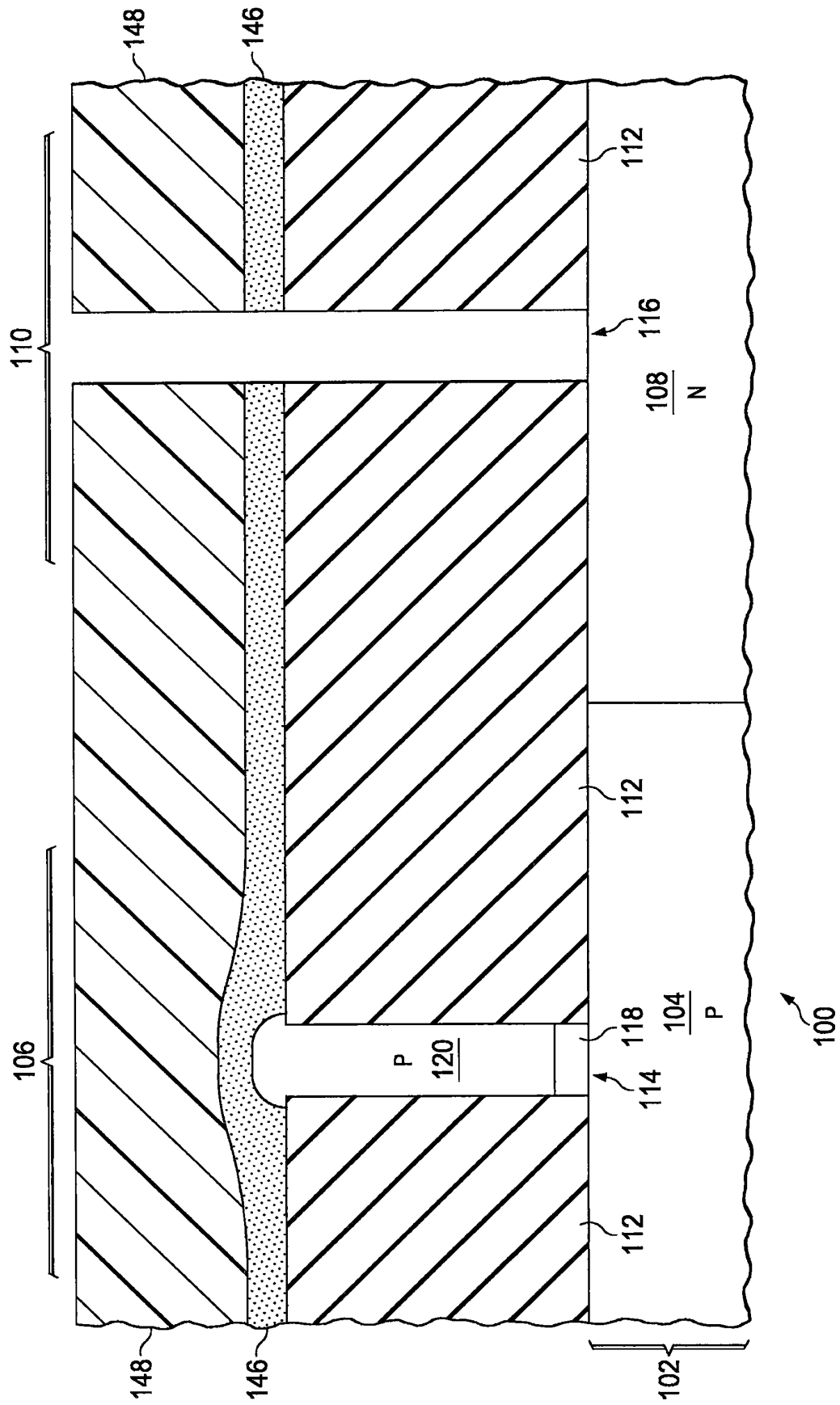


图2G

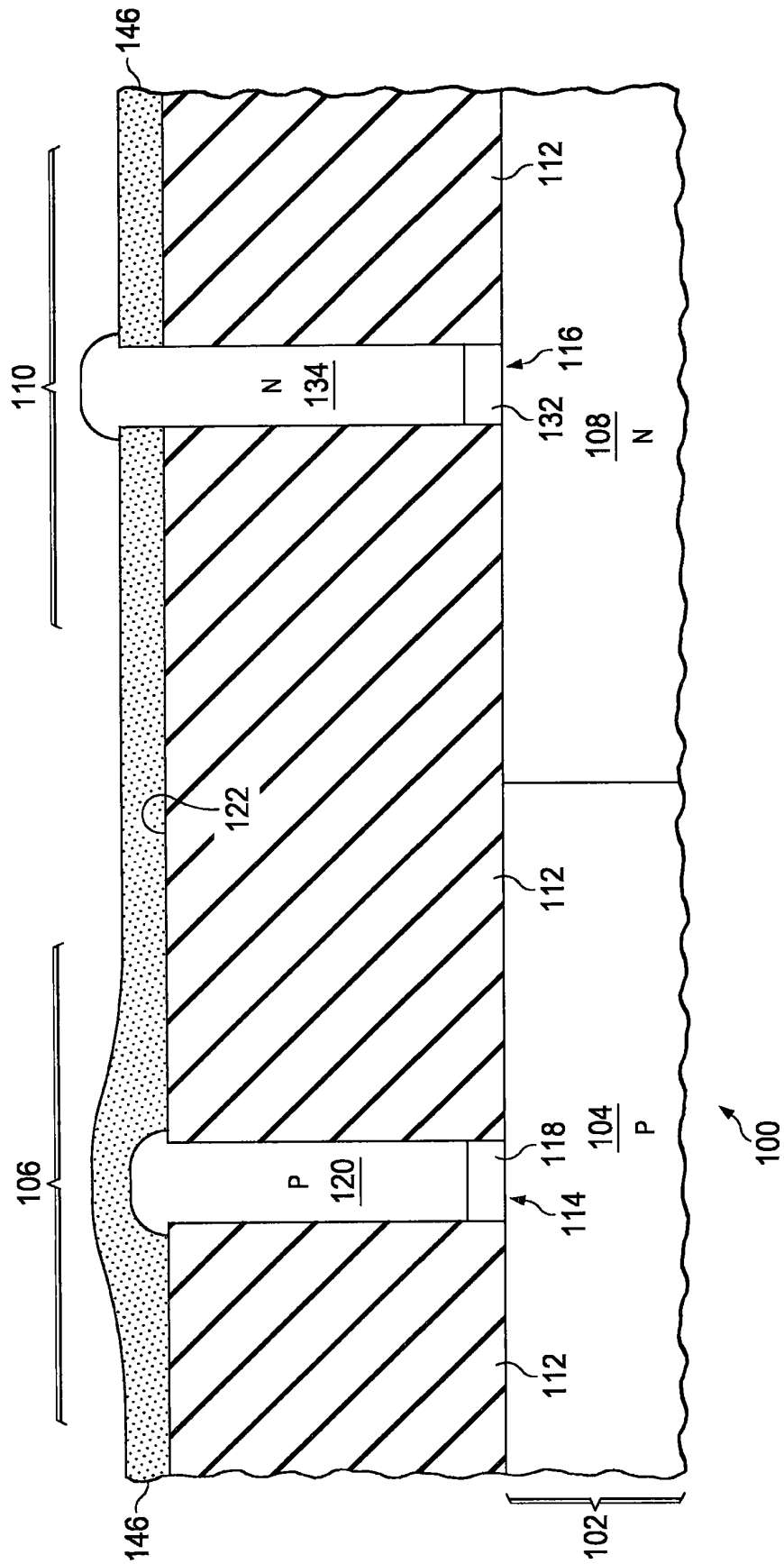


图2I

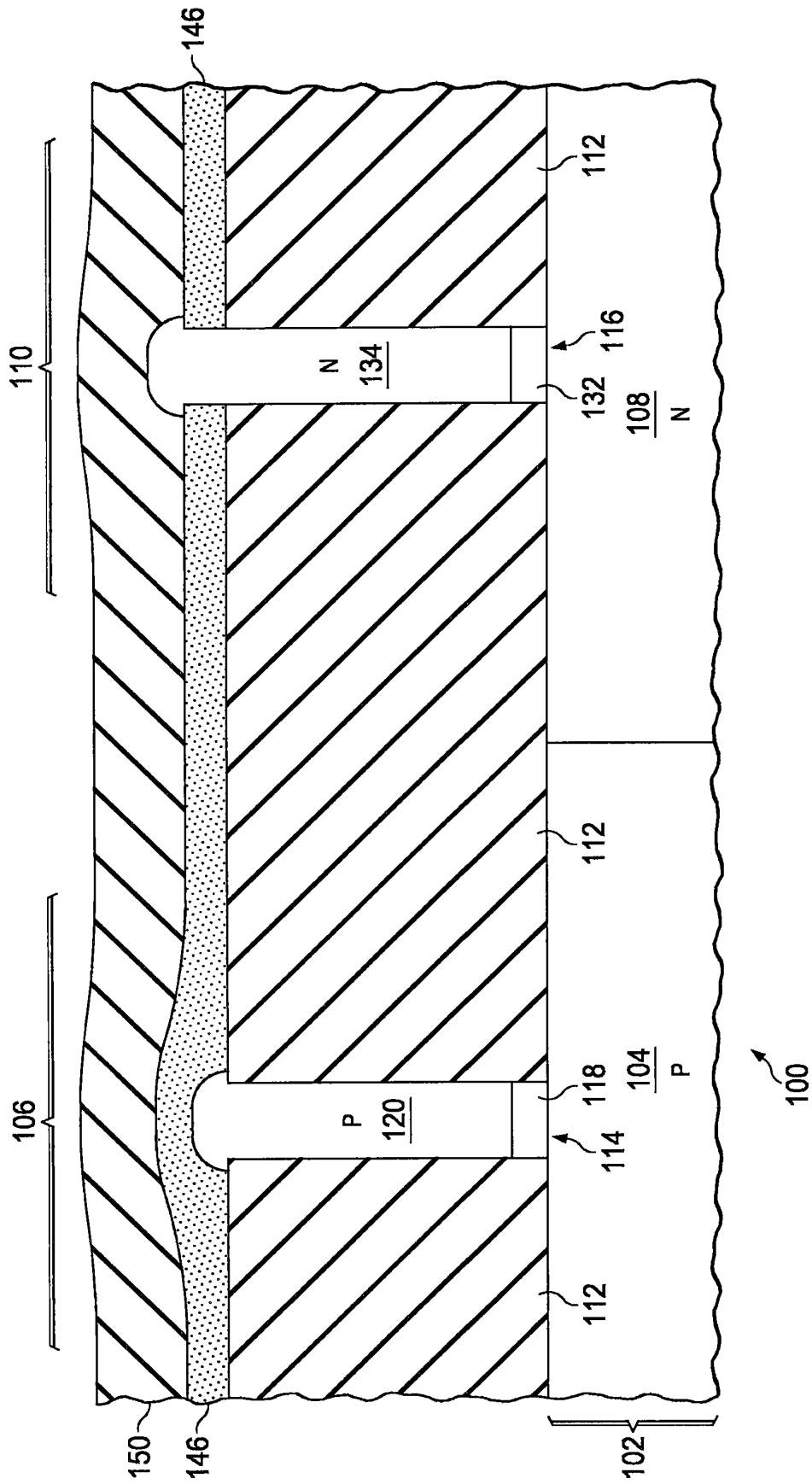


图2J

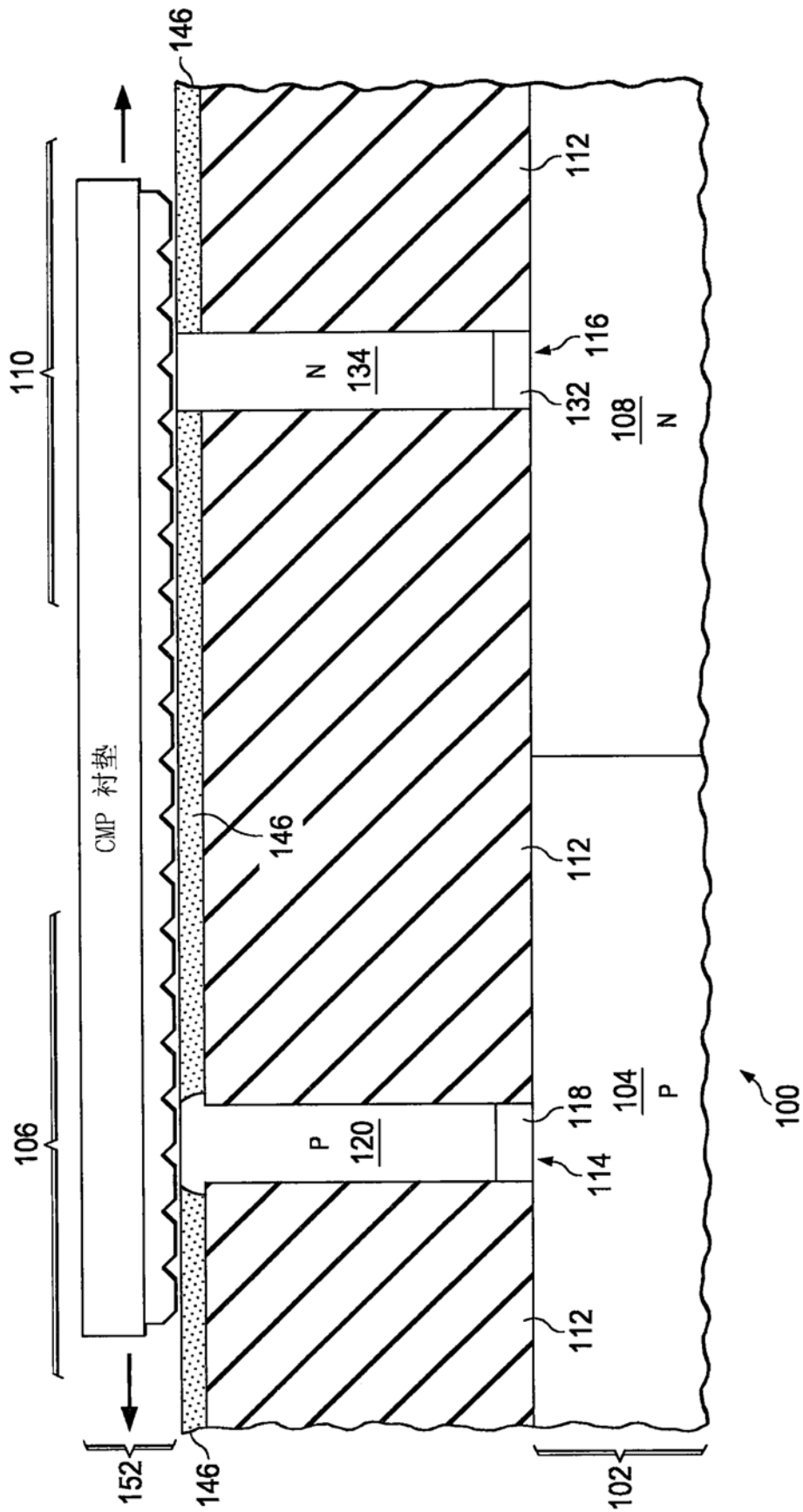


图2K

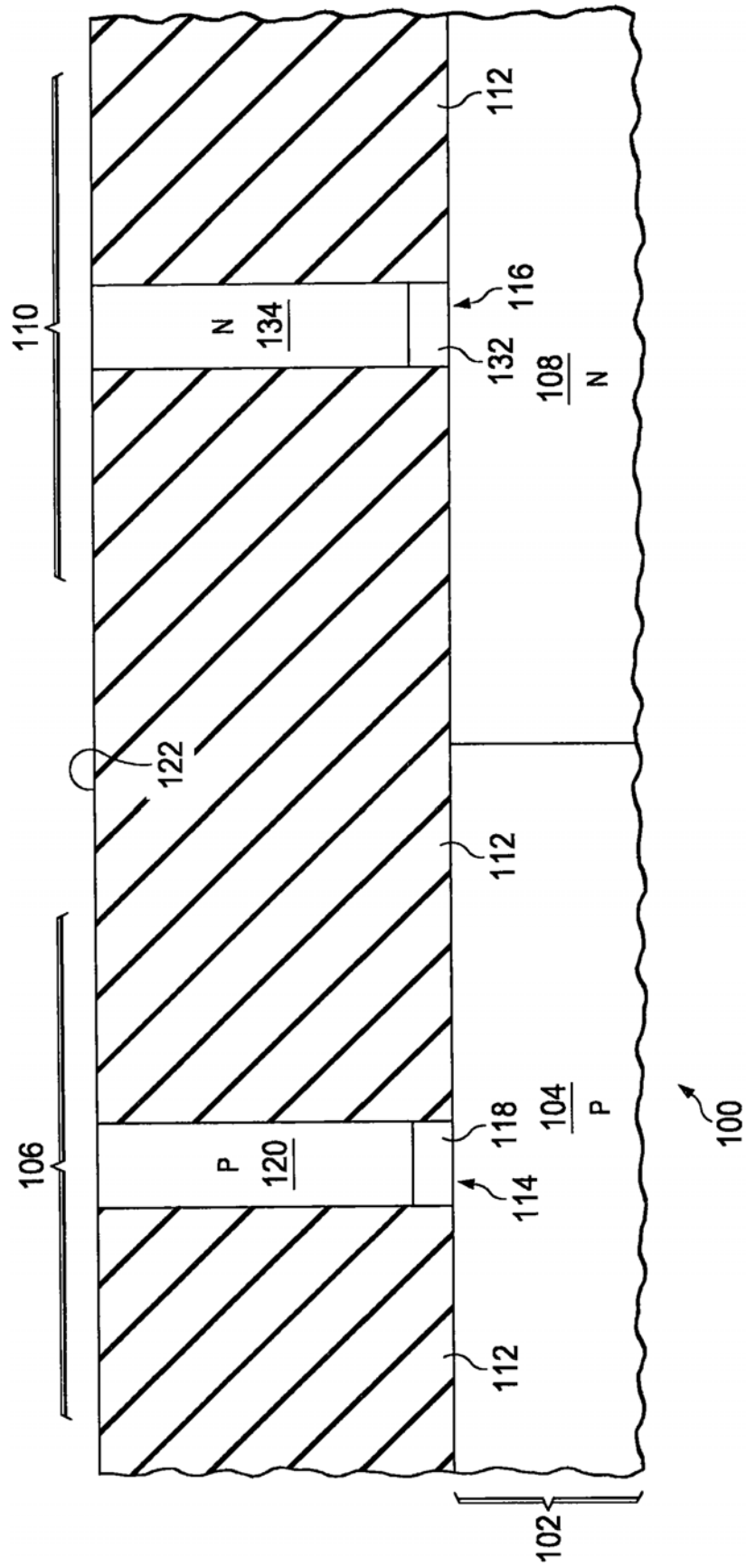


图2L

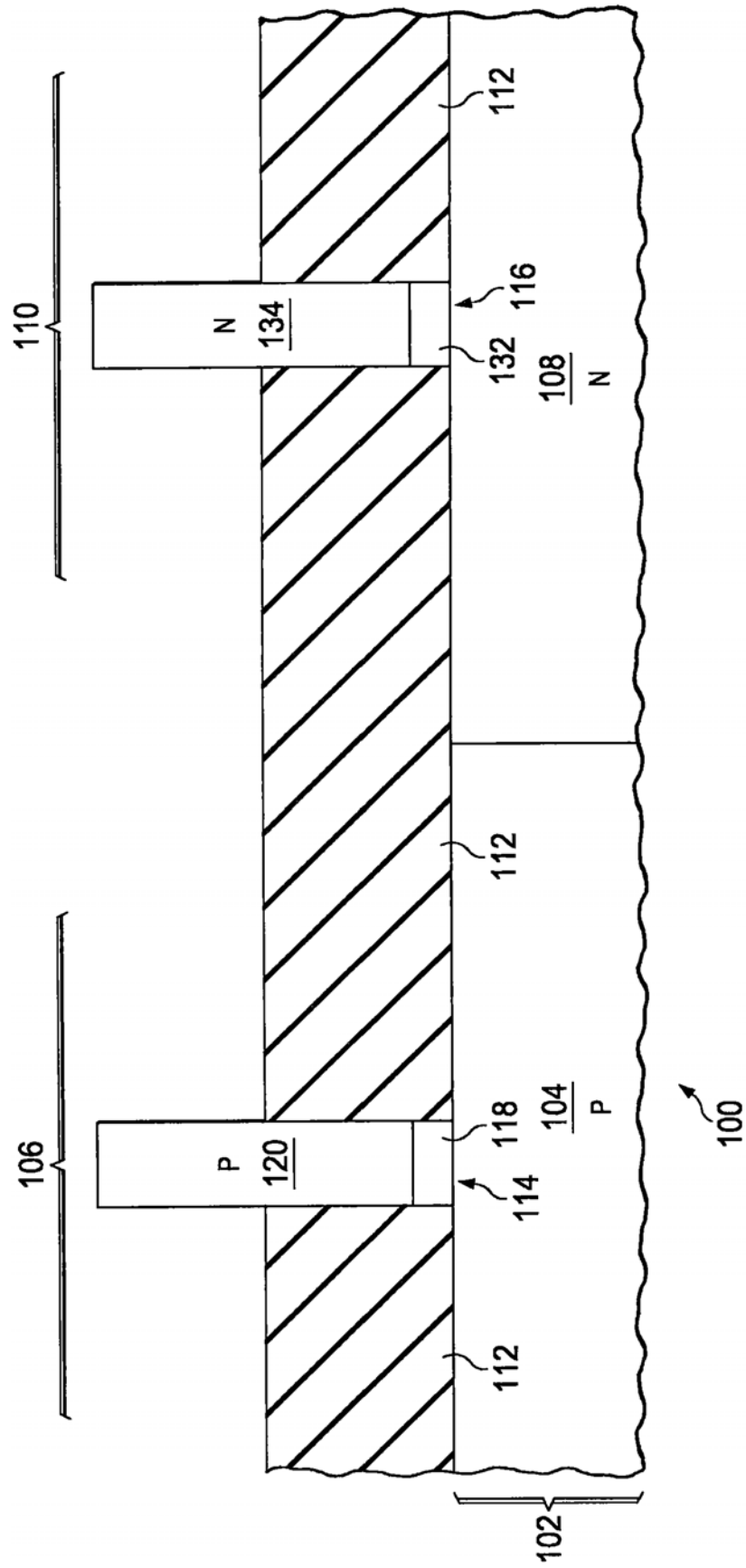


图2M

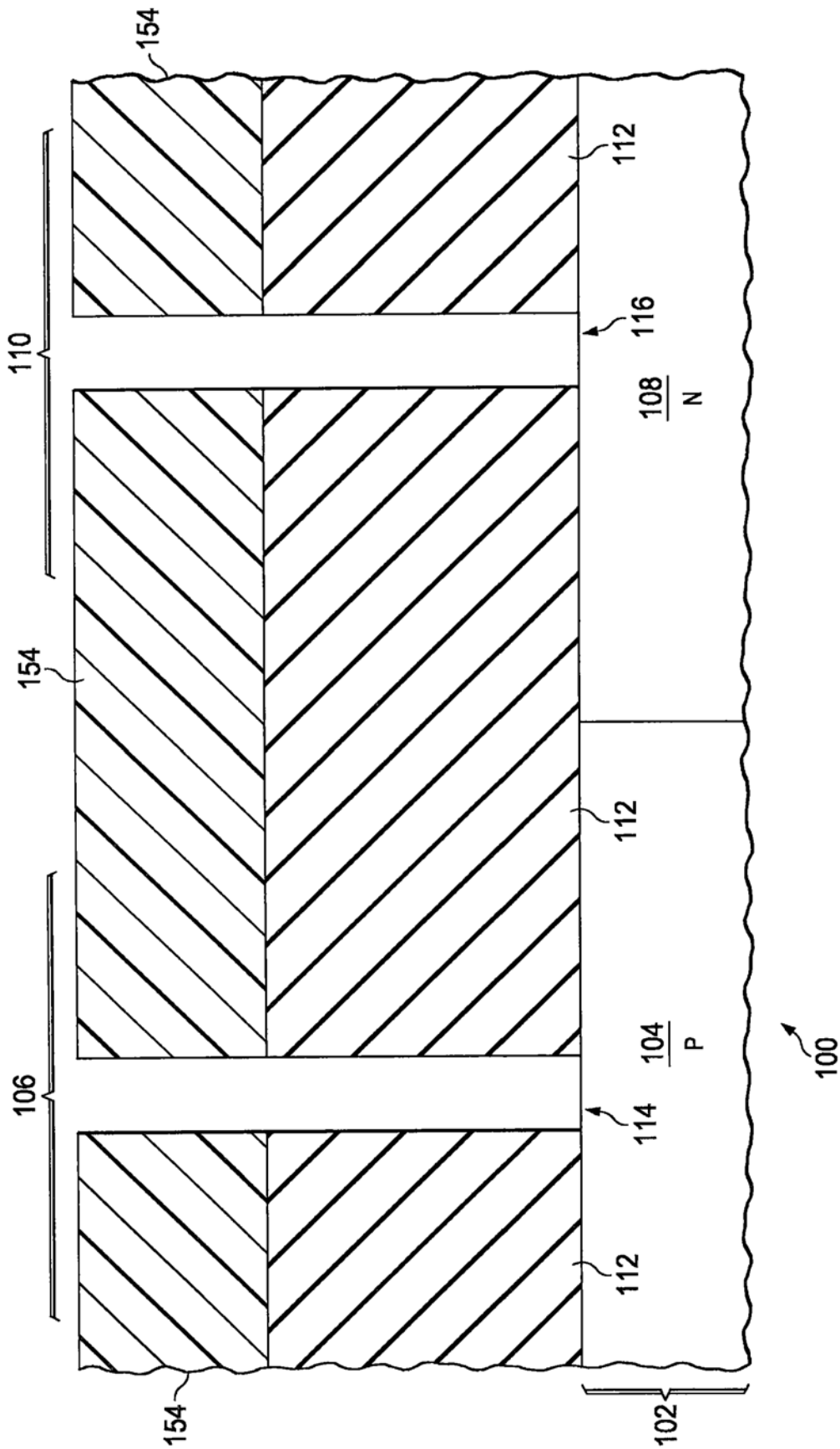


图3A

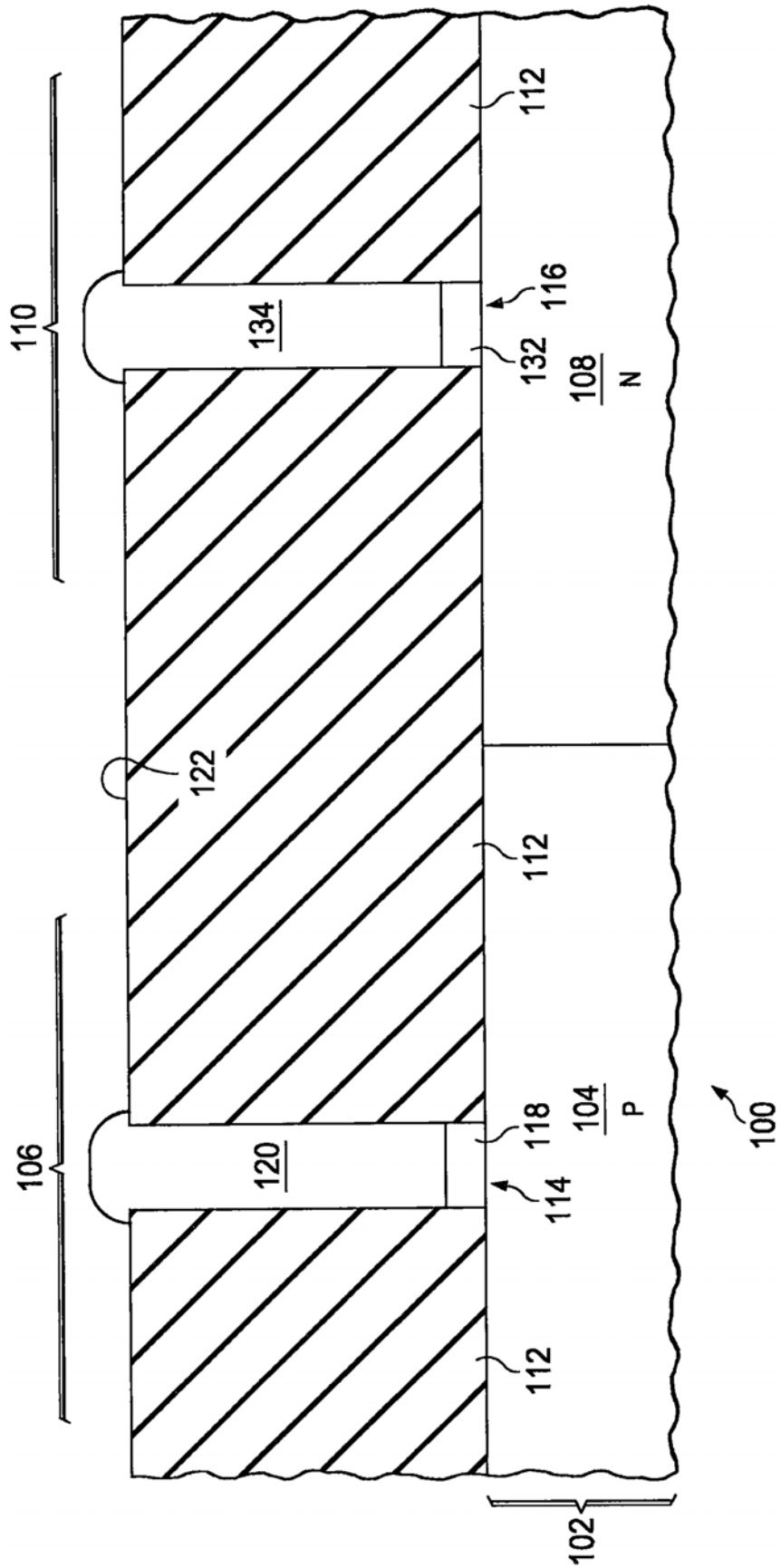


图3B

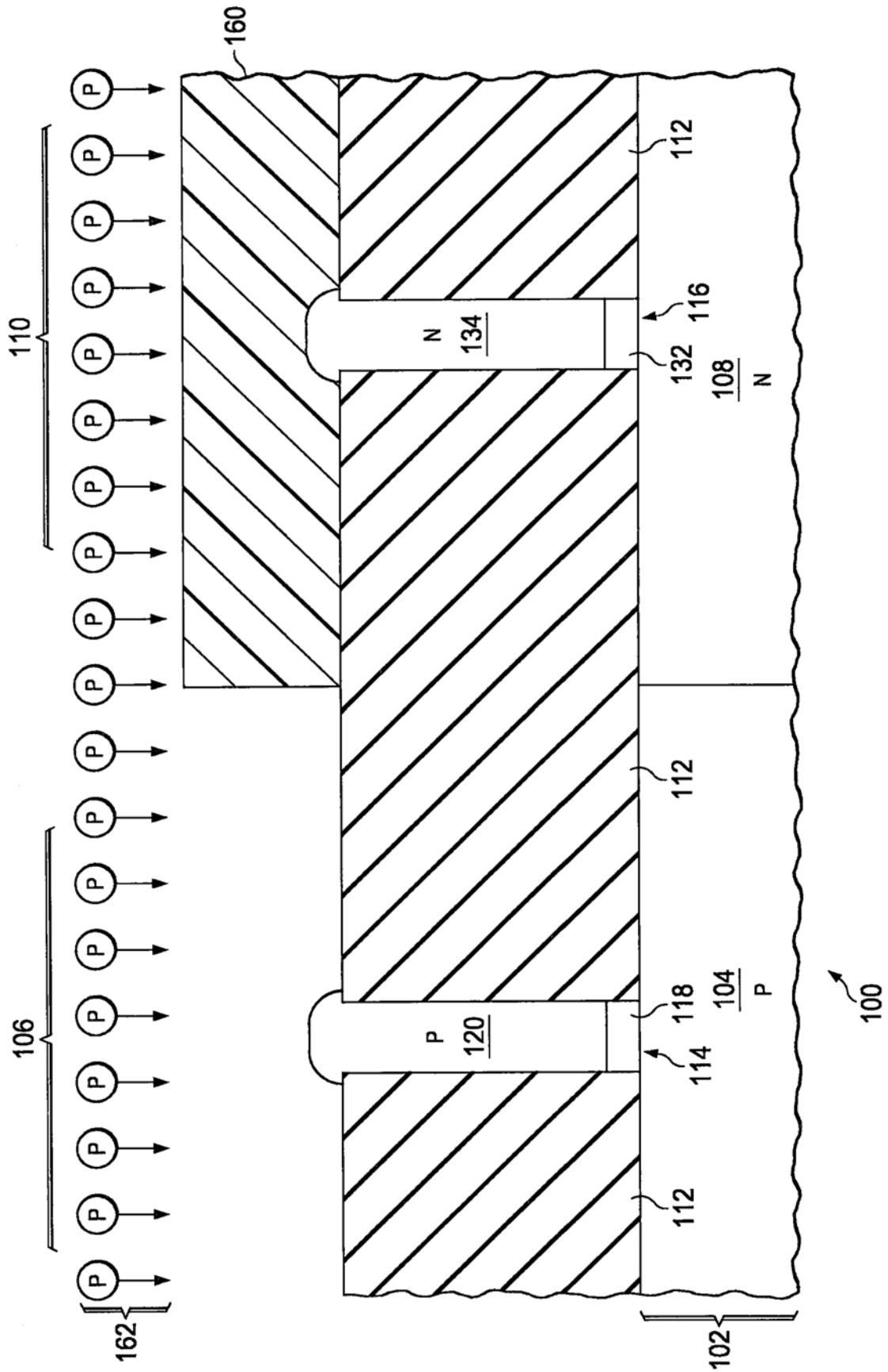


图3D

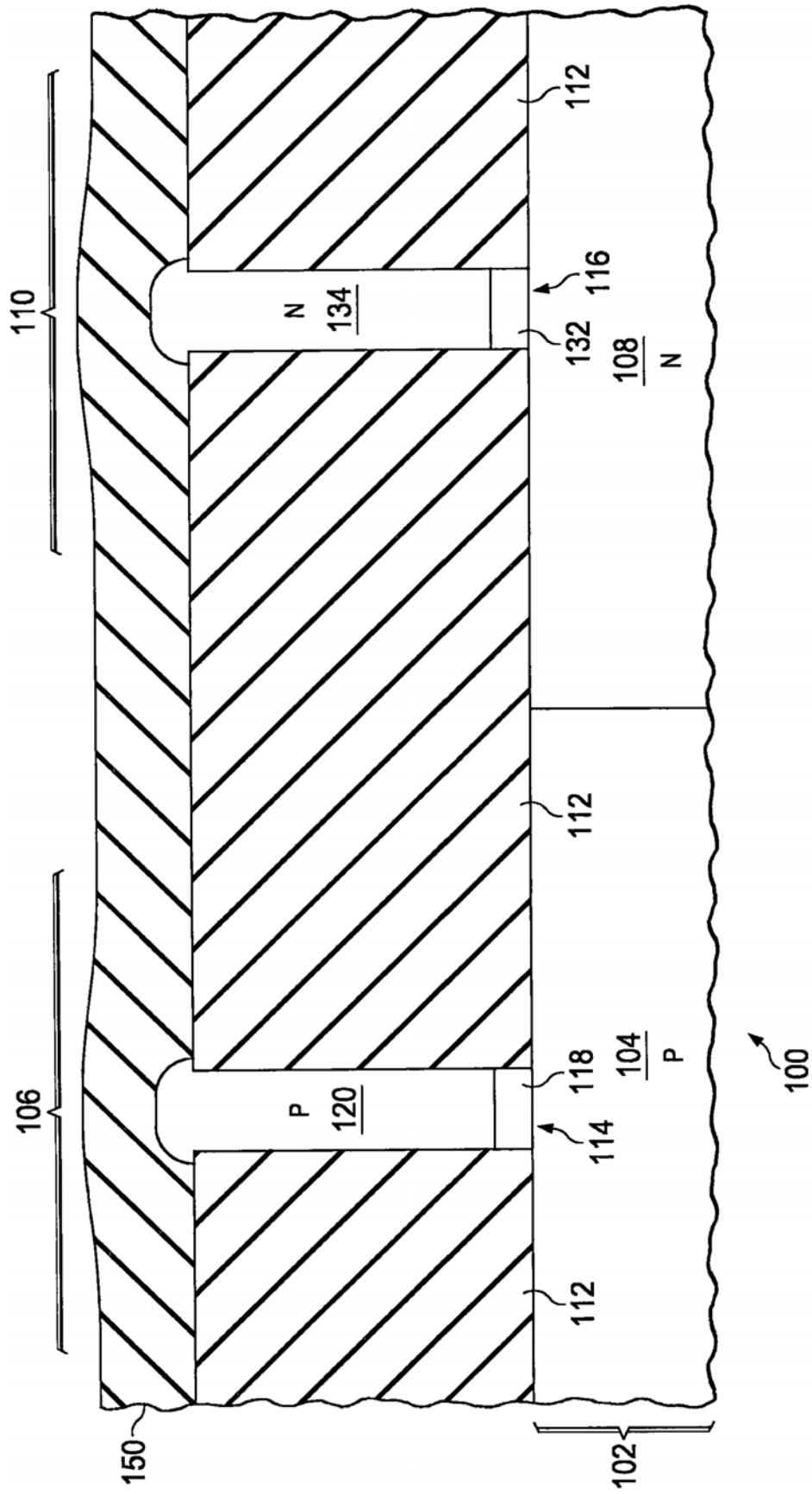


图3E

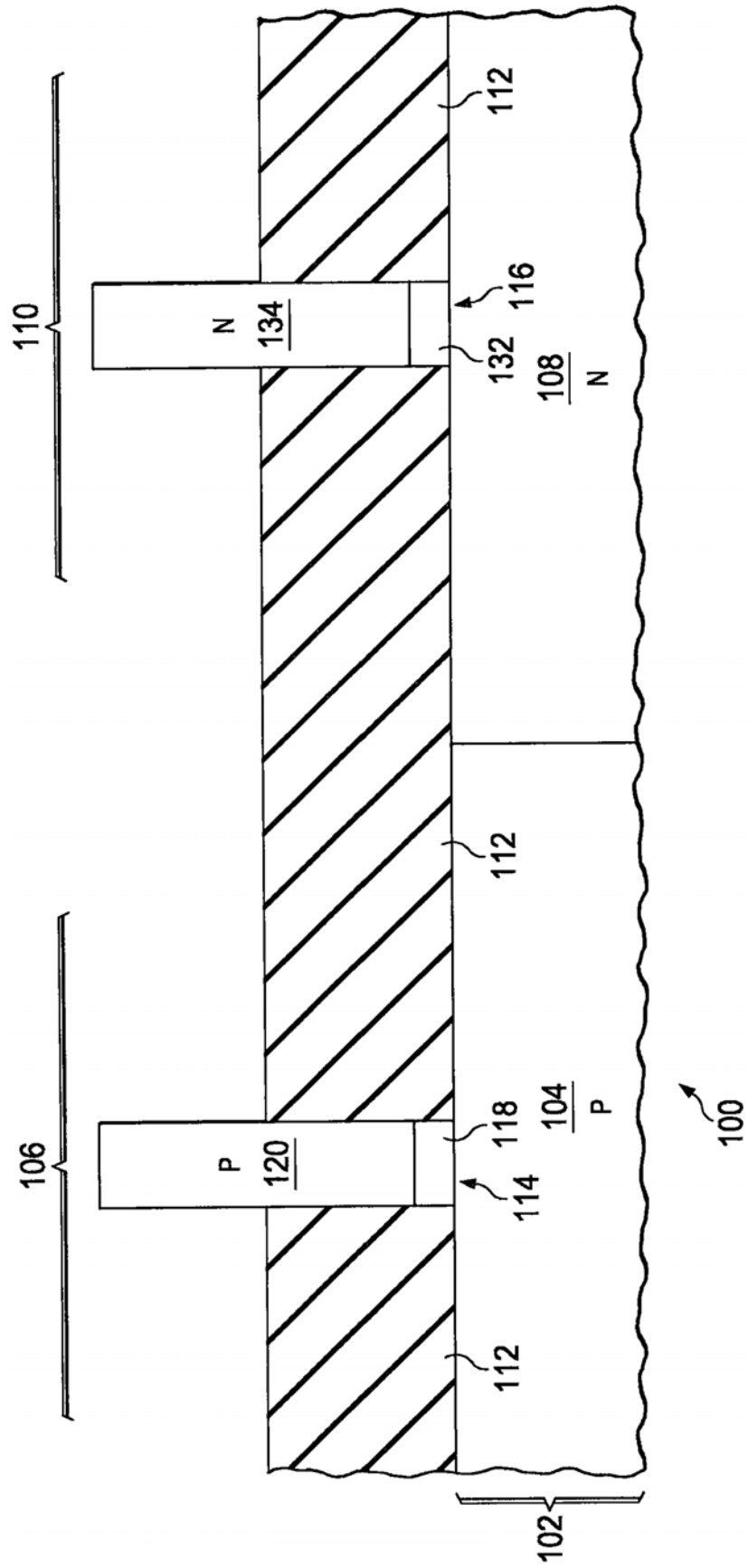


图3G