

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3816159号
(P3816159)

(45) 発行日 平成18年8月30日(2006.8.30)

(24) 登録日 平成18年6月16日(2006.6.16)

(51) Int.C1.

F 1

HO3K 19/0175 (2006.01)

HO3K 19/00 101K

HO3K 19/018 (2006.01)

HO3K 19/00 101Q

HO3K 19/092

請求項の数 10 (全 9 頁)

(21) 出願番号

特願平8-234348

(22) 出願日

平成8年9月4日(1996.9.4)

(65) 公開番号

特開平9-130227

(43) 公開日

平成9年5月16日(1997.5.16)

審査請求日

平成15年8月18日(2003.8.18)

(31) 優先権主張番号

19533274:1

(32) 優先日

平成7年9月8日(1995.9.8)

(33) 優先権主張国

ドイツ(DE)

(73) 特許権者 595033034

ドイチエ トムソン-プラント ゲーエム
ペーハーDeutsche Thomson-Br
andt GmbHドイツ連邦共和国 テー-78048 ヴ
ィリングン-シュヴェニンゲン ヘルマン
-シュヴェーア-シュトラーセ 3

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 マルティーン ラオ

ドイツ連邦共和国 テー-81479 ミ
ュンヘン フライシュマンシュトラーセ
9

最終頁に続く

(54) 【発明の名称】一定入力インピーダンスを有する受信器回路

(57) 【特許請求の範囲】

【請求項 1】

共通ベースモード若しくは共通ゲートモードで動作する上側トランジスタと、
上側トランジスタのコレクタ若しくは対応した電界効果トランジスタ電極と上側電位の
間に設けられ、出力信号を生成する負荷抵抗と、

上側トランジスタと下側電位の間にコレクタ-エミッタ路若しくはソース-ドレイン路
が設けられている下側トランジスタとを有し、

一定バイアス電圧又は一定ゲート電圧が供給される上側トランジスタのエミッタ若しく
は対応した電界効果トランジスタ電極により信号入力が形成される、
入力インピーダンスが一定である受信器回路であって、

前記上側トランジスタと前記下側トランジスタは同一のトランジスタであり、下側ト
ランジスタはダイオードとして接続され、

第1の負帰還抵抗と第2の負帰還抵抗が前記上側トランジスタと前記下側トランジスタ
の間に接続され、

信号入力は、前記第1の負帰還抵抗と前記第2の負帰還抵抗の間に設けられている、
ことを特徴とする受信器回路。

【請求項 2】

前記下側トランジスタと前記第2の負帰還抵抗の順序が入れ替えられていることを特徴
とする請求項1記載の受信器回路。

【請求項 3】

信号分岐の回路の複製であるミラー分岐が電流ミラーの原理に従って更に設けられ、前記ミラー分岐は、前記上側トランジスタ、下側トランジスタ、並びに、前記第1の負帰還抵抗及び前記第2の負帰還抵抗を含み、

ミラー分岐には、前記上側トランジスタのベース電圧又はゲート電圧を一定に保つ一定零入力電流が印加される、

ことを特徴とする請求項2記載の受信器回路。

【請求項4】

前記上側トランジスタと前記下側トランジスタはバイポーラトランジスタであり、

前記第1の負帰還抵抗と前記第2の負帰還抵抗は同一の抵抗である、

ことを特徴とする請求項1乃至3のうちいずれか1項記載の受信器回路。 10

【請求項5】

前記第1の負帰還抵抗と前記第2の負帰還抵抗は互いに異なることを特徴とする請求項1乃至3のうちいずれか1項記載の受信器回路。

【請求項6】

前記第1の負帰還抵抗は、入力抵抗の約3分の2に一致する抵抗であることを特徴とする請求項4又は5項記載の受信器回路。

【請求項7】

前記零入力電流はPTAT電流源により発生され、前記零入力電流は絶対温度に比例することを特徴とする請求項3乃至6のうちいずれか1項記載の受信器回路。

【請求項8】

基準抵抗及び基準電圧を伴う付加的な増幅器を更に有し、

前記付加的な増幅器は、

$$U_0 = U_{REF} + R_{REF} \cdot I_0$$

が満たされるように零入力電流を制御する、

ことを特徴とする請求項3乃至7のうちいずれか1項記載の受信器回路。 20

【請求項9】

前記付加的な増幅器は差動増幅器を含むことを特徴とする請求項8記載の受信器回路。

【請求項10】

前記信号分岐の更なる複製が前記信号分岐と前記ミラー分岐の間に基準分岐として設けられ、 30

前記基準分岐は、更なる上側トランジスタ及び更なる下側トランジスタと、前記更なる上側トランジスタと前記更なる下側トランジスタの間に設けられた2個の抵抗とを含み、

前記基準分岐の前記更なる上側トランジスタのベースは一定電圧に保たれ、出力信号は、第1の負荷抵抗を介して上側電位に接続された、前記信号分岐の前記上側トランジスタのコレクタと、第2の負荷抵抗を介して上側電位に接続された、前記基準分岐の前記更なる上側トランジスタのコレクタの間でタップされる、

ことを特徴とする請求項3乃至9のうちいずれか1項記載の受信器回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号、特に、ディジタル信号を特許請求の範囲の請求項1の前件部の記載に従って受信及び/又は処理する電子回路に関する。 40

【0002】

【従来の技術】

信号処理の技術的進歩の結果として、かつ、電子回路部品又は電子回路の集積化に伴って、上記回路の間で伝送されるディジタル信号は、クロック周波数が増大されると共に、その数が常に増加する。これは、高周波信号の妨害の無い伝送のため、妨害を生じるケーブル反射が発生する可能性を回避すべく、30と300の間の伝送線路の特性インピーダンスで受信器を終端させる必要があることを意味する。例えば、比較的安価な単純な両面基板上のチップ間の接続の場合の特性インピーダンスは、80乃至120オームであり、 50

一方、基板上に取り付けられたチップを接続する多層技術基板の場合には、特性インピーダンスが約50オームである。かかる導波管終端の最も簡単な場合は、特性インピーダンスに対応する相応して正確な固定値抵抗によって形成される。しかし、製造に關係した公差がチップ上の抵抗の生産の際には非常に大きいため、製造技術に起因して、集積回路の上又は中に相応した精度の抵抗を構築し得ない。

【0003】

かなり小さい線路インピーダンスの結果として、到来電圧信号レベルはかなり低い。トランジスタのベース接続回路を用いて、受信された信号の電流が、エミッタに供給され、増幅のため直接使用され、ベース接続回路は、相応して小さい大きさのオーダーの入力インピーダンスを更に発生する。かかるベース接続回路は、例えば、カワムラ(Kawamura)他による：“マルチ・ギガビット/秒インタフェース用の超低電力バイポーラ電流モードI/O回路”，VLSI回路に関するシンポジウムの技術論文ダイジェスト、1994年、31-32ページと、ムラバヤシ(Murabayashi, F.)他による：“120-MHzのRISCプロセッサ用3.3-V BiCMOS回路技術”、固体回路ジャーナル、1994年3月、ページ298-302に記載されている。この例の場合において、ベース接続モードのトランジスタが入力に配置され、そのベースは、定電圧源によって一定電圧に維持される。トランジスタのコレクタ電流の結果として、コレクタ回路内の負荷抵抗を用いることにより、次の回路で処理される出力信号が発生される。ベース接続回路の利点は、低い入力インピーダンスと、高い遮断周波数である。

【0004】

【発明が解決しようとする課題】
ベース接続回路の欠点は、入力インピーダンスが電流フローに依存しているので、完全に一定ではないという点である。

本発明の目的は受信器回路に一定入力インピーダンスを与えることである。

【0005】

【課題を解決するための手段】

上記目的は、特許請求の範囲の請求項1に記載された本発明の要旨によって実現される。本発明の有利な展開が従属項に記載されている。

本発明は、信号がエミッタに供給され、ベースに一定電圧が印加されるベース接続モードの上側トランジスタと、コレクタ回路内にあり、上側電位に接続され、電圧出力信号を発生する負荷抵抗と、エミッタ-コレクタ路が上記上側トランジスタと下側電位の間に接続された第2の下側トランジスタとからなる一定入力インピーダンスの受信器回路からなる。従って、MOSトランジスタが使用されるとき、ゲート接続回路が利用され、下側トランジスタは、上側トランジスタと下側トランジスタの間でそのソース-ドレイン路と接続される。

【0006】

上記例の場合、第1の実施例によれば、本発明の受信器回路の下側トランジスタは、上側トランジスタに対し相補型であるので、第2の下側負荷抵抗が、下側トランジスタのコレクタ回路で使用されるとき、第1の出力信号の反転の第2の出力信号をタップし得る。周知のベース接続回路とその相補型回路の組み合わせには、2個のトランジスタの反対の挙動特性が相互に打ち消し合い、略一定の入力インピーダンスが所望の動作範囲で得られるという有利な効果がある。

【0007】

第2の負荷抵抗が省かれた場合に、本発明の回路の2個の抵抗は同一になるよう選択される。これにより、回路の対称性が増加し、回路の速度は遅い相補型PNPタイプによって制限されなくなる。上記例の場合、下側トランジスタはダイオードとして接続される。

更に、本発明の回路によれば、負帰還抵抗が2個のトランジスタの間、即ち、上側トランジスタのエミッタと下側トランジスタのコレクタの間に接続され、バイポーラの変形型の場合に、上記抵抗は、入力インピーダンスが略一定になる範囲である電流範囲を増加させる。信号入力は2個の負帰還抵抗の間にある。ダイオードとして接続された第2の抵抗と

10

20

30

40

50

、下側電位との間に第2の負帰還抵抗を接続してもよい。

【0008】

バイポーラ回路に対し、2個の負帰還抵抗は、略同一の抵抗を有するよう選択される。負帰還抵抗と、トランジスタの寄生インピーダンスとからなる全負帰還抵抗の最適な値は、入力インピーダンスの略2/3に一致する。換言すれば、負帰還抵抗は、寄生エミッタ及びベースインピーダンスを考慮に入れて相応して選択されるべきである。従って、トランジスタの寄生インピーダンスのため、負帰還抵抗の一方又は両方を省く必要がある場合がある。2個の抵抗と、2個の負帰還抵抗とからなる上記回路は、信号分岐と呼ばれる。

【0009】

上側トランジスタの略一定の入力インピーダンスを得るために、上側トランジスタのベース電圧は一定でなければならない。下側の端が下側電位にあり、そこに供給される一定零入力電流 I_0 を有する上記回路、即ち、信号分岐の複製を用いることにより、上側トランジスタのベース電圧を一定に保つことが可能である。零入力電流を発生する上記信号分岐の複製は、ミラー分岐と呼ばれる。この例の場合に、基準分岐の上側トランジスタはダイオードと同様に接続されている。一定電流（零入力電流）がこのミラー分岐を流れる。信号入力に供給される電流が無いならば、上記零入力電流 I_0 は信号分岐内を同様に流れる。ミラー分岐の上側トランジスタのベースとエミッタの短絡の結果として、一定電圧が信号分岐の上側トランジスタのベースに印加される。

【0010】

バイポーラトランジスタとMOSトランジスタは、共に、本発明の回路を作成するため使用することが可能であり、バイポーラ変形の場合には、トランジスタの挙動が温度に依存するため、零入力電流が“P T A T”電流源（P T A Tは、絶対温度に比例することを意味する）によって発生されるので、零入力電流は絶対温度に比例する。

【0011】

MOSトランジスタを含む回路を作成するときには、負帰還抵抗を無しで済ます方が有利である。この例の場合に、回路は、基準抵抗及び基準電位を備え、以下の式

$$U_0 = U_{REF} + R_{REF} \cdot I_0$$

が満たされるよう零入力電流 I_0 を制御する付加的な増幅器を有し、付加的な増幅器を本質的に差動増幅器によって形成することが可能である。

【0012】

基準分岐と呼ばれ、信号分岐とミラー分岐の間に設けられた信号分岐の更なる複製によって、バイポーラ及びMOSの両方の変形を補うことが更に可能であり、基準分岐の上側トランジスタのベース（又はゲート）には、ミラー分岐の一定電圧が同様に供給される。出力信号が信号分岐と基準分岐の上側トランジスタのコレクタの間でタップされる。このような態様により、到来信号電流の符号が非常に小さい電流の場合でも、高信頼性で認識し得る利点がある。

【0013】

【発明の実施の形態】

以下、添付図面を参照し、多数の実施例を用いて本発明のより詳細な説明を行う。

図6は、トランジスタ T_1 と、コレクタ回路に接続され、信号 U_{OUT1} がタップされた負荷抵抗 R_L とからなる従来のベース接続回路を示す図である。エミッタとベースの間に生成された入力インピーダンスは小さいが、電流フローに依存しているので一定ではない。トランジスタ T_1 のベースには、定電圧源によって一定電圧が供給される。

【0014】

図1には、出力電圧 U_{OUT1} 及びその反転 U_{OUT2} が、夫々、上側負荷抵抗 R_L 及び下側負荷抵抗 R_L でタップされるよう、従来のベース接続回路が相補型ベース接続回路によって補われている本発明の第1の実施例が示されている。トランジスタ T_1 によって形成された上側ベース接続回路の入力インピーダンスの変動は、トランジスタ T_1 に相補型トランジスタ T_2 を備えた回路の反対の変動によって平衡させられるので、影響が相互に打ち消し合い、入力インピーダンス R_{IN} の電流依存性が、少なくとも小さい動作範囲の間で略一定

10

20

30

40

50

である。

【0015】

2個の出力 U_{OUT1} 及び U_{OUT2} は、同一信号を発生するので、一方の出力は不要である。従って、関係した動作の抵抗、上記例の場合には R_{L2} を除去することが可能であり、別の出力で得られる電圧振幅と、電源電圧の低下した回路の相応した有用性とを同時に増加させる。技術的な理由から、NPNトランジスタはPNPトランジスタよりも優れているので、好ましくは、図1の下側部の出力 U_{OUT2} を無しで済ます方がよい。従って、孤立したPNPトランジスタの代わりに、非常に簡単かつ費用的に低価格で製造可能なPNP基板の使用が可能である。

【0016】

図2には、本発明の第2の実施例が示されている。図1に対応する回路内で相補型PNPを用いることにより、入力インピーダンスが改良されたとしても、回路の周波数域は、PNPトランジスタのより低いトランシット周波数のため、低下させられる。このため、図2の回路によれば、相補型トランジスタ T_2 が、トランジスタ T_1 と同一、即ち、同一タイプのトランジスタ T_2 によって置き換えられるが、これは、負荷抵抗が無い場合に、ベース-エミッタ回路の電流-電圧特性がPNPトランジスタとNPNトランジスタに対し同一であるため、下側負荷抵抗 R_L の省略によって可能になる。更に、入力ノードとベースの一定電位の間のトランジスタ特有の電流-電圧特性は、ベース接続回路の機能に決定的である。コレクタは一定電位であるので、トランジスタ T_2 のベースが次にコレクタ電位であるよう、この機能がダイオードとして接続されたNPNトランジスタ T_2 によって同様に充足される。その上、トランジスタ T_1 と T_2 に対し同一のトランジスタタイプを使用することにより、対称性のある回路の挙動が生成される。トランジスタの高い相互コンダクタンスの結果として、図2に示されたバイポーラ変形型は、特に、小さい信号(約100mV)に適している。これにより、非常に低電力のデータ伝送が可能になるが、相応して低い妨害又は妨害からのシールドが必要である。

【0017】

2個の対称に置かれた適当な負帰還抵抗 R_1 、 R_2 は、一定入力インピーダンスを得るために要求される。負帰還抵抗 R_1 、 R_2 と、寄生トランジスタインピーダンスとからなる全負荷帰還抵抗の大きさは、分析的に分かるように(図示しない)、入力インピーダンス R_{IN} の略 $2/3$ に一致する。これは、実際に使用されるべき負帰還抵抗 R_1 、 R_2 が寄生インピーダンスを考慮する必要があることを意味する。上記回路の入力インピーダンスは、両方のトランジスタが略同一の寸法をなす場合には略一定である。回路の対称性の結果として、差動入力インピーダンスの特性曲線は、例えば、“アーリー効果(early effect)”のような2次のオーダーの影響が無視されたとき、動作点 $I_{IN} = 0$ の周りで入力電流と略対称性がある。一般的に、トランジスタは理想的な挙動を行わないので、2次のオーダーの影響に起因して、対称性が不完全である。負帰還抵抗 R_1 及び R_2 が幾らか不一致の抵抗として選択されたならば、2次のオーダーの影響が低減され、特性曲線の対称性が増加される。

【0018】

トランジスタ T_1 のベースの電圧は、本発明に従って回路を動作させるため一定に保持される必要がある。これを行うため、一定の零入力電流 I_0 が、ミラーフィルフ 2 によって構成された回路の複製に加えられる。この信号分岐 1 の複製 2 は、トランジスタ T_1 及び T_2 と対応するトランジスタ T_3 及び T_4 と、負帰還抵抗 R_1 及び R_2 と対応する抵抗 R_3 及び R_4 とからなる。ミラーフィルフ 2 は、信号分岐 1 と並列し、二つの分岐のトランジスタ T_1 及び T_3 の2個のベースは一体的に接続されている。両方の分岐は、同一の下側電位 GND である。上側で、分岐は、点 Y で供給された上側電位 V_{DD} である。ミラーフィルフ 2 のトランジスタ T_3 のベース-コレクタ短絡によって、トランジスタ T_1 のベースは一定電圧である。

【0019】

入力インピーダンスの値は、上記電流ミラー原理に従って、構成要素の公差とは無関係に

10

20

30

40

50

設定された被印加零入力電流 I_0 と、負帰還抵抗 R_1 、 R_2 の関数である。回路の製造後、即ち、生産処理の終了後に、最適な動作から離れることなく、上記値を変更し得ない。トランジスタの温度依存性の挙動の結果として、図2のバイポーラ回路の場合に、零入力電流 I_0 は、一定インピーダンスを生成するため絶対温度に比例することが必要である。絶対温度に比例する電流の生成は、技術用語“P T A T”電流源と呼ばれ、これ以上の説明を要しない。

【0020】

図3には、バイポーラトランジスタ T_1 、 T_2 、 T_3 及び T_4 の代わりにMOSトランジスタ M_1 、 M_2 、 M_3 及び M_4 が使用される本発明による回路の第3の実施例が示されている。この例の場合、回路配置は、図2によるバイポーラ変形型と同一である。図2の回路の場合と同様に、MOS変形型は、一定の零入力電流の印加が回路の複製によって実現されたゲート接続モードのトランジスタ M_1 及び M_2 からなる。ミラー分岐2と呼ばれる信号分岐1の複製は、負帰還抵抗 R_3 及び R_4 と、トランジスタ M_3 及び M_4 とからなる。図3に示された負帰還抵抗 R_1 及び R_2 は、MOS変形型の場合に、絶対的に欠くことができないと言う訳ではないので、省いても構わない。負帰還抵抗 R_1 及び R_2 が省略されたならば、ミラー分岐内の対応する抵抗も省くことが必要である。しかし、トランジスタ M_2 のゲートは信号入力に直に接続されているので、負帰還抵抗がトランジスタ M_2 の重大なゲート-ソース接続にある程度の保護を与える。同様に、関係 $R_1 \sim 2/3 R_{IN}$ は、MOS回路の場合に成立しない。MOS変形型の場合と同様に、一致しない負帰還抵抗を合わせることにより、2次のオーダーの影響を略平衡させて除去し、回路の対称性を増加させることができる。

【0021】

図4には、増幅器分岐によって補われた図3の回路が示されている。製造に関係した重大な偏りの結果として、MOSトランジスタ M_1 及び M_2 のパラメータ内で、MOS回路、即ち、付加的な増幅器分岐の場合には、付加的な測定を行う必要がある。対称的に示された増幅器は、以下の式

$$U_0 = U_{REF} + R_{REF} \cdot I_0$$

が満たされるよう零入力電流を制御する。上記直線的な規則の場合、NMOSトランジスタのパラメータの入力インピーダンス R_{IN} に対する影響の良好な補償を得ることが可能である。温度を補償するため、 U_{REF} は温度が増加すると共に減少しなければならない。増幅器は、従来の演算増幅器を用いて製造される。図示された回路は、原理的に、PMOSパラメータ又は電源電圧の何れにも依存しない。電力消費を削減するため、必ずしも急速な変化を平衡させて除去する必要がないので、増幅器及び基準分岐内の制御用の零入力電流が非常に小さくなるよう選択される。 I_0 に比例する負荷抵抗と並列接続された電流源によって、この段の電圧利得がより高くなるよう選択される。

【0022】

図5には、図2の回路に対する対称的な相補型回路が、信号分岐1と同一であり、信号分岐1とミラー分岐2の間に設けられた基準分岐3によって表わされている。信号分岐1と同様に、対称性のある分岐3は、負荷抵抗 R_L と、ベース接続モードの上側トランジスタ T_5 と、2個の負帰還抵抗 R_5 及び R_6 と、ダイオードとして接続された下側トランジスタ T_6 とからなる。トランジスタ T_5 のベースは、ミラー分岐2によって一定電位に保たれる。基準分岐3は信号入力を有しないので、ミラー分岐2の加えられた電流 I_0 は、常に基準分岐の中を流れる。この回路の出力信号 U_{OUT} は、負荷抵抗 R_{L1} 及び R_{L2} を介して上側電位 V_{DD} に接続されたトランジスタ T_1 と T_5 のコレクタの間でタップされる。その動作を以下に説明する。

【0023】

信号入力電流 I_{IN} が無い場合に、零入力電流 I_0 が信号分岐1と基準分岐3の両方の中を流れるので、出力信号 U_{OUT} はゼロであり、両方の端子が従って同一電位である。正の信号入力電流 I_{IN} の場合には、トランジスタ T_1 を流れる電流は少量であり、その結果として、 R_{L1} の電圧が低下する。しかし、 R_{L2} の電圧は同一状態に保たれるので、その結果と

して、出力電圧 U_{OUT} が負になる。負の信号入力電流の場合には、対応する応答が逆転されるので、 U_{OUT} の符号が相応して逆転され、出力電圧 U_{OUT} が正になる。

【0024】

換言すれば、出力信号 U_{OUT} は、基準分岐によって形成された“ゼロ”基準電位に関して対称的である。図5に対応する本発明の受信器回路は、電流しか評価しないので、送信器(図示しない)の技術は問題ではなく、即ち、例えば、受信器がバイポーラで設計された場合に、送信器がMOS技術で設計されても構わない。更に、送信器の電源電圧(例えば、5V、3V又は2V)の性質による影響がなく、送信器のGND電位は、ある限度の範囲内で受信器のGND電位とは相違してもよく、種々のGND電位の差が時間と共に変動しない限り、即ち、電位の間に“ハム”が存在しない限り、信号処理に影響を与えることがない。電流の評価に起因して、GND電位の間の電位差の発生が許容されるので、1本の線路しか必要とされない。従って、異なる電源電圧を備えた回路の間のインターフェースとして上記回路を使用することが可能である。

【0025】

一般的に言うと、上記回路は、チップ-ツウ-チップ接続、チップ上(即ち、チップ内)の接続、及び、アナログ回路のため使用可能である。本発明による回路の実施例の上記分岐、即ち、信号分岐、ミラー分岐及び基準分岐は、製造技術の点で同一であることが必要である。上記例の場合、上側トランジスタの各々と、下側トランジスタの各々が、上側負帰還抵抗の各々と、下側負帰還抵抗の各々と共に、同一であることが重要である。これに対し、上側トランジスタは下側トランジスタとは異なり、従って、上記の如く回路の対称性を増大させるため、上側負帰還抵抗が下側負帰還抵抗とは異なる。

【図面の簡単な説明】

【図1】トランジスタと相補型トランジスタを備えた本発明の第1の実施例の回路図である。

【図2】同一のトランジスタを備えた本発明の第2のバイポーラ変形型の実施例の回路図である。

【図3】MOSトランジスタを備えた本発明の第3の実施例の回路図である。

【図4】付加的な増幅器部を備えた図3に対応する回路図である。

【図5】対称性のある分岐によって補われた図2又は図3に従う回路図である。

【図6】従来のベース接続回路を表わす図である。

【符号の説明】

1 信号分岐

2 ミラー分岐

3 基準分岐

4 増幅器

5 演算増幅器

R_{IN} 入力インピーダンス

I_{IN} 信号入力電流

$T_1, M_1, T_3, M_3, T_5, M_5$ 上側トランジスタ

$T_2, M_2, T_4, M_4, T_6, M_6$ 下側トランジスタ

R_L, R_{L1}, R_{L2} 負荷抵抗

$R_1, R_2, R_3, R_4, R_5, R_6$ 負帰還抵抗

I_0 零入力電流

U_{OUT} 出力信号

V_{DD} 上側電位

GND 下側電位

U_{REF} 基準電位

R_{REF} 基準抵抗

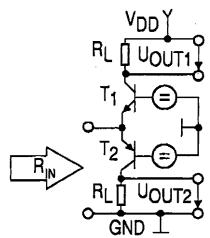
10

20

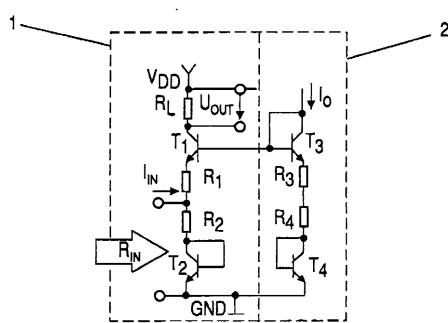
30

40

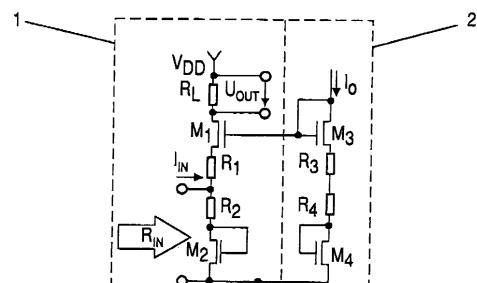
【図1】



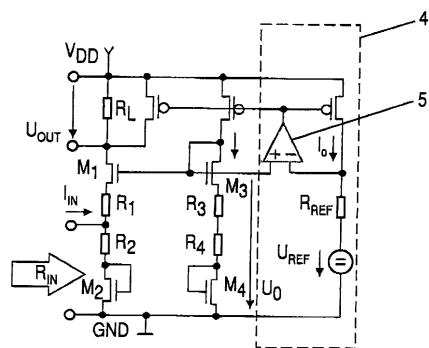
【図2】



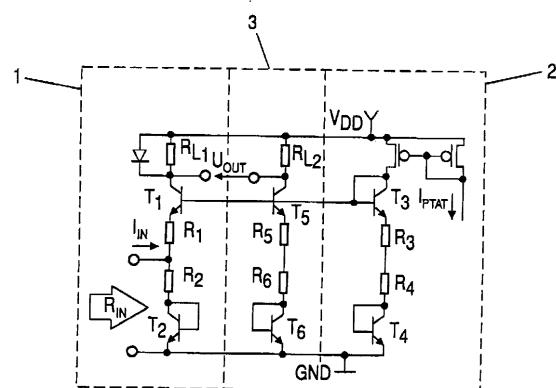
【図3】



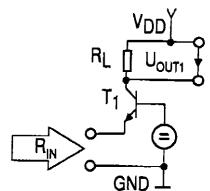
【図4】



【図5】



【図6】



フロントページの続き

審査官 宮島 郁美

(56)参考文献 特開平06-268507 (JP, A)

特開平05-083113 (JP, A)

特開平01-109917 (JP, A)

特開昭61-184909 (JP, A)

特表平02-501345 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096