

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03K 23/50

(45) 공고일자 1999년04월 15일

(11) 등록번호 특0182269

(24) 등록일자 1998년12월 11일

(21) 출원번호	특1991-003855	(65) 공개번호	특1991-017773
(22) 출원일자	1991년03월 11일	(43) 공개일자	1991년11월05일
(30) 우선권주장	493085 1990년03월 12일 미국(US)		
(73) 특허권자	텍사스 인스트루먼트 인코포레이티드	앤. 라이스 머레트	
	미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500		
(72) 발명자	칭 유 짜이		
	미합중국 75082 텍사스주 리차드슨 허니서클 2408		
(74) 대리인	장수길, 김성택		

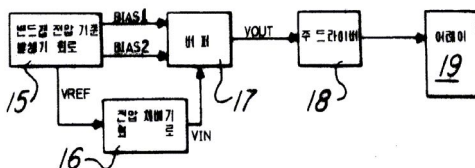
심사관 : 김재욱

(54) 버퍼 회로

요약

버퍼로서 유용한 집적 회로가 기재된다. 집적 회로는 입력 전압을 시프트하기 위한 입력 전압 시프터 회로(40)과 출력 전압을 시프트하기 위한 출력 전압 시프터 회로(50)를 갖고 있다. 집적 회로는 입력 전압을 출력 전압과 비교하기 위한 제1비교기 회로(30)과 시프트된 입력 전압을 시프트된 출력 전압과 비교하기 위한 제2비교기 회로(60)를 갖고 있다. 제1비교기 회로(30)은 제1제어 신호를 생성하고 제2비교기 회로(60)은 제2제어 신호를 생성한다. 전압 드라이버 회로(70)은 제어 신호를 수신하여 출력 전압을 생성한다. 출력 전압을 보상하기 위한 커패시터(80)은 출력 전압이 제1비교기 회로(30)과 출력 전압 시프터 회로(50)에 인가되기 전에 출력 전압에 접속될 수 있다.

대표도



명세서

[발명의 명칭]

버퍼 회로

[도면의 간단한 설명]

제1도는 집적 회로의 칩상에 조정된 드라이버 시스템을 블록 형태로 도시한 회로도.

제2도는 본 발명의 양호한 실시예에 따른 버퍼의 부분 블록 형태 및 부분 개략적인 형태를 도시한 회로도.

제3도는 본 발명의 양호한 실시예에 따른 버퍼의 개략적인 형태를 도시한 회로도.

제4도는 제2도 및 제3도의 버퍼의 동작을 도시한 타이밍도.

\* 도면의 주요부분에 대한 부호의 설명

15 : 밴드갭 전압 기준 발생기 회로

16 : 전압 채배기 회로

17 : 버퍼

18 : 주 드라이버

19 : 어레이

20 : 바이어스 전류 발생기

21, 22, 31, 32, 63, 64, 65 : P 채널 트랜지스터

23, 33, 34, 35, 51, 52, 53, 61, 62 : n 채널 트랜지스터

30, 60 : 비교기

40, 50 : 전압 시프터

70 : 드라이버

71 : P 채널 풀업 트랜지스터

72 : n 채널 풀다운 트랜지스터

[발명의 상세한 설명]

본 발명은 집적 회로에 관한 것으로, 더욱 상세히 말하자면 버퍼(buffer) 회로에 관한 것이다.

잡음(noise)은 항상 DRAM(Dynamic Random Access Memory) 설계시에 고려의 대상이 되고 있으며, 그 잡음은 무효 데이터를 발생시키는 주요한 요인이 되고 있다. DRAM 어레이의 크기가 증가하고, 더 많은 메모리 셀들이 방대한 기억 용량의 DRAM(예를 들어, 1,600만 비트 이상의 데이터가 단일 메모리 칩상에 기억될 수 있는 16 메가비트 DRAM)을 형성하기 위해 추가되는 경우, 잡음 문제로 설계자들에게 더욱 많은 근심을 끼칠 것이다. 전압 라인을 가로지르는 잡음은 라인상의 전압을 스윙시킬 수 있다. 이것은 메모리 어레이로부터 데이터를 판독할 때 무효 데이터를 발생시킬 수 있고, 메모리 어레이로 무효 데이터를 기입시킬 수 있다.

어떠한 VLSI 회로들은 그들의 설계 및 동작시에 조정된 전압을 사용한다. 조정된 전압을 사용함으로써 잡음을 제어할 때 전체 VLSI 설계의 견고성이 부가된다. 조정된 전압은 외부 전원에서부터 VLSI 디바이스로 공급될 수 있다. 또한, 조정된 전압은 정전압 회로를 사용하여 VLSI 칩상의 자체에서 발생할 수 있다는 것이 알려져 있다.

VLSI DRAM 설계의 경우에 있어서, 디바이스의 잡음 여유도가 증가되기 때문에 조정된 전압을 사용하는 것이 바람직하다. 그러나, 적절한 정전압 회로를 설계할 때 문제점이 발생한다. 예를 들어, VLSI DRAM 설계시에, 정전압 회로의 출력 전압상의 부하는 메모리 어레이가 데이터를 입력 및 출력할 때 스위칭 온 및 오프되는 메모리 어레이의 다수의 상이한 트랜지스터들 때문에 크고 가변적이다. 트랜지스터들의 스위칭은 잡음을 발생시킨다. 잡음과 부하는 출력 조정 전압을 불안정하게 해서 애초의 의도로 사용하기에는 부적절하게 하는 경향을 나타낸다. 그러므로, 디바이스는 안정한 기준 전압을 버퍼시킬 필요성이 요구된다.

이전의 버퍼 디바이스들은 부적절하다는 것이 알려져 왔다. 푸시풀 형태의 출력 드라이버는 출력 전압이 어느 한쪽 출력 디바이스상의 임계 전압 손실 때문에 전원 전압들 중 한 전원 전압에 가깝게 되는 경우 적절하지 못하다. 전형적인 AB급 형태의 드라이버는 전원 전압이 증가할 때 대기 전류도 증가하기 때문에 적절하지 못하다. (TTL 논리 신호의 경우, 전원 전압은 +5V로 설계되지만, 잡음, 부하, 및 그밖의 다른 요인들 때문에, 전원 전압은 전형적으로 +4V와 +6V 사이를 선회한다.) 국부 피드백의 추가가 있을 때, 전형적인 AB급 드라이버는 출력 전압이 충분히 크게 스윙하지 않으면 응답하지 못한다. 또한, 출력단은 소정의 DC 전류와 함께 바이어스(bias)되어야 한다. 이것은 출력 보상을 행하는데 더욱 어렵게 만든다. 비록 이것이 더 좋은 안정성 제어를 제공할지라도, 단일단 고이득 버퍼는 입력 및 출력 전압 범위의 한계 때문에 적절하지 못하다. 일반적으로, 2단 버퍼는, 대부분의 디지털 프로세스에 이용할 수 없는 표준 커패시터를 사용하는 밀러(Miller) 보상을 필요로 한다.

그러므로, VLSI DRAM의 전압 조정기 설계시에 효과적으로 사용될 수 있는 출력 보상을 갖는 버퍼를 사용하는 것이 바람직하다. 이상적으로 말하자면, 버퍼는 출력 전압 변화에 응답해서 스윙하는 능력을 유지 하면서 전원 변화 동안에 정전류를 소비해야 한다. 버퍼는 전류 드라이브를 제공하고, 출력에서 전류를 소오스 및 싱크시킬 수 있다. 버퍼는 출력 전압 잡음에 응답할 수 있다.

본 발명의 목적은 전압 전원에 가까운 출력 전압을 제공하는 버퍼를 제공하기 위한 것이다.

본 발명의 다른 목적은 전압 전원의 넓은 범위에 걸쳐 작고 일정한 DC 전력을 소비하는 버퍼를 제공하기 위한 것이다.

본 발명의 다른 목적은 출력 변화에 응답하여 전류를 소오스 및 싱크시킬 수 있는 버퍼를 제공하기 위한 것이다.

본 발명의 다른 목적은 안정화를 위해 출력 보상을 사용하는 버퍼를 제공하기 위한 것이다.

본 발명의 그 밖의 다른 목적 및 장점은 도면과 함께 첨부된 명세서를 참조하여 본 분야에 숙련된 기술자들에 의해 명백해 질 것이다.

출력 전압이 입력 전압을 따르는 집적 회로가 기재된다. 집적 회로는 입력 전압을 시프트하기 위한 입력 전압 레벨 시프터(shifter) 회로와 출력 전압을 시프트 하기 위한 출력 전압 레벨 시프터 회로를 갖고 있다. 집적 회로는 입력 전압을 출력 전압과 비교하기 위한 제1비교기 회로와 시프트된 입력 전압을 시프트된 출력 전압과 비교하기 위한 제2비교기 회로를 갖고 있다. 제1비교기 회로는 제1제어 신호를 생성하고, 제2비교기 회로는 제2제어 신호를 생성한다. 전압 드라이버회로는 제어 신호들을 수신해서 출력 전압을 생성한다. 출력 전압을 보상하기 위한 커패시터는 출력 전압이 제1비교기 회로와 출력 전압 시프터 회로에 인가되기 전에, 출력 전압에 접속될 수 있다.

제1도는 16메가 비트 DRAM과 같은 VLSI 회로의 칩상 조정 드라이버 시스템을 블록 형태로 도시한 회로도이다. 시스템은 안정한 기준 전압(VREF)를 발생시키는 종래의 밴드갭(bandgap) 전압 기준 발생기 회로(15)를 포함한다. 밴드갭 기준 발생기 회로(15)는 2개의 추가 전압, 즉 성능을 향상시키기 위해 집적 회로 부분에 정전류를 제공하는데 유용한 BIAS1과 BIAS2를 발생시킨다. VREF는 거의 +1.3V이고, BIAS1과 BIAS2는 더욱 큰 값으로 각각 거의 +4.0V 및 +3.3V이다. 다수의 이러한 밴드갭 전압 기준 발생기 회로는 본 분야에 잘 공지되어 있으며, 따라서 밴드갭 기준 발생기 회로에 대해서는 더이상 설명하지 않겠다. VREF는 VREF의 크기를 증가시키는 전압 체배기 회로(16)에 제공된다. 전압 체배기 회로(16)은 다수의 종래 구성들중의 한가지 구성에 따라 구성될 수 있다. 이러한 예로서, 전압 체배기 회로는 버퍼(17)에 인가되는 입력 전압(VIN)을 발생시킨다. 버퍼(17)은 체배기(16)으로부터 입력 전압(VIN)의 넓은 범위의 값을 유리하게 조절할 수 있고, 약 +3.3V와 +4.0V 사이의 VIN으로 실행하기 위해 시뮬레이트 되어 왔다.

버퍼(17)은 입력 전압(VIN)의 값에 가까운 출력 전압(VOUT)을 주 드라이버(18)에 제공한다. 버퍼(17)의 DC 전력 손실은 작고, 전원 전압의 넓은 범위에 걸쳐 일정하다. 버퍼(17)은 소오스 전류와 싱크 전류를 출력 부하가 바뀔 때 주 드라이버(18)에 제공하고, 스스로 안정시키기 위해 출력 보상을 사용한다. 버퍼(17)은 본 발명의 양호한 실시예이며 다음에 기술된다.

제1도의 주 드라이버(18)은 메모리 어레이(19)에 전력을 공급한다.

다음은 제2도의 설명이다. 제2도 구성 부분들의 상세한 설명과 동작에 대해서는 회로도인 제3도의 설명과 관련하여 수행하겠다. 제2도는 본 발명의 양호한 실시예에 따라 제1도의 버퍼(17)을 부분 블럭 형태와 개략적인 형태로 도시한 회로도이다. 버퍼(17)은 바이어스 전류 발생기(20), 비교기(30), 전압 시프터(40), 전압 시프터(50), 비교기(60), 드라이버(70), 및 커패시터(80)를 포함한다.

제2도의 바이어스 전류 발생기(20)은 전압 BIAS1과 BIAS2를 수신한다. 바이어스 전류 발생기(20)은 비교기(30), 전압 시프터(40), 및 전압 시프터(50)에 일정한 바이어스 전류 입력을 생성하도록 응답한다. 비교기(30)은 입력 전압(VIN), 및 출력 전압(VOUT)의 피드백을 수신한다. 비교기(30)은 출력 전압(VOUT)을 입력 전압(VIN)과 비교해서, 드라이버(70)의 P 채널 풀업(pull-up) 트랜지스터(71)로 입력하는 제어 신호를 생성하기 위해 응답한다. 출력 전압(VOUT)과 비교기(30) 사이에 커패시터(80)이 접속된다. 커패시터(80)은 출력 전압(VOUT)에 의존하여, 출력 전압(VOUT)을 안정시킨다.

제2도의 전압 시프터(40)은 입력 전압(VIN)을 수신하고, 바이어스 전류 발생기(20)에 의해 바이어스된다. 전압 시프터(40)은 입력 전압(VIN)에 비하여 상이한 레벨의 전압인 비교기(60)으로 입력하는 전압을 생성하도록 응답한다. 전압 시프터(40)은 입력 레벨 시프터로서 언급될 수 있다.

전압 시프터(50)은 출력 전압(VOUT)을 수신하고, 바이어스 전류 발생기(20)의 출력에 의해 바이어스된다. 전압 시프터(50)은 출력 전압(VOUT)에 비하여 상이한 레벨의 전압인 비교기(60)으로 입력되는 전압을 생성하기 위해 응답한다. 전압 시프터(50)은 출력 레벨 시프터로서 언급될 수 있다. 비교기(60)은 입력 레벨 시프트 전압과 출력 레벨 시프트 전압을 수신하고, 전압 BIAS1에 의해 바이어스 된다. 비교기(60)은 입력 및 출력 레벨 시프트 전압을 비교해서, 드라이버(70)의 n채널 풀다운(pull-down) 트랜지스터(72)로 입력하는 제어 신호를 생성하기 위해 응답한다.

드라이버(70)은 p채널 풀업 트랜지스터(71)상에서 비교기(30)의 출력을 수신하고, n채널 풀다운 트랜지스터(72)상에서 비교기(60)의 출력을 수신한다. 나중에 더욱 상세하게 설명되는 바와 같이, 비교기(30)의 출력은 출력 전압(VOUT)의 레벨을 증가시키기 위해 드라이버(70)의 능력을 우선적으로 제어하고, 비교기(60)의 출력은 출력 전압(VOUT)의 레벨을 감소시키기 위해 드라이버(70)의 능력을 우선적으로 제어한다. 그러므로, 드라이버(70)은 푸시풀(push-pull) 형태 드라이버로서 작용한다. 드라이버(70)은 VOUT 상에 일정 부하가 될 때, 정상 상태에서 매우 작은 DC 전류를 끌어내도록 구성되어 있다.

커패시터(80)의 한 단부는 출력 전압(VOUT)에 접속된다. 커패시터(80)의 다른 단부는 접지에 접속된다. 그 다음, 드라이버(70)에 의해 생성된 출력 전압(VOUT)은 음(-) 피이드백을 제공하는 비교기(30)과 전압 시프터(50)에 입력된다.

제3도를 참조하면, 버퍼(17)의 양호한 실시예의 개략도가 도시되어 있다.

제3도에 있어서, 바이어스 전류 발생기(20)은 P 채널 트랜지스터(21과 22), 및 n 채널 트랜지스터(23)으로 형성된다. P 채널 트랜지스터(21과 22)는 직렬로 접속된다. P 채널 트랜지스터(21)의 소오스는 Vdd에 접속된다. (본 분야에 공지된 바와 같이, Vdd는 전형적으로 칩상에서 조정되지 않고, +4.0V와 +6.0V 사이의 범위이다). p 채널 트랜지스터(21)의 드레인은 p 채널 트랜지스터(22)의 소오스에 접속된다. p 채널 트랜지스터(22)의 드레인은 노드(1)에서 n 채널 트랜지스터(23)의 드레인과 게이트에 접속된다. 바이어스 전류 발생기(20)의 출력은 노드(1)에서 취해진다. n 채널 트랜지스터(23)의 소오스는 접지에 접속된다. 전압 BIAS1은 p 채널 트랜지스터(21)의 게이트에 접속되고, 전압 BIAS2는 p 채널 트랜지스터(22)의 게이트에 접속된다. 더 나은 전류 미러 효과를 보장하기 위해, n 채널 트랜지스터(23)의 트랜지스터 전장이 예를 들어, 약 6 마이크로미터로 비교적 길어지는 것이 바람직하다.

제3도의 비교기(30)은 p 채널 트랜지스터(31 및 32), 및 n 채널 트랜지스터(33, 34 및 35)로 형성된다. 비교기(30)은 p 채널 트랜지스터(31 및 32)의 전류 미러 능동 부하를 갖고 있는 트랜지스터(33 및 34)의 n 채널 MOS 차동 증폭기로 종래 기술에 따라 구성된다. 입력 전압(VIN)은 n 채널 트랜지스터(34)의 게이트로 접속하여 비교기(30)에 접속된다. 출력 전압(VOUT)은 피이드백을 제공하는 n 채널 트랜지스터의 게이트로 접속하여 비교기(30)에 접속된다. n 채널 트랜지스터(35)의 게이트는 노드(1)에 접속된다. n 채널 트랜지스터(35)의 소오스는 접지에 접속되고, 드레인은 n채널 트랜지스터(33 및 34)의 소오스에 접속된다. p 채널 트랜지스터(31)은 Vdd에서 바이어스된 소오스를 갖고, n 채널 트랜지스터(33)의 드레인에 접속된 드레인을 갖는다. 마찬가지로, p 채널 트랜지스터(32)는 Vdd에서 바이어스된 소오스를 갖고, n 채널 트랜지스터(34)의 드레인에 접속된 드레인을 갖는다. p 채널 트랜지스터(31 및 32)의 게이트는 노드(2)에 함께 접속된다. 또한, p 채널 트랜지스터(31)과 n 채널 트랜지스터(33)의 드레인은 노드(2)에 접속된다. p 채널 트랜지스터(32)와 n 채널 트랜지스터(34)의 드레인은 드라이버(70)의 p 채널 풀업 트랜지스터(71)의 게이트를 제어하는 노드(4)에 접속된다. 비교기(30)에 있어서, 소정의 트랜지스터 쌍의 크기는 후술되는 바와 같이 이것의 성능을 향상시키기 위해 양호하게 잘 정합된다. p 채널 트랜지스터(31 및 32)의 나비 대 길이의 비는 정합되는 것이 바람직하다. n 채널 트랜지스터(33 및 34)의 비도 정합되는 것이 바람직하다. n 채널 트랜지스터(35)는 전류 발생기(20)에서 최소 대기 전류를 유지하는 동안 비교기(30)이 충분한 바이어스 전류를 가지고 동작하도록 하기 위해 바이어스 전류 발생기(20)의 n 채널 트랜지스터(23)에 비례하여 크기가 정해진다.

제3도의 전압 시프터(40)은 n 채널 트랜지스터(41, 42, 43), 및 퓨즈(fuse; 44)로 형성된다. n 채널 트랜지스터(41)의 소오스는 Vdd에서 바이어스된다. n 채널 트랜지스터(41)의 드레인은 노드(5)에서 n 채널 트랜지스터(42)의 드레인에 접속된다. n 채널 트랜지스터(43)의 소오스는 접지에서 바이어스되고, 드레

인은 노드(6)에서 n 채널 트랜지스터(42)의 소오스에 접속된다. 또한, n 채널 트랜지스터(42)의 게이트와 퓨즈(44)의 한 측면은 노드(5)에 접속된다. 퓨즈(44)의 다른 한 측은 노드(6)에 접속된다. n 채널 트랜지스터(41)의 게이트를 드라이브하는 것은 입력 전압(VIN)이다. n 채널 트랜지스터(43)의 게이트는 노드(1)에서 바이어스 전류 발생기(20)의 출력에 접속된다. 노드(6)으로부터 취해진 전압 시프터(40)의 출력은 비교기(60)의 p 채널 트랜지스터(64)에 접속된다.

n 채널 트랜지스터(41,42)의 디바이스 크기는 이들 각각이 거의 동일한 임계 전압( $V_t$ )를 갖도록 하기 위해 거의 동일하게 하는 것이 바람직하다. 대략 10의 트랜지스터 크기가 적절하다. 또한, n 채널 트랜지스터(43)의 나비 대 길이의 비는 후술되는 바와 같이 바이어스 전류 발생기(20)의 n 채널 트랜지스터(23)과 동일하게 하는 것이 바람직하다.

제3도의 전압 시프터(50)은 전압 시프터(40)과 유사하게 형성되고, n 채널 트랜지스터(51,52,53) 및 퓨즈(54)를 포함한다. n 채널 트랜지스터(51)의 소오스는 Vdd에서 바이어스된다. n 채널 트랜지스터(51)의 드레인은 노드(7)에서 n 채널 트랜지스터(52)의 드레인에 접속된다. n 채널 트랜지스터(53)의 소오스는 접지에서 바이어스되고, 드레인은 노드(8)에서 n 채널 트랜지스터(52)의 소오스에 접속된다. 또한, n 채널 트랜지스터(52)의 게이트와 퓨즈(54)의 한 측면은 노드(7)에 접속된다. 퓨즈(54)의 다른 한 측면은 노드(8)에 접속된다. n 채널 트랜지스터(51)의 게이트를 드라이브 하는 것은 출력 전압(VOUT)이다. n 채널 트랜지스터(53)의 게이트는 노드(1)에서 바이어스 전류 발생기(20)의 출력에 접속된다. 시프터(50)의 시프트된 출력 전압은 노드(8)로부터 끌어내고, 비교기(60)의 p 채널 트랜지스터(63)에 접속된다.

제3도의 전압 시프터(50)의 n 채널 트랜지스터(51,52,53)의 디바이스 크기 및 임계 전압은 전압 시프터(40)의 n 채널 트랜지스터(41,42,43)의 디바이스 크기 및 임계 전압에 각각 상응한다.

제3도의 비교기(60)은 n 채널 트랜지스터(61,62)와 p 채널 트랜지스터(63,64,65)로 형성된다. 비교기(60)은 n 채널 트랜지스터(61,62)의 전류 미러 능동 부하를 갖고 있는 트랜지스터(63,64)의 p 채널 MOS 차동 증폭기로 종래 기술에 따라 비교기(30)과 마찬가지로 구성된다. 전압 시프터(50)의 출력은 p 채널 트랜지스터(63)의 게이트로 접속하여 비교기(60)에 접속된다. 전압 시프터(40)의 출력은 p 채널 트랜지스터(64)의 게이트로 접속하여 비교기(60)에 접속된다. p 채널 트랜지스터(65)의 게이트는 전압 BIAS1에 접속된다. p 채널 트랜지스터(65)의 소오스는 Vdd에 접속되고, 드레인은 p 채널 트랜지스터(63,64)의 소오스에 접속된다. n 채널 트랜지스터(61)은 접지에서 바이어스된 소오스를 갖고, p 채널 트랜지스터(63)의 드레인에 접속된 드레인을 갖는다. 마찬가지로, n 채널 트랜지스터(62)는 접지에서 바이어스된 소오스를 갖고, p 채널 트랜지스터(64)의 드레인에 접속된 드레인을 갖는다. n 채널 트랜지스터(61,62)의 게이트는 노드(9)에서 함께 접속된다. 또한, n 채널 트랜지스터(61)과 p 채널 트랜지스터(63)의 드레인은 노드(9)에 접속된다. n 채널 트랜지스터(62)와 p 채널 트랜지스터(64)의 드레인은 드라이버(70)의 n 채널 풀다운 트랜지스터(72)의 게이트를 제어하는 노드(11)에 접속된다.

비교기(60)에 있어서, 비교기(30)에서처럼 소정의 트랜지스터 쌍은 양호하게 잘 정합되게 한다. n 채널 트랜지스터(61과 62)의 비는 대략 10으로 하는 것이 바람직하다. p 채널 트랜지스터(63과 64)의 비는 대략 20으로 하는 것이 바람직하다. p 채널 트랜지스터(65)는 전류 발생기(20)에서 최소 대기 전류를 유지하는 동안 비교기(60)이 충분한 바이어스 전류를 가지고 동작하도록 하기 위해 바이어스 전류 발생기(20)의 p 채널 트랜지스터(21)에 비례하여 크기가 정해진다.

제3도의 드라이버(70)은 p 채널 풀업 트랜지스터(71)와 n 채널 풀다운 트랜지스터(72)로 형성된다. p 채널 풀업 트랜지스터(71)와 n 채널 풀다운 트랜지스터(72)는 소오스가 Vdd에서 바이어스되고 있는 p 채널 풀업 트랜지스터(71)와 소오스가 접지에서 바이어스 되고 있는 n 채널 풀다운 트랜지스터(72)는 직렬로 접속된다. 비교기(30)의 출력은 p 채널 풀업 트랜지스터(71)의 게이트를 드라이브하고, 비교기(60)의 출력은 n 채널 풀다운 트랜지스터(72)의 게이트를 드라이브한다. 출력 전압(VOUT)은 트랜지스터(71과 72) 드레인 사이의 드라이버(70)의 노드(12)에서 취해진다.

p 채널 풀업 트랜지스터(71)와 n 채널 풀다운 트랜지스터(72)의 디바이스 크기는 p 채널 트랜지스터(71)이 n 채널 트랜지스터(72)보다 더 큰 것이 바람직하다. 이것은 n 채널 풀다운 트랜지스터(72)의 채널 길이(예를 들어, 거의 6 미크론)를 증가시킴으로써 성취될 수 있다. 또한, 이것은 이것의 임계 전압( $V_t$ )를 증가시키므로, n 채널 풀다운 트랜지스터(72)에서 실질적으로 제로(0) DC 바이어스를 초래한다.

제3도에 있어서, 커패시터(80)은 출력 전압이 비교기(30)의 n 채널 트랜지스터(33)의 게이트로 공급되기 전에, 그리고 출력 전압이 전압 시프터(50)의 n 채널 트랜지스터(51)의 게이트로 공급되기 전에 출력 전압(VOUT)에 접속된다. 커패시터(80)은 거의 100 피코패럿 정도이다.

트랜지스터들(21,22,23,35,43,53 및 65)의 트랜지스터 크기(채널 나비 대 채널 길이)의 비는 이들 트랜지스터들이 포화 영역에서 동작하는 비이다.

이제 제2도와 제3도를 참조하여, 버퍼(17)의 동작에 대해서 설명하겠다.

전류 발생기(20)에 대해서 Vdd가 변함에 따라, 전압 BIAS1과 BIAS2는 일정하게 트랜지스터(21과 22)를 통하는 전류를 유지하는 동안 조금 변할 것이다. 이 정전류는 노드(1)에 접속된 디바이스에 반영된다. 노드(1)에 접속된 디바이스들의 크기와 트랜지스터(23)의 크기 사이의 비는 이들의 수신하는 전류 미러의 양을 결정한다. 트랜지스터들(43과 53)의 트랜지스터 나비 대 길이의 비가 트랜지스터(23)의 비와 동일해짐에 따라서, 이들은 각각 트랜지스터(23)의 전류와 동일한 전류를 반영한다. 트랜지스터(35)는 약 5배 더 크고, 트랜지스터(43과 53)처럼 전류를 대략 5배 수신한다. 상술된 바와 같은 버퍼(17)의 디바이스 크기에 있어서, 노드(1)을 통해 지나가는 정전류는 대략 0.5 마이크로 암페어이다. 트랜지스터(65)의 트랜지스터 채널 길이는 이것이 전류 변화를 최소화하려는 경향이 있고 더 나은 전류 미러로서 동작할 수 있을 정도의 길이이다. 전압 시프터(40과 50)은 트랜지스터(63과 64)에서 전압을 낮추는데 도움이 되므로, 트랜지스터(65)가 포화 영역에 있도록 보장하기 위해 트랜지스터(65)의 드레인 전압을 낮추게 된다.

전압 시프터(40)의 퓨즈(44)는 버퍼(17)을 상이한 값의 입력 전압(VIN)으로 동작시키기 위한 능력을 유리하게 제공한다. 전압 시프터(40)의 n 채널 트랜지스터(41과 42)가 거의 동일한 크기임에 따라서, 이들은 각각 거의 동일한 임계 전압( $V_t$ )를 갖는다. 입력 전압(VIN)이 +3.3V 값을 갖는 경우에서처럼 퓨즈(44)가 폐쇄될 때, 노드(5와 6)은 함께 단락된다. n 채널 트랜지스터(42)를 가로지르는 전압 강하는 없다. 노드(6)에서의 전압은 VIN- n 채널 트랜지스터(41)의  $V_t$ , 또는 +3.3V- $V_t$  T41과 같다. 입력 전압(VIN)이 +4.0V 값을 갖는 경우, 퓨즈(44)는 개방된다. [퓨즈(44)가 레이저를 사용함으로써 개방될 수 있는 집적 회로는 본 분야에 잘 공지되어 있다]. 노드(5와 6)은 분리되고, n 채널 트랜지스터(42)를 가로지르는  $V_t$  전압 강하가 생긴다. 노드(6)에서의 전압은 VIN- n 채널 트랜지스터(41과 42)의  $V_t$ s, 또는 +4.0V-( $V_t$  T41+ $V_t$  T42)와 같다. 트랜지스터들이 동일한 임계 전압을 가짐에 따라, +4.0V의 VIN에 대한 노드(6)에서의 전압은 +3.3V의 VIN에 대한 노드(6)에서의 전압과 거의 동일하다. 그러므로, 입력 전압(VIN)은 퓨즈(44)가 개방되거나 폐쇄됨에 따라서 1 또는 2  $V_t$ 의 낮은 레벨로 유리하게 시프트될 수 있고, 비교기(60)으로의 입력은 일정하게, 그리고 다시 설계하거나 크기를 맞추지 않아도 전원 전압(Vdd) 이하로 유지된다.

n 채널 트랜지스터(51)의 게이트에 인가된 출력 전압(VOUT)이 n 채널 트랜지스터(52)를 가로질러 접속된 퓨즈(54)가 개방되거나 폐쇄됨에 따라서 2 또는 1  $V_t$ 의 낮은 레벨로 시프트되는 것을 제외하고는 전압 레벨 시프터(50)은 전압 레벨 시프터(40)와 유사하게 동작한다. 전압 시프터(40)에 관하여 설명된 동일한 논의는 퓨즈(54)가 개방되느냐 폐쇄되느냐에 따라 고려된다.

비교기(30)를 참조하면, 비교기(30)은 n 채널 트랜지스터(35)로부터 정전류 바이어스를 수신한다. n 채널 트랜지스터(35)는 접지로의 전류원으로 작용한다. n 채널 트랜지스터(33과 34)의 소오스는 n 채널 트랜지스터(33과 34)의 게이트에 인가된 전압보다 낮게 n 채널 트랜지스터(35)에 의해 n 채널 임계 전압으로 된다.

입력 전압(VIN)은 트랜지스터(34)의 게이트에 인가되고, 출력 전압(VOUT)은 트랜지스터(33)의 게이트에 인가된다. 트랜지스터(33 및 34)는 이들 각각의 게이트에 인가된 전압에 응답해서 도통될 수 있고, 입력 전압(VIN)과 출력 전압(VOUT)사이의 차이에 기인한 노드(4)로의 전압을 인가하기 위해 비교기(30)의 동작을 가능하게 할 수 있다.

상술된 바와 같이, 트랜지스터(33과 34)가 서로 밀접하게 정합하고, 트랜지스터(31과 32)가 서로 밀접하게 정합되며, 트랜지스터(35)가 포화 영역에서 동작하는 것이 바람직하다. 트랜지스터 쌍의 적합한 정합에 따라서, 비교기(30)의 동작은 트랜지스터(32 및 34)를 통해 흐르는 전류가 트랜지스터(31 및 33)을 통해 흐르는 전류와 정합하려는 지점으로 도달할 것이고, 트랜지스터(31 및 32)의 게이트 대 소오스 전압은 동등해진다. 따라서, 비교기(30)은 정상 상태에서 출력 전압(VOUT)이 입력 전압(VIN)과 같은 동작 조건에 도달할 것이다.

출력 전압(VOUT)이 변화하는 부하 또는 잡음에 응답하여 갑자기 감소되면, 입력 전압(VIN)보다 적어진다. 트랜지스터(34)는 트랜지스터(34)의 게이트상의 전압, 출력 전압(VOUT)보다 커진 트랜지스터(33)의 게이트상의 전압, 입력 전압(VIN) 때문에, 트랜지스터(33)보다 더욱 도전성이 된다. 따라서, 전류원 트랜지스터(35)를 통하는 전류의 대부분은 트랜지스터(31 및 33)에 의해서 보다는 트랜지스터(32 및 34)에 의해서 끌어내진다. 트랜지스터 전류-전압 관계를 만족시키기 위하여, 트랜지스터(31)에 관하여 트랜지스터(32)를 통해 흐르는 고전류는 트랜지스터(31)의 드레인에서의 전압을 Vdd로 상승시키고, 트랜지스터(32)의 드레인에서의 전압을 접지 전압으로 떨어뜨린다. 노드(4)에서 트랜지스터(34 및 32)의 드레인 전압이 낮아짐에 따라, 드라이버(70)의 P채널 풀업 트랜지스터(71)은 어렵게 드라이브된다. 따라서 트랜지스터(71)은 더욱 도전성이 되고 Vout을 Vdd로 증가하게 된다.

비교기(60)를 참조하면, p 채널 트랜지스터(65)로 부터 정전류 바이어스를 수신한다. p 채널 트랜지스터(65)는 소오스에서 전원 전압(Vdd)로부터의 전류원으로 작용한다. p 채널 트랜지스터(63 및 64)의 소오스는 p 채널 트랜지스터(63 및 64)의 게이트에 인가된 전압보다 p 채널 임계 전압 위의 전압으로 p 채널 트랜지스터(65)에 의해 풀린다. 출력 전압(VOUT)보다 1 또는 2  $V_t$  낮은 레벨시프터(50)의 출력은 트랜지스터(63)의 게이트에 인가되고, 입력 전압(VIN)보다 1 또는 2  $V_t$  낮은 레벨 시프터(40)의 출력은 트랜지스터(64)의 게이트에 인가된다. 트랜지스터(63 및 64)는 이들 각각의 게이트에 인가된 전압에 응답해서 도전성으로 될 수 있고, 레벨 시프트된 입력 전압과 레벨 시프트된 출력 전압 사이의 차이에 기인한 노드(11)로의 전압을 인가하기 위해 비교기(60)의 동작을 가능하게 할 수 있다.

상술된 바와 같이, 트랜지스터(63과 64)가 서로 밀접하게 정합되고, 트랜지스터(61과 62)가 서로 밀접하게 정합되는 것이 바람직하다. 트랜지스터 쌍의 적합한 정합에 따라서, 비교기(60)의 동작은 트랜지스터(62 및 64)를 통해 흐르는 전류가 트랜지스터(61 및 63)를 통해 흐르는 전류와 정합하려는 지점으로 도달할 것이고, 트랜지스터(61 및 62)의 게이트 대 소오스 전압은 동등해진다.

출력 전압(VOUT)의 변화하는 부하에 반응하여 갑자기 증가되면, 트랜지스터(63)은 트랜지스터(64)의 게이트상의 전압, 레벨 시프트된 입력 전압(VIN)보다 커진 트랜지스터(63)의 게이트상의 전압, 레벨 시프트된 출력 전압(VOUT) 때문에, 트랜지스터(64)보다 덜 도전성이 된다. 따라서, 전류원 트랜지스터(65)를 통하는 전류의 대부분은 트랜지스터(61 및 63)에 의해서 보다는 트랜지스터(62)에 의해서 끌어내진다. 트랜지스터 전류-전압 관계를 만족시키기 위하여, 트랜지스터(64) 보다 트랜지스터(63)을 통해 흐르는 저전류는 트랜지스터(63)의 드레인에서의 전압을 접지로 향해 떨어뜨리고, 트랜지스터(64)의 드레인에서의 전압을 Vdd로 상승시킨다. 트랜지스터(62 및 64)의 드레인 전압이 증가함에 따라, 드라이버(70)의 풀다운 트랜지스터(72)는 어렵게 드라이브된다. 트랜지스터(72)는 더욱 도전성이 되고 출력 전압 Vout을 접지로 향해 끌어내리게 되므로 출력전압은 줄어든다.

비교기(30)이 드라이버(70)의 p 채널 풀업 트랜지스터(71)를 제어하고, 비교기(60)이 드라이버(70)의 n 채널 풀다운 트랜지스터(72)를 제어함에 따라서, 드라이버(70)은 푸시풀 드라이버로 기능한다. 출력 전압이 감소되는 경우, 노드(4)와 노드(11)에서의 전압은 떨어진다. 노드(4)가 p 채널 풀업

트랜지스터(71)로부터 소오스 전류를 증가시키며, 노드(11)은 n 채널 풀다운 트랜지스터(72)에서 싱크 전류를 감소시킨다. 한편, 출력 전압이 증가하는 경우, 출력 전압(VOUT)로부터의 음 피이드백은 노드(4)와 노드(11)에서의 전압을 상승시킨다. 노드(4)는 p 채널 풀업 트랜지스터(71)에서 소오스 전류를 감소시키고, 노드(11)은 n 채널 풀다운 트랜지스터(72)에서 싱크 전류를 증가시킨다.

버퍼(17)은 B급 형태 증폭기로서 언급될 수 있다. 정상 상태에서, 매우 작은 DC 전류는 드라이버(70)에 의해 끌어내진다. 트랜지스터(62)보다 긴 채널 길이를 가진 트랜지스터(72)를 선택함으로써, 트랜지스터(72)의 임계 전압은 트랜지스터(62)의 임계 전압보다 커진다. 정상 상태에서, 트랜지스터(72)는 오프(off) 상태이고, 트랜지스터(71)은 온(on) 상태이다.

시뮬레이션은 버퍼(17)의 노드(12)에서의 전류가 넓은 범위의 동작 조건에 걸쳐서 본질적으로 일정하다는 것을 나타낸다. 표 1은 입력 전압(VIN)이 +3.3V인 경우의 시뮬레이션 데이터를 포함한다. 표 2는 입력 전압(VIN)이 +4.0V인 경우의 시뮬레이션 데이터를 포함한다.

[표 1]

Vdd	소오스 전류	싱크 전류
+4.0	7.37 $\mu$ A	7.37 $\mu$ A
+5.0	7.37 $\mu$ A	7.37 $\mu$ A
+6.0	7.38 $\mu$ A	7.38 $\mu$ A

VIN +3.3V

[표 2]

Vdd	소오스 전류	싱크 전류
+4.0	7.53 $\mu$ A	7.53 $\mu$ A
+5.0	7.54 $\mu$ A	7.54 $\mu$ A
+6.0	7.56 $\mu$ A	7.56 $\mu$ A

VIN +4.0V

제4도는 버퍼(17)의 동작을 도시한 타이밍도이다. 2개의 타이밍 라인이 도시되어 있는데, 한 라인은 Vdd가 6.0V인 경우, 다른 한 라인은 Vdd가 +4.0V인 경우이다. 2개의 타이밍 라인에 있어서, VIN은 +4.0V로 같다. 수평축상에 도시된 회로의 응답시간은 거의 수십  $\mu$ s이다.

제4도의 타이밍 라인을 참조하면, Vdd가 +4.0인 경우, 타임(t0와 t1)사이에서, 부하는 증가하고 더 많은 전류를 끌어내며, 따라서 버퍼(17)이 더 많은 전류를 소오스함으로써 출력 전압(VOUT)은 강하한다. 타임(t1과 t2)사이에서, 버퍼(17)은 응답한다. 드라이버(70)의 p 채널 풀업 트랜지스터(71)는 어렵게 드라이브되고, 출력 전압(VOUT)은 VIN으로 풀업된다. 그러나, 타임(t2와 t3) 사이에서, 부하는 감소하고 보다 적은 전류를 끌어내며, 따라서 버퍼(17)이 더 많은 전류를 싱크함으로써 출력 전압(VOUT)은 증가한다. 타임(t3와 t4)사이에서, 버퍼(17)은 응답한다. 드라이버(70)의 n 채널 풀다운 트랜지스터(72)는 어렵게 드라이브 되고, 출력전압(VOUT)은 VIN으로 풀다운된다.

그러므로, 본 발명은 잡음 제어시에 조정된 전압을 효과적으로 사용할 수 있도록 DRAM과 같은 VLSI 디바이스를 인에이블시킨다. 본 발명은 출력 보상을 갖고, 출력 전압 잡음에 응답할 수 있다. 전원 전압의 변화동안 정전류를 소비한다.

본 발명은 양호한 실시예에 대하여 상세하게 설명하였지만, 본 발명을 제한하고자 하는 것은 아니며, 이 분야에 숙련된 기술자들에 의해 본 발명의 원리 및 범위를 벗어나지 않고서 다양하게 변화될 수 있다.

## (57) 청구의 범위

### 청구항 1

제1제어 신호 및 제2제어 신호를 수신하고 출력 전압을 생성하기 위한 전압 발생기 회로(70); 상기 출력 전압 및 입력 전압을 수신하고 상기 제1제어 신호를 생성하기 위한 제1비교기 회로(30); 및 상기 출력 전압 및 상기 입력 전압을 수신하고 상기 제2제어 신호를 생성하기 위한 제2제어 회로를 포함하되, 상기 제2제어 회로는, 상기 입력 전압을 시프트하기 위한 입력 전압 시프터 회로(40); 상기 출력 전압을 시프트하기 위한 출력 전압 시프터 회로(50); 및 상기 시프트된 입력 전압을 상기 시프트된 출력 전압과 비교하기 위한 제2전압 비교기 회로(60)를 포함하는 것을 특징으로 하는 집적 회로.

### 청구항 2

제1항에 있어서, 상기 출력 전압이 상기 제1 및 제2제어 회로에 의해 수신되기 전에 상기 출력 전압에 접속된 커패시터(80)를 더 포함하는 것을 특징으로 하는 집적 회로.

### 청구항 3

제2항에 있어서, 바이어스 전압을 수신하고, 상기 제1비교기 회로, 상기 입력 제1전압 시프터 회로, 및 상기 출력 전압 시프터 회로를 바이어스시키는 전류를 생성하기 위한 바이어스 전류 발생기 회로(20)를 더 포함하는 것을 특징으로 하는 집적 회로.

**청구항 4**

제3항에 있어서, 상기 제2전압 비교기 회로는 상기 바이어스 전압을 수신하는 것을 특징으로 하는 집적 회로.

**청구항 5**

제4항에 있어서, 상기 전압 발생기 회로는 직렬 접속된 풀업 트랜지스터(71) 및 풀다운 트랜지스터(72)를 포함하되, 상기 풀업 트랜지스터는 상기 풀다운 트랜지스터보다 높은 전위로 바이어스되고 상기 제1 제어 신호를 수신하며, 상기 풀다운 트랜지스터는 상기 제2제어 신호를 수신하는 것을 특징으로 하는 집적 회로.

**청구항 6**

제5항에 있어서, 상기 제1비교기 회로는 n 채널 MOS 차동 증폭기(33,34); 상기 n 채널 MOS 차동 증폭기에 접속된 p 채널 트랜지스터(31,32)의 전류미러 능동 부하; 및 n 채널 MOS 차동 증폭기(35)에 접속된 n 채널 전류원 트랜지스터를 포함하는 것을 특징으로 하는 직접 회로.

**청구항 7**

제6항에 있어서, 상기 제2전압 비교기 회로는, p 채널 MOS 차동 증폭기(63,64); 상기 p 채널 MOS 차동 증폭기에 접속된 n 채널 트랜지스터(61,62)의 전류미러 능동 부하; 및 상기 p 채널 MOS 차동 증폭기에 접속된 p 채널 전류원 트랜지스터(65)를 포함하는 것을 특징으로 하는 직접 회로.

**청구항 8**

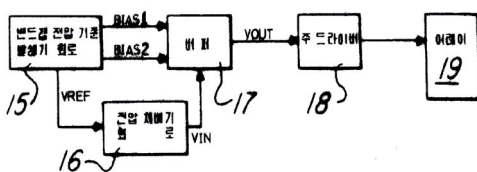
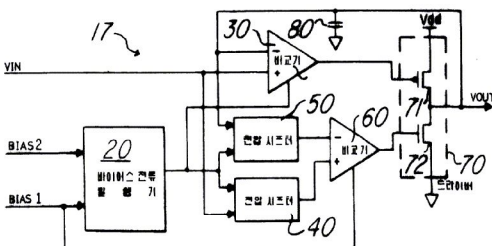
버퍼 회로에 있어서, 입력 전압을 시프트하기 위한 입력 전압 시프터 회로(40); 출력 전압을 시프트하기 위한 출력 전압 시프터 회로(50); 상기 입력 전압을 상기 출력 전압과 비교하여 제1제어 신호를 생성하기 위한 제1비교기 회로(30); 상기 시프트된 입력 전압을 상기 시프트된 출력 전압과 비교하여 제2제어 신호를 생성하기 위한 제2비교기 회로(60); 및 상기 제1제어 신호 및 상기 제2제어 신호를 수신하여 출력 전압을 생성하기 위한 전압 드라이버 회로(70)를 포함하는 것을 특징으로 하는 버퍼 회로.

**청구항 9**

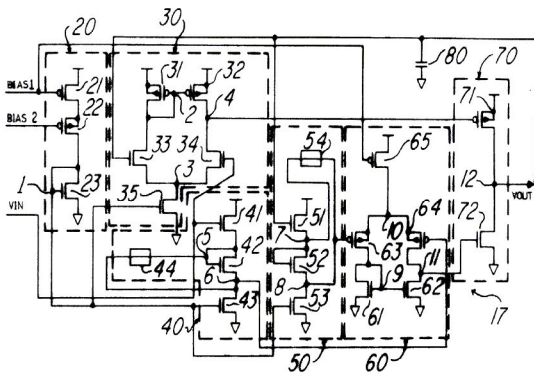
제8항에 있어서, 상기 출력 전압, 상기 제1비교기 회로, 및 상기 출력 전압 시프터 회로에 접속된 커패시터(80)를 더 포함하는 것을 특징으로 하는 버퍼 회로.

**청구항 10**

제9항에 있어서, 상기 입력 전압 시프터는 상기 시프트된 입력 전압을 감소시키도록 끊어질 수 있는 퓨즈(44)를 갖고 있으며, 상기 출력 전압 시프터는 상기 시프트된 출력 전압을 감소시키도록 끊어질 수 있는 퓨즈(54)를 갖고 있는 것을 특징으로 하는 버퍼 회로.

**도면****도면1****도면2**

도면3



도면4

