

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4339719号
(P4339719)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.

H04N 5/335 (2006.01)

F I

H04N 5/335

P

請求項の数 11 (全 16 頁)

(21) 出願番号 特願2004-47246 (P2004-47246)
 (22) 出願日 平成16年2月24日(2004.2.24)
 (65) 公開番号 特開2005-244266 (P2005-244266A)
 (43) 公開日 平成17年9月8日(2005.9.8)
 審査請求日 平成19年1月29日(2007.1.29)

(73) 特許権者 000000376
 オリンパス株式会社
 東京都渋谷区幡ヶ谷2丁目4番2号
 (74) 代理人 100087273
 弁理士 最上 健治
 (72) 発明者 町屋 悟
 東京都渋谷区幡ヶ谷2丁目4番2号 オ
 リンパス株式会社内

審査官 松田 岳士

最終頁に続く

(54) 【発明の名称】 映像信号処理回路及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

撮像素子からの入力信号を受けてフィードスルーレベルとデータレベルとの差を出力しリセットノイズを除去する映像信号処理回路において、フィードスルーレベルとデータレベルの一方を極性を逆にサンプリングする第1の容量回路とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第2の容量回路とからなり、前記第1及び第2の容量回路の出力の差分を電荷状態で演算するように構成された第1の減算ブロックと、フィードスルーレベルとデータレベルの一方を極性を逆にサンプリングする第3の容量回路とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第4の容量回路とからなり、前記第3及び第4の容量回路の出力の差分を電荷状態で演算するよう

10

【請求項 2】

前記第1の減算ブロックの第1の容量回路は、第1の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第1の蓄積容量の他端を前記差動増幅器の負入力端子又は第1の参照電圧に接続するように構成し、前記第2の減算ブロックの第

20

3の容量回路は、第3の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第3の蓄積容量の他端を前記差動増幅器の負入力端子又は第1の参照電圧に接続するように構成したことを特徴とする請求項1に係る映像信号処理回路。

【請求項3】

前記請求項2に係る映像信号処理回路の制御方法において、前記第1の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第2の減算ブロックが差分演算をする際には、前記第1の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第1の蓄積容量の他端に前記第1の参照電圧を接続し、前記第3の蓄積容量の一端に前記第1の参照電圧を接続し、前記第3の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第1の減算ブロックが差分演算を行い、前記第2の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第1の蓄積容量の一端に前記第1の参照電圧を接続し、前記第1の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第3の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第3の蓄積容量の他端に前記第1の参照電圧を接続するように制御することを特徴とする映像信号処理回路の制御方法。

10

【請求項4】

前記第1の減算ブロックの第2の容量回路は、第2の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第2の蓄積容量の他端を第1の参照電圧に接続するように構成し、前記第2の減算ブロックの第4の容量回路は、第4の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第4の蓄積容量の他端を前記第1の参照電圧に接続するように構成したことを特徴とする請求項1に係る映像信号処理回路。

20

【請求項5】

前記請求項4に係る映像信号処理回路の制御方法において、前記第1の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第2の減算ブロックが差分演算をする際には、前記第2の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第2の蓄積容量の他端に前記第1の参照電圧を接続し、前記第4の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第4の蓄積容量の他端に前記第1の参照電圧を接続し、前記第1の減算ブロックが差分演算を行い、前記第2の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第2の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第2の蓄積容量の他端に第1の参照電圧を接続し、前記第4の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第4の蓄積容量の他端に第1の参照電圧を接続するように制御することを特徴とする映像信号処理回路の制御方法。

30

【請求項6】

前記第1及び第2の減算ブロックは、フィードスルーレベルとデータレベルのサンプリングの際には第2の参照電圧を、差分演算の際には前記第1の参照電圧を、前記第1乃至第4の容量回路の基準電圧として使用するように構成し、且つ前記第2の参照電圧をフィードスルーレベルとデータレベルとの間の値になるように設定したことを特徴とする請求項1に係る映像信号処理回路。

40

【請求項7】

前記第1の減算ブロックの第1の容量回路は、第1の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第1の蓄積容量の他端を前記差動増幅器の負入力端子又は前記第2の参照電圧に接続するように構成し、前記第2の減算ブロックの第3の容量回路は、第3の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第3の蓄積容量の他端を前記差動増幅器の負入力端子又は第2の参照電圧に接続するように構成したことを特徴とする請求項6に係る映像信号処理回路。

【請求項8】

前記請求項7に係る映像信号処理回路の制御方法において、前記第1の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第2の減算ブロックが差

50

分演算をする際には、前記第 1 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 1 の蓄積容量の他端に前記第 2 の参照電圧を接続し、前記第 3 の蓄積容量の一端に前記第 1 の参照電圧を接続し、前記第 3 の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第 1 の減算ブロックが差分演算を行い、前記第 2 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第 1 の蓄積容量の一端に前記第 1 の参照電圧を接続し、前記第 1 の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第 3 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 3 の蓄積容量の他端に前記第 2 の参照電圧を接続するように制御することを特徴とする映像信号処理回路の制御方法。

【請求項 9】

10

前記第 1 の減算ブロックの前記第 2 の容量回路は、第 2 の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第 2 の蓄積容量の他端を前記第 1 の参照電圧又は前記第 2 の参照電圧に接続するように構成し、前記第 2 の減算ブロックの前記第 4 の容量回路は、第 4 の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第 4 の蓄積容量の他端を前記第 1 の参照電圧又は前記第 2 の参照電圧に接続するように構成したことを特徴とする請求項 6 に係る映像信号処理回路。

【請求項 10】

前記請求項 9 に係る映像信号処理回路の制御方法において、前記第 1 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第 2 の減算ブロックが差分演算をする際には、前記第 2 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 2 の蓄積容量の他端に前記第 2 の参照電圧を接続し、前記第 4 の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第 4 の蓄積容量の他端に前記第 1 の参照電圧を接続し、前記第 1 の減算ブロックが差分演算を行い、前記第 2 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第 2 の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第 2 の蓄積容量の他端に第 1 の参照電圧を接続し、前記第 4 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 4 の蓄積容量の他端に第 2 の参照電圧を接続するように制御することを特徴とする映像信号処理回路の制御方法。

20

【請求項 11】

30

前記帰還容量を可変容量にしたことを特徴とする請求項 1 , 2 , 4 , 6 , 7 及び 9 のいずれか 1 項に係る映像信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、撮像素子からの出力信号を処理する映像信号処理回路及びその制御方法に関する。

【背景技術】

【0002】

従来より、映像信号処理回路を使用して、固体撮像素子などの撮像素子からのアナログ画像出力信号中に含まれるリセットノイズなどの雑音を除去する方法が知られている。例えば、特開平 2 - 154395 号公報には、映像信号処理回路として図 6 に示すような構成のものが開示されている。この図 6 に示される映像信号処理回路は、第 1 のバッファ回路 100 と、第 1 のスイッチ 101 と第 2 のバッファ回路 102 と第 1 の蓄積容量 103 で構成される第 1 のサンプルホールド回路 112 と、第 3 のバッファ回路 104 と、第 2 のスイッチ 105 と第 4 のバッファ回路 106 と第 2 の蓄積容量 107 で構成される第 2 のサンプルホールド回路 113 と、第 3 のスイッチ 108 と第 5 のバッファ回路 109 と第 3 の蓄積容量 110 で構成される第 3 のサンプルホールド回路 114 と、選択スイッチ 115 と、参照電圧 116 と、差動増幅器 111 とで構成されている。

40

【0003】

50

そして、入力信号 V_{in} は前記第 1 のバッファ回路 100 を経由して前記第 1 のサンプルホールド回路 112 に入力されると共に、前記第 3 のバッファ回路 104 を経由して前記第 2 のサンプルホールド回路 113 に入力されるように接続され、前記第 2 のサンプルホールド回路 113 の出力は、前記第 3 のサンプルホールド回路 114 に入力されるように接続されている。また、前記第 1 のサンプルホールド回路 112 の出力は、前記差動増幅器 111 の正入力に接続され、前記第 3 のサンプルホールド回路 114 の出力は、前記選択スイッチ 115 の一方の入力に接続されている。そして、前記選択スイッチ 115 の他方の入力には参照電圧 116 が接続され、前記選択スイッチ 115 の出力は前記差動増幅器 111 の負入力に接続され、前記選択スイッチ 115 は前記サンプルホールド回路 114 と参照電圧 116 を選択するように構成されている。

10

【 0 0 0 4 】

次に、このように構成されている映像信号処理回路の動作について、図 7 に示す信号波形図を使用して説明する。なお、参照電圧 116 については、映像信号処理回路としての動作には不要であるので、説明を割愛する。図 7 に示すように、フィードスルー期間では CLK_1 が H になり、第 2 のスイッチ 105 が ON して、第 2 の蓄積容量 107 にフィードスルー電位が蓄積される。次に、信号期間では CLK_2 が H になり、第 1 のスイッチ 101 と第 3 のスイッチ 108 が ON して、第 1 の蓄積容量 103 に信号電位が、第 3 の蓄積容量 110 には第 4 のバッファ回路 106 から出力されるフィードスルー電位が蓄積され、それぞれ差動増幅器 111 に入力されて、データ電位からフィードスルー電位を減算した信号が出力される。

20

【特許文献 1】特開平 2 - 1 5 4 3 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、図 6 に示した従来例においては、撮像素子からの入力信号 V_{in} の値がそのままサンプルホールドされて差動増幅器 111 に入力されるので、入力信号 V_{in} が差動増幅器 111 の入力 D レンジより大きい場合は、映像信号処理回路として機能しないという問題があった。

【 0 0 0 6 】

本発明は、従来提案されている映像信号処理回路における上記問題点を解消するためになされたもので、入力信号 V_{in} が差動増幅器の入力 D レンジに制限されることがない映像信号処理回路及びその制御方法を提供することを目的とする。

30

【課題を解決するための手段】

【 0 0 0 7 】

上記問題点を解決するため、請求項 1 に係る発明は、撮像素子からの入力信号を受けてフィードスルーレベルとデータレベルとの差を出力しリセットノイズを除去する映像信号処理回路において、フィードスルーレベルとデータレベルの一方を極性を逆にサンプリングする第 1 の容量回路とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第 2 の容量回路とからなり、前記第 1 及び第 2 の容量回路の出力の差分を電荷状態で演算するように構成された第 1 の減算ブロックと、フィードスルーレベルとデータレベルの一方を極性を逆にサンプリングする第 3 の容量回路とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第 4 の容量回路とからなり、前記第 3 及び第 4 の容量回路の出力の差分を電荷状態で演算するように構成された第 2 の減算ブロックとを撮像素子からの入力端子と差動増幅器の負入力端子との間に並列に接続し、前記差動増幅器の負入力端子と出力端子との間に並列に接続されたりセットスイッチと帰還容量を接続し、前記差動増幅器の正入力端子には第 1 の参照電圧を接続し、前記第 1 の減算ブロックと第 2 の減算ブロックとを交互に動作させて減算した電荷信号を前記差動増幅器で増幅して増幅して出力するように構成したことを特徴とするものである。

40

【 0 0 0 8 】

請求項 2 に係る発明は、請求項 1 に係る映像信号処理回路において、前記第 1 の減算ブ

50

ロックの第1の容量回路は、第1の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第1の蓄積容量の他端を前記差動増幅器の負入力端子又は第1の参照電圧に接続するように構成し、前記第2の減算ブロックの第3の容量回路は、第3の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第3の蓄積容量の他端を前記差動増幅器の負入力端子又は第1の参照電圧に接続するように構成したことを特徴とするものである。

【0009】

請求項3に係る発明は、請求項2に係る映像信号処理回路の制御方法において、前記第1の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第2の減算ブロックが差分演算をする際には、前記第1の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第1の蓄積容量の他端に前記第1の参照電圧を接続し、前記第3の蓄積容量の一端に前記第1の参照電圧を接続し、前記第3の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第1の減算ブロックが差分演算を行い、前記第2の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第1の蓄積容量の一端に前記第1の参照電圧を接続し、前記第1の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第3の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第3の蓄積容量の他端に前記第1の参照電圧を接続するように制御することを特徴とするものである。

10

【0010】

請求項4に係る発明は、請求項1に係る映像信号処理回路において、前記第1の減算ブロックの第2の容量回路は、第2の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第2の蓄積容量の他端を第1の参照電圧に接続するように構成し、前記第2の減算ブロックの第4の容量回路は、第4の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第4の蓄積容量の他端を前記第1の参照電圧に接続するように構成したことを特徴とするものである。

20

【0011】

請求項5に係る発明は、請求項4に係る映像信号処理回路の制御方法において、前記第1の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第2の減算ブロックが差分演算をする際には、前記第2の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第2の蓄積容量の他端に前記第1の参照電圧を接続し、前記第4の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第4の蓄積容量の他端に前記第1の参照電圧を接続し、前記第1の減算ブロックが差分演算を行い、前記第2の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第2の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第2の蓄積容量の他端に第1の参照電圧を接続し、前記第4の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第4の蓄積容量の他端に第1の参照電圧を接続するように制御することを特徴とするものである。

30

【0012】

請求項6に係る発明は、請求項1に係る映像信号処理回路において、前記第1及び第2の減算ブロックは、フィードスルーレベルとデータレベルのサンプリングの際には第2の参照電圧を、差分演算の際には前記第1の参照電圧を、前記第1乃至第4の容量回路の基準電圧として使用するように構成し、且つ前記第2の参照電圧をフィードスルーレベルとデータレベルとの間の値になるように設定したことを特徴とするものである。

40

【0013】

請求項7に係る発明は、請求項6に係る映像信号処理回路において、前記第1の減算ブロックの第1の容量回路は、第1の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第1の蓄積容量の他端を前記差動増幅器の負入力端子又は前記第2の参照電圧に接続するように構成し、前記第2の減算ブロックの第3の容量回路は、第3の蓄積容量の一端を前記撮像素子からの入力端子又は前記第1の参照電圧に接続し、第3の蓄積容量の他端を前記差動増幅器の負入力端子又は第2の参照電圧に接続するよ

50

うに構成したことを特徴とするものである。

【 0 0 1 4 】

請求項 8 に係る発明は、請求項 7 に係る映像信号処理回路の制御方法において、前記第 1 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第 2 の減算ブロックが差分演算をする際には、前記第 1 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 1 の蓄積容量の他端に前記第 2 の参照電圧を接続し、前記第 3 の蓄積容量の一端に前記第 1 の参照電圧を接続し、前記第 3 の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第 1 の減算ブロックが差分演算を行い、前記第 2 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第 1 の蓄積容量の一端に前記第 1 の参照電圧を接続し、前記第 1 の蓄積容量の他端に前記差動増幅器の負入力端子を接続し、前記第 3 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 3 の蓄積容量の他端に前記第 2 の参照電圧を接続するように制御することを特徴とするものである。

10

【 0 0 1 5 】

請求項 9 に係る発明は、請求項 6 に係る映像信号処理回路において、前記第 1 の減算ブロックの前記第 2 の容量回路は、第 2 の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第 2 の蓄積容量の他端を前記第 1 の参照電圧又は前記第 2 の参照電圧に接続するように構成し、前記第 2 の減算ブロックの前記第 4 の容量回路は、第 4 の蓄積容量の一端を前記撮像素子からの入力端子又は前記差動増幅器の負入力端子に接続し、第 4 の蓄積容量の他端を前記第 1 の参照電圧又は前記第 2 の参照電圧に接続するように構成したことを特徴とするものである。

20

【 0 0 1 6 】

請求項 10 に係る発明は、請求項 9 に係る映像信号処理回路の制御方法において、前記第 1 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングし、前記第 2 の減算ブロックが差分演算をする際には、前記第 2 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 2 の蓄積容量の他端に前記第 2 の参照電圧を接続し、前記第 4 の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第 4 の蓄積容量の他端に前記第 1 の参照電圧を接続し、前記第 1 の減算ブロックが差分演算を行い、前記第 2 の減算ブロックがフィードスルーレベル及びデータレベルをサンプリングをする際には、前記第 2 の蓄積容量の一端に前記差動増幅器の負入力端子を接続し、前記第 2 の蓄積容量の他端に第 1 の参照電圧を接続し、前記第 4 の蓄積容量の一端に前記撮像素子からの入力端子を接続し、前記第 4 の蓄積容量の他端に第 2 の参照電圧を接続するように制御することを特徴とするものである。

30

【 0 0 1 7 】

請求項 11 に係る発明は 1 , 2 , 4 , 6 , 7 及び 9 のいずれか 1 項に係る映像信号処理回路において、前記帰還容量を可変容量にしたことを特徴とするものである。

【発明の効果】

【 0 0 1 8 】

請求項 1 , 2 及び 4 に係る発明によれば、電荷状態で減算されたデータ成分のみが差動増幅器へ入力されるので、入力信号 V_{in} の D レンジを第 1 , 第 2 , 第 3 , 第 4 の各容量回路が動作する範囲まで広げることが可能となる。また請求項 3 及び 5 に係る発明によれば、入力信号の D レンジを各容量回路が動作する範囲まで広げることが可能な映像信号処理回路の制御方法を実現することができる。また請求項 6 , 7 及び 9 に係る発明によれば、請求項 1 に係る発明の効果に加えて、フィードスルーレベルとデータレベルをサンプリングする際に、蓄積容量に加わる電位差を小さくすることができるので、サンプリング時間を短くすることができ、動作周波数の高速化を図ることができる。また請求項 8 及び 10 に係る発明によれば、入力信号の D レンジを各容量回路が動作する範囲まで広げることが可能で、サンプリング時間を短縮し動作周波数の高速化を図ることができる映像信号処理回路の制御方法を実現することができる。また請求項 11 に係る発明によれば、請求項 1 及び 6 に係る発明の効果に加えて、ゲインを自由に設定することができるので、PGA 回路の

40

50

役割をかねることができ、回路規模の縮小化を図ることができる。

【発明を実施するための最良の形態】

【0019】

次に、発明を実施するための最良の形態について説明する。

【実施例】

【0020】

図1は、本発明に係る映像信号処理回路の実施例1の構成を示す概略ブロック図であり、この実施例は請求項1に係る映像信号処理回路に対応している。図1に示す映像信号処理回路は、フィードスルーレベルとデータレベルの一方の極性を逆にサンプリングする第1の容量回路3とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第2の容量回路4とからなり、第1及び第2の容量回路3, 4の出力の差分を電荷状態で演算するように構成された第1の減算ブロック1と、フィードスルーレベルとデータレベルの一方の極性を逆にサンプリングする第3の容量回路5とフィードスルーレベルとデータレベルの他方をそのままサンプリングする第4の容量回路6とからなり、第3及び第4の容量回路5, 6の出力の差分を電荷状態で演算するように構成された第2の減算ブロック2とを、撮像素子(図示せず)からの入力端子と差動増幅器7の負入力端子との間に並列に接続している。そして、前記差動増幅器7の負入力端子と出力端子との間に並列に接続されたりセットスイッチ9と帰還容量(C_f)8を接続し、前記差動増幅器7の正入力端子には第1の参照電圧(V_{ref1})20を接続し、前記第1及び第2の減算ブロック1, 2を交互に動作させて、減算した電荷信号を前記差動増幅器7で増幅して出力するように構成されている。

【0021】

次に、図1に示した映像信号処理回路の動作を、図4の信号波形図の一部を用いて説明する。まず、上記のように構成された映像信号処理回路には、図4に示すような入力信号V_{in}が入力される。N番目の入力を例に説明し、フィードスルーレベルは第1及び第3の容量回路3, 5でサンプリングするものとする。N番目の入力のはときは、第1の減算回路1が入力信号V_{in}をサンプリングすると、まず、N-1番目からN番目への切り替わりの際に、リセットスイッチ9がONして、帰還容量8を初期化(電荷Q=0)する。そして、フィードスルーレベルは第1の容量回路3にサンプリングされる。このとき、第1の容量回路3に電荷Q_{1(N)}が保持される。次に、データレベルは第2の容量回路4にサンプリングされ、このとき、第2の容量回路4に電荷Q_{2(N)}が保持される。また、フィードスルーレベル及びデータレベルに対応する電荷Q_{1(N)}, Q_{2(N)}をサンプリングしている間、N-1番目に第3の容量回路5で保持したフィードスルーレベルに対応する電荷Q_{1(N-1)}と第4の容量回路6で保持したデータレベルに対応する電荷Q_{2(N-1)}とで、差分演算が行われており、フィードスルーレベルに対応する電荷Q_{1(N-1)}は極性が反転して出力されるので、Q_{2(N-1)} - Q_{1(N-1)}なる電荷が帰還容量(C_f)8に流れることになる。帰還容量(C_f)8の初期電荷は、リセットスイッチ9によりQ=0となっているので、

$$Q_{2(N-1)} - Q_{1(N-1)} = C_f (V_{out(N)} - V_{ref1}) \quad \dots \dots \dots (1)$$

となり、出力V_{out(N)}は、

$$V_{out(N)} = (Q_{2(N-1)} - Q_{1(N-1)}) / C_f + V_{ref1} \quad \dots \dots \dots (2)$$

のようになり、電荷状態でフィードスルーレベルとデータレベルが差分演算された後、増幅されて出力されることとなる。

【0022】

N番目で信号のサンプリングとN-1番目の差分演算をした後は、再びリセットスイッチ9をONして帰還容量8をリセットする。そして、N+1番目では、今度は第3の容量回路5でフィードスルーレベルをサンプリングし、Q_{1(N+1)}なる電荷を保持し、第4の容量回路6でデータレベルをサンプリングし、Q_{2(N+1)}なる電荷を保持する。そして、第3, 第4の容量回路5, 6でサンプリングしている間、今度はN番目にサンプリングした電荷を差分演算することになり、このときの出力はN番目のときと同様に、

$$V_{out(N+1)} = (Q_{2(N)} - Q_{1(N)}) / C_f + V_{ref1} \dots \dots \dots (3)$$

 となる。

【 0 0 2 3 】

図 1 に示した実施例 1 に係る映像信号処理回路は、上述したように動作することで、フィードスルーレベルとデータレベルの差分を取ることができる。そして、電荷状態で減算した結果が差動増幅器 7 に入力されるので、入力信号 V_{in} の D レンジを第 1, 第 2, 第 3, 第 4 の容量回路 3, 4, 5, 6 が動作できる範囲まで広げることが可能となるという利点を得られる。なお、この実施例では、第 1 及び第 3 の容量回路 3, 5 でフィードスルーレベルをサンプリングする場合を説明したが、第 2 及び第 4 の容量回路 4, 6 でフィードスルーレベルをサンプリングする場合でも同様の効果を得ることができる。この場合は、第 2 及び第 4 の容量回路 4, 6 に Q_2 としてフィードスルーレベル、第 1 及び第 3 の容量回路 3, 5 に Q_1 としてデータレベルがサンプリングされることになり、第 1 及び第 3 の容量回路 3, 5 でフィードスルーレベルをサンプリングする場合とは、極性が逆になることになる。

【 0 0 2 4 】

図 2 は、本発明の実施例 2 を示す回路構成図であり、この実施例 2 は請求項 2 乃至 5 に係る映像信号処理回路に対応している。本実施例は、図 1 に示した実施例 1 に係る映像信号処理回路における第 1 ~ 第 4 の容量回路の具体的構成を示すものであり、図 1 に示した実施例 1 と同一あるいは対応する構成要素には同一符号を付して示している。この実施例においては、第 1 の減算ブロック 1 の第 1 の容量回路 3 は、第 1 の蓄積容量 (C_{r1}) 18 の一端を第 1 のスイッチ (SW_1) 10 を経由して撮像素子からの入力端子に接続すると共に、第 5 のスイッチ (SW_5) 14 を経由して前記第 1 の参照電圧 (V_{ref1}) 20 に接続し、第 1 の蓄積容量 18 の他端を第 3 のスイッチ (SW_3) 12 を経由して前記差動増幅器 7 の負入力端子 (共通接続点 A) に接続すると共に、第 6 のスイッチ (SW_6) 15 を経由して第 1 の参照電圧 20 に接続されるように構成されている。前記第 1 の減算ブロック 1 の第 2 の容量回路 4 は、第 2 の蓄積容量 (C_{d1}) 19 の一端を第 2 のスイッチ (SW_2) 11 を経由して前記撮像素子からの入力端子に接続すると共に、第 4 のスイッチ (SW_4) 13 を経由して前記差動増幅器 7 の負入力端子に接続し、第 2 の蓄積容量 19 の他端を第 1 の参照電圧 20 に接続するように構成している。

【 0 0 2 5 】

また、第 2 の減算ブロック 2 の第 3 の容量回路 5 は、第 3 の蓄積容量 (C_{r2}) 30 の一端を第 10 のスイッチ (SW_{10}) 22 を経由して前記撮像素子からの入力端子に接続すると共に、第 14 のスイッチ (SW_{14}) 26 を経由して前記第 1 の参照電圧 20 に接続し、第 3 の蓄積容量 30 の他端を第 12 のスイッチ (SW_{12}) 24 を経由して前記差動増幅器 7 の負入力端子に接続すると共に、第 15 のスイッチ (SW_{15}) 27 を経由して第 1 の参照電圧 20 に接続されるように構成している。前記第 2 の減算ブロック 2 の第 4 の容量回路 6 は、第 4 の蓄積容量 (C_{d2}) 31 の一端を第 11 のスイッチ (SW_{11}) 23 を経由して前記撮像素子からの入力端子に接続すると共に、第 13 のスイッチ (SW_{13}) 25 を経由して前記差動増幅器 7 の負入力端子に接続し、第 4 の蓄積容量 31 の他端を前記第 1 の参照電圧 20 に接続するように構成している。

【 0 0 2 6 】

次に、図 2 に示した実施例 2 の動作を、図 4 の信号波形図に基づいて説明する。図 2 に示した実施例 2 に係る映像信号処理回路には、図 4 に示すような入力信号 V_{in} が入力される。そして、クロック信号 CLK_1 は第 9 のスイッチ 9 を、クロック信号 CLK_2 は第 1 及び第 6 のスイッチ 10, 15 を、クロック信号 CLK_3 は第 2 のスイッチ 11 を、クロック信号 CLK_4 は第 3, 第 4 及び第 5 のスイッチ 12, 13, 14 を、クロック信号 CLK_5 は第 10 及び第 15 のスイッチ 22, 27 を、クロック信号 CLK_6 は第 11 のスイッチ 23 を、クロック信号 CLK_7 は第 12, 第 13 及び第 14 のスイッチ 24, 25, 26 をそれぞれ制御し、各クロック信号 CLK が H のときに各スイッチは ON するものとする。なお、各クロック信号 CLK は図示しない制御部より送出されるようになっている。

【 0 0 2 7 】

実施例 1 と同じように、N 番目の入力を例に説明し、フィードスルーレベルは第 1 及び第 3 の容量回路 3 , 5 でサンプリングするものとする。N - 1 番目のデータレベルが終った直後に CLK 1 が H になり、第 9 のスイッチ 9 が ON する。これにより、差動増幅器 7 はボルテージフォロアとして動作するので、帰還容量 8 の両端は同電位となり、電荷がリセットされる。そして、N 番目のフィードスルーレベル $V_{r(N)}$ は、CLK 2 が H となり、第 1 及び第 6 のスイッチ 10 , 15 が ON して、第 1 の蓄積容量 (C_{r1}) 18 にサンプリングされる。このとき、保持している電荷 $Q_{1(N)}$ は、

$$Q_{1(N)} = (V_{r(N)} - V_{ref1}) C_{r1} \dots\dots\dots (4)$$

となる。

10

【 0 0 2 8 】

次に、データレベル $V_{d(N)}$ は、CLK 3 が H となり、第 2 のスイッチ 11 が ON して、第 2 の蓄積容量 (C_{d1}) 19 にサンプリングされる。このとき、保持している電荷 $Q_{2(N)}$ は、

$$Q_{2(N)} = (V_{d(N)} - V_{ref1}) C_{d1} \dots\dots\dots (5)$$

となる。また、フィードスルーレベル及びデータレベルに対応する電荷 $Q_{1(N)}$, $Q_{2(N)}$ をサンプリングしている間、CLK 7 が H となり、第 12 , 第 13 及び第 14 のスイッチ 24 , 25 , 26 が ON する。A 点 (差動増幅器 7 の負入力端子) の電位は、差動増幅器 7 の仮想接地により V_{ref1} であるので、第 3 及び第 4 の蓄積容量 (C_{r2} , C_{d2}) 30 , 31 の両端の電位が等しくなり、保持していた電荷は全て A 点を經由して帰還容量 8 に流れ込むことになる。このとき、A 点には第 3 の蓄積容量 (C_{r2}) 30 の他端と第 4 の蓄積容量 (C_{d2}) 31 の一端が接続されているので、第 3 の蓄積容量 (C_{r2}) 30 が保持していた $Q_{1(N-1)}$ のみ極性が反転されて出力されることになる。よって、帰還容量 (C_f) 8 には、 $Q_{2(N-1)} - Q_{1(N-1)}$ なる電荷が流れ込むことになる。 $Q_{1(N-1)}$, $Q_{2(N-1)}$ は式 (4) , (5) と同様に、

$$Q_{1(N-1)} \equiv (V_{r(N-1)} - V_{ref1}) C_{r2} \dots\dots\dots (6)$$

$$Q_{2(N-1)} \equiv (V_{d(N-1)} - V_{ref1}) C_{d2} \dots\dots\dots (7)$$

となる。ここで、 $C_{r2} = C_{d2} = C_s$ として、式 (6) , (7) を式 (2) に代入すると、

$$\begin{aligned} V_{out(N)} &= (Q_{2(N-1)} - Q_{1(N-1)}) / C_f + V_{ref1} \\ &= C_s / C_f \cdot (V_{d(N-1)} - V_{r(N-1)}) + V_{ref1} \dots\dots\dots (8) \end{aligned}$$

となり、データレベルとフィードスルーレベルの差分を増幅した値が出力される。

20

30

【 0 0 2 9 】

その後、再び CLK 1 が H になり第 9 のスイッチ 9 をリセットした後、N + 1 番目では先の N 番目とは逆に、N + 1 番目のフィードスルーレベル $V_{r(N+1)}$ は、CLK 5 が H となり、第 10 及び第 15 のスイッチ 22 , 27 が ON して、第 3 の蓄積容量 (C_{r2}) 30 にサンプリングされる。このとき、保持している電荷 $Q_{1(N+1)}$ は、

$$Q_{1(N+1)} = (V_{r(N+1)} - V_{ref1}) C_{r2} \dots\dots\dots (9)$$

となる。次に、データレベル $V_{d(N+1)}$ は、CLK 6 が H となり、第 11 のスイッチ 23 が ON して、第 4 の蓄積容量 (C_{d2}) 31 にサンプリングされる。このとき、保持している電荷 $Q_{2(N+1)}$ は、

$$Q_{2(N+1)} = (V_{d(N+1)} - V_{ref1}) C_{d2} \dots\dots\dots (10)$$

となる。

40

【 0 0 3 0 】

また、第 3 及び第 4 の蓄積容量 30 , 31 でフィードスルーレベル及びデータレベルに対応する電荷 $Q_{1(N+1)}$, $Q_{2(N+1)}$ をサンプリングしている間、CLK 4 が H となり、第 3 , 第 4 及び第 5 のスイッチ 12 , 13 , 14 が ON する。N 番目のときと同様に、A 点の電位は差動増幅器 7 の仮想接地により V_{ref1} であるので、第 1 及び第 2 の蓄積容量 (C_{r1} , C_{d1}) 18 , 19 の両端の電位が等しくなり、保持していた電荷は全て A 点を經由して帰還容量 (C_f) 8 に流れ込むことになる。このとき、A 点には第 1 の蓄積容量 (C_{r1}) 18 の他端と第 2 の蓄積容量 (C_{d1}) 19 の一端が接続されているので、第 1 の蓄積容量 (C_{r1}) 18 が保

50

持していた $Q1_{(N)}$ のみ極性が反転されて出力されることになる。よって、帰還容量 (C_f) 8 には、 $Q2_{(N)} - Q1_{(N)}$ なる電荷が流れ込むことになる。ここで、 $Cr2 = Cd2 = Cs$ として、式 (4)、(5) を式 (3) に代入すると

$$\begin{aligned} V_{out(N+1)} &= (Q2_{(N)} - Q1_{(N)}) / C_f + V_{ref1} \\ &= Cs / C_f \cdot (Vd_{(N)} - Vr_{(N)}) + V_{ref1} \dots (11) \end{aligned}$$

となり、データレベルとフィードスルーレベルの差分を増幅した値が出力される。

【0031】

このように、本実施例に係る映像信号処理回路も、実施例 1 と同様に電荷状態で減算した結果を差動増幅器 7 に入力するようにしたことで、入力信号 V_{in} の D レンジを第 1、第 2、第 3 及び第 4 の容量回路 3、4、5、6 が動作できる範囲、つまり各スイッチが動作する範囲まで広げることが可能となる。なお、本実施例の説明では、第 1 及び第 3 の容量回路 3、5 でフィードスルーレベルをサンプリングする場合を説明したが、第 2 及び第 4 の容量回路 4、6 でフィードスルーレベルをサンプリングする場合では、式 (8)、(11) は、

$$V_{out(N)} = -Cs / C_f \cdot (Vd_{(N-1)} - Vr_{(N-1)}) + V_{ref1} \dots (12)$$

$$V_{out(N+1)} = -Cs / C_f \cdot (Vd_{(N)} - Vr_{(N)}) + V_{ref1} \dots (13)$$

となり、極性が変わるだけでその効果に変わりがないことがわかる。

【0032】

図 3 は、本発明の実施例 3 を示す回路構成図であり、図 2 に示した実施例 2 に係る映像信号処理回路と同一又は対応する構成要素には同一符号を付して示している。本実施例は、請求項 6 乃至 10 に係る映像信号処理回路に対応している。本実施例の特徴は、図 2 に示した実施例 2 の映像信号処理回路における前記第 1 の蓄積容量 ($Cr1$) 18 の他端を第 3 のスイッチ 12 を経由して前記差動増幅器 7 の負入力端子に接続すると共に、第 6 のスイッチ 15 を経由して第 2 の参照電圧 (V_{ref2}) 21 に接続されるように構成し、また前記第 2 の蓄積容量 ($Cd1$) 19 の他端を第 7 のスイッチ ($SW7$) 16 を経由して前記第 1 の参照電圧 (V_{ref1}) 20 に接続すると共に、第 8 のスイッチ ($SW8$) 17 を経由して前記第 2 の参照電圧 (V_{ref2}) 21 に接続するように構成している点である。更に、同様に前記第 3 の蓄積容量 ($Cr2$) 30 の他端を第 12 のスイッチ 24 を経由して前記差動増幅器 7 の負入力端子に接続すると共に、第 15 のスイッチ 27 を経由して第 2 の参照電圧 (V_{ref2}) 21 に接続されるように構成し、また前記第 4 の蓄積容量 ($Cd2$) 31 の他端を第 16 のスイッチ ($SW16$) 28 を経由して前記第 1 の参照電圧 (V_{ref1}) 20 に接続すると共に、第 17 のスイッチ ($SW17$) 29 を経由して前記第 2 の参照電圧 (V_{ref2}) 21 に接続するように構成し、且つ前記第 2 の参照電圧 (V_{ref2}) 21 がフィードスルーレベルとデータレベルとの間の値になるように設定されている。

【0033】

次に、図 3 に示した実施例 3 の動作を同じく図 4 の信号波形図を参照しながら説明する。なお、実施例 2 と同じ動作をする素子の動作説明は省略する。第 7 のスイッチ 16 は CLK 4 で、第 8 のスイッチ 17 は CLK 3 で、第 16 のスイッチ 28 は CLK 7 で、第 17 のスイッチ 29 は CLK 6 でそれぞれ制御され、CLK が H のときに ON するものとする。実施例 2 と同じように、N 番目の入力を例に説明し、フィードスルーレベルは第 1 及び第 3 の容量回路 3、5 でサンプリングするものとする。

【0034】

本実施例では、フィードスルーレベル $Vr_{(N)}$ をサンプリングする際は、第 1 のスイッチ 10 と第 6 のスイッチ 15 が ON するので、第 1 の蓄積容量 ($Cr1$) 18 に保持される電荷 $Q1_{(N)}$ は、

$$Q1_{(N)} = (Vr_{(N)} - V_{ref2}) Cr1 \dots (14)$$

となり、データレベル $Vd_{(N)}$ をサンプリングする際は、第 2 のスイッチ 11 と第 8 のスイッチ 17 が ON するので、第 2 の蓄積容量 ($Cd1$) 19 に保持される電荷 $Q2_{(N)}$ は、

$$Q2_{(N)} = (Vd_{(N)} - V_{ref2}) Cd1 \dots (15)$$

となる。フィードスルーレベル及びデータレベルに対応する電荷 $Q1_{(N)}$ 、 $Q2_{(N)}$ をサ

ンプリングしている間、CLK7がHとなり、第12、第13、第14及び第16のスイッチ24、25、26、28がONする。A点の電位は差動増幅器7の仮想接地によりVref1であるので、第3及び第4の蓄積容量(Cr2、Cd2)30、31の両端の電位が等しくなり、保持していた電荷は全てA点を経由して帰還容量(Cf)8に流れ込むことになる。このとき、A点には第3の蓄積容量30の他端と第4の蓄積容量31の一端が接続されているので、第3の蓄積容量30に保持していた電荷 $Q1_{(N-1)}$ のみ極性が反転されて出力されることになる。よって、帰還容量8には、 $Q2_{(N-1)} - Q1_{(N-1)}$ なる電荷が流れ込むことになる。 $Q1_{(N-1)}$ 、 $Q2_{(N-1)}$ は式(14)、(15)と同様に、

$$Q1_{(N-1)} = (Vr_{(N-1)} - Vref2) Cr2 \quad \dots \dots \dots (16)$$

$$Q2_{(N-1)} = (Vd_{(N-1)} - Vref2) Cd2 \quad \dots \dots \dots (17)$$

となる。ここで、 $Cr2 = Cd2 = Cs$ として、式(16)、(17)を式(2)に代入すると、

$$Vout_{(N)} = (Q2_{(N-1)} - Q1_{(N-1)}) / Cf + Vref1 \\ = Cs / Cf \cdot (Vd_{(N-1)} - Vr_{(N-1)}) + Vref1 \quad \dots \dots \dots (18)$$

となり、データレベルとフィードスルーレベルの差分を増幅した値が出力される。

【0035】

その後、再びCLK1がHになり、第9のスイッチ9をリセットした後、N+1番目では先のN番目とは逆にN+1番目のフィードスルーレベル $Vr_{(N+1)}$ は、CLK5がHとなり、第10及び第15のスイッチ22、27がONして、第3の蓄積容量(Cr2)30にサンプリングされる。このとき、保持している電荷 $Q1_{(N+1)}$ は、

$$Q1_{(N+1)} = (Vr_{(N+1)} - Vref2) Cr2 \quad \dots \dots \dots (19)$$

となる。

【0036】

次に、データレベル $Vd_{(N+1)}$ は、CLK6がHとなり、第11及び第17のスイッチ23、29がONして、第4の蓄積容量(Cd2)31にサンプリングされる。このとき、保持している電荷 $Q2_{(N+1)}$ は、

$$Q2_{(N+1)} = (Vd_{(N+1)} - Vref2) Cd2 \quad \dots \dots \dots (20)$$

となる。また、フィードスルーレベル及びデータレベルに対応する電荷 $Q1_{(N+1)}$ 、 $Q2_{(N+1)}$ をサンプリングしている間、CLK4がHとなり、第3、第4、第5及び第7のスイッチ12、13、14、16がONする。N番目のときと同様に、A点の電位は差動増幅器7の仮想接地によりVref1であるので、第1及び第2の蓄積容量18、19の両端の電位が等しくなり、保持していた電荷は全てA点を経由して帰還容量(Cf)8に流れ込むことになる。このとき、A点には第1の蓄積容量18の他端と第2の蓄積容量19の一端が接続されているので、第1の蓄積容量18に保持されていた電荷 $Q1_{(N)}$ のみ極性が反転されて出力されることになる。よって、帰還容量8には、 $Q2_{(N)} - Q1_{(N)}$ なる電荷が流れ込むことになる。ここで、 $Cr1 = Cd1 = Cs$ として、式(14)、(15)を式(3)に代入すると

$$Vout_{(N+1)} = Cs / Cf \cdot (Vd_{(N)} - Vr_{(N)}) + Vref1 \quad \dots \dots \dots (21)$$

となり、データレベルとフィードスルーレベルの差分を増幅した値が出力される。

【0037】

本実施例でも、式(18)、(21)に示したように、実施例2と同様の効果を得ることができる。また、本実施例では、それに加えて図3に示すように、撮像素子からの入力信号 Vin をA/Dコンバータ33によりデジタル値に変換した信号をCPU32で演算し、フィードスルーレベルの最小値とデータレベルの最大値をCPU32で算出し、参照電圧が、算出した2つの間になるようにCPU32で制御し、D/Aコンバータ34でアナログ値の参照電圧を生成し、これを第2の参照電圧(Vref2)21として用いるように構成している。これにより、サンプリングする際に蓄積容量の両端の電位差が小さくて済み、サンプリング時間を短くすることができるので、動作周波数を高速化できるという効果が得られる。この図3に示した実施例では、CPU32でフィードスルーレベルの最小値とデータレベルの最大値を算出し、第2の参照電圧を設定するようにしたものを示したが、フィードスルーレベルの平均値とデータレベルの平均値をそれぞれ算出して第2の参照電圧21を制御するなどの手法を用いてもよいし、他の手段として、CPUではなくサンプルホールド回路など

10

20

30

40

50

を使用して設定するようにしても、同様の効果を得ることができる。

【 0 0 3 8 】

なお、図 3 に示した実施例 3 の説明では、第 1 及び第 3 の容量回路 3 , 5 でフィードスルーレベルをサンプリングする場合を説明したが、第 2 及び第 4 の容量回路 4 , 6 でフィードスルーレベルをサンプリングする場合では、式 (18) , (21) は、

$$V_{out(N)} = -C_s / C_f \cdot (V_{d(N-1)} - V_{r(N-1)}) + V_{ref1} \quad \dots (22)$$

$$V_{out(N+1)} = -C_s / C_f \cdot (V_{d(N)} - V_{r(N)}) + V_{ref1} \quad \dots (23)$$

となり、極性が変わるだけでその効果に変わりがないことがわかる。

【 0 0 3 9 】

図 5 は、本発明の実施例 4 の特徴部を示す回路構成図であり、本実施例は請求項 11 に係る映像信号処理回路に対応している。本実施例の特徴は、先に示した実施例 1 ~ 3 に係る映像信号処理回路において、前記帰還容量 8 を可変できるように、複数の容量素子 C_{f1} , C_{f2} , C_{f3} と、それに対応するスイッチ 8 a , 8 b , 8 c とで構成したものである。

【 0 0 4 0 】

次に、図 5 に示したこの実施例の動作について説明する。前述のように、本実施例は、帰還容量 8 を構成する 3 つの容量素子 C_{f1} , C_{f2} , C_{f3} を、信号 1 , 2 , 3 によるスイッチ 8 a , 8 b , 8 c の ON , OFF 制御により、帰還容量として使用するかどうか切り換えることができるようになっており、この実施例では信号 1 , 2 , 3 が H のときにスイッチが ON するものとする。例えば、信号 1 のみが H のときは帰還容量として容量素子 C_{f1} が使用され、信号 2 と 3 が H のときは、帰還容量として 2 つの容量素子 C_{f2} と C_{f3} とが帰還容量として使用されることとなる。これにより、式 (2) , (3) , (8) , (11) , (12) , (13) , (18) , (21) , (22) , (23) の C_f の値を自由に定めることができるので、ゲインを自由に設定することができる。一般的に、撮像素子からの信号を処理する映像信号処理回路の次段には、ゲインを調整する P G A 回路 (プログラマブル・ゲイン・アンプ) が接続されるが、本実施例の映像信号処理回路ではゲインを自由に定めることができるので、P G A 回路の役割を兼ねることができ、回路規模の縮小化を図ることができるという効果が得られる。

【 0 0 4 1 】

なお、図 5 に示した実施例では、可変選択する容量素子が 3 つの例を示したが、容量素子の数には制限はなく、より多くの容量素子を並列に接続して使用するかどうかを制御し、ゲイン調整を行うこともできることは言うまでもない。

【図面の簡単な説明】

【 0 0 4 2 】

【図 1】本発明に係る映像信号処理回路の実施例 1 の構成を示す概略ブロック図である。

【図 2】本発明に係る映像信号処理回路の実施例 2 の構成を示す回路構成図である。

【図 3】本発明に係る映像信号処理回路の実施例 3 の構成を示す回路構成図である。

【図 4】図 2 及び図 3 に示した実施例 2 及び 3 の動作を説明するための信号波形図である。

。

【図 5】本発明に係る映像信号処理回路の実施例 4 の特徴部の構成を示す回路構成図である。

【図 6】従来の映像信号処理回路の一例を示すブロック構成図である。

【図 7】図 6 に示す従来の映像信号処理回路の動作を説明するための信号波形図である。

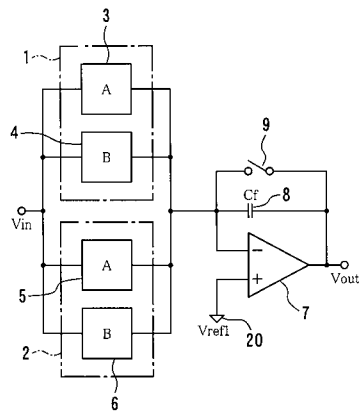
【符号の説明】

【 0 0 4 3 】

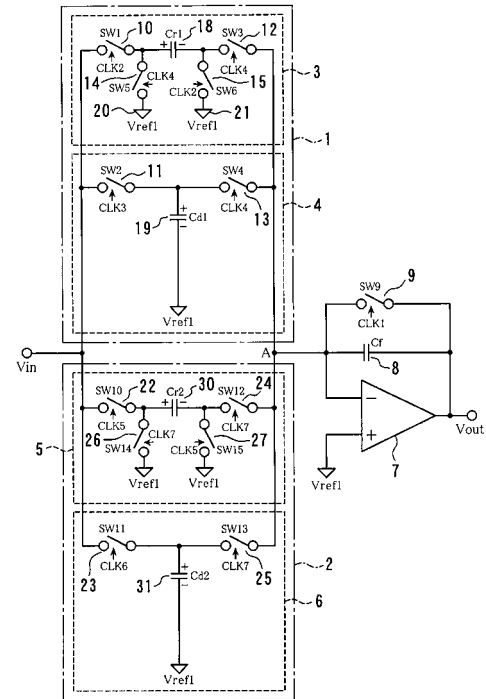
- 1 第 1 の減算ブロック
- 2 第 2 の減算ブロック
- 3 入力の極性を反転させる第 1 の容量回路
- 4 入力の極性を反転させない第 2 の容量回路
- 5 入力の極性を反転させる第 3 の容量回路
- 6 入力の極性を反転させない第 4 の容量回路

7	差動増幅器	
8	帰還容量	
9	リセットスイッチ	
10	第1のスイッチ	
11	第2のスイッチ	
12	第3のスイッチ	
13	第4のスイッチ	
14	第5のスイッチ	
15	第6のスイッチ	
16	第7のスイッチ	10
17	第8のスイッチ	
18	第1の蓄積容量	
19	第2の蓄積容量	
20	第1の参照電圧	
21	第2の参照電圧	
22	第10のスイッチ	
23	第11のスイッチ	
24	第12のスイッチ	
25	第13のスイッチ	
26	第14のスイッチ	20
27	第15のスイッチ	
28	第16のスイッチ	
29	第17のスイッチ	
30	第3の蓄積容量	
31	第4の蓄積容量	
32	第2の参照電圧を制御するCPU	
33	A/Dコンバータ	
34	D/Aコンバータ	
100	第1のバッファ回路	
101	第1のスイッチ	30
102	第2のバッファ回路	
103	第1の蓄積容量	
104	第3のバッファ回路	
105	第2のスイッチ	
106	第4のバッファ回路	
107	第2の蓄積容量	
108	第3のスイッチ	
109	第5のバッファ回路	
110	第3の蓄積容量	
111	差動増幅器	40
112	第1のサンプルホールド回路	
113	第2のサンプルホールド回路	
114	第3のサンプルホールド回路	
115	選択スイッチ	
116	参照電圧	

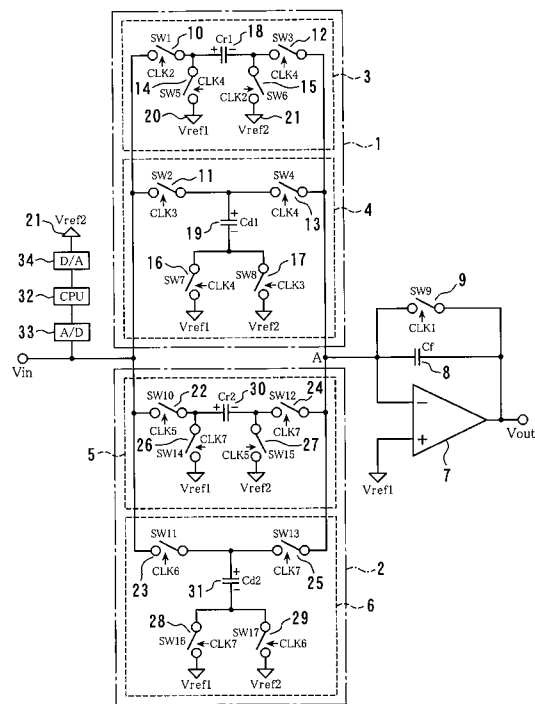
【図 1】



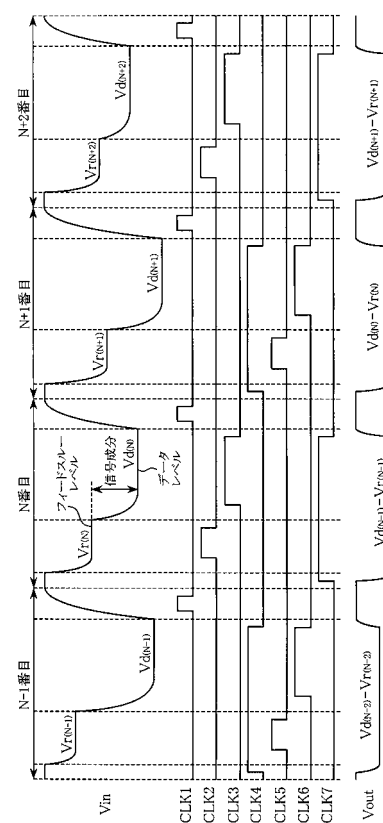
【図 2】



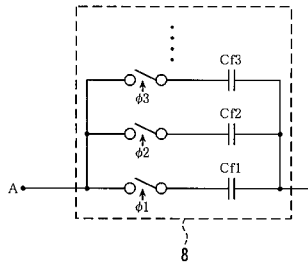
【図 3】



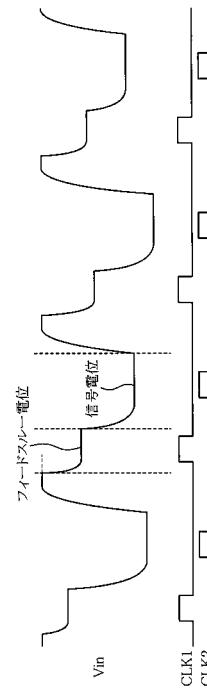
【図 4】



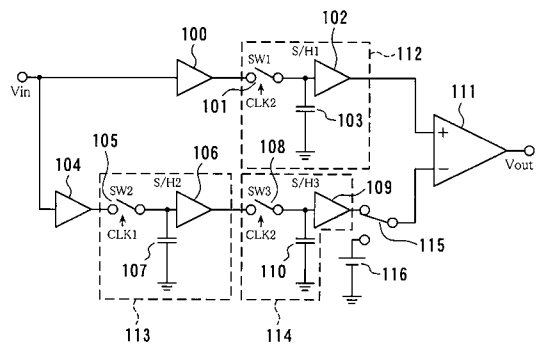
【図 5】



【図 7】



【図 6】



フロントページの続き

(56)参考文献 特開2003-289477(JP,A)
特開2003-163843(JP,A)
特開平09-298690(JP,A)
特開2002-043941(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/335