(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월17일
(11) 등록번호 10-1165791
(24) 등록일자 2012년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) *H01L 21/02* (2006.01)
(21) 출원번호 10-2005-7005288
(22) 출원일자(국제) 2003년09월19일
심사청구일자 2008년09월19일
(85) 번역문제출일자 2005년03월25일
(65) 공개번호 10-2005-0055729
(43) 공개일자 2005년06월13일
(86) 국제출원번호 PCT/US2003/029037
(87) 국제공개번호 WO 2004/032224
국제공개일자 2004년04월15일
(30) 우선권주장
10/262,620 2002년09월30일 미국(US)
(56) 선행기술조사문헌
KR100332187 B1
KR1020020019928 A
KR1020020047215 A
KR1020020087047 A

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68
(72) 발명자
총 로버트 제이.
미국 텍사스 78749 오스틴 가비온 드라이브 6921
왕 진
미국 텍사스 78703 오스틴 웨스트 6 스트리트 #씨 1628
(74) 대리인
박장원

전체 청구항 수 : 총 10 항 심사관 : 한상일

(54) 발명의 명칭 **측정된 전기적 특성에 기초한 제조 공정 제어 방법 및 장치**

(57) 요 약

본 방법은 동작 레시피에 따라 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정을 수행하는 단계를 포함한다. 상기 피쳐의 전기적 성능 특성이 측정된다. 상기 측정된 전기적 성능 특성은 적어도 하나의 전기적 성능 특성의 타겟 값과 비교된다. 상기 동작 레시피의 적어도 하나의 파라미터는 상기 비교에 기초하여 결정된다. 시스템(10, 100)은 공정 툴(30-80, 200, 210, 220, 230), 계측 툴(30-80, 250), 및 제어기(140)를 포함한다. 상기 공정 툴(30-80, 200, 210, 220, 230)은 공정 레시피에 따라 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정을 수행하도록 구성된다. 상기 계측 툴(30-80, 250)은 상기 피쳐의 전기적 성능 특성을 측정하도록 구성된다. 상기 제어기(140)는 상기 측정된 전기적 성능 특성을 상기 전기적 성능 특성의 타겟 값과 비교하고, 상기 비교에 기초하여 상기 동작 레시피의 적어도 하나의 파라미터를 결정하도록 구성된다.

대 표 도

특허청구의 범위

청구항 1

측정된 전기적 성능 특성에 기초하여 제조 공정을 제어하는 방법으로서,

동작 레시피(operation recipe)에 따라 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정을 수행하는 단계와;

상기 피쳐의 전기적 성능 특성을 측정하는 단계와;

상기 측정된 전기적 성능 특성을 상기 전기적 성능 특성의 타겟 값과 비교하는 단계와; 그리고

상기 비교에 기초하여 후속 반도체 디바이스에 상기 피쳐를 형성하기위한 상기 동작 레시피의 적어도 하나의 파라미터를 결정하는 단계를 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 방법.

청구항 2

제 1항에 있어서,

상기 피쳐를 형성하기 위한 복수의 공정 - 이들 복수의 공정 각각은 동작 레시피를 갖는다 - 을 수행하는 단계와; 그리고

상기 비교에 기초하여, 상기 후속 반도체 디바이스에 상기 피쳐를 형성하기 위한 복수의 공정들의 서브셋에 대한 동작 레시피들의 적어도 하나의 동작 파라미터를 결정하는 단계를 더 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 방법.

청구항 3

제 1항에 있어서,

상기 동작 레시피 파라미터들의 기본값(base value)을 결정하는 단계와; 그리고

상기 비교에 기초하여 상기 기본값의 오프셋(offset)을 결정하는 단계를 더 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 방법.

청구항 4

제 1항에 있어서,

상기 공정은 상기 피쳐의 물리적인 특성과 관련된 기본 타겟값을 이용하며,

상기 비교에 기초하여 상기 기본 타겟값의 오프셋을 결정하는 단계와; 그리고

상기 기본 타겟값 및 상기 오프셋에 기초하여 동작 레시피의 적어도 하나의 파라미터를 결정하는 단계를 더 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 방법.

청구항 5

제 2항에 있어서,

상기 복수의 공정들은 제1 동작 레시피에 따라 절연층에 컨택 개구를 형성하기 위한 공정, 제2 동작 레시피에 따라 상기 컨택 개구를 라이닝(lining)하는 제1 공정층을 형성하기 위한 공정, 제3 동작 레시피에 따라 상기 제1 공정층 위에 제2 공정층을 형성하기 위한 공정, 제4 동작 레시피에 따라 상기 컨택 개구를 채우기 위해 전도층을 형성하기 위한 공정, 및 제5 동작 레시피에 따라 상기 컨택 개구를 벗어나 연장되는 상기 전도층의 부분을 제거하기 위해 상기 전도층을 연마하는 공정을 포함하고,

상기 측정된 전기적 성능 특성은 상기 컨택의 컨택 저항을 포함하고,

상기 복수의 공정들의 서브셋에 대한 동작 레시피들의 적어도 하나의 동작 파라미터를 결정하는 단계는 상기 비교에 기초하여 상기 제1, 2, 3, 4 및 5 동작 레시피들 중 적어도 하나의 동작 레시피의 적어도 하나의 파라

미터를 결정하는 것을 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 방법.

청구항 6

측정된 전기적 성능 특성에 기초하여 제조 공정을 제어하는 시스템(10, 100)으로서,

동작 레시피에 따라 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정을 수행하도록 구성된 공정 툴(30-80, 200, 210, 220, 230)과;

상기 피쳐의 전기적 성능 특성을 측정하도록 구성된 계측 툴(30-80, 250)과; 그리고

상기 측정된 전기적 성능 특성을 상기 전기적 성능 특성의 타겟 값과 비교하고, 상기 비교에 기초하여 후속 반도체 디바이스에 상기 피쳐를 형성하기 위한 상기 동작 레시피의 적어도 하나의 파라미터를 결정하도록 구성된 제어기(140)를 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 시스템(10, 100).

청구항 7

제 6항에 있어서,

상기 피쳐를 형성하기 위해 복수의 공정들을 수행하도록 구성되며, 각각 동작 레시피를 갖는 복수의 공정 툴들(30-80, 200, 210, 220, 230)을 더 포함하며,

상기 제어기는 상기 비교에 기초하여 상기 후속 반도체 디바이스에 상기 피쳐를 형성하기 위한 복수의 공정들의 서브셋에 대한 동작 레시피의 적어도 하나의 동작 파라미터를 결정하도록 구성된 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 시스템(10, 100).

청구항 8

제 6항에 있어서,

상기 제어기(140)는 제1 제어기(140)를 포함하고,

상기 시스템(10, 100)은, 상기 공정 툴(30-80, 200, 210, 220, 230)과 관계함과 아울러 상기 동작 레시피 파라미터의 기본 값을 결정하도록 구성된 제2 제어기(202, 212, 222, 232)를 포함하고,

상기 제1 제어기(140)는 상기 비교에 기초하여, 상기 기본값의 오프셋을 결정하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 시스템(10, 100).

청구항 9

제 6항에 있어서,

상기 제어기(140)는 제1 제어기(140)를 포함하고,

상기 시스템(10, 100)은 상기 피쳐의 물리적인 특성과 관련된 기본 타겟 값에 따라 상기 공정 툴(30-80, 200, 210, 220, 230)을 제어하도록 구성된 제2 제어기(202, 210, 222, 232)를 더 포함하며,

상기 제1 제어기(140)는 상기 비교에 기초하여 상기 기본 타겟 값의 오프셋을 결정하도록 구성되며,

상기 제2 제어기(202, 210, 222, 232)는 상기 기본 타겟 값 및 상기 오프셋에 기초하여 상기 동작 레시피의 적어도 하나의 파라미터를 결정하도록 구성된 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 시스템(10, 100).

청구항 10

제 6항에 있어서,

상기 피쳐는 트랜지스터를 포함하고,

상기 전기적 성능 특성은 폴리실리콘 시트 저항 파라미터 및 게이트 전압 파라미터 중 적어도 하나를 더 포함하는 것을 특징으로 하는 측정된 전기적 성능 특성에 기초한 제조 공정 제어 시스템(10, 100).

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 반도체 디바이스의 제조 분야에 관한 것으로, 특히, 측정된 전기적 특성에 기초하여 제조 공정을 제어하기 위한 방법 및 장치이다.

배 경 기 술

[0002] 반도체 산업에 있어서, 예컨대 마이크로프로세서, 메모리 소자와 같은 집적 회로 소자의 품질, 신뢰성 및 처리량의 향상이 계속 추구되고 있다. 이러한 추구는 더욱 신뢰성 있게 동작하는 컴퓨터와 전자기기에 대한 소비자의 요구에 의해 계속 되고 있다. 이러한 요구는 예컨대, 트랜지스터와 같은 반도체 디바이스 제조에 있어서 뿐만 아니라, 그러한 트랜지스터가 통합된 집적 회로 소자의 제조에 있어서 지속적인 향상 결과를 낳았다. 게다가, 전형적인 트랜지스터 구성요소들의 제조에 있어서 결함을 감소시키는 것은 또한 트랜지스터와 같은 통합된 집적 회로 디바이스들의 비용을 감소시키는 것뿐만 아니라 트랜지스터당 가격을 전반적으로 낮춘다.

[0003] 일반적으로, 일 세트의 공정 단계들이 포토리소그래피 스테퍼들, 식각 툴들, 증착 툴들, 연마 툴들, 고속 열 공정 툴들, 주입 툴들 등을 포함하는 다양한 공정 툴들을 사용하여 많은 웨이퍼에서 수행된다. 반도체 공정 툴들을 기초로 하는 기술들은 지난 수년 동안 더욱 주목을 끌었고, 상당히 개선되었다. 그러나, 이 분야에서의 진보가 이루어졌음에도 불구하고, 현재 상업적으로 이용가능한 다수의 공정 툴들은 일부 결함들을 갖는다. 특히, 그러한 툴들은 종종 진보된 프로세스 데이터 모니터링 성능들을 결여하고 있는바, 이들 성능은 사용자에게 친화적인 포맷으로 파라미터의 이력 데이터를 제공할 능력뿐만 아니라, 현재 공정 파라미터들 및 전체 실행(run)의 공정 파라미터들의 이벤트 로깅을 통한 실시간 그래픽 표시 능력, 및 원격 즉, 로컬 위치 및 전세계적(worldwide) 모니터링 능력 등이다. 이러한 결함들은 처리량, 정확성, 안정성 및 반복성과 같은 임계 공정 파라미터들, 공정 온도, 기계적인 툴 파라미터들 등을 부적절하게 제어하도록 할 수 있다. 이러한 가변성은 그 자체로, 생산 품질 및 성능에 편차를 발생시킬 수 있는 내부 실행 불일치, 실행대 실행 불일치 및 툴대 툴 불일치로서 드러나는데 반해, 그러한 툴들에 대한 이상적인 모니터링 및 진단 시스템은 그 가변성을 모니터링 하는 수단을 제공할 뿐만 아니라 임계 파라미터들의 제어를 최적화하기 위한 수단을 제공할 수 있다.

[0004] 반도체 공정 라인의 동작을 향상시키기 위한 하나의 기술은 다양한 공정 툴들의 동작을 자동적으로 제어하기 위한 공장 규모의 제어 시스템을 사용하는 것을 포함한다. 상기 제조 툴들은 제조 체제 또는 공정 모듈들의 네트워크와 통신한다. 각 제조 툴은 일반적으로 장비 인터페이스와 연결된다. 상기 장비 인터페이스는 상기 제조 툴과 제조 체제 간의 통신을 용이하게하는 기계 인터페이스에 연결된다. 상기 기계 인터페이스는 일반적으로 진보된 공정 제어(APC) 시스템의 일부분이 될 수 있다. 상기 APC 시스템은 제조 공정을 수행하기 위해 요구되는 데이터를 자동적으로 검색하는 소프트웨어 프로그램이 될 수 있는 제조 모델에 기초하여 제어 스크립트를 초기화한다. 종종, 반도체 디바이스들은 다중 공정들을 다중 제조 툴들을 통해 단계적으로 공정 처리(staging)되어 공정된 반도체 디바이스들의 품질에 관한 데이터를 발생시킨다.

[0005] 제조 공정 동안 제조된 디바이스들의 성능에 영향을 미치는 다양한 이벤트들이 발생할 수 있다. 즉, 제조 공정 단계들에서의 변화(variation)는 디바이스 성능 변화를 야기한다. 피쳐 임계 치수, 도핑 레벨, 컨택 저항, 입자 오염도 등과 같은 인자들 모두는 잠재적으로 디바이스의 최종 성능에 영향을 미칠 수 있다. 공정 라인에서의 다양한 툴은 공정 변화를 감소시키기 위해 성능 모델들에 따라 제어된다. 일반적으로 피제어 툴들은 포토리소그래피 스테퍼들, 연마 툴들, 식각 툴들 및 증착 툴들을 포함한다. 선공정 및/또는 후공정 계측 데이터는 상기 툴들에 대한 공정 제어기에 제공된다. 공정 시간과 같은 그러한 동작 레시피 파라미터들(operating recipe parameters)은 가능한한 타겟 값에 근접한 후공정 결과를 얻고자 동작 모델 및 계측 정보에 기초하여 공정 제어기들에 의해 계산된다. 이러한 방식으로, 변화를 감소시킴으로써 처리량의 증가, 비용 감소, 디바이스 성능 향상이 달성되는 바, 이는 수익성의 증대를 의미한다.

[0006] 수행된 다양한 공정들에 대한 타겟 값들은 일반적으로, 제조 디바이스들에 대한 설계 값들에 기초한다. 예를 들어, 특정 공정층은 타겟 두께를 가질 수 있다. 증착 툴들 및/또는 연마 툴들에 대한 동작 레시피들은 타겟 두께에 대한 변화를 감소시키기 위하여 자동적으로 제어될 수 있다. 또 다른 예로서, 트랜지스터 게이트 전극의 임계 치수는 관련된 타겟 값을 가질 수 있다. 포토리소그래피 툴들 및/또는 식각 툴들의 동작 레시피들은 타겟 임계 치수들을 얻기 위하여 자동적으로 제어될 수 있다.

[0007] 몇몇 경우에 있어서, 제조된 디바이스들의 성능을 결정하는 전기적 측정들은 제조 공정에서 비교적 마지막 단계 때까지, 때때로 최종 테스트 단계까지 처리되지 않는다. 디바이스들의 제조와 성능 특성들의 측정과의 사이에서의 이러한 뒤처짐(lag)은 그 성능 목적들을 성취하기 위하여 제조 공정들을 자동적으로 제어하는 것

을 어렵게 한다.

[0008] 일반적으로, 제조된 디바이스들의 전기적 성능 특성들(예컨대, 속도, 컨택 저항, 전력 소비 등)은, 피처에 대한 치수 및 재료에 대해 결정된 설계 값에 기초하여 상기 디바이스들의 물리적인 특성들을 제어함으로써 간접적으로 제어된다. 타겟값들로부터의 실제 디바이스 특성에 있어서의 변화는 전기적 성능 특성에서의 그에 상응하는 변화를 야기한다. 일부 경우에서, 여러가지 변화 원인들이 누적적으로 겹침으로써, 완성된 디바이스의 전기적 성능 특성을 저하시키거나 또는 완전히 허용할 수 없는 수준으로 되게 할 수 있다.

[0009] 일반적으로, 어떤 특정한 전기적 성능 특성의 목적을 성취하기 위해 사용될 수 있는 하나 이상의 설계 세트 또는 타겟 값들이 있다. 그러나, 전기적 성능 특성들을 제어하는 간접적인 방법이 사용되기 때문에, 상기 타겟 값들은 일반적으로 고정적이다. 몇몇 상황에 있어서, 하나 이상의 제조 공정들은 그 타겟을 신뢰성 있게 일치시키기 어렵다. 툴 청결, 소비 아이템들의 수명 등과 같은 다양한 인자들은 툴의 성능 및 제어 능력에 영향을 미칠 수 있다. 타겟으로부터의 이러한 변화는 완성된 디바이스들의 전기적 성능 특성에 악영향을 끼치는 바, 이는 간접적인 제어에 의해서는 쉽게 대처할 수 없다.

[0010] 본 발명은 전술한 문제점들 중 하나 이상을 해결하거나, 적어도 감소시키고자 한다.

발명의 상세한 설명

[0011] 본 발명의 한 양상은 동작 레시피에 따라 반도체 디바이스의 피처를 형성하기 위한 적어도 하나의 공정을 수행하는 단계를 포함하는 방법을 제시한다. 피처의 전기적 성능 특성이 측정된다. 상기 측정된 전기적 성능 특성은 전기적 성능 특성의 타겟 값과 비교된다. 동작 레시피의 적어도 하나의 파라미터가 상기 비교에 기초하여 결정된다.

[0012] 본 발명의 또 다른 양상은 공정 툴, 계측 툴 및 제어기를 포함하는 시스템에서 보여진다. 상기 공정 툴은 동작 레시피에 따라 반도체 디바이스의 피처를 형성하기 위한 적어도 하나의 공정을 수행하도록 구성된다. 상기 계측 툴은 상기 피처의 전기적 성능 특성을 측정하도록 구성된다. 상기 제어기는 상기 측정된 전기적 성능 특성을 상기 전기적 성능 특성의 타겟 값과 비교하고, 상기 비교에 기초하여 동작 레시피의 적어도 하나의 파라미터를 결정하도록 구성된다.

실 시 예

[0020] 본 발명의 구체적인 실시예가 이하에서 설명된다. 명료성을 위해, 실제 구현되는 모든 형태들이 상세한 설명에서 기술되지는 않는다. 물론 임의의 어떤 그러한 실제 실시예의 전개에 있어서, 수많은 실시별 특정 결정들이 실시마다 다양하게 변화하는 시스템 관련 및 사업 관련 제약에 따라 개발자들의 구체적 목적을 성취하기 위해 이루어져야 함을 이해할 수 있을 것이다. 더욱이, 그러한 개발 노력은 복잡하고 시간 소비가 따르나, 본 개시의 혜택을 누리는 당업자에게는 일상적인 작업이됨을 이해할 수 있을 것이다.

[0021] 도 1을 참조하면, 예시적인 제조 시스템(10)의 단순화된 블록도가 제공된다. 예시적인 실시예에 있어서, 제조 시스템(10)은 반도체 디바이스의 제조에 적합하도록 되어있다. 비록 본 발명이 반도체 제조 설비에서 실시될 수 있는 것으로 설명되었으나, 본 발명은 이에 국한되지 않으며, 다른 제조 환경에도 적용될 수 있다. 여기서 설명된 기술들은 마이크로프로세서, 메모리 디바이스, 디지털 신호 처리기, 주문형 집적회로(ASIC) 또는 다른 유사한 디바이스들을 포함하나 이에 한정되지 않는 다양한 작업물들 또는 제조 아이템들에 적용될 수 있다. 상기 기술은 또한 반도체 디바이스 외에 다른 작업물들 또는 제조 아이템들에도 적용될 수 있다.

[0022] 네트워크(20)는 제조 시스템(10)의 다양한 구성요소들을 서로 연결시켜 정보교환을 할 수 있게 한다. 예시적인 제조 시스템(10)은 복수의 툴들(30-80)을 포함한다. 각각의 툴들(30-80)은 상기 네트워크(20)와 인터페이싱 하기 위해 컴퓨터(도시하지 않음)와 연결된다. 상기 툴들(30-80)은 도면부호의 말미에 첨자를 부가하여 표시한 바와 같이, 일 세트의 유사한 툴들로 그룹지어진다. 예를 들어, 일 세트의 툴들(30A-30C)은 화학적 기계적 평탄화 툴과 같은 특정 타입의 툴들을 나타낸다. 특정 웨이퍼 또는 복수의 웨이퍼들이, 공정 흐름에서 각각 특정 기능을 수행하는 제조 툴들(30-80)을 통해 진행된다. 반도체 디바이스 제조 환경의 예시적인 공정 툴들은, 계측 툴들, 포토리소그래피 스테퍼들, 식각 툴들, 증착 툴들, 연마 툴들, 고속 열 공정 툴들, 주입 툴들 등을 포함한다. 상기 툴들(30-80)은 단지 예시적인 목적을 위하여 일렬로 그룹지어 도시된다. 실제 실시에 있어서, 상기 툴들(30-80)은 임의의 물리적인 순서 또는 그룹으로 정렬될 수 있다. 또한, 특정 그룹에서의 툴들 간의 연결은, 상기 툴들(30-80) 사이의 상호 연결보다는 상기 네트워크(20)와의 연결을 나타냄을 의미한다.

[0023] 제조 실행 시스템(MES) 서버(90)가 제조 시스템(10)의 하이레벨 동작을 지시한다. 상기 MES 서버(90)는 제조 시스템(10)내의 다양한 엔티티들 (즉, 로트들, 툴들(30-80))의 상태를 모니터하여 상기 공정 흐름을 통하는 제조물(예컨대, 반도체 웨이퍼들의 로트들)의 흐름을 제어한다. 데이터베이스 서버(100)가 공정 흐름에서 다양한 엔티티들 및 제조물의 상태에 관한 데이터를 저장하기 위하여 제공된다. 상기 데이터베이스 서버(100)는 하나 이상의 데이터 저장소(110)에 정보를 저장할 수 있다. 상기 데이터베이스 서버는 선공정 및 후공정 계측 데이터, 툴 상태, 로트 우선 순위 등을 포함할 수 있다.

[0024] 본 발명 부분들 및 이에 대한 상세한 설명은 소프트웨어 또는, 컴퓨터 메모리 내의 데이터 비트들에 대한 조작을 심볼 표시 및 알고리즘 형태로 제시한다. 이들 설명과 표현은 이 기술분야의 당업자들이 이 기술분야의 다른 당업자들에게 그들의 연구 내용을 효율적으로 전달하기 위한 것이다. 알고리즘은, 이 용어가 본명세서에서 사용될 때 및 일반적으로 사용될 때, 원하는 결과에 이르는 단계들의 일관성 있는 시퀀스로 여겨진다. 상기 단계들은 물리량들의 물리적 조작을 필요로 하는 것들이다. 보통, 반드시 그런 것은 아니지만, 이들 물리량은 저장, 전송, 결합, 비교 및 기타 방법으로 처리될 수 있는 광, 전기 또는 자기 신호의 형태를 취한다. 원칙적으로 공통-사용의 이유로, 이들 신호들을 비트, 값, 요소, 심볼, 문자, 용어, 번호, 또는 이와 같은 것으로 지칭하는 것이 때때로 편리하다.

[0025] 그러나, 이들 및 유사한 용어들 모두는 적절한 물리량과 관련된 것이며, 단지 이 물리량에 적용된 편리한 라벨일 뿐임을 명심해야 한다. 달리 특정하지 않는한, 혹은 논의로부터 분명한 바와 같이, "처리" 또는 " 컴퓨팅(computing)" 또는 "계산" 또는 " 결정" 또는 " 디스플레이" 또는 이와 유사한 용어들은 상기 컴퓨터 시스템의 레지스터 및 메모리 내의 물리, 전기량으로 나타낸 데이터를, 컴퓨터 시스템 메모리 또는 레지스터 또는 다른 이러한 정보 저장, 전송 또는 디스플레이 장치 내의 물리량으로 유사하게 나타낸 다른 데이터로 조작 및 변환시키는 컴퓨터 시스템 또는, 유사한 전기적 컴퓨팅 장치의 동작 및 처리를 나타낸다.

[0026] 제조 시스템(10)에서의 사용에 적합한 예시적인 정보 교환 및 공정 제어 체제는 진보된 공정 제어(APC) 체제이며, KLA-텐코 사(KLA-Tencor, Inc)에 의해 제공되는 촉매 시스템(Catalyst system)을 사용하여 구현될 수 있다. 상기 촉매 시스템은 국제 반도체 설비 및 물질(Semiconductor Equipment and Materials International)(SEMI) 컴퓨터 집적 제조(Computer Integrated Manufacturing)(CIM) 체제 호환 시스템 기술들을 이용하며, 진보된 공정 제어(APC) 체제를 기초로 한다. CIM(SEMI E81-0699 -CIM 체제 도메인 구조에 대한 가 사양) 및 APC(SEMI E93-0999 - CIM 체제 진보된 공정 제어 성분에 대한 가 사양) 사양은 SEMI로부터 공개적으로 이용가능하며, 캐나다의 마운틴 뷰(Mountain View)에 본부를 두고 있다.

[0027] 공정 및 데이터 저장 기능은 일반적인 독립성 및 중심 정보 저장을 제공하도록 도 1의 서로 다른 컴퓨터들 또는 워크스테이션들 사이에 분포된다. 물론, 서로 다른 수의 컴퓨터들 및 서로 다른 구성들이 본 발명의 사상 및 범위로부터 벗어남 없이 사용될 수 있다.

[0028] 제조 시스템(10)은 또한 워크스테이션(150)에서 실행되는 전기적 파라미터 제어기(140)를 포함한다. 이하에서 더 상세히 설명하는 바와같이, 전기적 파라미터 제어기(140)는 (예컨대, 계측 툴로서 동작하는 툴들(30-80) 중 하나로부터) 제조된 디바이스의 전기적 성능 파라미터에 관한 피드백 데이터를 수신하고, 공정 툴로서 동작하는 하나 이상의 툴들(30-80)의 하나 이상의 동작 레시피 파라미터들을 결정한다. 예시적인 측정된 전기적 성능 파라미터들은 컨택 저항, 라인 저항, 유도 전류, 전력 소비 등을 포함할 수 있다. 일반적으로, 용어 전기적 성능 특성이란 피쳐의 성능을 나타내는 전기적 측정으로서 언급된다. 예시적인 목적으로, 본 발명은 컨택 피쳐와 관련된 컨택 저항 파라미터를 제어하는데 사용될 수 있는 것처럼 설명되나, 본 발명은 이에만 한정되는 것이 아니며 다른 전기적 성능 파라미터들에 적용될 수도 있다. 비록 도 1에 도시된 다양한 엔티티들이 개별적으로 도시되었으나, 그들 중 하나 이상은 단일 유닛에 통합될 수 있다.

[0029] 이제 도 2를 참조하면, 도 1의 제조 시스템(10) 일부분의 단순화된 블록도가 제공된다. (예컨대, 상기 툴들(30-80)로부터 선택된) 공정 툴들(200, 210, 220, 230)은 웨이퍼들(240)을 공정하여 그 위에 컨택 개구를 형성한다. 각 공정 툴(200, 210, 220, 230)은 동작 레시피를 실시한다. 컨택들을 형성하는데 있어서 상기 툴들(200, 210, 220, 230)의 기능들은 도 3a 내지 도 3d를 참조하여 설명된다.

[0030] 예시적인 실시예에 있어서, 도 3a에 도시된 바와 같이 공정 툴(200)은, 아래에 있는 전도층(320)(예컨대, 살리사이드, 폴리실리콘)과 컨택하도록 절연층(310)(예컨대, TEOS, 낮은-k 유전체)에 컨택 개구(300)를 식각하는 식각 툴(200)이다. 컨택 개구(300)의 폭은 포토레지스트 층(이를 통해 개구가 식각됨)에 형성된 대응하는 개구의 폭에 의해 일반적으로 결정되는 반면, 식각 툴(200)의 동작 레시피 파라미터(예컨대, 식각 시간, 플라즈마 전력, 압력, 기체 밀도)는 컨택 개구(300)의 폭에 영향을 미친다. 컨택 개구의 폭이 증가함에 따라, 완

성된 컨택의 컨택 저항이 감소한다.

[0031] 상기 공정 툴(210)은 상기 컨택 개구(300)를 라이닝(lining)하도록된 증착툴(200)이다. 도 3b에 도시된 바와 같이, 증착툴(210)은 장벽층(330) 위의 컨택 개구(300) 및 시드층(340)(예컨대, 구리 채움을 위한 구리 또는 텅스텐 채움을 위한 폴리실리콘)을 라이닝하기 위하여 장벽층(330)(예컨대, 티타늄, 탄탈륨, 탄탈륨 나이트라이드, 티타늄 나이트라이드 또는 이들 몇몇의 조합)을 형성한다. 장벽층(330)은 컨택 개구(300)(예컨대, 구리)를 절연층(310)으로 채우는데 사용되는 물질의 전자 이주(electronmigration)를 감소시키는데 기여한다. 예시적인 실시예에 있어서, 비록 상기 피쳐가 모든 실시예에서 제시되지는 않았으나, 컨택 개구(300)하부의 장벽층(300)의 부분이 시드층(340)을 형성하기에 앞서 (즉, 설명되지 않은 다른 공정 단계를 사용하여) 제거된다. 시드층(340)은 컨택 개구를 채우기 위하여 후속 도금 공정을 위한 기반(base)을 제공한다. 상기 장벽 및 층들(340)의 특정 구성, 그리고 상기 구성요소들의 두께 비율은 완성된 컨택의 컨택 저항에 영향을 미친다. 예를 들어, 티타늄 및 티타늄 나이트라이드를 포함하는 장벽층(330)의 경우에, (비록 고정된 결합 두께를 유지하지만은) 티타늄의 두께에 대비하여 티타늄 나이트라이드의 두께를 감소시키면, 컨택 저항은 감소된다.

[0032] 도 3c에 도시된 바와 같이, 상기 공정 툴(220)은 상기 컨택 개구를 (예컨대, 전해 도금 또는 무전해 도금에 의해) 전도층(350)(예컨대, 구리)으로 채우기 위한 도금 툴(220)이다. 온도, 용해 밀도, 인가 전압, 도금 시간 등과 같은 다양한 도금파라미터들은 전도층(예컨대, 결정 입도)의 물리적인 특성에 영향을 미치며, 그에 따라 컨택 개구의 컨택 저항에 영향을 미친다. 일반적으로 결정 입도가 작을 수록 컨택 저항이 감소된다.

[0033] 도 3d에 도시된 바와 같이, 상기 공정 툴(230)은 컨택 개구(300)를 벗어나 연장되는 전도층(350) 부분들을 제거하기 위한 연마툴(230)이다. 연마 시간, 다운포스(downforce), 연마 패드 속도, 연마 팔(arm)의 진동 크기 및 주파수, 슬러리 화학 혼합물, 온도 등과 같은 연마 파라미터들은 제거되는 물질의 양에 영향을 미친다. 만약 컨택 개구(300) 내의 전도층(350) 일부분(360)이 제거된다면(즉, 디싱(dishing)으로 언급되는 현상), 컨택 저항은 증가된다.

[0034] 제조 시스템(10)은 상기 웨이퍼(240) 위에 형성된 피쳐의 전기적 성능 파라미터를 측정하기 위한 계측 툴(250)을 더 포함한다. 예시적인 실시예에 있어서, 계측 툴(250)은 (도 3d에 도시된) 완성된 컨택(370)의 컨택 저항을 측정하도록 구성된다. 계측 툴(250)은 측정된 전기적 성능 파라미터(예컨대, 컨택 저항)를 전기적 파라미터 제어기(140)에 제공한다. 상기 설명된 바와 같이, 다양한 동작 레시피 파라미터들은 완성된 컨택(370)의 컨택 저항에 영향을 미칠 수 있다. 전기적 파라미터 제어기(140)는, 측정된 피드백에 기초하여 하나 이상의 동작 레시피 파라미터들을 결정하기 위해 하나 이상의 공정 툴들(200, 210, 220, 230)과 인터페이스한다.

[0035] 상기 전기적 파라미터 제어기(140)는 동작 레시피 파라미터(들)을 결정하기 위하여 피제어 공정 툴(들)(200, 210, 220, 230)의 제어 모델을 사용할 수 있다. 상기 제어 모델은 일반적으로 알려진 선형 또는 비선형 기술들을 경험적으로 사용하여 개발될 수 있다. 상기 제어 모델은 상대적으로 단순한 방정식 기반 모델(예컨대, 선형, 지수, 가중 평균 등)이나, 혹은 상태 공간 모델, 유한 임펄스 응답(FIR) 모델, 신경 네트워크 모델, 주성분 분석(PCA) 모델, 잠재 구조에 대한 투영(PLS) 모델과 같은 더 복잡한 모델이 될 수 있다. 상기 모델의 특정 구현은 선택된 모델링 기술에 따라 변화할 수 있다. 제어 모델을 사용하여, 전기적 파라미터 제어기(140)는 상기 측정된 전기적 성능 파라미터를 전기적 성능 파라미터의 타겟 값과 비교함으로써 완성된 컨택들(370)의 컨택 저항의 변화를 감소시키기 위해 동작 레시피 파라미터들을 결정할 수 있다. 이러한 특별한 제어 시나리오는 제어되는 공정 툴(30-80)의 특정 타입에 의존한다.

[0036] 계측 툴(250)에 의해 수집되는 피드백 데이터는 전기적 파라미터 제어기(140)에 의해 사용되는 제어 모델(들)을 업데이트 하기 위하여 사용될 수 있다. 상기 컨택들(370)의 물리적인 특성들(예컨대, 컨택 개구 폭, 결정 사이즈, 평면성(planarity) 등)에 관해 다른 계측 툴들(도시되지 않음)에 의해 수집된 다른 피드백 데이터가 상기 제어 모델을 업데이트하기 위하여 또한 사용될 수 있다.

[0037] 도 4에 도시된 또 다른 실시예에 있어서, 개별 공정 툴들(200, 210, 220, 230)은, 상기 컨택들(370)의 물리적인 특성들에 관해 수집된 피드백 데이터에 기초하여 동작 레시피 파라미터들을 제어하는 그들 자신의 공정 제어기들(202, 212, 222, 232)을 가질 수 있다. 전기적 파라미터 제어기(140)는 이러한 공정 제어기(202, 212, 222, 232)와 인터페이스하여, 컨택 레벨에서 컨택 저항에 영향을 미칠 수 있다. 비록 전기적 파라메터 제어기(140) 및 공정 제어기들(202, 212, 222, 232)이 개별적인 엔티티들로 도시되었으나, 특정 실시에 따라 그들 중 하나가 단일 엔티티에 통합될 수 있다.

[0038] 상기 공정 제어기들(202, 212, 222, 232)은 이들의 설정된 기본 타겟 값들 및 수집된 피드백에 기초하여 이들과 관련된 공정 툴들(200, 210, 220, 230)을 제어할 수 있고, 상기 전기적 파라미터 제어기(140)는 자신의 제어 동작을, 측정된 컨택 저항 피드백에 기초하여 공정 제어기들(202, 212, 222, 232) 중 하나의 제어동작과 일치(coordination)시킬 수 있다. 예를 들어, 일 실시예에 있어서, 전기적 파라미터 제어기(140)는 공정 제어기(202, 212, 222, 232)에 의해 사용되는 기초 타겟 값에 오프셋을 제공할 수 있다. 다른 실시예에 있어서, 전기적 파라미터 제어기(140)는 공정 제어기(202, 212, 222, 232)에 의해 결정되는 기초 동작 레시피 파라미터에 오프셋을 제공할 수 있다.

[0039] 동작 파라미터를 조정하는 경우, 만약 측정된 컨택 저항이 매우 높다면, 전기적 파라미터 제어기(140)는 컨택 개구의 사이즈를 증가시키기 위하여 상기 식각 툴(200)용 공정 제어기에 의해 결정되는 기본 식각 시간에 오프셋을 추가할 수 있으며, 후속적으로 공정된 웨이퍼들(240)에 대한 컨택 저항의 감소에 영향을 미칠 수 있다.

[0040] 상기 타겟 조정 실시예를 사용하는 또 다른 구현에 있어서, 전기적 파라미터 제어기(140)는 컨택 개구(300)의 폭의 기본 타겟 값을 변화시킬 수 있고, 공정 제어기(202)는 상기 변화에 영향을 미치도록 새로운 동작 레시피 파라미터들을 결정할 수 있다. 다양한 공정 툴들(200, 210, 220, 230)에 대해 상기 설명된 바와 같이, 유사한 시나리오들이 컨택 저항(즉, 다른 제어된 전기적 성능 파라미터)에 영향을 미치는 다른 동작 레시피 파라미터들에 대해 실시될 수 있다.

[0041] 트랜지스터 디바이스에 대해 제어될 수 있는 예시적인 전기적 성능 특성들은 폴리실리콘 시트 저항 또는 게이트 전압을 포함한다. 전기적 성능 측정 피드백에 기초하여 제어될 수 있는 상기 공정들은 주입, 게이트 폭을 정의하기 위한 식각, 실리사이드 형성, 게이트 스택층 두께에 대한 증착, 및 조성(makeup)(예컨대, 폴리실리콘 불순물)을 포함한다.

[0042] 다시, 도 5에서, 본 발명의 또 다른 예시적인 실시예에 따라 측정된 전기적 성능 특성에 기초하여 제조 공정을 제어하기 위한 방법의 단순화된 흐름도가 도시된다. 블록(500)에서, 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정이 동작 레시피에 따라 수행된다. 블록(510)에서, 상기 피쳐의 전기적 성능 특성이 측정된다. 블록(520)에서, 측정된 전기적 성능 특성은 전기적 성능 특성의 타겟 값과 비교된다. 블록(530)에서, 상기 동작 레시피의 적어도 하나의 파라미터는 상기 비교에 기초하여 결정된다.

[0043] 상기 전기적 파라미터 제어기(140)가 상기 컨택들(370)을 형성하기 위해 사용되는 하나 이상의 공정 툴들(200, 210, 220, 230)과 인터페이스하기 때문에, 상기 피쳐 레벨과 상반되는 모듈 레벨(즉, 컨택들(370))에서 상기 공정을 제어할 수 있다. 다시 말해, 전기적 파라미터 제어기(140)는 직접적으로 상기 컨택 저항을 제어한다. 바람직한 컨택 저항값으로부터 벗어남을 야기함이 없이, 다양한 공정 단계에 발생되는 변화들에 대처할 수 있다.

[0044] 상기 개시된 특정 실시예들은 단지 예시적인 것으로서, 여기에 개시된 내용의 혜택을 누리는 당업자이면 본 발명을 서로 상이하나 균등론적으로 변경 실시할 수 있다. 더욱이, 본 발명을 첨부된 특허청구범위에 기술된 것이 아닌 여기에 개시된 구조 또는 설계에 대한 상세한 설명으로만 국한하고자 의도된 것이 아니다. 그러므로, 상기 개시된 상세한 설명은 변경되거나 수정될 수 있으며 그러한 변경은 본 발명의 사상과 범위 내에 드는 것임이 분명하다. 따라서, 본 발명의 보호범위는 이하의 특허청구범위에 제시된 범위로 한정된다.

도면의 간단한 설명

[0013] 본 발명은 첨부된 도면을 참조로한 다음의 상세한 설명을 참조하면 이해될 수 있으며, 도면에서 동일한 도면부호는 동일한 구성요소를 나타낸다.

[0014] 도 1은 본 발명의 일 실시예에 따른 제조 시스템의 단순화된 블록도이다.

[0015] 도 2는 도 1의 제조 시스템 일부분의 단순화된 블록도이다.

[0016] 도 3a 내지 도 3d는 도 1의 제조 시스템에 의해 제조된 예시적인 디바이스의 단면도이다.

[0017] 도 4는 도 2의 제조 시스템 일부분의 대안적인 실시예의 단순화된 블록도이다.

[0018] 도 5는 측정된 전기적 성능 특성에 기초하여 제조 공정을 제어하기 위한 방법의 단순화된 흐름도이다.

[0019] 본 발명은 다양한 변형물과 대체 형상에 적용하기 쉬우나, 본원의 구체적인 설명은 도면에 예시된 방식에 의해 보여지며 여기서 상세히 설명된다. 그러나, 본원에서 특정 실시예들의 설명은 본 발명을 개시된 특정 형태

들로 한정하는 것이 아니라, 첨부된 청구항들에 의해 정의된 발명의 사상과 범위 내에 있는 모든 변형물, 균등물과 대체물을 포괄함을 이해해야 한다.

도면

도면1

도면2

100
240
식각 툴
200
증착
툴
210
도금 툴
220
전기적
파라미터
제어기
140
연마
툴
230
계측
툴
250

도면3A

300
310
320

도면3B

도면3C

도면3D

도면4

100
240
식각 툴
200
공정
제어기
202
증착
툴
210
공정
제어기
212
도금 툴
220
공정
제어기
222
연마
툴
230
공정
제어기
232
계측
툴
250
전기적
파라미터
제어기
140

도면5

500
공정 레시피에 따라 반도체 디바이스의 피쳐를 형성하기 위한 적어도 하나의 공정을 수행한다
510
피쳐의 전기적 특성을 측정한다
520
측정된 전기적 동작 특성을 상기 전기적 동작 특성의 타겟 값과 비교한다
530
상기 비교에 기초하여 동작 레시피의 적어도 하나의 파라미터를 결정한다