(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-183145
(P2014-183145A)
(43)公開日　平成26年9月29日(2014.9.29)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/331	***(2006.01)***	H01L	29/72	H	5F003
H01L 29/737	***(2006.01)***	H01L	29/72	Z	
H01L 29/73	***(2006.01)***				

審査請求 未請求　請求項の数 4　OL　（全 10 頁）

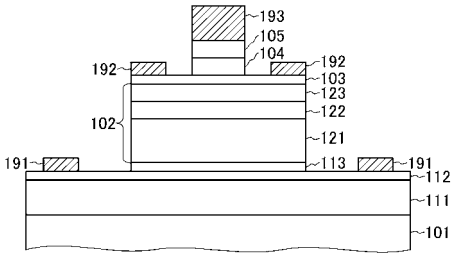
(21)出願番号　特願2013-56064(P2013-56064)
(22)出願日　平成25年3月19日(2013.3.19)

(71)出願人　000004226
日本電信電話株式会社
東京都千代田区大手町一丁目５番１号
(74)代理人　100064621
弁理士　山川　政樹
(74)代理人　100098394
弁理士　山川　茂樹
(74)代理人　100153006
弁理士　小池　勇三
(72)発明者　栗島　賢二
東京都千代田区大手町二丁目３番１号　日本電信電話株式会社内
(72)発明者　井田　実
東京都千代田区大手町二丁目３番１号　日本電信電話株式会社内

最終頁に続く

(54)【発明の名称】ヘテロ接合バイポーラトランジスタ

(57)【要約】
【課題】電流注入特性を損なうことなく、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことなく、ＤＨＢＴのオフ耐圧をより一層向上させる。
【解決手段】例えば、コレクタ積層構造１０２は、コレクタ構成層１２１，コレクタ構成層１２２，コレクタ構成層１２３の３層が積層されている。コレクタ積層構造１０２を構成する各コレクタ構成層は、ベース層１０３に近づくほどバンドギャップが小さい状態とされ、ベース層１０３に接して形成されるコレクタ構成層１２３は、ベース層１０３と同じ半導体から構成されて層厚方向に少なくとも一部がｐ型とされている。
【選択図】　図１



【特許請求の範囲】
【請求項１】
ＩＩＩ－Ｖ族化合物半導体からなる基板と、
前記基板の上に形成されたＩＩＩ－Ｖ族化合物半導体からなる複数のコレクタ構成層が積層されたコレクタ積層構造と、
前記コレクタ積層構造の上に形成されたｐ型のＩＩＩ－Ｖ族化合物半導体からなるベース層と、
前記ベース層の上に形成されたｎ型のＩＩＩ－Ｖ族化合物半導体からなるエミッタ層と
を少なくとも備え、
前記コレクタ積層構造を構成する各コレクタ構成層は、互いにタイプＩ型のヘテロ接合を形成し、
前記コレクタ積層構造を構成する各コレクタ構成層は、前記ベース層に近づくほどバンドギャップが小さい状態とされ、
前記コレクタ積層構造の前記ベース層に接して形成されるコレクタ構成層は、前記ベース層と同じ半導体から構成されて層厚方向に少なくとも一部がｐ型とされ、
前記コレクタ積層構造の前記ベース層に接していないコレクタ構成層は、ｎ型とされている
ことを特徴とするヘテロ接合バイポーラトランジスタ。
【請求項２】
請求項１記載のヘテロ接合バイポーラトランジスタにおいて、
前記コレクタ積層構造の前記ベース層に接して形成されるコレクタ構成層は、層厚方向に全域がｐ型とされていることを特徴とするヘテロ接合バイポーラトランジスタ。
【請求項３】
請求項１または２記載のヘテロ接合バイポーラトランジスタにおいて、
前記コレクタ積層構造の前記ベース層に接して形成されるコレクタ構成層は、電圧が印加されていない状態では空乏化する状態とされていることを特徴とするヘテロ接合バイポーラトランジスタ。
【請求項４】
請求項１～３のいずれか１項に記載のヘテロ接合バイポーラトランジスタにおいて、
前記ベース層は、ＩｎＧａＡｓから構成され、
前記コレクタ積層構造を構成するコレクタ構成層は、ＩｎＧａＡｓまたはＩｎＰから構成されていることを特徴とするヘテロ接合バイポーラトランジスタ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、化合物半導体からなるｎｐｎ形のヘテロ接合バイポーラトランジスタに関するものである。
【背景技術】
【０００２】
ヘテロ接合バイポーラトランジスタ（ＨＢＴ：Heterojunction Bipolar Transistor）のコレクタ耐圧を向上させるためには、ベースに用いられている半導体材料よりもバンドギャップの大きい材料をコレクタに用いることが重要である。コレクタのバンドギャップが大きければ、価電子帯から伝導帯へのバンド間トンネル電流が抑制され、エミッタからコレクタへ電流を注入しない状態でのコレクタ耐圧（オフ耐圧）を増加させることができる。
【０００３】
また、上述した構成によりコレクタにおける衝突イオン化率も減少するため、エミッタからコレクタへ電流を注入した状態でのコレクタ耐圧（オン耐圧）も改善されることになる。このように、コレクタにベースとは異なる半導体材料を用いたＨＢＴを、ダブルヘテロ接合バイポーラトランジスタ（ＤＨＢＴ：Double-Heterojunction Bipolar Transistor

）という。
【０００４】
一般に、バンドギャップの異なる半導体を接合すると、いわゆるタイプＩ型のヘテロ接合が形成されることが多い。この場合、バンドギャップの小さい半導体の伝導帯端エネルギは、バンドギャップの大きい半導体の伝導帯端エネルギよりも小さくなり、両者の間には伝導帯端エネルギ不連続が発生する。従って、単純に、コレクタにベースよりもバンドギャップの大きい半導体材料を用いてＤＨＢＴを実現しただけでは、ベースとコレクタの界面において伝導帯端不連続が発生し、ベースからコレクタへの電子注入が阻害されてしまうことになる。
【０００５】
このような問題を解決するために、一般に、ベースからサブコレクタに向かってバンドギャップが段階的に大きくなるような複合コレクタ層構造が用いられている。別の言い方をすれば、ベースとバンドギャップの大きいコレクタ構成層との間に、バンドギャップが徐々に大きくなるような、いわゆる「傾斜層」を設けてＤＨＢＴを実現している（非特許文献１参照）。なお、中間のバンドギャップを有する半導体層を実現するために超格子構造を組み込んだＤＨＢＴもあるが、本質的には、同等のものとみなしてよい（非特許文献２参照）。
【０００６】
以下、上述したＤＨＢＴについて、図３および図４を用いて説明する。図３は、上述したＤＨＢＴの構成を模式的に示す断面図である。また、図４は、ベース・コレクタ間に、５Ｖの逆方向電圧を印加した状態のＤＨＢＴの積層方向におけるバンドギャップの変化を示すバンド図である。ここでは、高速集積回路素子の実現に有望なＩｎＰおよびＩｎＰに格子整合あるいは擬格子整合する化合物半導体材料（ＩｎＰ系材料）を用いて実現される典型的なＤＨＢＴを例に説明する。
【０００７】
このＤＨＢＴは、半絶縁性ＩｎＰからなる基板２０１上に、高濃度に不純物が添加されたｎ型のＩｎＰからなるサブコレクタ構成層２１１が形成され、サブコレクタ構成層２１１上に高濃度に不純物が添加されたｎ型のＩｎＧａＡｓからなるサブコレクタ構成層２１２が形成され、サブコレクタ構成層２１２上に高濃度に不純物が添加されたｎ型のＩｎＰからなるサブコレクタ構成層２１３が形成されている。ここで、サブコレクタ構成層２１２は、コレクタ電極２９１とのコンタクト抵抗を最小限に抑えるために用いられている。
【０００８】
サブコレクタ構成層２１３上には、ｎ型のＩｎＰからなるコレクタ構成層２２１が形成され、コレクタ構成層２２１上にｎ型のＩｎＧａＡｓＰからなるコレクタ構成層２２２が形成され、コレクタ構成層２２２上にｎ型のＩｎＧａＡｓからなるコレクタ構成層２２３が形成されている。また、コレクタ構成層２２３上に高濃度に不純物が添加されたｐ型のＩｎＧａＡｓからなるベース層２０３が形成され、ベース層２０３上にｎ型のＩｎＰからなるエミッタ層２０４が形成され、エミッタ層２０４上に高濃度に不純物が添加されたｎ型のＩｎＧａＡｓからなるエミッタキャップ層２０５が形成されている。さらに、ベース層２０３上にベース電極２９２が形成され、エミッタキャップ層２０５上にエミッタ電極２９３が形成されている。
【０００９】
ここで、コレクタを構成しているＩｎＧａＡｓ，ＩｎＧａＡｓＰ，ＩｎＰのバンドギャップは、各々、０．７５，１．００，１．３５ｅＶ程度の値である。図３に示すＤＨＢＴは、バンドギャップの大きいＩｎＰからなるコレクタ構成層２２１とバンドギャップの小さいＩｎＧａＡｓからなるベース層２０３の間に、ＩｎＧａＡｓＰからなるコレクタ構成層２２２とＩｎＧａＡｓからなるコレクタ構成層２２３による傾斜層が挿入されたものと見ることができる。
【００１０】
上述した構成のＤＨＢＴでは、図４のエネルギ・バンド図に示すように、コレクタ構成

層２２３，コレクタ構成層２２２，コレクタ構成層２２１の各バンドギャップを、ベース層２０３の側からサブコレクタ構成層２１３の側へと向かって段階的に増加させている。これにより、伝導帯端不連続が、ベース層２０３とコレクタ構成層２２３との界面から離れた位置に発生していることが分かる。

【００１１】

この結果、ベース層２０３からコレクタ構成層２２３へと注入された電子は、伝導帯端不連続を容易に乗り越え、コレクタ構成層２２２あるいはコレクタ構成層２２１へと移動することが可能となる。この構成とすることで、伝導帯端不連続の影響を十分に抑制することができ、かつ、コレクタの大部分をバンドギャップの大きいＩｎＰからなるコレクタ構成層２２１で占有することができる。これらの結果、上述したＤＨＢＴによれば、電流注入特性を損なうことなく、コレクタ耐圧の向上が達成される。

【先行技術文献】

【非特許文献】

【００１２】

【非特許文献１】K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, T. Ishibashi, "Fabrication and Characterization of High-Performance InP/InGaAs Double-Heterojunction Bipolar Transistors," IEEE Trans. Electron Devices, Vol.41, No.8, August 1994, pp.1319-1326.

【非特許文献２】Z. Griffith, E. Lind, M. J. W. Rodwell, "Sub-300 nm InGaAs/InP Type-I DHBTs with a 150 nm Collector, 30 nm Base Demonstrating 755 GHz fmax and 416 GHz fτ," Conference Proceedings of 19th International Conference on Indium Phosphide and Related Materials, Matsue Japan, 14-18 ,May 2007, pp.403-406.

【発明の概要】

【発明が解決しようとする課題】

【００１３】

上述したＤＨＢＴでは、ベース層２０３とコレクタ構成層２２１との間に、コレクタ構成層２２３およびコレクタ構成層２２２からなる傾斜層を導入し、電流注入を阻害することなく耐圧特性を改善している。しかしながら、傾斜層が存在することによって、耐圧特性の改善が最大限に発揮できていないことも事実である。

【００１４】

一般に、ＨＢＴのオフ耐圧は、コレクタの価電子帯から伝導帯へのバンド間トンネル電流に大きく依存している。このバンド間トンネル電流は、コレクタのバンドギャップで規定されるトンネル障壁高さと、コレクタのバンドギャップおよびコレクタ・ベース間印加電圧によって規定されるトンネル障壁幅によって、大きさが決定される。障壁高さや障壁幅が大きいほどトンネル電流は小さくなり、オフ耐圧は大きくなる。従って、コレクタにバンドギャップの大きい半導体材料を用いれば、トンネル電流をその分だけ小さくすることはできる。

【００１５】

しかしながら、バンドギャップの小さい傾斜層で発生するトンネル電流については、原理的に、削減することはできない。すなわち、上述した構成のＤＨＢＴのオフ耐圧は、概ね、傾斜層におけるトンネル電流で決定されることになる。

【００１６】

上述した説明から容易に推測されるように、ＤＨＢＴのオフ耐圧をより向上させるためには、コレクタの中で傾斜層の占める割合を減少させればよい。しかしながら、傾斜層を薄くすると、伝導帯端不連続がベースとコレクタの界面に近づくことになるので、電流注入が阻害されてしまうという危険性が大きくなる。

【００１７】

さらに、ベース・コレクタ界面付近で発生するトンネル電流は、ベース（より厳密にいえば、ベース後端）でのバンドギャップによって決定されるため、傾斜層をいくら薄くしても、この界面付近で発生するトンネル電流を削減することはできない。この界面付近で

発生するトンネル電流を削減するには、ベースにバンドギャップの大きい半導体材料を用いればよいが、この場合、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことが危惧される。

【００１８】

本発明は、以上のような問題点を解消するためになされたものであり、電流注入特性を損なうことなく、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことなく、ＤＨＢＴのオフ耐圧をより一層向上させることを目的とする。

【課題を解決するための手段】

【００１９】

本発明に係るヘテロ接合バイポーラトランジスタは、ＩＩＩ－Ｖ族化合物半導体からなる基板と、基板の上に形成されたＩＩＩ－Ｖ族化合物半導体からなる複数のコレクタ構成層が積層されたコレクタ積層構造と、コレクタ積層構造の上に形成されたｐ型のＩＩＩ－Ｖ族化合物半導体からなるベース層と、ベース層の上に形成されたｎ型のＩＩＩ－Ｖ族化合物半導体からなるエミッタ層とを少なくとも備え、コレクタ積層構造を構成する各コレクタ構成層は、互いにタイプＩ型のヘテロ接合を形成し、コレクタ積層構造を構成する各コレクタ構成層は、ベース層に近づくほどバンドギャップが小さい状態とされ、コレクタ積層構造のベース層に接して形成されるコレクタ構成層は、ベース層と同じ半導体から構成されて層厚方向に少なくとも一部がｐ型とされ、コレクタ積層構造のベース層に接していないコレクタ構成層は、ｎ型とされている。

【００２０】

上記ヘテロ接合バイポーラトランジスタにおいて、コレクタ積層構造のベース層に接して形成されるコレクタ構成層は、層厚方向に全域がｐ型とされていればよい。

【００２１】

上記ヘテロ接合バイポーラトランジスタにおいて、コレクタ積層構造のベース層に接して形成されるコレクタ構成層は、電圧が印加されていない状態では空乏化する状態とされていればよい。

【００２２】

上記ヘテロ接合バイポーラトランジスタにおいて、ベース層は、ＩｎＧａＡｓから構成され、コレクタ積層構造を構成するコレクタ構成層は、ＩｎＧａＡｓまたはＩｎＰから構成されていればよい。

【発明の効果】

【００２３】

以上説明したように、本発明によれば、コレクタ積層構造を構成するベース層に接するコレクタ構成層は、層厚方向に少なくとも一部がｐ型とされているようにしたので、電流注入特性を損なうことなく、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことなく、ＤＨＢＴのオフ耐圧をより一層向上させることができるという優れた効果が得られる。

【図面の簡単な説明】

【００２４】

【図１】図１は、本発明の実施の形態におけるヘテロ接合バイポーラトランジスタの構成を模式的に示す断面図である。

【図２】図２は、本発明の実施の形態におけるヘテロ接合バイポーラトランジスタのベース・コレクタ間に５Ｖの逆方向電圧を印加した状態の、積層方向におけるバンドギャップの変化を示すバンド図である。

【図３】図３は、従来よりあるＤＨＢＴの構成を模式的に示す断面図である。

【図４】図４は、ベース・コレクタ間に５Ｖの逆方向電圧を印加した状態のＤＨＢＴの積層方向におけるバンドギャップの変化を示すバンド図である。

【発明を実施するための形態】

【００２５】

以下、本発明の実施の形態について図を参照して説明する。図１は、本発明の実施の形

態におけるヘテロ接合バイポーラトランジスタの構成を模式的に示す断面図である。このヘテロ接合バイポーラトランジスタは、ＩＩＩ－Ｖ族化合物半導体からなる基板１０１と、基板１０１の上に形成されたコレクタ積層構造１０２と、コレクタ積層構造１０２の上に形成されたベース層１０３と、ベース層１０３の上に形成されたエミッタ層１０４とを備える。

【００２６】

コレクタ積層構造１０２は、ＩＩＩ－Ｖ族化合物半導体からなる複数のコレクタ構成層が積層された積層構造である。例えば、コレクタ積層構造１０２は、コレクタ構成層１２１，コレクタ構成層１２２，コレクタ構成層１２３の３層が積層されている。ベース層１０３は、ｐ型のＩＩＩ－Ｖ族化合物半導体から構成され、エミッタ層１０４は、ｎ型のＩＩＩ－Ｖ族化合物半導体から構成されている。

【００２７】

また、コレクタ積層構造１０２を構成する各コレクタ構成層は、互いにタイプＩ型のヘテロ接合を形成し、コレクタ積層構造１０２を構成する各コレクタ構成層は、ベース層１０３に近づくほどバンドギャップが小さい状態とされている。また、ベース層１０３に接して形成されるコレクタ構成層１２３は、ベース層１０３と同じ半導体から構成されて層厚方向に少なくとも一部がｐ型とされ、コレクタ積層構造１０２のベース層１０３に接していないコレクタ構成層（コレクタ構成層１２１，コレクタ構成層１２２）は、ｎ型とされている。

【００２８】

また、基板１０１の上には、サブコレクタ構成層１１１，サブコレクタ構成層１１２、サブコレクタ構成層１１３が形成され、これらの上に、コレクタ積層構造１０２が形成されている。また、サブコレクタ構成層１１３，コレクタ積層構造１０２，ベース層１０３は、例えば、平面視で矩形のメサ形状に形成され（コレクタメサ）、エミッタ層１０４は、上述したメサよりも小さい面積のメサ形状とされている（エミッタメサ）。また、コレクタメサの周囲のサブコレクタ構成層１１２の上にコレクタ電極１９１が形成され、エミッタメサの周囲のベース層１０３の上にベース電極１９２が形成されている。また、エミッタ層１０４の上には、エミッタキャップ層１０５を介し、エミッタ電極１９３が形成されている。

【００２９】

例えば、基板１０１は、Ｆｅをドープすることで高抵抗とされたＩｎＰから構成され、ＩｎＰの（００１）面を主表面とされている。サブコレクタ構成層１１１は、ｎ型の不純物が高濃度に導入されたＩｎＰから構成され、サブコレクタ構成層１１２は、ｎ型の不純物が高濃度に導入されたＩｎＧａＡｓから構成されている。サブコレクタ構成層１１２により、コレクタ電極１９１とのコンタクト抵抗を最小限に抑えている。また、サブコレクタ構成層１１３は、濃度$2\times10^{19}cm^{-3}$のＳｉが添加されたｎ型ＩｎＰから構成されている。

【００３０】

コレクタ積層構造１０２を構成するコレクタ構成層１２１は、ｎ型ＩｎＰから構成されて層厚１６０ｎｍ程度に形成されている。ＩｎＰのバンドギャップは、１．３５ｅＶである。コレクタ構成層１２２は、濃度$2\times10^{16}cm^{-3}$のＳｉが添加されたｎ型ＩｎＧａＡｓＰから構成されて層厚２０ｎｍ程度に形成されている。このＩｎＧａＡｓＰのバンドギャップは、１．００ｅＶである。コレクタ構成層１２３は、濃度$2\times10^{17}cm^{-3}$のＺｎが添加されたｐ型ＩｎＧａＡｓから構成されて層厚７０ｎｍ程度に形成されている。このＩｎＧａＡｓのバンドギャップは、０．７５ｅＶである。

【００３１】

また、ベース層１０３は、濃度$4\times10^{19}cm^{-3}$のＣが添加されたｐ型ＩｎＧａＡｓから構成されて層厚３０ｎｍ程度に形成されている。なお、コレクタ構成層１２１は、サブコレクタ構成層１１３の側に配置された濃度$2\times10^{16}cm^{-3}$のＳｉが添加された層厚１４０ｎｍのｎ型ＩｎＰ層と、ベース層１０３の側に配置された濃度$2\times10^{17}cm^{-3}$のＳ

ｉが添加された層厚２０ｎｍのｎ型ＩｎＰ層から構成されている。
【００３２】
ベース層１０３の側に配置した層厚２０ｎｍのｎ型ＩｎＰ層は、組成傾斜構造としているコレクタ積層構造１０２のポテンシャルを所望の形状に整えるために用いている。また、コレクタ構成層１２３によりバンド端エネルギが持ち上げられ、伝導帯端不連続の影響が生じやすくなる。このため、従来のＤＨＢＴに比較してコレクタ構成層１２３を若干厚く形成している。
【００３３】
また、エミッタ層１０４は、ｎ型のＩｎＰから構成され、エミッタキャップ層１０５は、高濃度に不純物が添加されたｎ型のＩｎＧａＡｓから構成されている。
【００３４】
上述した化合物半導体による各層は、よく知られた有機金属化学気相成長法（ＭＯＶＰＥ）または分子線エピタキシャル成長法（ＭＢＥ）などの堆積法で、エピタキシャル成長させることで形成できる。また、コレクタメサおよびエミッタメサは、公知のリソグラフィー技術およびエッチング技術によりパターニングすることで形成すればよい。また、各電極は、例えば、公知の蒸着法およびリフトオフ法などにより形成することができる。
【００３５】
ここで、コレクタ構成層１２３に対してＺｎを不純物として使用されていが、この理由は、有機金属気相成長法などを用いたエピタキシャル結晶成長において、低濃度添加の制御性が良好なためである。一般に、Ｚｎは、比較的拡散性の高い不純物ではあるが、低濃度であれば問題となるような拡散を引き起こすことはない。
【００３６】
また、ベース層１０３を、Ｃを不純物としたＩｎＧａＡｓから構成しているが、このようにすることで、ベース層１０３をエピタキシャル結晶成長するときに、不純物を高濃度に添加することが比較的容易となる。また、Ｃは、拡散係数が非常に小さいため、高濃度に添加しても、問題となるような拡散を引き起こすことはない。このように、所望のｐ型不純物分布を実現することは、技術的に困難なことではない。なお、上述した実施の形態におけるヘテロ接合バイポーラトランジスタの詳細については、説明に支障のない範囲で省略している。
【００３７】
次に、実施の形態におけるヘテロ接合バイポーラトランジスタについて、図２のエネルギ・バンド図を用いて説明する。ここでは、ベース・コレクタ間に、５Ｖの逆方向電圧を印加した状態を示している。なお、図２において、実線により本発明の実施の形態におけるヘテロ接合バイポーラトランジスタの状態を示している。また、図２において、破線は、図３を用いて説明したＤＨＢＴの状態を示している。
【００３８】
図２に示すように、まず、コレクタ積層構造１０２は、ベース層１０３の側からサブコレクタ構成層１１３にかけて、バンドギャップを段階的に増加させているので、伝導帯端不連続が、ベース層１０３とコレクタ積層構造１０２（コレクタ構成層１２３）との界面から離れた位置に発生する状態となる。この構成により、ベース層１０３からコレクタ構成層１２３へと注入された電子は、伝導帯端不連続を容易に乗り越え、コレクタ構成層１２２あるいはコレクタ構成層１２１へと移動することが可能となる。この構成とすることで、伝導帯端不連続の影響を十分に抑制することができ、かつ、コレクタ積層構造１０２の大部分をバンドギャップの大きいＩｎＰからなるコレクタ構成層１２１で占有することができ、電流注入特性を損なうことなく、コレクタ耐圧の向上が達成できる。
【００３９】
加えて、図２の実線に示すように、実施の形態におけるヘテロ接合バイポーラトランジスタは、傾斜構造としているコレクタ積層構造１０２に、低濃度にｐ型不純物を添加した（層厚方向に少なくとも一部がｐ型とされた）コレクタ構成層１２３を備えているので、コレクタ積層構造１０２のバンド端エネルギが適度に持ち上げられた状態となる。これに

より、バンド間トンネル障壁の障壁幅が増加し、コレクタ積層構造１０２におけるトンネル電流を低減することが可能となる。

【００４０】

この結果、実施の形態によれば、ヘテロ接合バイポーラトランジスタのオフ耐圧がより改善されることになる。なお、コレクタ構成層１２３は、電圧を印加していない状態においても空乏化するように設計されている。これにより、ベース・コレクタ間の印加電圧が小さい場合においても、コレクタ構成層１２３がベースとして機能することはない。この結果、実施の形態におけるヘテロ接合バイポーラトランジスタにおいても、電子輸送特性を良好な状態に維持することが可能である。また、実施の形態によれば、ベース層１０３にバンドギャップの大きい半導体材料を用いることがないので、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことがない。

【００４１】

以上に説明したように、本発明によれば、傾斜層構造としているコレクタ積層構造を構成するベース層に接するコレクタ構成層は、層厚方向に少なくとも一部がｐ型とされているようにしたので、電流注入特性を損なうことなく、オン電圧の増加や、ベース電子輸送特性の劣化をもたらすことなく、ＤＨＢＴのオフ耐圧をより一層向上させることができるようになる。

【００４２】

ところで、上述した実施の形態では、コレクタ積層構造を構成するベース層に接するコレクタ構成層（コレクタ構成層１２３）を、層厚方向に一様に不純物が添加されている状態としたが、これに限らず、任意の不純物分布を持たせるようにしてもよい。例えば、ベース層に近づくほどｐ型不純物の濃度が徐々に増加するようにしてもよい。このように構成することで、実効的にトンネル障壁幅をより増加させることができるようになる。

【００４３】

また、コレクタ積層構造を構成するベース層に接するコレクタ構成層の層厚方向全域がｐ型とされている必要もない。例えば、ベース層に接するコレクタ構成層において、層厚方向にベース層に接する領域は、ｎ型不純物が導入された状態としてもよい。この場合、ｎ型の領域は、ｐ型の領域より十分薄い状態とする。このように構成することで、いわゆるローンチャ構造とすることができ、ベース層からコレクタ積層構造へ注入される電子の速度を向上させることができ、電子輸送特性を向上させることができる。因みに、コレクタ積層構造を構成するベース層に接するコレクタ構成層は、層厚方向の全域に均一な状態でｐ型とする方が、製造が容易であり、再現性がよく作製できるという長所がある。

【００４４】

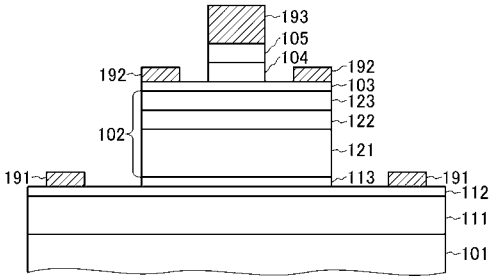
なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。本発明におけるヘテロ接合バイポーラトランジスタを構成する各層は、適宜に様々なパラメータを設定することが可能である。

【符号の説明】

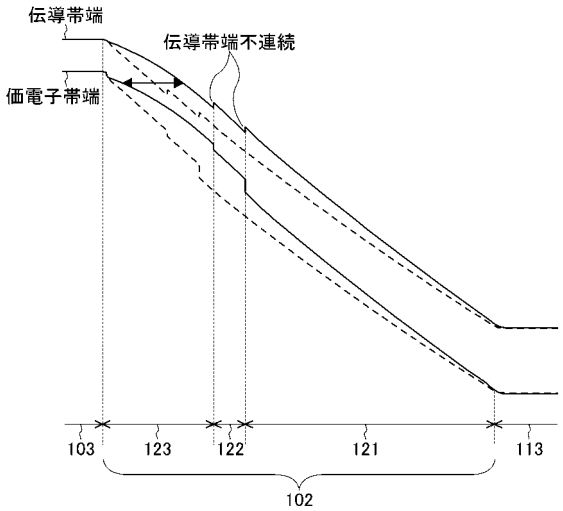
【００４５】

１０１…基板、１０２…コレクタ積層構造、１０３…ベース層、１０４…エミッタ層、１０５…エミッタキャップ層、１１１…サブコレクタ構成層、１１２…サブコレクタ構成層、１２１…コレクタ構成層、１２２…コレクタ構成層、１２３…コレクタ構成層、１９１…コレクタ電極、１９２…ベース電極、１９３…エミッタ電極。

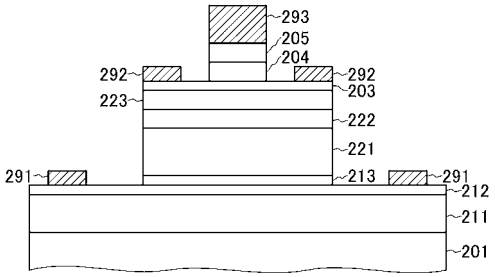
【図１】


193
105
104
192
192
103
123
122
121
102
191
113
191
112
111
101

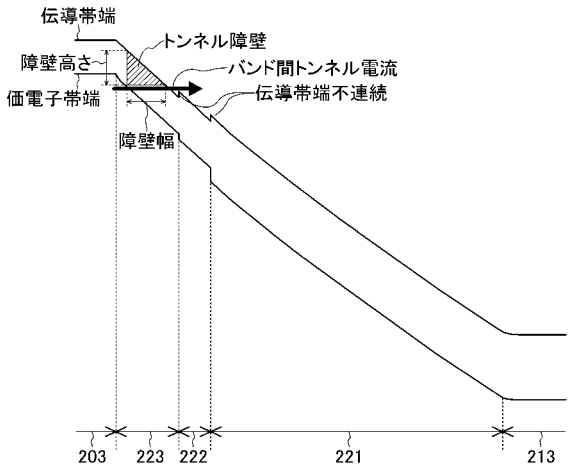
【図２】


伝導帯端
伝導帯端不連続
価電子帯端
103
123
122
121
113
102

【図３】


293
205
204
292
292
203
223
222
221
291
213
291
212
211
201

【図４】


伝導帯端
トンネル障壁
障壁高さ
バンド間トンネル電流
価電子帯端
伝導帯端不連続
障壁幅
203
223
222
221
213

フロントページの続き

(72)発明者　柏尾　典秀
東京都千代田区大手町二丁目３番１号　日本電信電話株式会社内

Ｆターム(参考) 5F003 BA92　BC02　BC04　BF06　BG05　BG06　BM02　BP31　BP32　BP95