

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 6 部門第 3 区分
 【発行日】 平成 19 年 2 月 1 日 (2007.2.1)

【公表番号】 特表 2002-530778 (P2002-530778A)
 【公表日】 平成 14 年 9 月 17 日 (2002.9.17)
 【出願番号】 特願 2000-584397 (P2000-584397)
 【国際特許分類】
G 0 6 F 13/28 (2006.01)
 【F I】
 G 0 6 F 13/28 3 1 0 B

【手続補正書】
 【提出日】 平成 18 年 12 月 8 日 (2006.12.8)
 【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 特許請求の範囲
 【補正方法】 変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

複数の仮想ダイレクトメモリアクセスチャネルをサポートするためのダイレクトメモリアクセスエンジンであって、

ダイレクトメモリアクセスコントローラを含み、前記ダイレクトメモリアクセスコントローラは、

物理ダイレクトメモリアクセス制御ブロックと、

物理ダイレクトメモリアクセスチャネルリソースと、

前記物理ダイレクトメモリアクセス制御ブロックに結合され、前記物理ダイレクトメモリアクセス制御ブロックおよび前記物理ダイレクトメモリアクセスチャネルリソースを共有する複数の仮想ダイレクトメモリアクセスチャネルとを含み、前記ダイレクトメモリアクセスエンジンはさらに、

前記複数の仮想ダイレクトメモリアクセスチャネルに対するパラメータを格納するパラメータテーブルを含むメモリと、

前記物理ダイレクトメモリアクセス制御ブロックおよび前記物理ダイレクトメモリアクセスチャネルリソースに結合される物理ダイレクトメモリアクセスチャネルとを含む、ダイレクトメモリアクセスエンジン。

【請求項 2】

複数の仮想ダイレクトメモリアクセスチャネルをサポートするためのダイレクトメモリアクセスエンジンであって、

ダイレクトメモリアクセスコントローラを含み、前記ダイレクトメモリアクセスコントローラは、

物理ダイレクトメモリアクセス制御ブロックと、

物理ダイレクトメモリアクセスチャネルリソースと、

前記物理ダイレクトメモリアクセス制御ブロックおよび前記物理ダイレクトメモリアクセスチャネルリソースに結合された、物理ダイレクトメモリアクセスチャネルと、

前記物理ダイレクトメモリアクセス制御ブロックに結合され、前記物理ダイレクトメモリアクセスチャネル、前記物理ダイレクトメモリアクセス制御ブロックおよび前記物理ダイレクトメモリアクセスチャネルリソースを共有する複数の仮想ダイレクトメモリアクセスチャネルと、

前記複数の仮想ダイレクトメモリアクセスチャネルに対するパラメータを格納するパラ

メータテーブルを含むメモリとを含む、ダイレクトメモリアクセスエンジン。

【請求項 3】

前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブな仮想ダイレクトメモリアクセスチャネルに対するパラメータが、パラメータテーブルから物理ダイレクトメモリアクセスチャネルリソースおよび物理ダイレクトメモリアクセス制御ブロックにロードされる、請求項 1 または 2 記載のダイレクトメモリアクセスエンジン。

【請求項 4】

前記複数の仮想ダイレクトメモリアクセスチャネルのうちのアクティブな仮想ダイレクトメモリアクセスチャネルについてのパラメータを、前記パラメータテーブルから、前記物理ダイレクトメモリアクセスチャネルリソースおよび前記ダイレクトメモリアクセス制御ブロックにロードする実行ユニットをさらに含む、請求項 1 または 2 記載のダイレクトメモリアクセスエンジン。

【請求項 5】

所与の時間には前記複数の仮想ダイレクトメモリアクセスチャネルのうち 1 つのチャンネルがアクティブになる、請求項 1 または 2 記載のダイレクトメモリアクセスエンジン。

【請求項 6】

前記物理ダイレクトメモリアクセスチャネルリソースおよび前記物理ダイレクトメモリアクセス制御ブロックが、前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブな仮想ダイレクトメモリアクセスチャネルに対するパラメータを格納する、請求項 1 または 2 記載のダイレクトメモリアクセスエンジン。

【請求項 7】

前記ダイレクトメモリアクセスコントローラが、前記パラメータに基づいて、前記物理ダイレクトメモリアクセスチャネルを介して、前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブな仮想ダイレクトメモリアクセスチャネルに対するダイレクトメモリアクセス転送を行なう、請求項 1 または 2 のいずれかに記載のダイレクトメモリアクセスエンジン。

【請求項 8】

前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブなチャンネルに対するダイレクトメモリアクセスリクエスト線をさらに含む、請求項 1 または 2 記載のダイレクトメモリアクセスエンジン。

【請求項 9】

前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブなチャンネルに対するダイレクトメモリアクセスアクノレッジ線をさらに含む、請求項 1、2 または 4 記載のダイレクトメモリアクセスエンジン。

【請求項 10】

複数の仮想ダイレクトメモリアクセスチャネルをサポートするためのマイクロコントローラであって、

実行ユニットと、前記実行ユニットに結合されたダイレクトメモリアクセスユニットとを含み、

前記ダイレクトメモリアクセスユニットが、請求項 1 乃至 9 いずれか 1 項記載のダイレクトメモリアクセスエンジンを含む、

マイクロコントローラ。

【請求項 11】

前記ダイレクトメモリアクセスエンジンは、前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブなチャンネルに対するダイレクトメモリアクセスリクエスト線と、前記複数の仮想ダイレクトメモリアクセスチャネルのうちアクティブなチャンネルに対するダイレクトメモリアクセスアクノレッジ線とを含み、

前記ダイレクトメモリアクセスリクエスト線を受け、前記ダイレクトメモリアクセスアクノレッジ線を提供するために、前記ダイレクトメモリアクセスエンジンに結合されるダイレクトメモリアクセスリクエスト／アクノレッジポートブロックをさらに含む、

請求項 10 記載のマイクロコントローラ。

【請求項 12】

前記ダイレクトメモリアクセスリクエスト／アクノレッジポートブロックが、
前記アクティブな仮想ダイレクトメモリアクセスチャネルに対応するダイレクトメモリアクセスアクノレッジ信号を前記ダイレクトメモリアクセスコントローラから前記ダイレクトメモリアクセスアクノレッジ線へ導くためのステアリング論理を含む、請求項 11 記載のマイクロコントローラ。

【請求項 13】

前記ダイレクトメモリアクセスアクノレッジ信号を前記ダイレクトメモリアクセスリクエスト／アクノレッジポートブロックに与え、かつ前記ダイレクトメモリアクセスアクノレッジ信号を前記ダイレクトメモリアクセスリクエスト／アクノレッジポートブロックから受けるように前記ダイレクトメモリアクセスリクエスト／アクノレッジポートブロックに結合された装置をさらに含む、請求項 11 記載のマイクロコントローラ。

【請求項 14】

複数の仮想ダイレクトメモリアクセスチャネルをサポートするためにダイレクトメモリアクセスエンジンを用いてダイレクトメモリアクセス転送を制御する方法であって、

ダイレクトメモリアクセスエンジンはダイレクトメモリアクセスコントローラを含み、
前記ダイレクトメモリアクセスコントローラは、物理ダイレクトメモリアクセス制御ブロックと、物理ダイレクトメモリアクセスチャネルリソースと、複数の仮想ダイレクトメモリアクセスチャネルとを有し、

前記複数の仮想ダイレクトメモリアクセスチャネルは、前記物理ダイレクトメモリアクセス制御ブロックおよび前記物理ダイレクトメモリアクセスチャネルリソースを共有しており、

前記ダイレクトメモリアクセスエンジンはさらに物理ダイレクトメモリアクセスチャネルを有し、前記ダイレクトメモリアクセスエンジンはさらに、前記複数の仮想ダイレクトメモリアクセスチャネルに対するパラメータを格納するためのパラメータテーブルを有するメモリを含み、前記方法は、

前記複数の仮想ダイレクトメモリアクセスチャネルのうち第 1 のアクティブな仮想ダイレクトメモリアクセスチャネルに対するパラメータテーブルからのパラメータを前記ダイレクトメモリアクセスコントローラにロードするステップと、

前記ダイレクトメモリアクセスコントローラにロードされたパラメータに基づいて前記物理ダイレクトメモリアクセスチャネルを介して第 1 のアクティブな仮想ダイレクトメモリアクセスチャネルに対するダイレクトメモリアクセス転送を行なうステップとを含む、方法。

【請求項 15】

複数の仮想ダイレクトメモリアクセスチャネルをサポートするためにダイレクトメモリアクセスエンジンを用いてダイレクトメモリアクセス転送を制御する方法であって、

ダイレクトメモリアクセスエンジンはダイレクトメモリアクセスコントローラを含み、
前記ダイレクトメモリアクセスコントローラは、物理ダイレクトメモリアクセス制御ブロックと、物理ダイレクトメモリアクセスチャネルリソースと、物理ダイレクトメモリアクセスチャネルと、複数の仮想ダイレクトメモリアクセスチャネルとを有し、

前記複数の仮想ダイレクトメモリアクセスチャネルは、物理ダイレクトメモリアクセスチャネル、物理ダイレクトメモリアクセス制御ブロックおよび物理ダイレクトメモリアクセスチャネルリソースを共有しており、

前記ダイレクトメモリアクセスエンジンはさらに、前記複数の仮想ダイレクトメモリアクセスチャネルに対するパラメータを格納するためのパラメータテーブルを有するメモリを含み、前記方法は、

前記複数の仮想ダイレクトメモリアクセスチャネルのうち第 1 のアクティブな仮想ダイレクトメモリアクセスチャネルに対するパラメータテーブルからのパラメータを前記ダイレクトメモリアクセスコントローラにロードするステップと、

前記ダイレクトメモリアクセスコントローラにロードされたパラメータに基づいて前記物理ダイレクトメモリアクセスチャネルを介して第1のアクティブな仮想ダイレクトメモリアクセスチャネルに対するダイレクトメモリアクセス転送を行なうステップとを含む、方法。

【請求項16】

前記複数の仮想ダイレクトメモリアクセスチャネルのうち第2のアクティブな仮想ダイレクトメモリアクセスチャネルに対するパラメータテーブルからのパラメータを前記ダイレクトメモリアクセスコントローラにロードするステップと、

前記ダイレクトメモリアクセスコントローラにロードされたパラメータに基づいて前記物理ダイレクトメモリアクセスチャネルを介して第2のアクティブな仮想ダイレクトメモリアクセスチャネルに対するダイレクトメモリアクセス転送を行なうステップとをさらに含む、請求項14または15記載の方法。

【請求項17】

前記ロードするステップが実行ユニットにより行なわれる、請求項14または15記載の方法。

【請求項18】

前記ダイレクトメモリアクセス転送を行なうステップが、前記ダイレクトメモリアクセス制御ブロックにより制御される、請求項14または15記載の方法。

【請求項19】

マイクロコントローラ内に前記ダイレクトメモリアクセスエンジンを設けるステップをさらに含む、請求項14または15記載の方法。

【請求項20】

前記ロードするステップが、

前記パラメータの一部を前記物理ダイレクトメモリアクセスチャネルリソースにロードするステップを含む、請求項14または15記載の方法。

【請求項21】

前記ロードするステップが、

前記パラメータの一部を前記物理ダイレクトメモリアクセス制御ブロックにロードするステップをさらに含む、請求項14または15載の方法。