



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0029835
(43) 공개일자 2016년03월15일

- (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) **G11C 5/02** (2006.01)
G11C 8/12 (2006.01) **H01L 27/06** (2006.01)
H01L 27/108 (2006.01) **H01L 27/11** (2006.01)
- (52) CPC특허분류
G11C 7/1072 (2013.01)
G11C 5/025 (2013.01)
- (21) 출원번호 10-2016-7003141
- (22) 출원일자(국제) 2014년07월10일
 심사청구일자 없음
- (85) 번역문제출일자 2016년02월03일
- (86) 국제출원번호 PCT/US2014/046152
- (87) 국제공개번호 WO 2015/006563
 국제공개일자 2015년01월15일
- (30) 우선권주장
 61/845,044 2013년07월11일 미국(US)
 14/012,478 2013년08월28일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
카말, 프랫유쉬
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
두, 양
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

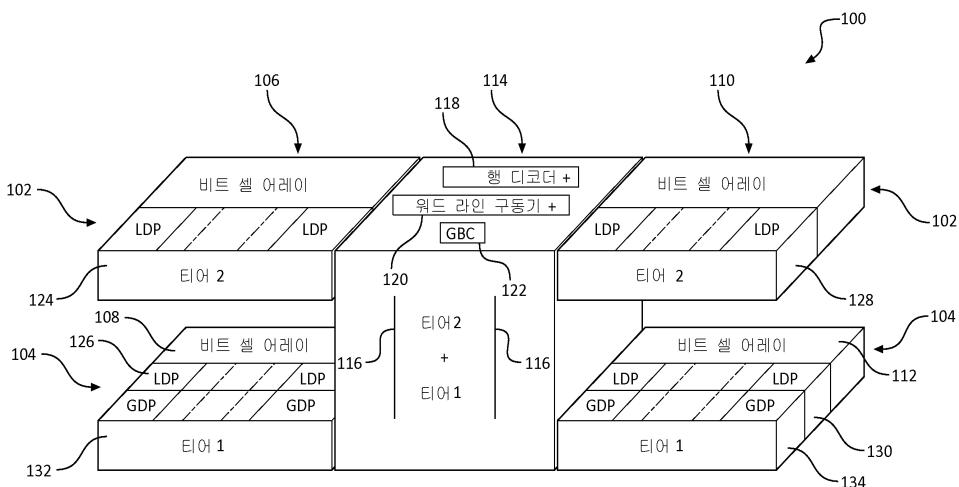
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **비트 셀 및 로직 패터닝을 갖는 모놀리식 3차원(3D) 랜덤 액세스 메모리(RAM) 어레이 아키텍처**

(57) 요 약

비트셀 및 로직 패터닝을 갖는 모놀리식 3차원(3D) 메모리 셀 어레이 아키텍처가 개시된다. 3D 직접 회로 (IC)(3DIC) 내에서 상이한 티어들로 메모리 셀의 엘리먼트들을 접거나 그렇지 않고 적층할 수 있는 3DIC가 제안된다. 3DIC의 각 티어는 메모리 셀 뿐만 아니라 내부에 글로벌 블록 제어 로직을 포함하는 액세스 로직을 갖는다. 메모리 셀들을 갖는 각각의 티어에 액세스 로직 및 글로벌 블록 제어 로직을 포지셔닝함으로써, 각각의 메모리 셀에 대한 비트 및 워드 라인들의 길이는 단축되어, 감소된 서플라이 전압들을 허용할 뿐만 아니라 대체로 메모리 디바이스의 전체 풋프린트를 감소시킨다.

대 표 도 - 도5



(52) CPC특허분류

G11C 8/12 (2013.01)

H01L 27/0688 (2013.01)

H01L 27/108 (2013.01)

H01L 27/11 (2013.01)

명세서

청구범위

청구항 1

3 차원(3D) 랜덤 액세스 메모리(RAM)로서,

제 1 3D 직접 회로(IC)(3DIC) 티어; 및

제 2 3DIC 티어

를 포함하고,

상기 제 1 3DIC 티어는,

상기 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크;

상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크;

상기 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크와 상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크 사이에 배치되는 제 1 글로벌 블록 제어 로직을 포함하는 제 1 RAM 액세스 로직을 포함하고, 상기 RAM 액세스 로직은 상기 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크 및 상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크에 대한 데이터 액세스를 제어하도록 구성되고,

상기 제 2 3DIC 티어는,

상기 제 2 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크;

상기 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크;

상기 제 2 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크와 상기 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크 사이에 배치되는 제 2 글로벌 블록 제어 로직을 포함하는 제 2 RAM 액세스 로직을 포함하고,

상기 제 2 RAM 액세스 로직은 상기 제 2 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크 및 상기 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크에 대한 데이터 액세스를 제어하도록 구성되는,

3D RAM.

청구항 2

제 1 항에 있어서,

상기 제 1 티어의 제 1 RAM 데이터 뱅크는 적어도 하나의 정적 RAM(SRAM) 데이터 뱅크로 구성되는,

3D RAM.

청구항 3

제 1 항에 있어서,

상기 제 1 티어의 제 1 RAM 데이터 뱅크는 적어도 하나의 동적 RAM(DRAM) 데이터 뱅크로 구성되는,

3D RAM.

청구항 4

제 1 항에 있어서,

모놀리식 3DIC에 배치되는,

3D RAM.

청구항 5

제 1 항에 있어서,

적어도 하나의 부가적인 3DIC 티어를 더 포함하며, 상기 적어도 하나의 부가적인 3DIC 티어에는 대응하는 RAM 데이터 뱅크들이 배치되어 있는,

3D RAM.

청구항 6

제 1 항에 있어서,

상기 3D RAM에 대한 입력 및 출력을 제공하도록 구성된 글로벌 데이터 경로를 더 포함하는,

3D RAM.

청구항 7

제 6 항에 있어서,

상기 글로벌 데이터 경로는 상기 제 1 및 제 2 3DIC 티어들의 상단 3DIC 티어 상에 포지셔닝되는,

3D RAM.

청구항 8

제 6 항에 있어서,

상기 글로벌 데이터 경로는 상기 제 1 및 제 2 티어들의 하단 3DIC 티어 상에 포지셔닝되는,

3D RAM.

청구항 9

제 1 항에 있어서,

상기 제 1 티어를 상기 제 2 티어에 커플링하는 복수의 MIV(monolithic intertier vias)

를 더 포함하는,

3D RAM.

청구항 10

제 1 항에 있어서,

IC에 통합되는,

3D RAM.

청구항 11

제 1 항에 있어서,

셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 전화 셀룰러 전화, 컴퓨터, 휴대용 컴퓨터 데스크톱 컴퓨터, 개인용 디지털 보조기기(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어로 구성된 그룹으로부터 선택된 디바이스에 통합되는,

3D RAM.

청구항 12

3 차원(3D) 랜덤 액세스 메모리(RAM)로서,

제 1 3D 직접 회로(IC)(3DIC) 티어; 및

제 2 3DIC 티어

를 포함하고,

상기 제 1 3DIC 티어는,

상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단;

상기 제 1 3DIC 티어에 배치되는 제 2 메모리 수단;

상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단과 상기 제 1 3DIC 티어에 배치되는 제 2 메모리 수단 사이에 배치되는 제 1 글로벌 블록 제어 로직을 포함하는 제 1 RAM 액세스 로직을 포함하고,

상기 RAM 액세스 로직은 상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단 및 상기 제 1 3DIC 티어에 배치되는 제 2 메모리 수단에 대한 데이터 액세스를 제어하도록 구성되고,

상기 제 2 3DIC 티어는.

상기 제 2 3DIC 티어에 배치되는 제 1 메모리 수단;

상기 제 2 3DIC 티어에 배치되는 제 2 메모리 수단;

상기 제 2 3DIC 티어에 배치되는 제 1 메모리 수단과 상기 제 2 3DIC 티어에 배치되는 제 2 메모리 수단 사이에 배치되는 제 2 글로벌 블록 제어 로직을 포함하는 제 2 RAM 액세스 로직을 포함하고,

상기 제 2 RAM 액세스 로직은 상기 제 2 3DIC 티어에 배치되는 제 1 메모리 수단 및 상기 제 2 3DIC 티어에 배치되는 제 2 메모리 수단에 대한 데이터 액세스를 제어하도록 구성되는,

3 차원(3D) 랜덤 액세스 메모리(RAM).

청구항 13

제 12 항에 있어서,

상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단은 RAM 데이터 뱅크를 포함하는,

3D RAM.

청구항 14

제 12 항에 있어서,

모놀리식 IC 내에 배치되는,

3D RAM.

청구항 15

제 14 항에 있어서,

상기 제 1 티어를 상기 제 2 티어에 커플링하는 복수의 MIV(monolithic intertier vias)

를 더 포함하는,

3D RAM.

청구항 16

제 13 항에 있어서,

상기 RAM 데이터 뱅크는 적어도 하나의 정적 RAM(SRAM) 데이터 뱅크를 포함하는,

3D RAM.

청구항 17

제 13 항에 있어서,

상기 RAM 데이터 뱅크는 적어도 하나의 동적 RAM(DRAM) 데이터 뱅크를 포함하는,
3D RAM.

청구항 18

제 12 항에 있어서,

적어도 하나의 부가적인 3DIC 티어를 더 포함하며, 상기 적어도 하나의 부가적인 3DIC 티어에는 대응하는 RAM 데이터 뱅크들이 배치되어 있는,
3D RAM.

청구항 19

제 12 항에 있어서,

상기 3D RAM에 대한 입력 및 출력을 제공하도록 구성된 글로벌 데이터 경로
를 더 포함하는,
3D RAM.

청구항 20

제 19 항에 있어서,

상기 글로벌 데이터 경로는 상기 제 1 및 제 2 3DIC 티어들의 상단 3DIC 티어 상에 포지셔닝되는,
3D RAM.

발명의 설명

기술 분야

우선권 출원들

[0001] 본 출원은 발명의 명칭이 "A MONOLITHIC THREE DIMENSIONAL(3D) STATIC RANDOM ACCESS MEMORY(SRAM) ARRAY ARCHITECTURE WITH BITCELL AND LOGIC PARTITIONING"이고 2013년 7월 11일 출원된 미국 특허 출원 일련 번호 제61/845,044호를 우선권으로 주장하며, 상기 가출원은 그 전체가 인용에 의해 여기에 포함된다.

[0002] 본 출원은 또한 발명의 명칭이 "A MONOLITHIC THREE DIMENSIONAL (3D) RANDOM ACCESS MEMORY (RAM) ARRAY ARCHITECTURE WITH BITCELL AND LOGIC PARTITIONING"이고 2013년 8월 26일 출원된 미국 특허 출원 일련 번호 제14/012,478호를 우선권으로 주장하며, 상기 가출원은 그 전체가 인용에 의해 여기에 포함된다.

기술 분야

[0003] 본 개시의 기술은 일반적으로 컴퓨팅 디바이스들과 함께 이용하기 위한 메모리 셀에 관한 것이다.

배경 기술

[0004] 모바일 통신 디바이스들은 현재 사회에서 일반적이 되고 있다. 이 모바일 디바이스들의 보급은 이제 이러한 디바이스들에서 가능하게 되는 많은 기능들에 의해 부분적으로 구동된다. 이러한 기능들에 대한 수요는 프로세싱 능력 요건들을 증가시키고 더 강력한 배터리들에 대한 필요성을 생성한다. 모바일 통신 디바이스의 하우징의 제한된 공간 내에서, 배터리들은 프로세싱 희로와 경쟁한다. 하우징 내에서 공간에 대한 경쟁 및 다른 팩터들은 희로 내에서 전력 소비 및 캠포넌트들의 지속되는 소형화에 기여한다.

[0005] 소형화 압력들과 동시에, 모바일 통신 디바이스 내에서 전압 레벨들을 감소시키기 위해 압력이 있다. 감소된 전압 레벨들은 배터리 수명을 연장하고 모바일 디바이스 내의 열 생성을 감소시킨다. 전압 레벨들을 감소시키기 위한 압력이 있지만, 상응하게 더 큰 전압 레벨들에 대한 필요성을 갖는 더욱 큰 메모리 블록들의 존재

는 반대의 압력을 제공한다. 다수의 인스턴스들에서, 이러한 메모리 블록들은 랜덤 액세스 메모리(RAM)로부터 제조되고 보다 구체적으로는, 메모리 비트 셀로 그리고 이로부터 커맨드들을 기록 및 관리하기 위해 행 및 열 액세스들을 수행하기 위해 비트 라인들 및 워드 라인들 상에 동작 전압을 갖는 정격 RAM(SRAM)으로부터 제조된다. 메모리 셀 어레이 내에서 필요한 전압 레벨들에 부정적으로 영향을 주는 것은 비트 라인들 및 워드 라인들의 길이이다. 즉, 큰 어레이에서, 비트 라인 또는 워드 라인의 길이는, 원하는 낮은 동작 전압들이 멀리 떨어져 있는 비트셀에서 트랜지스터들을 동작시키기에 불충분한 그러한 레벨로, 멀리 떨어져 있는 비트셀들에서의 전압을 감소시키기에 충분한 용량 또는 저항 품질들을 도입할 수 있다.

발명의 내용

[0008]

[0006] 상세한 설명에서 개시된 실시예들은 비트셀 및 로직 파티셔닝을 갖는 모놀리식 3차원(3D) 메모리 셀 어레이 아키텍처를 포함한다. 메모리 셀의 엘리먼트들이 3D 직접 회로(IC)(3DIC) 내에서 상이한 티어(tier)들로 접혀지거나(fold) 그렇지 않으면 적층할 수 있는 3DIC가 제안되었다. 예시적인 실시예에서, 3DIC는 상이한 티어들의 모놀리식 인터티어 비아(MIV) 커플링 엘리먼트들을 갖는 모놀리식 3DIC이다. 예시적인 실시예에서, 비트셀은 이를 바 "버터플라이(butterfly)" 배열로 배열되는데, 그 이유는 비트셀들이 제어 로직 '흉부(thorax)'의 양측 상의 '날개'에 있기 때문이다. 3DIC의 각 티어는 메모리 셀 뿐만 아니라 내부에 글로벌 블록 제어 로직을 포함하는 액세스 로직을 갖는다. 메모리 셀들을 갖는 각각의 티어에 액세스 로직 및 글로벌 블록 제어 로직을 포지셔닝함으로써, 각각의 메모리 셀에 대한 비트 라인들 및 워드 라인들의 길이는 단축되어, 감소된 서플라이 전압들을 허용할 뿐만 아니라 대체로 메모리 디바이스의 전체 풋프린트를 감소시킨다.

[0009]

[0007] 이것에 관하여, 일 실시예에서, 3D 랜덤 액세스 메모리(RAM)가 제공된다. 3D RAM은 제 1 3DIC 티어를 포함한다. 제 1 3DIC 티어는 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크를 포함한다. 제 1 3DIC 티어는 또한 상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크를 포함한다. 제 1 3DIC 티어는 또한 상기 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크와 상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크 사이에 배치되는 제 1 글로벌 블록 제어 로직을 포함하는 제 1 RAM 액세스 로직을 포함하며, 상기 RAM 액세스 로직은 상기 제 1 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크 및 상기 제 1 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크에 대한 데이터 액세스를 제어하도록 구성된다. 3D RAM은 또한 제 2 3DIC 티어를 포함한다. 제 2 3DIC 티어는 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크를 포함한다. 제 2 3DIC 티어는 또한 상기 제 2 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크와 상기 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크 사이에 배치되는 제 2 글로벌 블록 제어 로직을 포함하는 제 2 RAM 액세스 로직을 포함하며, 상기 제 2 RAM 액세스 로직은 상기 제 2 3DIC 티어에 배치되는 제 1 RAM 데이터 뱅크 및 상기 제 2 3DIC 티어에 배치되는 제 2 RAM 데이터 뱅크에 대한 데이터 액세스를 제어하도록 구성된다.

[0010]

[0008] 다른 실시예에서, 3D RAM이 개시된다. 3D RAM은 제 1 3DIC 티어를 포함한다. 제 1 3DIC 티어는 제 1 3DIC 티어에 배치되는 제 1 메모리 수단을 포함한다. 제 1 3DIC 티어는 또한 제 1 3DIC 티어에 배치되는 제 2 메모리 수단을 포함한다. 제 1 3DIC 티어는 또한 상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단과 상기 제 1 3DIC 티어에 배치되는 제 2 메모리 수단 사이에 배치되는 제 1 글로벌 블록 제어 로직을 포함하는 제 1 RAM 액세스 로직을 포함하며, 상기 RAM 액세스 로직은 상기 제 1 3DIC 티어에 배치되는 제 1 메모리 수단 및 상기 제 1 3DIC 티어에 배치되는 제 2 메모리 수단에 대한 데이터 액세스를 제어하도록 구성된다. 3D RAM은 또한 제 2 3DIC 티어를 포함한다. 제 2 3DIC 티어는 제 2 3DIC 티어에 배치되는 제 1 메모리 수단을 포함한다. 제 2 3DIC 티어는 또한 제 2 3DIC 티어에 배치되는 제 2 메모리 수단을 포함한다. 제 2 3DIC 티어는 또한 상기 제 2 3DIC 티어에 배치되는 제 1 메모리 수단과 상기 제 2 3DIC 티어에 배치되는 제 2 메모리 수단 사이에 배치되는 제 2 글로벌 블록 제어 로직을 포함하는 제 2 RAM 액세스 로직을 포함하며, 상기 제 2 RAM 액세스 로직은 상기 제 2 3DIC 티어에 배치되는 제 1 메모리 수단 및 상기 제 2 3DIC 티어에 배치되는 제 2 메모리 수단에 대한 데이터 액세스를 제어하도록 구성된다.

도면의 간단한 설명

[0011]

[0009] 도 1은 종래의 메모리 셀의 개략도이다.

[0010] 도 2는 도 1의 것들과 같은 메모리 셀들을 포함하는 종래의 메모리 셀 어레이의 개략도이다.

[0011] 도 3은 그와 연관된 제어 로직을 갖는 종래의 메모리 셀 어레이의 개략도이다.

[0012] 도 4는 2-차원 버터플라이 실시예에 따른 예시적인 메모리 셀 어레이의 블록도이다.

[0013] 도 5는 3-차원 버터플라이 실시예에 따른 예시적인 메모리 셀 어레이의 단순화된 사시도이다.

[0014] 도 6은 도 4 또는 도 5의 메모리 셀 어레이를 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012] [0015] 이제 도면 그림들을 참조하여, 본 개시의 여러 예시적인 실시예들이 설명된다. "예시적인"이라는 단어는 "예시, 실례 또는 예증"의 역할을 의미하는 것으로 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 실시예가, 반드시 다른 실시예들에 비해 바람직하거나 유리한 것으로 해석되는 것은 아니다.

[0013] [0016] 상세한 설명에서 개시된 실시예들은 비트셀 및 로직 파티셔닝을 갖는 모놀리식 3차원(3D) 메모리 셀 어레이 아키텍처를 포함한다. 3D 직접 회로(IC)(3DIC) 내에서 상이한 티어들로 메모리 셀의 엘리먼트들을 접거나 그렇지 않고 적층할 수 있는 3DIC가 제안된다. 예시적인 실시예에서, 3DIC는 상이한 티어들의 모놀리식 인터티어 비아(MIV) 커플링 엘리먼트들을 갖는 모놀리식 3DIC이다. 예시적인 실시예에서, 비트셀은 이른 바 "버터플라이(butterfly)" 배열로 배열되는데, 그 이유는 비트셀들이 제어 로직 '흉부(thorax)'의 양측 상의 '날개'에 있기 때문이다. 3DIC의 각 티어는 메모리 셀 뿐만 아니라 내부에 글로벌 블록 제어 로직을 포함하는 액세스 로직을 갖는다. 메모리 셀들을 갖는 각각의 티어에 액세스 로직 및 글로벌 블록 제어 로직을 포지셔닝함으로써, 각각의 메모리 셀에 대한 비트 라인들 및 워드 라인들의 길이는 단축되어, 감소된 서플라이 전압들을 허용할 뿐만 아니라 대체로 메모리 디바이스의 전체 풋프린트를 감소시킨다.

[0014] [0017] 본 개시의 실시예들을 다루기 이전에, 종래의 메모리 셀 어레이의 간략한 개요가 도 1 내지 도 3을 참조하여 제공된다. 본 개시의 실시예들의 논의는 도 4를 참조하여 아래에서 시작한다.

[0015] [0018] 이와 관련하여, 도 1은 메모리 셀(10) 및 특히 6 트랜지스터(6T) 정적 랜덤 액세스 메모리(RAM)(SRAM) 비트셀을 예시한다. 메모리 셀(10)은 제 1 인버터(12) 및 제 2 인버터(14)를 갖는다. 워드 라인(WL)(16)은 인버터(12, 14) 둘 다에 커플링된다. 특히, 워드 라인(16)은 패스 게이트(PG)의 제 1 트랜지스터(18)(PG1)의 게이트를 통해 제 1 인버터(12)에 커플링되고 제 2 PG 트랜지스터(20)(PG2)의 게이트를 통해 제 2 인버터(14)에 커플링된다. 비트 라인(BL)(22)은 제 2 PG 트랜지스터(20)의 드레인에 커플링된다. 비트 라인 바(bit line bar)(\overline{BL})(24)는 제 1 PG 트랜지스터(18)의 소스에 커플링된다.

[0016] [0019] 도 1을 계속 참조하여, 제 1 인버터(12)는 제 1 풀 업(PU) 트랜지스터(26)(PU1) 및 제 1 풀 다운(PD) 트랜지스터(28)(PD1)를 포함한다. 제 2 인버터(14)는 제 2 PU 트랜지스터(30)(PU2) 및 제 2 PD 트랜지스터(32)(PD2)를 포함한다. 전압 소스(V_{DD})(34)는 제 1 및 제 2 PU 트랜지스터들(26, 30)에 커플링된다. PD 트랜지스터들(28, 32)은 접지(36)에 커플링된다.

[0020] [0021] 메모리 셀(10)은 당 업계에서 잘 이해되며, 도 2에서 예시된 메모리 셀 어레이(40)와 같은 셀들의 어레이로 빈번하게 어셈블리된다. 특히, 메모리 셀 어레이(40)는 3x4 메모리 셀 어레이이지만, 다른 어레이들(예를 들어, 8x128, 64x64 등)도 또한 알려져 있다. 비트 라인(22) 및 비트 라인 바(24)는 감지 트랜지스터들(42, 44)을 통해 각각 메모리 셀들(10)에 커플링된다. 전압 소스(34)는 마찬가지로 트랜지스터들(46)을 통해 메모리 셀에 커플링될 수 있다. 마찬가지로, 워드 라인들(16)은 트랜지스터(42, 44)를 통해 메모리 셀(10)에 커플링될 수 있다.

[0022] [0021] 메모리 셀 어레이(40)가 통상적으로 이러한 메모리 셀 어레이들과 연관되는 제어 로직 엘리먼트들로서 또한 당 업계에서 잘 이해된다. 이러한 제어 로직 엘리먼트들은 도 3의 메모리 셀 어레이(40)와 관련하여 예시된다. 특히, 메모리 셀 어레이(40)는 워드 라인들(16)에 의해 행 디코더(44)에 커플링된다. 행 디코더(44)는 행 어드레스 버퍼들(46)에 커플링될 수 있다. 메모리 셀(40)은 비트 라인들(22) 및 비트 라인 바(24)에 의해 열 디코더(48)에 추가로 커플링된다. 열 디코더(48)는 열 어드레스 버퍼들(50)에 커플링될 수 있다. 데이터 버스 라인 및 데이터버스 바 라인(데이터버스)을 갖는 데이터버스(52)는 데이터 입력(54)을 비트 라인들(22, 24)에 커플링한다. 데이터 버스(52)는 출력(58)에 신호를 제공하는 감지 증폭기(56)에 추가로 커플링될 수 있다. 제어 로직(60)은 입력 버퍼들(62) 및 출력 버퍼(64)를 제어할 수 있다.

[0023] [0022] 비트 라인들(22), 비트 라인 바(24), 및 워드 라인들(16)이 메모리 셀 어레이(40) 내에서 멀리 떨어져

있는 메모리 셀들(10)에 도달하기 위해 더 길어질 때(예를 들어, 하위 좌측 코너의 메모리 셀(10A)은 상위 우측 코너의 메모리 셀(10B)에 비해 비교적 짧은 라인들(16, 22, 24)을 가짐), 라인들(16, 22, 24)의 물리적 특성들은 용량 및 저항 손실들을 도입하며, 이는 이들 라인들에 인가되는 전압이 요구되는 가장 최소 전압 이상으로 상승할 것을 요구한다. 이러한 상승된 전압들은 배터리 수명을 감소시키고, 낭비 열을 생성하며 그렇지 않으면 바람직하지 않은 것으로 간주된다.

[0020] [0023] 비트 라인들(22), 비트 라인 바(24), 및 워드 라인들(16)의 길이를 단축하기 위한 하나의 해결책은 소위 "버터플라이" 구성으로 메모리 셀 어레이들을 배열하는 것이다. 즉, 메모리 셀 어레이들은 제어 로직 엘리먼트들의 양 측에 포지셔닝된다. 비유를 계속하여, 제어 로직은 버터플라이의 "흉부"가 되고 메모리 셀 어레이들은 "날개"이다. 2-차원(2D)의 버터플라이 RAM(70)의 예시적인 실시예의 단순화된 블록도가 도 4에서 예시된다. 버터플라이 RAM(70)은 행 디코더(74) 및 워드 라인 구동기(76) 뿐만 아니라 글로벌 블록 제어(GBC) 유닛(77)을 갖는 코어(72)를 갖는다. GBC는 메모리의 입력 및 출력에 대해 특정 읽기/쓰기 멀티플렉서들을 선택하기 위한 모든 프로세싱 로직을 갖는다. 코어(72)는 다수 메모리 셀 어레이들(78, 80, 82, 84)에 인접할 수 있다. 각 메모리 셀 어레이(78, 80, 82, 84)는 각각 로컬 데이터 경로(LDP)(86, 88, 90, 92)를 갖는다. LDP들(86, 88, 90, 92)은 임의의 감지 증폭기(예를 들어 감지 증폭기(56)) 및 임의의 멀티플렉서(mux) 뿐만 메모리 셀들을 제어하기 위한 실제 구동기들을 포함할 수 있다. 코어(72)의 각각의 측은 버터플라이 RAM(70)에 대한 입력들 및 출력들을 포함하는 글로벌 데이터 경로(GDP)(94, 96)를 가질 수 있다. 그러나 단지 하나의 GDP(94, 96)가 측 당 필요하다.

[0021] [0024] 이러한 방식으로 LDP들(86, 88, 90, 92)을 배치함으로써, (도 4에서 예시되지 않은) 비트 라인들(22) 비트 라인 바(24) 및 워드 라인들(16)의 길이가 단축된다. 이들 라인들(22, 24, 16)을 단축하는 것은 종래의 메모리 셀 어레이(40)에 비해 RAM(70)을 동작시키는데 필요한 전압 레벨들을 감소시킬 수 있다. 부가적으로, 더 짧은 라인들을 가짐으로써, 클럭 스퀴(clock skew)가 최소화될 수 있다.

[0022] [0025] 2D 버터플라이 RAM(70)의 장점은 인상적이지만, 3DIC 기술의 출현은 라인 길이들의 감소에 있어 훨씬 더 큰 개선을 허용하여, 메모리의 풋프린트를 감소시키고 회로 설계자의 필요에 따라 메모리 디바이스를 커스터마이징함으로써 소형화를 개선한다. 3DIC 기술의 이용은 버터플라이 RAM(70)의 "날개들"이 하나의 날개 상단에 다른 하나의 날개가 접하도록 허용하여서, 동일한 메모리 저장 능력들을 유지하면서 전체 풋프린트가 반감(또는 그 초과)되게 된다. 부가적으로, 상이한 제조 기법들은 메모리의 상이한 특징들이 상이한 티어들에 상에서 제공되도록 허용하기 위해 3DIC의 상이한 티어들의 사이에서 이용될 수 있다.

[0023] [0026] 이와 관련하여, 도 5는 제 1 티어(102) 및 제 2 티어(104)를 갖는 3D 버터플라이 RAM(100)를 설명한다. 더 많은 티어들(도시 생략)이 제공될 수 있다는 것이 인지되어야 한다. (또한, 비트 셀 어레이들로서 지칭되는) RAM 데이터 뱅크들(106, 108, 110, 112)이 코어(114)의 양 측으로 어떻게 연장되는지를 보여주기 위해 티어들(102, 104) 간의 간격은 다소 과장된다. 코어(114) 내에서 제 1 티어(102)로부터 제 2 티어(104)로 연장하는 MIV(116)의 양식화된 표현이 또한 예시된다. 예시되지는 않았지만, 부가적인 MIV가 코어(114) 외부의 티어들(102, 104) 사이에 존재할 수 있다. 2D 버터플라이 RAM(70)과 마찬가지로, 행 디코더(118), 워드 라인 구동기(120) 및 GBC(122)는 코어(114)에 포지셔닝된다. 각각의 RAM 데이터 뱅크(106, 108, 110, 112)는 각각의 LDP(124, 126, 128, 130)를 갖는다. 부가적으로, GDP(132, 134)가 예시된 바와 같이, 3D 버터플라이 RAM(100)의 하단 상에 있는 제 2 티어(104)에 포지셔닝된다. 대안적인 실시예에서, GDP(132, 134)는 제 1 티어(102)에 그리고 이에 따라 3D 버터플라이 RAM(100)의 상단에 있다.

[0024] [0027] 실제로, GBC(122) 뿐만 아니라 행 디코더(118) 및 워드 라인 구동기(120)의 액세스 로직을 코어(114)에 넣음으로써, RAM 데이터 뱅크들의 접혀지는 성질에 따라, 더 짧은 와이어 길이들이 워드 라인들(16), 비트 라인들(22) 및 비트 라인 바(24)(도 5에 도시하지 않음)에 대해 달성된다. 더 짧은 와이어 길이들은 메모리 읽기/쓰기 액세스 시간들을 증가시키고 감소된 백 엔드 라인 커패시턴스(back-end-of-line capacitance)를 통해 동적인 전력을 절감한다. RAM 데이터 뱅크들의 접힘은 또한 밀도를 증가시키고 다이 및 포장 비용을 더 적게 하는 더 작은 다이 영역들을 발생시킬 수 있다. 일반 RAM으로서 설명되지만, 동적 RAM(DRAM) 및 SRAM 둘 다는 본 개시로부터 유리할 수 있다.

[0025] [0028] 여기에 개시된 실시예들에 따라 비트 셀 및 로직 파티셔닝을 갖는 모놀리식 3D RAM 어레이 아키텍처는 임의의 프로세서-기반 디바이스 내로 통합되거나 거기서 제공될 수 있다. 예들은, 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 전화 셀룰러 전화, 컴퓨터, 휴대용 컴퓨터 데스크톱 컴퓨터, 개인용 디지털 보조기기(PDA), 모니터, 컴퓨터

모니터, 텔레비전, 투너, 라디오, 위성 라디오, 음악 플레이어, 디지털 음악 플레이어, 휴대용 음악 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어를 포함한다.

[0026] [0029] 이와 관련하여, 도 6은 도 5에서 예시된 3D 버터플라이 RAM(100)을 채용할 수 있는 프로세서-기반 시스템(140)의 예를 예시한다. 이 예에서, 프로세서-기반 시스템(140)은 각각이 하나 이상의 프로세서들(144)을 포함하는 하나 이상의 중앙 처리 장치들(CPU들)(142)을 포함한다. CPU(들)(142)은 마스터 디바이스일 수 있다. CPU(들)(142)은 일시적으로 저장된 데이터에 대한 빠른 액세스를 위해 프로세서(들)에 커플링되는 하나 이상의 3D 버터플라이 RAM(100)(144)를 포함하는 캐시 메모리(146)를 가질 수 있다. CPU(들)(142)는 시스템 버스(148)에 커플링되고 프로세서-기반 시스템(140)에 포함되는 마스터 디바이스들 및 슬레이브 디바이스들을 상호커플링할 수 있다. 잘 알려진 바와 같이, CPU(들)(142)는 시스템 버스(148) 상에서 어드레스, 제어 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 예를 들어, CPU(들)(142)는 하나 이상의 3D 버터플라이 RAM(100)을 포함할 수 있는 메모리 시스템(150)에 버스 트랜잭션 요청들을 통신할 수 있다. 도 6에서 예시되지는 않았지만, 다수의 시스템 버스들(148)이 제공될 수 있으며, 각각의 시스템 버스(148)는 상이한 패브릭을 구성한다.

[0027] [0030] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(148)에 연결될 수 있다. 도 6에서 예시된 바와 같이, 이들 디바이스들은 예들로서, 메모리 시스템(150), 하나 이상의 입력 디바이스들(152), 하나 이상의 출력 디바이스들(154), 하나 이상의 네트워크 인터페이스 디바이스들(156), 및 하나 이상의 디스플레이 제어기들(158)을 포함할 수 있다. 입력 디바이스(들)(152)는 입력 키들, 스위치들, 음성 프로세서들 등을 포함(그러나 이것으로 제한되지 않음)하는 임의의 타입의 입력 디바이스들을 포함할 수 있다. 출력 디바이스(들)(154)는 오디오, 비디오, 다른 시각적 표시기들 등을 포함(그러나 이것으로 제한되지 않음)하는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(156)는 네트워크(160)로 그리고 이로부터 데이터의 교환을 허용하도록 구성되는 임의의 디바이스일 수 있다. 네트워크(160)는 유선 또는 무선 네트워크, 사설 또는 공중 네트워크, LAN(local area network), WLAN(wide local area network), 및 인터넷을 포함(그러나 이것으로 제한되지 않음)하는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(156)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0028] [0031] CPU(들)(142)는 또한 하나 이상의 디스플레이들(162)에 송신되는 정보를 제어하기 위해 시스템 버스(148) 상에서 디스플레이 제어기(들)(158)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(158)는 디스플레이(들)(162)에 대해 적합한 포맷으로 디스플레이될 정보를 프로세싱하는 하나 이상의 비디오 프로세서들(164)을 통해 디스플레이되도록 디스플레이(들)(162)에 정보를 송신한다. 디스플레이(들)(162)는 음극선관(CRT), 액정 디스플레이(LCD), 플라스마 디스플레이 등을 포함(그러나 이것으로 제한되지 않음)하는 임의의 타입의 디스플레이를 포함할 수 있다.

[0029] [0032] 당업자들은 추가로, 여기에 개시된 실시예들과 관련하여 설명되는 다양한 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터-판독 가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이 둘의 결합으로서 구현될 수 있다는 것을 인지할 것이다. 여기서 설명되는 아버터들, 마스터 디바이스들 및 슬레이브 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, IC, 또는 IC 칩에서 이용될 수 있다. 여기에 개시된 메모리는 임의의 타입 및 크기의 메모리일 수 있고 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이러한 상호 교환성을 명확하게 예시하기 위해, 다양한 예시적인 컴포넌트, 블록, 모듈, 회로 및 단계는 그의 기능성의 견지에서 대체로 위에서 설명되었다. 이러한 기능성이 어떻게 구현되는지는 특정 애플리케이션, 설계 선택들 및/또는 전체 시스템에 부과되는 설계 제약들에 의존한다. 당업자는 각각의 특정 애플리케이션마다 다양한 방식들로 설명된 기능을 구현할 수 있지만, 이러한 구현 결정은 본 개시의 범위를 벗어나게 하는 것으로 해석되어서는 안 된다.

[0030] [0033] 본 명세서에 개시된 실시예와 관련하여 설명된 다양한 예시적인 로직 블록, 모듈, 및 회로들은, 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍 가능 게이트 어레이(FPGA), 또는 기타 프로그래밍 가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트, 또는 본원에 설명된 기능을 수행하도록 설계된 이들의 임의의 결합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로

구현될 수 있다.

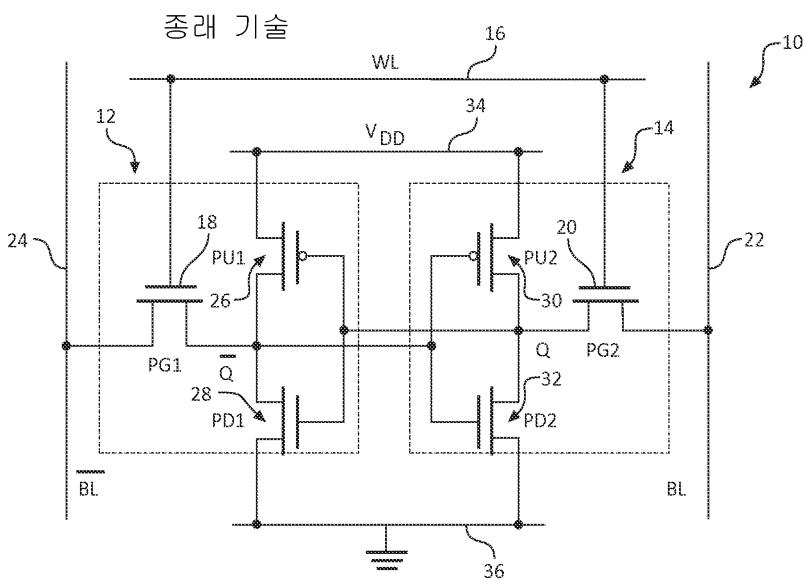
[0031] 여기에 개시된 실시예들은 하드웨어 및 하드웨어에 저장된 명령들로 구현될 수 있으며, 예를 들어, RAM, 플래시 메모리, ROM(Read Only Memory), EEPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 레지스터들, 하드 디스크, 제거 가능 디스크, CD-ROM, 또는 당 업계에 알려진 임의의 다른 형태의 컴퓨터 판독 가능 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서에 커플링되어, 프로세서는 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC은 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국 또는 서버에 이산 컴포넌트로서 상주할 수 있다.

[0032] 또한 본원의 예시적인 실시예에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된다는 것이 주의된다. 설명된 동작들은 예시된 시퀀스 이외의 다른 수많은 다른 시퀀스들에서 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로 다수의 다른 단계들에서 수행될 수 있다. 부가적으로, 예시적인 실시예들에서 논의된 하나 이상의 동작 단계들은 결합될 수 있다. 흐름도 다이어그램에 예시되는 동작 단계들은 당업자에게 쉽게 자명하게 될 바와 같이 수많은 다른 변형들이 가능할 수 있다는 것이 이해될 것이다. 당업자는, 정보 및 신호들이 다양한 상이한 기술들 및 기법들을 이용하여 표현될 수 있다는 것을 또한 이해할 것이다. 예를 들어, 전술한 설명을 통해 참조될 수 있는 데이터, 명령들, 커멘드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장 또는 입자들, 광학장 또는 입자들, 또는 이들의 임의의 조합으로 표현될 수 있다.

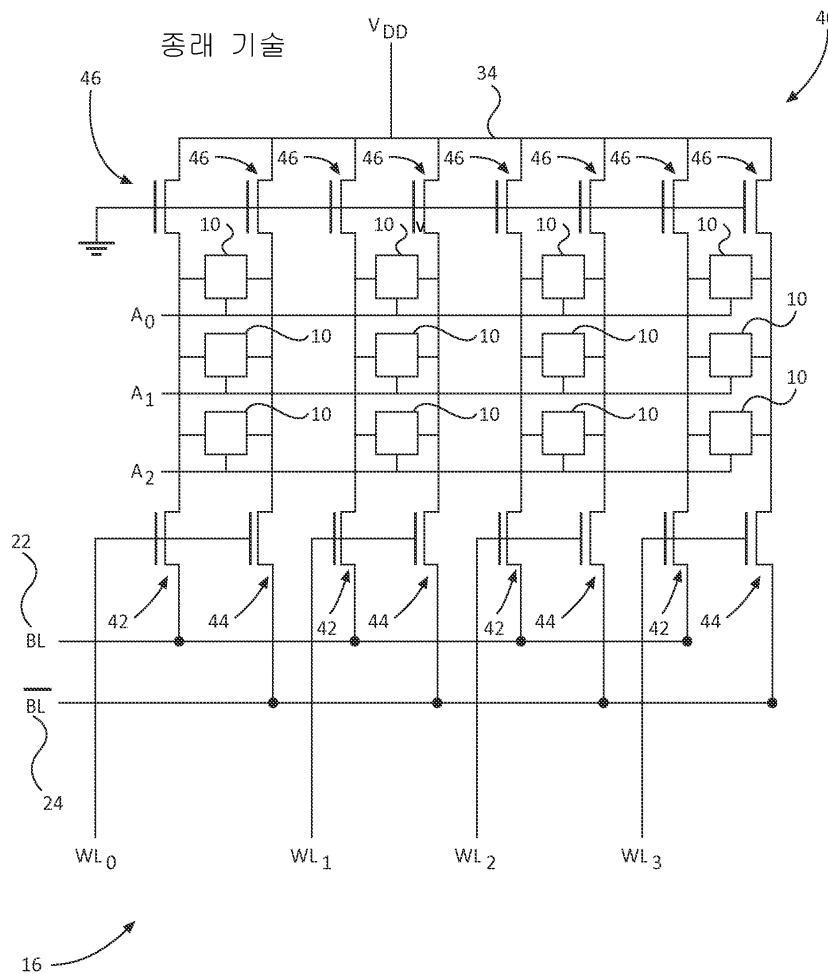
[0033] 본 개시의 이전 설명은 당업자가 본 개시를 실시하거나 이용할 수 있도록 제공된다. 본 개시에 대한 다양한 변형은 당업자에게 쉽게 명백하게 될 것이며, 여기에 정의된 일반적인 원리들은 본 개시의 사상 또는 범위를 벗어나지 않고 다른 변동들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에 설명된 예들 및 설계들로 한정되도록 의도되는 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특징들과 부합하는 최광의 범위로 허여될 것이다.

도면

도면1

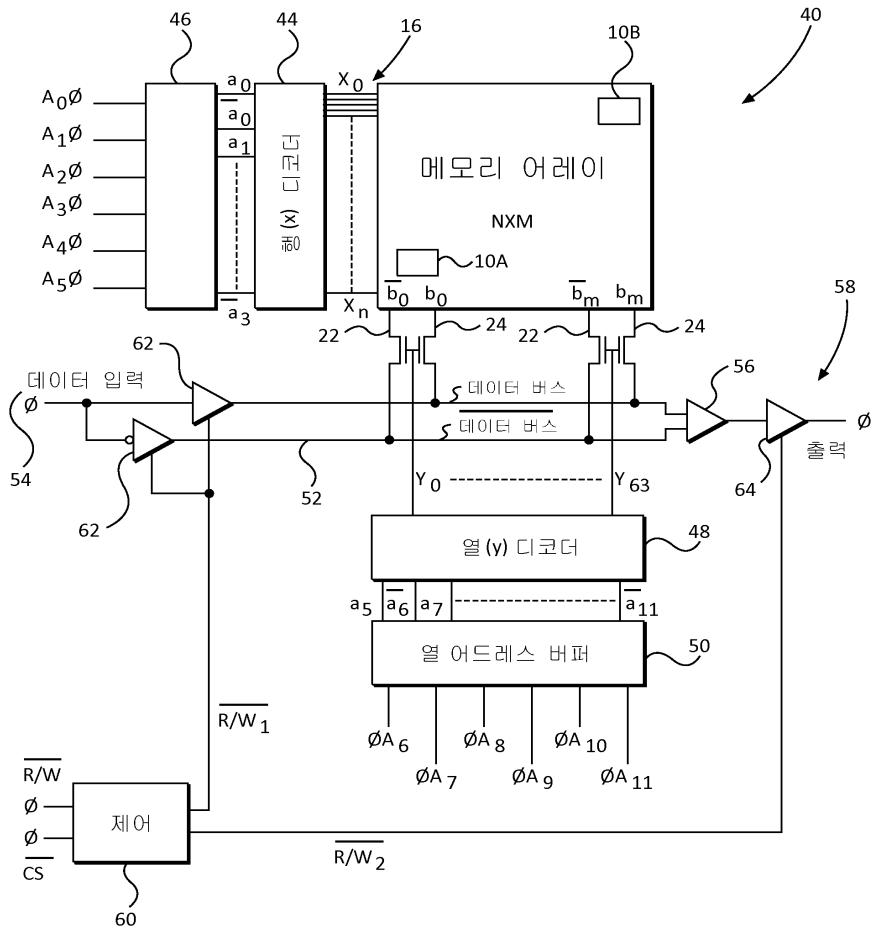


도면2

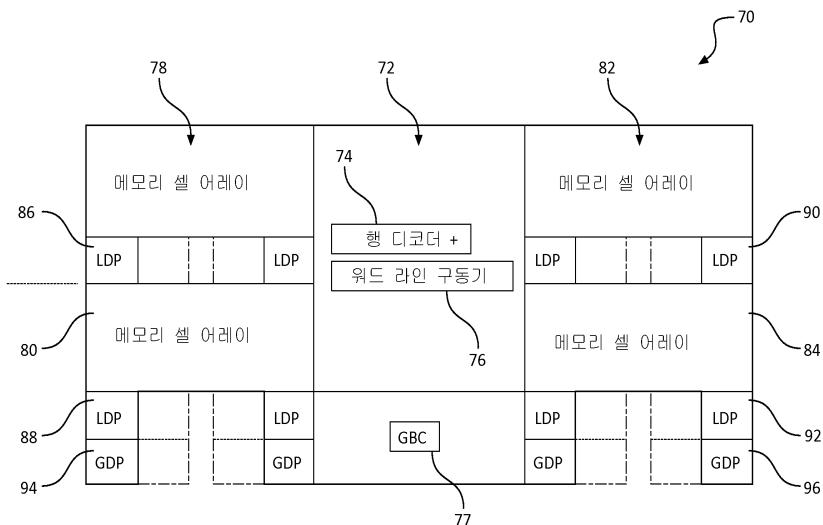


도면3

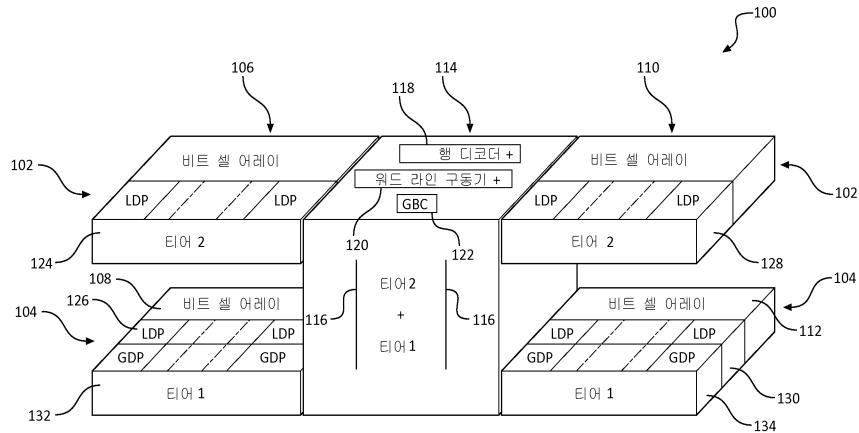
종래 기술



도면4



도면5



도면6

