

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4000233号

(P4000233)

(45) 発行日 平成19年10月31日(2007.10.31)

(24) 登録日 平成19年8月17日(2007.8.17)

(51) Int. Cl.	F I
<b>G 1 1 C 11/407 (2006.01)</b>	G 1 1 C 11/34 3 6 2 S
<b>G 1 1 C 11/4096 (2006.01)</b>	G 1 1 C 11/34 3 5 4 R
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 6 2 H
<b>G 1 1 C 11/41 (2006.01)</b>	G 1 1 C 11/34 3 6 2 C
	G 1 1 C 11/34 3 6 2 Z

請求項の数 19 (全 43 頁) 最終頁に続く

(21) 出願番号 特願平11-155474	(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日 平成11年6月2日(1999.6.2)	
(65) 公開番号 特開2000-57769(P2000-57769A)	
(43) 公開日 平成12年2月25日(2000.2.25)	(74) 代理人 100070150 弁理士 伊東 忠彦
審査請求日 平成15年11月13日(2003.11.13)	
(31) 優先権主張番号 特願平10-154622	(72) 発明者 鈴木 孝章 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32) 優先日 平成10年6月3日(1998.6.3)	(72) 発明者 藤岡 伸也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国 日本国(JP)	(72) 発明者 佐藤 靖治 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びデータバス制御方法

(57) 【特許請求の範囲】

【請求項1】

少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有する半導体記憶装置において、

前記バンクは、

前記第1のデータバスに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータバスと、

各バンクに供給されるコマンドによって示される情報に対応して、各バンクへの第2のデータバスからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータバスへのデータ出力処理を含む読出し処理を制御する制御部と、を有し、

前記制御部はデータ読出し処理実行中の第1のデータバスの空白期間を利用してデータ書込み処理を実行することを特徴とする半導体記憶装置。

【請求項2】

各バンクはそれぞれ別個に設けられた第2のデータバスを介して第1のデータバスに接続され、この第2のデータバスは書込みデータ伝送用と読出しデータ伝送用とに分離されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

各バンク内はセンスアンプに接続される第3のデータバスを有し、この第3のデータバスは書込みデータ伝送用と読出しデータ伝送用とに分離することを特徴とする請求項1記載の半導体記憶装置。

10

20

## 【請求項 4】

少なくとも1つのメモリセルアレイを有し、かつ第1のデータベースに接続された複数のバンクを有し、かつ、各バンクは前記第1のデータベースに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータベースを有する半導体記憶装置のデータベース制御方法において、

コマンドを受信するステップ(a)と、

各バンク毎にコマンドに応じた各バンクへの第2のデータベースからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータベースへのデータ出力処理を含む読出し処理を制御し、データ読出し処理実行中の第1のデータベースの空白期間を利用してデータ書込み処理を実行するステップ(b)と、を有することを特徴とするデータベース制御方法。

10

## 【請求項 5】

ステップ(b)は各バンクごとに、それぞれ別個に設けられた第2のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項4記載のデータベース制御方法。

## 【請求項 6】

ステップ(b)は各バンクごとに、それぞれ別個に設けられ、かつ書込みデータ伝送用及び読出しデータ伝送用に分離された第2のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項4記載のデータベース制御方法。

## 【請求項 7】

ステップ(b)は各バンクごとに、センスアンプに接続され、かつ書込みデータ伝送用と読出しデータ伝送用に分離された第3のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項4記載のデータベース制御方法。

20

## 【請求項 8】

ステップ(b)は、指定されたバンクのデータ読出し処理中の前記第1のデータベースの空白期間に、前記指定されたバンクの読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するようにデータ書込み/読出しを制御することを特徴とする請求項4記載のデータベース制御方法。

## 【請求項 9】

ステップ(b)は、1つのバンクに対する読出しコマンド継続中は、このバンクへのコマンドを受付けないことを特徴とする請求項4記載のデータベース制御方法。

30

## 【請求項 10】

ステップ(b)は各バンクにおいて、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチするようにデータ書込み/読出しを制御することを特徴とする請求項4記載のデータベース制御方法。

## 【請求項 11】

少なくとも1つのメモリセルアレイを有し、かつ第1のデータベースに接続された複数のバンクを有する半導体記憶装置において、

前記バンクは、

前記第1のデータベースに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータベースと、

40

各バンクに供給されるコマンドによって示される情報に対応して、各バンクへの第2のデータベースからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータベースへのデータ出力処理を含む読出し処理を制御する制御部と、を有し、

あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクの制御部は書込みコマンドとそれに対応するデータを前記第2のデータベースから取り込むように制御し、書込み処理の実行を開始することを特徴とする半導体記憶装置。

## 【請求項 12】

50

第1のデータベースは書込みデータ転送用と読出しデータ転送用に分離されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項13】

少なくとも1つのメモリセルアレイを有し、かつ第1のデータベースに接続された複数のバンクを有し、かつ、各バンクは前記第1のデータベースに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータベースを有する半導体記憶装置のデータベース制御方法において、

コマンドを受信するステップ(a)と、

各バンク毎にコマンドに応じた各バンクへの第2のデータベースからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータベースへのデータ出力処理を含む読出し処理を制御し、あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクの制御部は書込みコマンドとそれに対応するデータを前記第2のデータベースから取り込むように制御し、書込み処理の実行を開始するステップ(b)と

を有することを特徴とするデータベース制御方法。

10

【請求項14】

前記ステップ(b)は、書込みデータ転送用と読出しデータ転送用に分離されている第1のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項13記載のデータベース制御方法。

【請求項15】

ステップ(b)は各バンクごとに、それぞれ別個に設けられた第2のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項13記載のデータベース制御方法。

20

【請求項16】

ステップ(b)は各バンクごとに、それぞれ別個に設けられ、かつ書込みデータ伝送用及び読出しデータ伝送用に分離された第2のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項13記載のデータベース制御方法。

【請求項17】

ステップ(b)は各バンクごとに、センスアンプに接続され、かつ書込みデータ伝送用と読出しデータ伝送用に分離された第3のデータベースを用いてデータ書込み/読出し処理を制御することを特徴とする請求項13記載のデータベース制御方法。

30

【請求項18】

ステップ(b)は、1つのバンクに対する読出しコマンド継続中は、このバンクへのコマンドを受付けないことを特徴とする請求項13記載のデータベース制御方法。

【請求項19】

ステップ(b)は各バンクにおいて、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチするようにデータ書込み/読出しを制御することを特徴とする請求項13記載のデータベース制御方法。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、一般の半導体記憶装置に関し、特にクロックに同期して動作する半導体記憶装置、及びその半導体記憶装置のデータベース制御方法に関する。

近年、CPUの高速化に伴って、DRAM(Dynamic Random Access Memory)等の半導体記憶装置では、より高い信号周波数でデータ信号の入出力を行い、データ転送速度の高速化をはかることが要求されている。

【0002】

この要求に応える半導体記憶装置として、例えば、SDRAM(Synchronous Dynamic Random Access Memory)は、外部からのクロック信号に同期して動作することにより高速な

50

動作を実現している。

【 0 0 0 3 】

【 従来 の 技 術 】

以下、従来の半導体記憶装置として、例えば、SDRAMのデータバス制御方法について説明する。

図1は、SDRAMのメモリセル周辺の回路構成の一例を示す。図1の回路は、容量201とNMOSトランジスタ202から212、223、224とPMOSトランジスタ213、221、222を含む。PMOSトランジスタ221及び222と、NMOSトランジスタ223及び224は、センスアンプ220を構成している。

【 0 0 0 4 】

メモリセル（記憶セル）である容量201には、1ビットのデータが記憶される。容量201に記憶されているデータをデータバスDBおよび/DB上に読み出す動作を、図1の構成に従って説明する。

外部からクロック信号（CK及び/CK）、コントロール信号（RまたはW、この場合はR）、アドレス信号（ローアドレス、コラムアドレス）が入力される。コントロール信号（R）は内部でデコードされ、その結果に応じて、ローアクセスのための/RASコマンド、及びコラムアクセスのための/CASコマンドが生成される。/RASコマンドは、SDRAM内のコア回路から1つのロー系のメモリブロック、即ち、特定のワード線を選択する。/CASコマンドは、選択されたワード線の中から特定のコラム、即ちセンスアンプ220を選択する。尚、コア回路は、メモリセル201がロー及びコラム方向に関してアレイ状に配置されたものであり、各コラム毎にセンスアンプ220が設けられている。従って、センスアンプ220には、選択されたワード線に対応するメモリセルのデータが取り込まれる。

【 0 0 0 5 】

/RASコマンドが入力されると、ビット線トランスファー信号BLT0がLOWとなり（この時、BLT1はHIGHになっておりNMOSトランジスタ203及び204は導通状態にある。）、ビット線BL及び/BLがセンスアンプ220に接続される。同時にプリチャージ信号PRをLOWに落とし、ビット線BLのリセット状態を解除する。

【 0 0 0 6 】

サブワード線選択信号SWを選択し、HIGHにすることで特定のワード線を選択する。これにより、セルゲートであるNMOSトランジスタ202が導通し、容量201のデータがビット線BLに読み出される。

次にセンスアンプ220を駆動するためにセンスアンプ駆動信号SA1及びSA2がアクティブになり、NMOSトランジスタ212及びPMOSトランジスタ213が導通する。この状態で、ビット線BL及び/BL上のデータは、NMOSトランジスタ203及び204を介して、センスアンプ220に読み込まれる。センスアンプ220が駆動することにより、ビット線BL及び/BL上のデータが増幅されて振幅が増大する。

【 0 0 0 7 】

次に/CASコマンドに対応してコラム線選択信号CLがHIGHになり、特定のコラムを選択する。選択されたコラムゲートであるNMOSトランジスタ210及び211が導通し、増幅されたビット線BL及び/BL上のデータがデータバスDBおよび/DBに読み出される。

その後、プリチャージコマンドが入力されると、適切なタイミングでプリチャージ信号PRがHIGHになり、NMOSトランジスタ207、208、209が導通し、ビット線BL及び/BLが所定の電位VPRにプリチャージされる。これにより、ビット線BL及び/BLがリセットされ、次のコントロール信号（RまたはW）に備えることができる。

【 0 0 0 8 】

一方、データ書込みの場合は、上記読出しの動作とは逆の手順を経て、データバスDBおよび/DB上のデータが容量201に記憶される。

図2から図8では、従来のSDRAMにおけるデータの読出し処理、及び書込み処理につ

10

20

30

40

50

いて説明する。

図2は、従来のSDRAMにおいて(この場合はシングルバンク構成、またはマルチバンク構成の同一バンクにおいて)、連続してデータの読出し処理を実行した場合のタイミングチャートを示す。尚、コントロール信号としての読出しコマンドR0、R1、R2は、それぞれ異なるワード線を選択する読出し信号とする。

【0009】

例えば、あるバンク内において、異なったローアドレス(異なったワード線)のデータを読み出すには、このワード線が選択するメモリセルからのデータをビット線BL及び/BLに新たに読み出す必要があり、更に予めビット線BL及び/BLをプリチャージしておく必要がある。従って、この場合には、少なくとも読出しコマンドを入力可能な時間間隔  $t_{RC}$  (例えば、 $t_{RC} = 22 \text{ ns}$ ) をあけて、読出しコマンドR0、R1、R2を入力する。また、読出しコマンドにより読み出されるデータは、例えば、読出しコマンドR0を入力してからデータが出力するまでの時間(アクセスタイム)  $t_{RAC} = 32 \text{ ns}$  の経過後、出力される。即ち、コマンドデコード、図1に示すメモリセル周辺の回路動作、センスアンプ動作等の要因により、読出しデータの出力までにレイテンシーが発生している。

10

【0010】

図3は、従来のSDRAMにおいて(この場合はシングルバンク構成、またはマルチバンク構成の同一バンクにおいて)、連続してデータの書込み処理を実行した場合のタイミングチャートを示す。尚、コントロール信号としての書込みコマンドW0、W1、W2は、それぞれ異なるワード線を選択する書込み信号とする。

20

【0011】

例えば、あるバンク内において、異なったローアドレス(異なったワード線)にデータを書き込むには、予めビット線BL及び/BLをプリチャージしておく必要があり、更にこのワード線が選択するメモリセルにビット線BL及び/BL上のデータを書き込む必要がある。従って、この場合には、少なくとも書込みコマンドを入力可能な時間間隔  $t_{WC}$  (例えば、 $t_{WC} = 32 \text{ ns}$ ) をあけて、書込みコマンドW0、W1、W2を入力し、更に少なくとも書込みデータを入力可能な時間間隔  $t_{WR}$  (例えば、 $t_{WR} = 22 \text{ ns}$ ) をあけて、書込みデータD01及びD02と、D11及びD12と、D21及びD22を入力する。

30

【0012】

図4は、従来のSDRAMにおいて(この場合はシングルバンク構成、またはマルチバンク構成の同一バンクにおいて)、データの読出し処理を実行後、続けて書込み処理を実行した場合のタイミングチャートを示す。

この場合、読出しコマンドR0により読み出されるデータQ01及びQ02は、図2と同様に、例えば、読出しコマンドR0を入力してからデータが出力するまでの時間(アクセスタイム)  $t_{RAC} = 32 \text{ ns}$  の経過後、出力される。従って、書込みコマンドW0及び書込みデータD01、D02は、読出しコマンドR0による読出し処理が終了後、入力可能となる。

【0013】

図5は、従来のSDRAM(この場合はシングルバンク構成)において、データの書込み処理を実行後、続けて読出し処理を実行した場合のタイミングチャートを示す。

この場合、後から入力する読出しコマンドR0は、図3と同様に、少なくとも次のコマンドを入力可能な時間間隔  $t_{WC}$  (例えば、 $t_{WC} = 32 \text{ ns}$ ) と時間間隔  $t_{WR}$  (例えば、 $t_{WR} = 22 \text{ ns}$ ) をあけて、入力する。また、読出しコマンドR0により読み出されるデータQ01及びQ02は、図2と同様に、例えば、読出しコマンドR0を入力してからデータが出力するまでの時間(アクセスタイム)  $t_{RAC} = 32 \text{ ns}$  の経過後、出力される。

40

【0014】

図6は、従来のSDRAM(この場合はマルチバンク構成)において、他バンクに対して

50

データの読出し処理を繰り返し実行した場合のタイミングチャートを示す。尚、コントロール信号としての読出しコマンド  $R_a$ 、 $R_b$ 、 $R_c$ 、 $R_d$  は、それぞれバンク  $a$ 、 $b$ 、 $c$ 、 $d$  に対する読出しコマンドとする。

例えば、他のバンクのデータを繰り返し読み出す場合、即ち、他のバンクのメモリセルからのデータをビット線  $B_L$  及び  $\bar{B}_L$  に読み出す場合には、各バンクが独立して動作するため、連続して読出しコマンド  $R_a$ 、 $R_b$ 、 $R_c$ 、 $R_a$ 、 $R_d$  を入力することができる。この場合、読出しコマンドにより読み出されるデータは、例えば、読出しコマンド  $R_0$  を入力してからデータが出力するまでの時間（アクセスタイム） $t_{RAC} = 32 \text{ ns}$  の経過後、出力される。即ち、コマンドデコード、図 1 に示すメモリセル周辺の回路動作、センスアンプ動作等の要因により、読出しデータ出力までにレイテンシーが発生する。但し、読出しコマンド  $R_a$  の入力後、再度読出しコマンド  $R_a$  を入力する場合（図 6 では、1 回目の読出しと 4 回目の読出しに相当）は、少なくとも時間間隔  $t_{RC}$ （例えば、 $t_{RC} = 22 \text{ ns}$ ）をあける必要がある。

10

#### 【0015】

図 7 は、従来の SDRAM（この場合はマルチバンク構成）において、他バンクに対してデータの書込み処理を繰り返し実行した場合のタイミングチャートを示す。尚、コントロール信号としての書込みコマンド  $W_a$ 、 $W_b$ 、 $W_c$ 、 $W_d$  は、それぞれバンク  $a$ 、 $b$ 、 $c$ 、 $d$  に対する書込みコマンドとする。

例えば、他のバンクにデータを繰り返し書き込む場合には、各バンクが独立して動作するため、連続して書込みコマンド  $W_a$ 、 $W_b$ 、 $W_c$ 、 $W_a$ 、 $W_d$  を入力することができる。この場合、書込みコマンド  $W_a$ 、 $W_b$ 、 $W_c$ 、 $W_a$ 、 $W_d$  と共に書込みデータを順次入力する。但し、書込みコマンド  $W_a$  の入力後、再度書込みコマンド  $W_a$  を入力する場合（図 7 では、1 回目の書込みと 5 回目の書込みに相当）は、少なくとも時間間隔  $t_{WC}$ （例えば、 $t_{WC} = 32 \text{ ns}$ ）をあける必要がある。

20

#### 【0016】

図 8 は、従来の SDRAM（この場合はマルチバンク構成）において、他バンクに対してデータの書込み処理、及び読出し処理を繰り返し実行した場合のタイミングチャートを示す。

この場合のデータの書込み処理、及び読出し処理は図 6 及び図 7 の処理を組み合わせたものであり、先に入力されたコマンドの処理が終了後、次のコマンドに対応する処理を実行している。

30

#### 【0017】

##### 【発明が解決しようとする課題】

例えば、図 2、図 3、図 4、及び図 5 のような処理を行う従来の半導体記憶装置（シングルバンク構成、またはマルチバンク構成の同一バンク）において、同一のローアドレス（同一のワード線）のデータを連続して読み出す場合には、異なるコラムを順次選択することで異なるコラムアドレスのデータを順次読出し可能である。同様に、同一のローアドレス（同一のワード線）のデータを連続して書き込む場合には、異なるコラムを順次選択することで異なるコラムアドレスにデータを順次書込み可能である。

#### 【0018】

しかしながら、図 2 に示すように、連続してデータの読出し処理を実行する場合には、読出しコマンド  $R_0$  を入力してから、少なくとも時間間隔  $t_{RC}$ （例えば、 $t_{RC} = 22 \text{ ns}$ ）を経過するまで、次の読出しコマンド  $R_1$  を入力できない。また、読出しコマンド  $R_0$  により読み出されるデータ  $Q_{01}$ 、 $Q_{02}$  は、読出しコマンド  $R_0$  を入力してから、例えば、時間  $t_{RAC} = 32 \text{ ns}$  の経過後に出力される。即ち、レイテンシーが発生し、この間、読出し処理によりデータバスが専有される。

40

#### 【0019】

また、図 3 に示すように、連続してデータの書込み処理を実行する場合には、書込みコマンド  $W_0$  を入力してから、少なくとも時間間隔  $t_{WC}$ （例えば、 $t_{WC} = 32 \text{ ns}$ ）を経過するまで、次の書込みコマンド  $W_1$  を入力できない。更に書込みデータ  $D_{01}$  及び  $D_0$

50

2を入力後、少なくとも時間間隔 $t_{WR}$ （例えば、 $t_{WR} = 22ns$ ）を経過するまで、書込みデータ $D_{11}$ 及び $D_{12}$ を入力できない。即ち、この間は、書込み処理によりデータバスが専有される。

【0020】

また、図4に示すように、データの読出し処理を実行後、続けて書込み処理を実行する場合、読出しコマンド $R_0$ を入力してから、例えば、時間 $t_{RAC} = 32ns$ の経過後に、読出しデータ $Q_{01}$ 、 $Q_{02}$ が出力されるまで、次の書込みコマンド $W_1$ を入力できない。即ち、この間は、読出し処理によりデータバスが専有される。

【0021】

また、図5に示すように、データの書込み処理を実行後、続けて読出し処理を実行した場合には、書込みコマンド $W_0$ を入力してから、少なくとも時間間隔 $t_{WC}$ （例えば、 $t_{WC} = 32ns$ ）を経過するまで、且つ書込みデータ $D_{01}$ 及び $D_{02}$ を入力後、少なくとも時間間隔 $t_{WR}$ （例えば、 $t_{WR} = 22ns$ ）を経過するまで、次の読出しコマンド $R_0$ を入力できない。即ち、この間は、書込み処理によりデータバスが専有される。

【0022】

上記、図2から図5に示す様に、読出しデータ間で大きな時間間隔が生じてしまうことは、即ち、データバスが前処理に専有されてしまうことは、高速なデータ読出し処理、及び高速なデータ書込み処理を実現する際の阻害要因となっていた。

一方、図6、図7、及び図8のような処理を行う従来の半導体記憶装置（マルチバンク構成）において、他のバンクのデータを繰り返し読み出す場合には、各バンクが独立して動作するため、連続して読出しコマンド $R_a$ 、 $R_b$ 、 $R_c$ 、 $R_a$ 、 $R_d$ を入力することができる。また、他のバンクにデータを繰り返し書き込む場合にも、同様の理由から、連続して書込みコマンド $W_a$ 、 $W_b$ 、 $W_c$ 、 $W_a$ 、 $W_d$ を入力することができる。

【0023】

しかしながら、図6に示すように、他バンクに対してデータの読出し処理を繰り返し実行した場合には、読出しコマンド $R_a$ 、 $R_b$ 、 $R_c$ 、 $R_a$ 、 $R_d$ により読み出される各データは、各読出しコマンドを入力してから、例えば、時間 $t_{RAC} = 32ns$ の経過後に出力される。即ち、読出しコマンド $R_a$ を入力してから最後の読出しデータ $D_{a1}$ 、 $D_{a2}$ が出力されるまでの間、読出し処理によりデータバスが専有される。

【0024】

また、図7に示すように、他バンクに対してデータの書込み処理を繰り返し実行した場合には、最初の書込みコマンド $W_a$ を入力してから、最後の書込みコマンド $W_a$ を入力後少なくとも時間間隔 $t_{WC}$ （例えば、 $t_{WC} = 32ns$ ）を経過するまで、且つ書込みデータ $D_{01}$ 及び $D_{02}$ を入力後、少なくとも時間間隔 $t_{WR}$ （例えば、 $t_{WR} = 22ns$ ）を経過するまで間、書込み処理によりデータバスが専有される。

【0025】

また、図8に示すように、他バンクに対してデータの書込み処理、及び読出し処理を繰り返し実行した場合には、最初の書込みコマンド $W_a$ を入力してから、最後の読出しデータ $D_{c1}$ 、 $D_{c2}$ が出力されるまでの間、書込み処理及び読出し処理によりデータバスが専有される。

上記、図6から図8の処理を行う従来の半導体記憶装置は、図2から図5の処理を行う従来の半導体記憶装置と比較すると、高速な処理が可能であるが、各処理にデータバスが専有されるため、高速なデータ読出し処理、及び高速なデータ書込み処理を実現する際の阻害要因となっていた。

【0026】

本発明は、データバスの占有率の向上を実現させ、高速処理を実現する半導体記憶装置及びその半導体記憶装置のデータバス制御方法を提供する。

【0027】

【課題を解決するための手段】

そこで、上記課題を解決するため、本発明の半導体記憶装置は、少なくとも1つのメモ

10

20

30

40

50

リセルアレイを有し、かつ第1のデータバス（実施例の外部データバスに相当）に接続された複数のバンクを有する半導体記憶装置において、前記バンクは、前記第1のデータバスに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータバスと、各バンクに供給されるコマンドによって示される情報に対応して、各バンクへの第2のデータバスからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータバスへのデータ出力処理を含む読出し処理を制御する制御部と、を有し、前記制御部はデータ読出し処理実行中の第1のデータバスの空白期間を利用してデータ書込み処理を実行することを特徴とする。

**【0028】**

また、本発明のデータバス制御方法は、少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有し、かつ、各バンクは前記第1のデータバスに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータバスを有する半導体記憶装置のデータバス制御方法において、コマンドを受信するステップ（a）と、各バンク毎にコマンドに応じた各バンクへの第2のデータバスからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータバスへのデータ出力処理を含む読出し処理を制御し、データ読出し処理実行中の第1のデータバスの空白期間を利用してデータ書込み処理を実行するステップ（b）と、を有する。

**【0029】**

従来の半導体記憶装置において、読出しコマンドにより読み出されるデータは、読出しコマンドを入力してから、データが出力するまでの時間  $t_{RAC} = 32ns$ （アクセスタイム）の経過後に出力される（図2、図4、図5、図6、図8参照）。即ち、コマンドデコード、図1に示すメモリセル周辺の回路動作、及びセンスアンプ動作等の要因により、読出しデータの出力までにレイテンシーが発生している。このレイテンシーの期間は、外部データバス上にデータが伝送されていないにもかかわらず、即ち、データの空白期間が存在しているにもかかわらず、読出し処理によりデータバスが専有される。これは、コア回路を制御する制御部が、必ずしもバンク毎に存在していないことが要因としてあげられる。例えば、読出しコマンドが入力された場合に、制御部による制御がその読出し処理に専有されてしまう。

**【0030】**

そこで、本発明の半導体記憶装置は、上記のように各バンクの制御部は、データ読出し処理実行中の外部データバスの空白期間を専有しないように、各バンク毎にデータ入出力を制御し、データバスの占有率の向上を実現させる。具体的には、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行可能とする。

**【0031】**

更にデータ読出し処理実行中の外部データバスの空白期間を利用してデータ書込み処理を実行すると、データ読出し処理に要する時間で、書込み及び読出しの両方の処理が実現できる。即ち、本発明の半導体記憶装置にてデータ読出し処理及びデータ書込み処理を実行する場合、トータルの処理時間が短縮可能となる。上記構成の半導体記憶装置は、例えば、下記に示すデータバスを有する構成とし、データ読出し処理実行中の外部データバスの空白期間を専有しないように、各バンク毎にデータ入出力を制御する。

**【0032】**

上記構成において、各バンクから外部端子（第1のデータバスとの接続点）までの第2のデータバス（実施例の周辺データバスに相当）は、バンク毎に分離する構成とすることができる。

上記構成において、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行するということは、即ち、あるバンクにてデータ読み出し処理を実行中に、他のバンクでデータ書込み処理を並列的に実行することを意味する。この場合、例えば、周辺データバスが全てのバンクの共通バスとして接続されていると、読出し及び書込みの際のデータの入出力制御が大変難しくなる。そこで、周辺データバスをバンク毎に分離することにより、制御部は各バンク毎に独立した周辺データバスを選択的に指定

10

20

30

40

50

でき、データバスの調停が容易になるという効果が得られる。

【0033】

また、上記構成の半導体記憶装置において、前記周辺データバスは、更に書込みデータ伝送用、読出しデータ伝送用に分離する構成とすることができる。

バンク毎に分離した周辺データバスを、更に書込みデータ伝送用、読出しデータ伝送用に分離することにより、上記の半導体記憶装置と同様の効果が得られると共に、より細かいレベルでバスの調停が可能となる。

【0034】

また、上記構成の半導体記憶装置において、各バンク内のコアデータバスは、書込みデータ伝送用、読出しデータ伝送用に分離する構成とすることができる。各バンク内のコアデータバスを書込みデータ伝送用、読出しデータ伝送用に分離することにより、上述した同様と同様の効果が得られる。

10

また、上記課題を解決するため、本発明の半導体記憶装置は、少なくとも1つのメモリセルアレイを有し、かつ第1のデータバス（実施例の外部データバスに相当）に接続された複数のバンクを有する半導体記憶装置において、前記バンクは、前記第1のデータバスに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータバスと、各バンクに供給されるコマンドによって示される情報に対応して、各バンクへの第2のデータバスからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータバスへのデータ出力処理を含む読出し処理を制御する制御部と、を有し、あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクの制御部は書込みコマンドとそれに対応するデータを前記第2のデータバスから取り込むように制御し、書込み処理の実行を開始することを特徴とする。

20

【0035】

また、本発明のデータバス制御方法は、少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有し、かつ、各バンクは前記第1のデータバスに接続し、各バンクに対してそれぞれ別個に設けられた第2のデータバスを有する半導体記憶装置のデータバス制御方法において、

コマンドを受信するステップ（a）と、

各バンク毎にコマンドに応じた各バンクへの第2のデータバスからのデータ入力処理を含む書込み処理又は各バンクからの第2のデータバスへのデータ出力処理を含む読出し処理を制御し、あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクの制御部は書込みコマンドとそれに対応するデータを前記第2のデータバスから取り込むように制御し、書込み処理の実行を開始するステップ（b）とを有することを特徴とする。この構成により、読出し及び書込みコマンドの順番は何ら制約を受けることなく任意に配列させることができる。つまり、読出しコマンドと書込みコマンドの順番を任意に設定できる。

30

【0036】

上記構成において、第1のデータバスを書込みデータ転送用と読出しデータ転送用に分離する構成とすれば、書込みデータ転送用データバスに書込みデータが存在する一方で、同時に読出しデータ転送用データバスに読出しデータを存在させることができ、読出しコマンドと書込みコマンドの順番を任意に設定できる。

40

【0037】

【発明の実施の形態】

以下、データ読出し処理実行中の外部データバスの空白期間を専有しないようにデータ入出力を制御することにより、データバスの占有率の向上を実現させる共に、高速処理を実現する半導体記憶装置の第1～第3の実施例を、図面に基づいて説明する。また、その半導体記憶装置によるデータバス制御方法も併せて説明する。

【0038】

図9は、本発明の半導体記憶装置の第1の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部1とアドレス入力部2とコマンドデコード部3とバンク4とバンク24と

50

シリアル/パラレル変換部5とパラレル/シリアル変換部6とデータ入出力部7とを含み、データ読出し処理実行中の外部データバス300の空白期間(レイテンシー)を専有しないように、データ入出力を制御する。具体的には、実行中のデータ読出し処理で発生する外部データバス300の空白期間を利用して、データ書込み処理を実行する。

#### 【0039】

本実施例のメモリセルは、例えば、DRAM型のセル構造を有し、マトリクス状にメモリセルを敷きつめたセルマトリクス(コア回路)が、複数のバンク単位に分割されている。バンク毎に分割されたセルマトリクスは、複数のメモリセルがロー及びコラム方向に配置された各メモリセルアレイ部(図9のメモリセルアレイ部12、32等)を形成する。各メモリセルアレイ部では、コラム毎にセンスアンプを有する。

10

#### 【0040】

上記、半導体記憶装置を構成する各部について説明する。コマンド入力部1は、外部からのコマンド、例えば、読出しコマンド、書込みコマンド等を入力する。アドレス入力部2は、外部からのメモリアドレスを入力する。コマンドデコード部3は、外部からのコマンドをデコードして後述する各バンクの制御部に通知する。シリアル/パラレル変換部5は、外部データバス300からデータ入出力部7を介して入力されたシリアル入力の書込みデータをパラレルデータに変換して各バンクに通知する。パラレル/シリアル変換部6は、各バンクから読み出されたパラレルデータをシリアルデータに変換し、データ入出力部7を介して外部データバス300に出力する。シリアル/パラレル変換部5及びパラレル/シリアル変換部6と各バンク4、24とは周辺バス200で共通に接続されている。また、バンク4の入出力データラッチ部14とセンスアンプ部13とはコアデータバス400で接続され、またバンク24の入出力データラッチ部24とセンスアンプ部33とはコアデータバス440で接続されている。

20

#### 【0041】

また、本実施例の主要部を構成する各バンク(バンク4、バンク24等に相当)の内、例えば、バンク4は、アドレス入力部2からのアドレスをデコードし、該バンクに対応するアドレスをラッチするアドレスラッチ部9と、該アドレスに対応するロー系のメモリセルを選択するための、例えば、ワード線選択信号等を生成するローデコード部11と、そのワード線選択信号により選択されるメモリセルアレイ部12内のメモリセルのデータを受け取り、個々に保持する複数のセンスアンプ13と、複数のセンスアンプ13の中から特定のセンスアンプに保持されているデータを選択するための、例えば、コラム線選択信号等を生成するコラムデコード部10と、コラム線選択信号にて選択された読出しデータ及び外部からの書込みデータをそれぞれラッチする入出力データラッチ部14と、デコードされたコマンド状態を記憶し、バンク4内の前記各部にて独立して実行されるデータ読出し処理及びデータ書込み処理を制御する制御部8から構成される。尚、図9に示す本実施例では、説明の便宜上、バンク4とバンク24とを図示するが、半導体記憶装置内のバンクはこれに限らず、記憶容量に応じたバンク数となる。また、バンク24内の制御部28、アドレスラッチ部29、コラムデコード部30、ローデコード部31、メモリセルアレイ部32、センスアンプ部33、及び入出力データラッチ部34は、先に説明した上記各部と同様のため説明を省略する。

30

40

#### 【0042】

上記、本実施例の半導体記憶装置が、実行中のデータ読出し処理で発生する外部データバス300の空白期間、即ち、レイテンシーを利用して、データ書込み処理を実行する種々の動作を、タイムチャート(図17から図23)に基づいて具体的に説明する。尚、本実施例のメモリセル周辺の回路構成は、先に説明した図1と同様である。

#### 【0043】

図17は、あるバンク(例えば、バンク4とする)にて実行中のデータ読出し処理で発生する外部データバス300の空白期間を利用して、同一バンクに対してデータ書込み処理を実行する場合のタイミングチャートを示す。尚、コントロール信号としての読出しコマンドR0及び書込みコマンドW0は、それぞれ同一バンクに対するコマンドとする。

50

## 【 0 0 4 4 】

例えば、バンク 4 内のメモリセルアレイ部 1 2 に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線 B L 及び / B L に新たに読み出す必要がある。読み出されるデータ Q 0 1、Q 0 2 は、所定の間隔時間、例えば、読出しコマンド R 0 をクロックの変化点 0 で取り込んでからデータが出力するまでの時間（アクセスタイム） $t_{RAC} = 32 \text{ ns}$  の経過後、外部データバス 3 0 0 に出力される（Timing assumes DL=4）。即ち、コマンドデコード（コマンドデコード部 3 の動作に相当）、図 1 に示すメモリセル周辺の回路動作（アドレスラッチ部 9、制御部 8、コラムデコード部 1 0、ローデコード部 1 1、及びメモリセルアレイ部 1 2 の動作に相当）、及びセンスアンプ 1 3 の動作等の要因により、読出しデータの出力までにレイテンシーが発生している。

10

## 【 0 0 4 5 】

更に次のコマンドが入力される前にビット線 B L 及び / B L をプリチャージしておく必要がある。そのため、読出しコマンドをクロックの変化点 0 で取り込んでから、少なくとも、例えば、時間間隔  $t_{RC} = 22 \text{ ns}$  をあけて、次のコマンドを入力する。このように、読出しコマンド継続中に同一バンクに対する次のコマンドを受け付けられないバス制御方法が実現できる。

## 【 0 0 4 6 】

従って、本実施例では、時間間隔  $t_{RC} = 22 \text{ ns}$  をあけて、クロックの変化点 6 で、次の書込みコマンド W 0 を取り込み、続けて書込みデータ D 0 1、D 0 2 を取り込む。従来の半導体記憶装置では、必ずしも制御部がバンク毎に存在するわけではなく、制御部は、制御する処理（読出し、書込み等）毎に、データバスを時分割にして使用している。即ち、読出し処理継続中（読出しデータ Q 0 1、Q 0 2 が出力されるまで）は、データバスがその処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータ Q 0 1、Q 0 2 が外部に出力される前（読出し処理継続中）であっても、制御部 4 が周辺データバスとしての入出力データラッチ部 1 4、シリアル / パラレル変換部 5、パラレル / シリアル変換部 6、及びデータ入出力部 7 を制御して、データ書込み処理を実行する。具体的には、クロックの変化点 6 ~ 8 の外部データバス 3 0 0 の空白期間に、データ入出力部 7 の入力バッファをイネーブルとし、シリアル / パラレル変換部 5 の出力を ON 状態とし、逆にパラレル / シリアル変換部 6 の出力を OFF 状態とし、入出力データラッチ部 1 4 に書込みデータ D 0 1、D 0 2 をラッチし、メモリセルアレイ部 1 2 に対するデータ書込み処理を実行する。

20

30

## 【 0 0 4 7 】

このように、本実施例では、データ読出し処理実行中の外部データバス 3 0 0 の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理実行中の外部データバス 3 0 0 の空白期間を利用してデータ書込み処理を実行すると、データ読出し処理に要する時間で、書込み及び読出しの両方の処理が実行できる。即ち、データ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。

## 【 0 0 4 8 】

図 1 8 は、例えば、バンク a とバンク b にて連続してデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバスの空白期間を利用して、他のバンク（例えば、バンク c とする）に対してデータ書込み処理を実行する場合のタイミングチャートを示す。

40

例えば、バンク a に対する読出しコマンド R a とバンク b に対する読出しコマンド R b が連続して入力されると、本実施例の半導体記憶装置は、それらのコマンドをそれぞれクロックの変化点 0 と 2 で取り込む。この場合も、図 1 7 と同様にバンク a、b 内のメモリセルアレイ部に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線 B L 及び / B L に新たに読み出す必要がある。読み出されるデータ Q a 1、Q a 2、Q b 1、Q b 2 は、所定の間隔時間、例えば、読出しコマンド R a

50

、R bを取り込んでからデータが出力するまでの時間（アクセスタイム） $t_{RAC} = 32$  nsの経過後、外部のデータバスに出力される（Timing assumes DL=4）。即ち、図17と同様の要因により、読出しデータの出力までにレイテンシーが発生している。

【0049】

但し、図18では、異なるバンクに対してデータ読出し処理、及びデータ書込み処理を実行するため、図17に示す同一バンクに対する処理と異なり、次のコマンドが入力される前にビット線BL及び/BLは予めプリチャージしてある。そのため、読出しコマンドをクロックの変化点0で取り込んでから、すぐに連続して次のコマンドが入力可能となる。

【0050】

従って、本実施例では、最初にクロックの変化点0で読出しコマンドRaを取り込み、続いて変化点2で読出しコマンドRbを取り込み、最後に変化点4で書込みコマンドWcを取り込み、その後書込みデータDc1、Dc2を取り込む。従来の半導体記憶装置では、先の説明と同様に、必ずしも制御部がバンク毎に存在するわけではなく、制御部は、制御する処理（読出し、書込み等）毎に、データバスを時分割にして使用している。即ち、読出し処理継続中（読出しデータQa1、Qa2、Qb1、Qb2が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータが外部に出力される前（読出し処理継続中）であっても、バンクcの制御部が周辺データバスとしての、バンクcの入出力データラッチ部、シリアル/パラレル変換部5、パラレル/シリアル変換部6、及びデータ入出力部7を制御して、データ書込み処理を実行する。具体的には、クロックの変化点4～6の外部データバス300の空白期間に、データ入出力部7の入力バッファをイネーブルとし、シリアル/パラレル変換部5の出力をON状態とし、逆にパラレル/シリアル変換部6の出力をOFF状態とし、バンクcの入出力データラッチ部に書込みデータDc1、Dc2をラッチし、バンクcのメモリセルアレイ部に対するデータ書込み処理を実行する。

【0051】

このように、本実施例では、データ読出し処理実行中の外部データバス300の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現できる。

【0052】

図19は、例えば、バンクaにてデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバス300の空白期間を利用して、他のバンク（例えば、バンクbとバンクcとする）に対して連続してデータ書込み処理を実行する場合のタイミングチャートを示す。

例えば、バンクaに対する読出しコマンドRaが入力されると、本実施例の半導体記憶装置は、そのコマンドをクロックの変化点0で取り込む。この場合も、図17と同様にバンクa内のメモリセルアレイ部に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線BL及び/BLに新たに読み出す必要がある。読み出されるデータQa1、Qa2は、所定の間隔時間の経過後、外部データバス300に出力される（Timing assumes DL=4）。即ち、図17と同様の要因により読出しデータの出力までにレイテンシーが発生している。

【0053】

但し、図19では、異なるバンクに対してデータ読出し処理及びデータ書込み処理を実行するため、図18の説明と同様に、読出しコマンドRaをクロックの変化点0で取り込んでから、すぐに連続して次のコマンドが入力可能となる。

従って、本実施例では、最初にクロックの変化点0で読出しコマンドRaを取り込み、続いて変化点2で書込みコマンドWbと書込みデータDb1、Db2を取り込み、最後に変

10

20

30

40

50

化点4で書込みコマンドWcと書込みデータDc1、Dc2を取り込む。従来の半導体記憶装置では、先の説明と同様に、読出し処理継続中（読出しデータQa1、Qa2が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータQa1、Qa2が外部に出力される前（読出し処理継続中）であっても、バンクbとバンクcの制御部が周辺データバスとしての、それぞれの入出力データラッチ部、シリアル/パラレル変換部5、パラレル/シリアル変換部6、及びデータ入出力部7を個々に制御して、それぞれデータ書込み処理を実行する。具体的には、クロックの変化点2～6の外部データバスの空白期間に、データ入出力部7の入力バッファをイネーブルとし、シリアル/パラレル変換部5の出力をON状態とし、逆にパラレル/シリアル変換部6の出力をOFF状態とし、それぞれ（バンクbとバンクc）の入出力データラッチ部に書込みデータDb1、Db2と書込みデータDc1、Dc2とをラッチし、それぞれのメモリセルアレイ部に対するデータ書込み処理を実行する。

10

#### 【0054】

このように、本実施例では、データ読出し処理実行中の外部データバス300の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現できる。

20

#### 【0055】

図20は、例えば、バンクaにてデータ書込み処理を実行し、続けてバンクb及びバンクcにてデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバス300の空白期間を利用して、他のバンク（例えば、バンクdとする）に対してデータ書込み処理を実行する場合のタイミングチャートを示す。

#### 【0056】

例えば、バンクaに対する書込みコマンドWaが入力されると、本実施例の半導体記憶装置は、そのコマンドをクロックの変化点0で取り込む。

続けてバンクbとバンクcに対する読出しコマンドRb、Rcが入力されると、本実施例の半導体記憶装置は、それらのコマンドをそれぞれクロックの変化点2、4で取り込む。この場合も、図17と同様にバンクb、c内のメモリセルアレイ部に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線BL及び/BLに新たに読み出す必要がある。読み出されるデータQb1、Qb2、Qc1、Qc2は、所定の間隔時間の経過後、外部データバス300に出力される（Timing assumes DL=4.5）。即ち、図17と同様の要因により、読出しデータの出力までにレイテンシーが発生している。

30

#### 【0057】

但し、図20でも、異なるバンクに対してデータ読出し処理及びデータ書込み処理を実行するため、図18の説明と同様に、書込みコマンドWaをクロックの変化点0で取り込んでから、すぐに連続して次のコマンドが入力可能となる。

40

従って、本実施例では、最初にクロックの変化点0で書込みコマンドWaと書込みデータDa1、Da2を取り込み、続いて変化点2で読出しコマンドRbを取り込み、続いて変化点4で読出しコマンドRcを取り込む。しかし、最後の書込みコマンドWdと書込みデータDd1、Dd2に関しては、図示していない先の読出しコマンドに対応する読出しデータQc1、Qc2、Qd1、Qd2がデータバスを専有しているため、その読出し終了後、変化点8で書込みコマンドWdと書込みデータDd1、Dd2を取り込む。従来の半導体記憶装置では、先の説明と同様に、読出し処理継続中（読出しデータQb1、Qb2、Qc1、Qc2が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータQb1、Qb2、Qc1、Qc2が外部に出力

50

される前（読出し処理継続中）であっても、バンク d の制御部が周辺データバスとしての、バンク d の入出力データラッチ部、シリアル/パラレル変換部 5、パラレル/シリアル変換部 6、及びデータ入出力部 7 を個々に制御して、バンク d のデータ書込み処理を実行する。具体的には、クロックの変化点 8 ~ 10 の外部データバス 300 の空白期間に、データ入出力部 7 の入力バッファをイネーブルとし、シリアル/パラレル変換部 5 の出力を ON 状態とし、逆にパラレル/シリアル変換部 6 の出力を OFF 状態とし、バンク d の入出力データラッチ部に書込みデータ D d 1、D d 2 をラッチし、バンク d のメモリセルアレイ部に対するデータ書込み処理を実行する。

#### 【0058】

このように、本実施例では、データ読出し処理実行中の外部データバス 300 の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現できる。

10

#### 【0059】

図 21 は、例えば、バンク a 及びバンク b にてデータ書込み処理を実行し、続けてバンク c にてデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバス 300 の空白期間を利用して、他のバンク（例えば、バンク d とバンク a とする）に対して続けてデータ書込み処理を実行する場合のタイミングチャートを示す。

20

#### 【0060】

例えば、バンク a 及びバンク b に対する書込みコマンド W a、W b が順に入力されると、本実施例の半導体記憶装置は、そのコマンドをそれぞれクロックの変化点 0、2 で取り込む。

続けてバンク c に対する読出しコマンド R c が入力されると、本実施例の半導体記憶装置は、それらのコマンドをクロックの変化点 4 で取り込む。この場合も、図 17 と同様にバンク c 内のメモリセルアレイ部に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線 B L 及び / B L に新たに読み出す必要がある。読み出されるデータ Q c 1、Q c 2 は、所定の間隔時間の経過後、外部データバス 300 に出力される（Timing assumes DL=4.5）。即ち、図 17 と同様の要因により、読出しデータの出力までにレイテンシーが発生している。

30

#### 【0061】

但し、図 21 でも、異なるバンクに対してデータ読出し処理及びデータ書込み処理を実行するため、図 18 の説明と同様に、書込みコマンド W a をクロックの変化点 0 で取り込んでから、すぐに連続して次のコマンドが入力可能となる。

従って、本実施例では、最初にクロックの変化点 0 で書込みコマンド W a と書込みデータ D a 1、D a 2 を取り込み、続いて変化点 2 で書込みコマンド W b と書込みデータ D b 1、D b 2 を取り込み、続いて変化点 4 で読出しコマンド R c を取り込む。しかし、次に入力される書込みコマンド W d、W a と書込みデータ D d 1、D d 2、D a 1、D a 2 に関しては、図示していない先の読出しコマンドに対応する読出しデータ Q d 1、Q d 2 がデータバスを専有しているため、その読出し終了後、変化点 8 で書込みコマンド W d と書込みデータ D d 1、D d 2 を取り込み、続けて変化点 10 で書込みコマンド W a と書込みデータ D a 1、D a 2 を取り込む。従来の半導体記憶装置では、先の説明と同様に、読出し処理継続中（読出しデータ Q c 1、Q c 2 が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータ Q c 1、Q c 2 が外部に出力される前（読出し処理継続中）であっても、バンク d、a の制御部が周辺データバスとしての、それぞれの入出力データラッチ部、シリアル/パラレル変換部 5、パラレル/シリアル変換部 6、及びデータ入出力部 7 を個々に制御して、それぞれのデータ書込み処理を実行する。具体的には、クロックの変化点 8 ~ 12 の外部データバス 300 の空白

40

50

期間に、データ入出力部 7 の入力バッファをイネーブルとし、シリアル/パラレル変換部 5 の出力を ON 状態とし、逆にパラレル/シリアル変換部 6 の出力を OFF 状態とし、それぞれの入出力データラッチ部に書込みデータ D d 1、D d 2 と、D a 1、D a 2 をラッチし、それぞれのメモリセルアレイ部に対するデータ書込み処理を実行する。

#### 【 0 0 6 2 】

このように、本実施例では、データ読出し処理実行中の外部データバス 3 0 0 の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現できる。

10

#### 【 0 0 6 3 】

図 2 2 は、例えば、バンク a 及びバンク b にてデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバス 3 0 0 の空白期間を利用して、他のバンク（例えば、バンク c とバンク d とする）に対して続けてデータ書込み処理を実行する場合のタイミングチャートを示す。

例えば、バンク a 及びバンク b に対する読出しコマンド R a、R b が順に入力されると、本実施例の半導体記憶装置は、それらのコマンドをそれぞれクロックの変化点 0、2 で取り込む。この場合も、図 1 7 と同様にバンク a、b 内のメモリセルアレイ部に記憶されているデータを読み出すには、特定のワード線が選択するメモリセルからのデータをビット線 B L 及び / B L に新たに読み出す必要がある。読み出されるデータ Q a 1、Q a 2 と、Q b 1、Q b 2 は、所定の間隔時間の経過後、外部データバス 3 0 0 に出力される（Timing assumes DL=4）。即ち、図 1 7 と同様の要因により、読出しデータの出力までにレイテンシーが発生している。

20

#### 【 0 0 6 4 】

但し、図 2 2 でも、異なるバンクに対してデータ読出し処理及びデータ書込み処理を実行するため、図 1 8 の説明と同様に、読出しコマンド R a をクロックの変化点 0 で取り込ん

でから、すぐに連続して次のコマンドが入力可能となる。従って、本実施例では、最初にクロックの変化点 0 で読出しコマンド R a を取り込み、続いて変化点 2 で読出しコマンド R b を取り込み、続いて変化点 4 で書込みコマンド W c と書込みデータ D c 1、D c 2 を取り込み、最後に変化点 6 で書込みコマンド W d と書込みデータ D d 1、D d 2 を取り込む。従来の半導体記憶装置では、先の説明と同様に、読出し処理継続中（読出しデータ Q a 1、Q a 2、Q b 1、Q b 2 が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータ Q a 1、Q a 2、Q b 1、Q b 2 が外部に出力される前（読出し処理継続中）であっても、バンク c、d の制御部が周辺データバスとしての、それぞれの入出力データラッチ部、シリアル/パラレル変換部 5、パラレル/シリアル変換部 6、及びデータ入出力部 7 を個々に制御して、それぞれのデータ書込み処理を実行する。具体的には、クロックの変化点 4 ~ 8 の外部データバス 3 0 0 の空白期間に、データ入出力部 7 の入力バッファをイネーブルとし、シリアル/パラレル変換部 5 の出力を ON 状態とし、逆にパラレル/シリアル変換部 6 の出力を OFF 状態とし、それぞれの入出力データラッチ部に書込みデータ D c 1、D c 2 と、D d 1、D d 2 をラッチし、それぞれのメモリセルアレイ部に対するデータ書込み処理を実行する。

30

40

#### 【 0 0 6 5 】

このように、本実施例では、データ読出し処理実行中の外部データバス 3 0 0 の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現で

50

きる。

【 0 0 6 6 】

図 2 3 は、例えば、バンク a 及びバンク c にてデータ読出し処理を実行し、実行中のデータ読出し処理で発生する外部データバス 3 0 0 の空白期間を利用して、他のバンク（例えば、バンク b とバンク d とする）に対してデータ書込み処理を実行する場合のタイミングチャートを示す。

例えば、バンク a に対する読出しコマンド R a が入力されると、本実施例の半導体記憶装置は、そのコマンドをクロックの変化点 0 で取り込む。読み出されるデータ Q a 1、Q a 2 は、所定の間隔時間の経過後、外部データバス 3 0 0 に出力される（Timing assumes D L=4）。即ち、図 1 7 と同様の要因により、読出しデータの出力までにレイテンシーが発生している。

10

【 0 0 6 7 】

但し、図 2 3 でも、異なるバンクに対してデータ読出し処理及びデータ書込み処理を実行するため、図 1 8 の説明と同様に、読出しコマンド R a をクロックの変化点 0 で取り込んでから、すぐに連続して次のコマンドが入力可能となる。

従って、本実施例では、最初にクロックの変化点 0 で読出しコマンド R a を取り込み、続いて変化点 2 で書込みコマンド W b と書込みデータ D b 1、D b 2 を取り込み、続いて変化点 4 で読出しコマンド R c を取り込み、最後に変化点 6 で書込みコマンド W d と書込みデータ D d 1、D d 2 を取り込む。従来の半導体記憶装置では、先の説明と同様に、読出し処理継続中（読出しデータ Q a 1、Q a 2、Q c 1、Q c 2 が出力されるまで）は、書込み処理を行うバンクが異なる場合でも、データバスがその読出し処理に専有される。しかしながら、本実施例では、制御部が各バンクに含まれており、例えば、読出しデータ Q c 1、Q c 2 が外部に出力される前（読出し処理継続中）であっても、バンク b、d の制御部が周辺データバスとしての、それぞれの入出力データラッチ部、シリアル/パラレル変換部 5、パラレル/シリアル変換部 6、及びデータ入出力部 7 を個々に制御して、それぞれのデータ書込み処理を実行する。具体的には、クロックの変化点 4 ~ 8 の外部データバス 3 0 0 の空白期間に、データ入出力部 7 の入力バッファをイネーブルとし、シリアル/パラレル変換部 5 の出力を ON 状態とし、逆にパラレル/シリアル変換部 6 の出力を OFF 状態とし、それぞれの入出力データラッチ部に書込みデータ D b 1、D b 2 と、D d 1、D d 2 をラッチし、それぞれのメモリセルアレイ部に対するデータ書込み処理を実行する。

20

30

【 0 0 6 8 】

このように、本実施例では、データ読出し処理実行中の外部データバス 3 0 0 の空白期間（レイテンシー）を専有しないように、各制御部にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。このようにして、データ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するバス制御方法を実現できる。

【 0 0 6 9 】

以上、本発明の半導体記憶装置における第 1 の実施例の説明を終了する。

40

図 1 0 は、本発明の半導体記憶装置の第 2 の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部 1 とアドレス入力部 2 とコマンドデコード部 3 とバンク 4 とバンク 2 4 とシリアル/パラレル変換部群 5 a とパラレル/シリアル変換部群 6 a とデータ入出力部群 7 a とを含み、各バンクから外部端子までの周辺データバス 2 0 0 が 2 0 0 A、2 0 0 B のようにバンク毎に分離され、データ読出し処理実行中の外部データバス 3 0 0 の空白期間を専有しないように、データ入出力を制御する。尚、先に説明した第 1 の実施例と同一の構成及び機能については、同一の符号を付して説明を省略する。

【 0 0 7 0 】

上記、半導体記憶装置を構成する各部について説明する。シリアル/パラレル変換部群 5 a は、各バンク毎に先に説明したシリアル/パラレル変換部 5 を有する。パラレル/シリ

50

アル変換部群 6 a は、各バンク毎に先に説明したパラレル/シリアル変換部 6 を有する。従って、各バンクからの読出しデータは、バンク毎に分離された周辺データバス 200 A、200 B、バンク毎に存在するパラレル/シリアル変換部群 6 a 内のパラレル/シリアル変換部 6 を介して、外部データバス 300 に出力される。また、各バンクへの書込みデータは、バンク毎に分離された周辺データバス 200 A、200 B、バンク毎に存在するシリアル/パラレル変換部群 5 a 内のシリアル/パラレル変換部 5 を介して、各バンクに記憶される。

#### 【0071】

尚、本実施例の半導体記憶装置が、実行中のデータ読出し処理で発生する外部データバス 300 の空白期間を利用して、データ書込み処理を実行する種々の動作は、上記のように、周辺データバス 200 がバンク毎に 200 A、200 B のように分離されている以外は、第 1 の実施例にて説明した図 17 から図 23 のタイムチャートと同様のため説明を省略する。

10

#### 【0072】

本実施例のように、周辺データバスをバンク毎に分離することにより、各制御部はバンク毎に独立した周辺データバスを選択的に指定でき、データバスの調停が容易になるという効果が得られる。

図 11 は、本発明の半導体記憶装置の第 3 の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部 1 とアドレス入力部 2 とコマンドデコード部 3 とバンク 4 a とバンク 24 a とシリアル/パラレル変換部群 5 a とパラレル/シリアル変換部群 6 a とデータ入出力部群 7 a とを含み、各バンクから外部端子までの周辺データバスが、200 W と 200 R 及び 240 W と 240 R のようにバンク毎に分離され、更にそれぞれ書込みデータ伝送用、読出しデータ伝送用に分離されている。図中、200 W と 200 R はバンク 4 a に対して設けられた書込みデータ伝送用及び読出しデータ伝送用データバスであり、240 W と 240 R はバンク 24 a に対して設けられた書込みデータ伝送用及び読出しデータ伝送用データバスである。上記周辺バスの構成に対応するように、バンク 4 a 内及びバンク 24 a 内の入出力データラッチ部 14 a、34 a も書込みデータ伝送用、読出しデータ伝送用の分離に対応した送受信となる。尚、先に説明した第 1 の実施例、または第 2 の実施例と同一の構成及び機能については、同一の符号を付して説明を省略する。

20

#### 【0073】

尚、本実施例の半導体記憶装置が、実行中のデータ読出し処理で発生する外部データバスの空白期間を利用して、データ書込み処理を実行する種々の動作は、上記のように、周辺データバスがバンク毎に分離され、更に書込みデータ伝送用、読出しデータ伝送用に分離されている以外は、第 1 の実施例にて説明した図 17 から図 23 のタイムチャートと同様のため説明を省略する。

30

#### 【0074】

本実施例では、第 1、第 2 の実施例と同様の効果が得られ、更に周辺データバスをバンク毎に書込みデータ伝送用、読出しデータ伝送用に分離することにより、より細かいレベルでバスの調停が可能となる。

図 12 は、本発明の半導体記憶装置の第 3 実施例の変形例を示す。これは、図 11 に示す第 3 の実施例の外部データバス 300 を、更に書込みデータ伝送用のデータバス 300 W と読出しデータ伝送用データバス 300 R に分離したものである。この第 3 実施例の変形例及び後述する実施例は、前述の第 1 実施例～第 3 実施例とは次の通り異なる。

40

#### 【0075】

図 12 に示す構成は、書込みデータと読出しデータとがそれぞれ書込みデータ伝送用データバス 300 W と読出しデータ伝送用データバス 300 R に同時に存在させる（重なり合う）ことを可能とする。従って、図 12 に示す構成は、読出し及び書込みコマンドを任意に配列させることができる。換言すれば、読出し及び書込みコマンドの順番は任意である。これに対し、前述の第 1～第 3 実施例では、外部データバス 300 上に書込みデータと読出しデータを同時に存在させる（重なる）ことはできない。つまり、書込みコマンドと

50

読出しコマンドの順番に制限がある。

【 0 0 7 6 】

図 3 1 は図 1 2 の構成の動作を示すタイミング図であり、異なるバンクに連続してデータ読出し動作と書込み動作が行われる場合を示す。より具体的には、図 2 0 に示す場合と同様に、バンク a に対するデータ書込み処理を行い、続いてバンク b と c に対するデータ読出し処理を行い、更に異なるバンク d に対するデータ書込み処理を上記読出し処理に起因する空白期間を利用して行う動作である。

【 0 0 7 7 】

図 3 1 に示すように、無効動作期間 ( N O P ) 無しに連続してコマンドを与えることができる。これは、外部データバス 3 0 0 を書込み用のデータバス 3 0 0 W と読出し用のデータバス 3 0 0 R とに分離したためである。従って、書込みデータ及び読出しデータをそれぞれ書込み用のデータバス 3 0 0 W と読出し用のデータバス 3 0 0 R に同時に存在させることができる。例えば、読出しデータ Q a 1 と Q a 2 は読出しデータバス 3 0 0 R に存在し、同時に書込みデータ D a 1 と D a 2 が書込みデータバス 3 0 0 W に存在する。よって、任意の順番でコマンドを連続して与えることができる。

10

【 0 0 7 8 】

他方、図 2 0 に示す動作では、無効動作期間 N O P は読出しコマンド R c と書込みコマンド W d との間に存在する。これは、外部データバス 3 0 0 を時分割で使用して書込みデータ又は読出しデータを伝送するためである。従って、外部データバス 3 0 0 上に読出しデータと書込みデータとが同時に存在することはできない。

20

【 0 0 7 9 】

図 3 2 は、図 1 2 に示す構成の動作を示す別のタイミング図で、第 1 ~ 第 3 実施例の動作を示す図 1 9 に対応するものである。図 3 2 では、バンク a に対するデータ読出し処理を行い、このデータ読出し動作に起因する空白期間を利用してバンク b と c に対する書込み処理を行い、更にバンク d に対するデータ読出し処理を行う。図 3 2 に示すように、読出しデータ Q a 1 と Q a 2 が読出しデータバス 3 0 0 R に出力され、同時に書込みデータ D a 1、D a 2、D b 1 及び D b 2 が書込みデータバス 3 0 0 W に出力される。

【 0 0 8 0 】

他方図 1 9 の動作では、書込みデータ D a 1、D a 2、D b 1 及び D b 2 を図 3 2 の用に配列することはできず、書込みデータ Q a 1 と Q a 2 の後に置かなければならない。これは、読出しコマンドと書込みコマンドを同時に外部データバス 3 0 0 に出力することはできず、読出しコマンド R d の後に無効動作期間が必要となるためである。

30

【 0 0 8 1 】

図 1 3 は、本発明の半導体記憶装置の第 4 の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部 1 とアドレス入力部 2 とコマンドデコード部 3 とバンク 4 b とバンク 2 4 b とシリアル / パラレル変換部群 5 a とパラレル / シリアル変換部群 6 a とデータ入出力部群 7 a とを含み、各バンクから外部端子までの周辺データバスが、バンク毎に分離され、更に書込みデータ伝送用 2 0 0 W、2 4 0 W、読出しデータ伝送用 2 0 0 R、2 4 0 R に分離されている。更に各バンク内のコアデータバスも書込みデータ伝送用 4 0 0 W、4 4 0 W、読出しデータ伝送用 4 0 0 R、4 4 0 R に分離されている。それに伴って、バンク 4 b 内及びバンク 2 4 b 内の入出力データラッチ部 1 4 b、3 4 b も書込みデータ伝送用、読出しデータ伝送用の分離 ( コアデータバス、周辺データバス ) に対応した送受信となる。尚、先に説明したものと同一の構成及び機能については、同一の符号を付して説明を省略する。

40

【 0 0 8 2 】

尚、本実施例の半導体記憶装置の動作は、周辺データバスがバンク毎に、書込みデータ伝送用、読出しデータ伝送用に分離され、コアデータバスが書込みデータ伝送用、読出しデータ伝送用に分離されている以外は、図 3 1 及び図 3 2 のタイムチャートと同様のため説明を省略する。本実施例では、第 3 の実施例の変形例と同様の効果が得られる。

【 0 0 8 3 】

50

図 1 4 は、本発明の半導体記憶装置の第 5 の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部 1 とアドレス入力部 2 とコマンドデコード部 3 とバンク 4 c とバンク 2 4 c とシリアル/パラレル変換部群 5 a とパラレル/シリアル変換部群 6 a とデータ入出力部群 7 a とを含み、各バンクから外部端子までの周辺データバスがバンク毎に分離され、更に書込みデータ伝送用 2 0 0 W、2 4 0 W、読出しデータ伝送用 2 0 0 R、2 4 0 R に分離されている。それに伴って、バンク 4 c 内及びバンク 2 4 c 内の入出力データラッチ部 1 4 c、3 4 c も書込みデータ伝送用、読出しデータ伝送用の分離（周辺データバス）に対応した送受信となる。つまり、バンク 4 c のコアデータバスが 4 0 0 と 4 0 0 ' に分離され、またバンク 2 4 c のコアデータバスが 4 4 0 と 4 4 0 ' に分離されている。なお、本実施例の半導体記憶装置は、例えば、周辺データバスがバンク毎に書込みデータ伝送用、読出しデータ伝送用に分離されていないものでもよい。尚、先に説明したものと同一の構成及び機能については、同一の符号を付して説明を省略する。

10

#### 【 0 0 8 4 】

本実施例のメモリセルは、例えば、D R A M 型のセル構造を有し、マトリクス状にメモリセルを敷きつめたセルマトリクス（コア回路）が、複数のバンク単位に分割されている。バンク毎に分割されたセルマトリクスは、更にコラム毎に複数のサブセルマトリクスに分割されている。このサブセルマトリクスは、複数のメモリセルがロー方向に配置された各メモリセルアレイ部（図 1 4 のメモリセルアレイ部 1 2、1 2 '、3 2、3 2 '・・・等）を形成し、メモリセルアレイ部毎にセンスアンプを有する。

#### 【 0 0 8 5 】

上記、本実施例の主要部を構成する各バンク（バンク 4 c、バンク 2 4 c 等に相当）の内、例えば、バンク 4 c は、アドレス入力部 2 からのアドレスをデコードし、該バンクに対応するアドレスをラッチするアドレスラッチ部 9 と、コラム線選択信号にて選択された各サブセルマトリクスからの読出しデータ及び外部からの書込みデータをそれぞれラッチする入出力データラッチ部 1 4 c と、デコードされたコマンド状態を記憶し、バンク 4 c 内の前記各部にて独立して実行されるデータ読出し処理及びデータ書込み処理を制御する制御部 8 とを有し、更にバンク 4 c 内のサブセルマトリクス毎に、該アドレスに対応するロー系のメモリセルを選択するための、例えば、ワード線選択信号等を生成するローデコード部（ローデコード部 1 1、1 1 '・・・に相当）と、そのワード線選択信号により選択されるメモリセルアレイ部内のメモリセルのデータを受け取り、個々に保持するセンスアンプ（センスアンプ部 1 3、1 3 '・・・に相当）と、複数のセンスアンプ 1 3 の中から特定のセンスアンプに保持されているデータを選択するための、例えば、コラム線選択信号等を生成するコラムデコード部 1 1（コラムデコード部 1 0、1 0 '・・・に相当）とを有する構成とする。尚、図 1 4 に示す本実施例では、説明の便宜上、バンク 4 c とバンク 2 4 c とを図示するが、半導体記憶装置内のバンクはこれに限らず、記憶容量に応じたバンク数となる。また、バンク 2 4 c 内の制御部 2 8、アドレスラッチ部 2 9、コラムデコード部 3 0、3 0 '、ローデコード部 3 1、3 1 '、メモリセルアレイ部 3 2、3 2 '、センスアンプ部 3 3、3 3 '、及び入出力データラッチ部 3 4 c は、先に説明した上記各部と同様のため説明を省略する。

20

30

#### 【 0 0 8 6 】

尚、本実施例の半導体記憶装置の動作は、前述の図 3 1 及び図 3 2 の動作と同様のため、説明を省略する。本実施例も、先に説明した第 3 実施例の変形例と同様の効果が得られる。

40

図 1 5 は、本発明の半導体記憶装置の第 6 の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部 1 とアドレス入力部 2 とコマンドデコード部 3 とバンク 4 d とバンク 2 4 d とシリアル/パラレル変換部群 5 a とパラレル/シリアル変換部群 6 a とデータ入出力部群 7 a とを含み、各バンクから外部端子までの周辺データバスが、バンク毎に分離され、更に書込みデータ伝送用 2 0 0 W、2 4 0 W、読出しデータ伝送用 2 0 0 R、2 4 0 R に分離されている。更に各バンク内のコアデータバスも書込みデータ伝送用、読出しデータ伝送用に分離されている。具体的には、バンク 4 d では、書込み用データバス 4 0 0

50

Wと400W'及び読出し用データバス400Rと400R'とに分離されている。同様に、バンク24dでは、書込み用データバス440Wと440W'及び読出し用データバス440Rと440R'とに分離されている。そして、上記コアデータバスの構成に伴って、バンク4d内及びバンク24d内の入出力データラッチ部14d、34d、及びセンスアンプ部13a、13a'、33a、33a'も書込みデータ伝送用、読出しデータ伝送用の分離(コアデータバス、周辺データバス)に対応した送受信となる。尚、先に説明したものと同一の構成及び機能については、同一の符号を付して説明を省略する。

【0087】

尚、本実施例の半導体記憶装置の動作は、図31及び図32のタイムチャートと同様のため説明を省略する。本実施例も、先に説明した第3実施例の変形例と同様の効果が得られる。

10

図16は、本発明の半導体記憶装置の第7の実施例を示す。本実施例の半導体記憶装置は、コマンド入力部1とアドレス入力部2とコマンドデコード部3とバンク4eとバンク24eとシリアル/パラレル変換部群5aとパラレル/シリアル変換部群6aとデータ入出力部群7aとを含む構成とする。更に各バンクは、複数のアドレスラッチ部(図16では、アドレスラッチ部9、9'、29、29')と、それに対応する複数の入出力データラッチ部(図16では、入出力データラッチ部14e、14e'、34e、34e')とを含む構成とする。尚、先に説明したものと同一の構成及び機能については、同一の符号を付して説明を省略する。

【0088】

20

上記のように構成される本実施例の半導体記憶装置は、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合、例えば、継続中の読出しアドレスをラッチしているアドレスラッチ部9e以外のアドレスラッチ部9e'にて後続して入力された書込みアドレスをラッチし、更にアドレスラッチ部9e'にてラッチした書込みアドレスに対応する書込みコマンドと書込みデータとを制御部8にて一時的に保存し、継続中のデータ読出し処理終了後に、データ書込み処理を実行する。

【0089】

尚、本実施例の半導体記憶装置の動作は、図31及び図32のタイムチャートと同様のため説明を省略する。

本実施例も、先に説明した第3実施例及び第4ないし第6実施例と同様の効果に加え、継続中の処理を意識することなく、同一バンクに対して順次、コマンド(データ読出しコマンド、データ書込みコマンド等)、アドレス(読出しアドレス、書込みアドレス)、データ(書込みデータ)を入力可能となる。

30

【0090】

図24は、本発明による半導体記憶装置の一例として、SDRAMのブロック図を示す。図24のSDRAMは、複数の入力バッファ51と、コマンドデコーダ52と、RAS生成ユニット53と、PRE生成ユニット54と、制御ユニット55と、プリデコーダ56と、ブロックデコーダ57と、プリデコーダ58と、モードレジスタ59と、データレイテンシーコントローラ60と、ワードデコーダ61と、BLTデコーダ62と、SA生成ユニット63と、1/4デコーダ64と、コラムデコーダ65と、制御ユニット66と、リード/ライトバッファ67と、パラ/シリ変換器68と、出力バッファ69と、入力バッファ70と、シリ/パラ変換器71と、コア回路72とを含み、データ読出し処理実行中の外部データバスの空白期間を専有しないようにデータ入出力を制御している。

40

【0091】

コマンドデコーダ52とモードレジスタ59は、前記実施例のコマンドデコード部3(第1乃至第7の実施例共通)に対応する。

PRE生成ユニット54とRAS生成ユニット53と制御ユニット55とデータレイテンシーコントローラ60と制御ユニット66は、前記実施例の制御部8及び24(第1乃至第7の実施例共通)に対応する。

【0092】

50

プリデコーダ56とブロックデコーダ57とプリデコーダ58は、前記第1乃至第6の実施例ではアドレスラッチ部9、29に対応し、前記第7の実施例ではアドレスラッチ部9、9'、29、29'に対応する。

ワードデコーダ61とBLTデコーダ62とSA生成ユニット63と1/4デコーダ64は、前記第1乃至第4の実施例及び第7の実施例ではローデコード部11、31に対応し、前記第5、第6の実施例ではローデコード部11、11'、31、31'に対応する。

【0093】

コラムデコーダ65は、前記第1乃至第4の実施例及び第7の実施例ではコラムデコード部10、30に対応し、前記第5、第6の実施例ではコラムデコード部10、10'、30、30'に対応する。

10

リード/ライトバッファ67は、前記第1、第2の実施例では入出力データラッチ部14、34に対応し、第3の実施例では入出力データラッチ部14a、34aに対応し、第4の実施例では入出力データラッチ部14b、34bに対応し、第5の実施例では入出力データラッチ部14c、34cに対応し、第6の実施例では入出力データラッチ部14d、34dに対応し、第7の実施例では入出力データラッチ部14e、14e'、34e、34e'に対応する。

【0094】

パラ/シリ変換器68は、前記第1の実施例ではパラレル/シリアル変換部5に対応し、前記第2乃至第7の実施例ではパラレル/シリアル変換部群5aに対応する。

シリ/パラ変換器71は、前記第1の実施例ではシリアル/パラレル変換部6に対応し、前記第2乃至第7の実施例ではシリアル/パラレル変換部群6aに対応する。

20

【0095】

コア回路72は、前記第1乃至第3の実施例及び第7の実施例ではメモリセルアレイ部12、32、センスアンプ部13、33に対応し、前記第4の実施例ではメモリセルアレイ部12、32、センスアンプ部13a、33aに対応し、前記第5の実施例ではメモリセルアレイ部12、12'、32、32'、センスアンプ部13、13'、33、33'に対応し、前記第6の実施例ではメモリセルアレイ部12、12'、32、32'、センスアンプ部13a、13a'、33a、33a'に対応する。

【0096】

上記、SDRAMにおいて、データ読出し処理実行中の外部データバスの空白期間を専有しないように、各バンク毎にデータ入出力を制御する動作、即ち、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行する動作の一例を説明する。尚、クロック信号は、SDRAMの動作を同期制御するために、常にSDRAM内の各構成部に供給されている。

30

【0097】

例えば、アクティベーションコマンドACT(コントロール信号)と、コア回路72のあるバンクに対する読出しコマンドRD(コントロール信号)と、アドレス信号が、入力バッファ51を介して入力されると、本発明のSDRAMは、そのバンクに対するデータ読出し処理を開始する。コントロール信号は、コマンドデコーダ52でデコードされ、デコード結果に応じてRAS生成ユニット53及びデータレイテンシーコントローラ60を制御する。アドレス信号は、ローアドレス系のプリデコーダ56及びコラムアドレス系のプリデコーダ58に供給される。

40

【0098】

RAS生成ユニット53は、アクティベーションコマンドACTが入力されると、内部RAS信号である信号RASZを生成する。信号RASZは、メモリセルのデータをセンスアンプに読み込むことを指令する信号であり、制御ユニット55に供給される。

制御ユニット55は、信号RASZを取り込むと、ワードデコーダ61、BLTデコーダ62、SA生成ユニット63、及び1/4デコーダ64を制御して、ワード線選択信号MW及びSW、ビット線トランスファー信号BLT、及びセンスアンプ駆動信号SA1及びSA2を適切なタイミングで生成させる。

50

## 【 0 0 9 9 】

ローアドレス系のプリデコーダ56は、供給されたローアドレスをラッチすると共にプリデコードする。そのプリデコード結果は、ブロックデコーダ57に供給されると共に、ワードデコーダ61、BLTデコーダ62、及びSA生成ユニット63に供給される。ブロックデコーダ57では、コア回路72内にバンク毎に配置された複数のメモリブロックの中から、いずれか1つを選択する。ワードデコーダ61、BLTデコーダ62、及びSA生成ユニット63は、この選択されたメモリブロックにおいてのみ動作し、メモリセルからデータを読み出してセンスアンプに格納する。

## 【 0 1 0 0 】

また、制御ユニット66は、コントロール信号である読出しコマンドRDが入力されると、内部CAS信号を生成する。内部CAS信号は、センスアンプ内のデータをコア回路72から読出し、リード/ライトバッファ67に出力することを指令する信号である。制御ユニット66は、コラムデコーダ65を制御してコラム線選択信号CLを適切なタイミングで生成させる。

10

## 【 0 1 0 1 】

コラムアドレス系のプリデコーダ58は、供給されたコラムアドレスをラッチすると共にプリデコードする。そのプリデコード結果は、コラムデコーダ65に供給される。コラムデコーダ65では、コラムアドレスで指定されるコラムに対してコラム線選択信号CLを供給し、そのコラムのセンスアンプからパラレルデータを読み出し、リード/ライトバッファ67に出力する。

20

## 【 0 1 0 2 】

リード/ライトバッファ67は、受信したパラレルデータをラッチし、増幅して出力する。リード/ライトバッファ67からのパラレルデータは、パラ/シリ変換器68にてシリアルデータに変換され、出力バッファ69を介してSDRAMの外部に出力される。従って、SDRAMの外部に読み出されるデータは、所定の間隔時間として、制御ユニット66が読出しコマンドRDを取り込んでからデータが出力するまでの時間の経過後、外部のデータバスに出力される。即ち、コマンドデコード、メモリセル周辺の回路動作、及びセンスアンプの動作等の要因により、読出しデータの出力までにレイテンシーが発生している。

## 【 0 1 0 3 】

従来の半導体記憶装置では、必ずしも制御ユニット55及び制御ユニット66がコア回路72のバンク毎に存在するわけではなく、各制御ユニットは、制御する処理(読出し、書込み等)毎に、データバスを時分割にして使用している。即ち、読出し処理継続中(読出しコマンドRDを取り込んでからデータが出力するまで)は、データバスがその読出し処理に専有される。

30

## 【 0 1 0 4 】

しかしながら、本発明のSDRAMでは、制御ユニット55及び制御ユニット66が各バンクに存在し、更に前記レイテンシーを管理、及び制御可能なデータレイテンシーコントローラ60が存在することにより、読出し処理継続中でもデータバスがその読出し処理に専有されない。即ち、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行することができる。

40

## 【 0 1 0 5 】

これは、読出しデータが外部に出力される前(読出し処理継続中)であっても、各制御ユニットとデータレイテンシーコントローラ60が、リード/ライトバッファ67、パラ/シリ変換器68、シリ/パラ変換器71、出力バッファ69、及び入力バッファ70を制御することにより可能となる。具体的には、外部データバスの空白期間に、入力バッファ70をイネーブルとし、シリ/パラ変換器71の出力をON状態とし、逆にパラ/シリ変換器68の出力をOFF状態とし、リード/ライトバッファ67に外部からの書込みデータをラッチし、コア回路72内の所定のメモリセルに対するデータ書込み処理を実行する。この時、書込みデータと共に、書込みコマンドWT及び書込みアドレスをSDRAMに

50

供給し、先に説明したデータ読出し処理と、同様の動作でデータ書込み処理を実行する。

【0106】

このように、本発明のSDRAMでは、データ読出し処理実行中の外部データバスの空白期間（レイテンシー）を各バンクの制御動作が専有しないように、各制御ユニット及びデータレイテンシーコントローラ60にてデータ入出力を制御することにより、データバスの占有率の向上を実現できる。更にデータ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。

【0107】

更に、第3実施例の変形例に示すように、外部データバス300を書込み用データバス300Wと読出し用データバス300Rに分離した場合には、読出しデータ（出力データ）と書込みデータ（入力データ）の重なりが許容されるため、コマンドの順番に制約がなく、しかもコマンド間の間隙を設けることなくコマンドを連続してSDRAMに与えることができる。

【0108】

図25は、図24に示す本発明のSDRAMにおいて、各制御ユニット及びデータレイテンシーコントローラ60にて制御されるパラ/シリ変換器68の回路構成を示す。

このパラ/シリ変換器68は、リード/ライトバッファ67からの、例えば、4ビットの平行データを受信し、バースト長信号及びコラムアドレスの一部の情報に基づいて、入力側のバス線と出力側のバス線との間の接続経路を変えるデータバススイッチ110と、そのデータバススイッチ110の出力側に順次接続された第1のレジスタ120及び第2のレジスタ130と、その第2のレジスタ130から出力される4ビット構成の平行データを2ビット構成の平行データに変換する4<sub>2</sub>変換器140と、その4<sub>2</sub>変換器140の出力側に設けられ、前記2ビット構成の平行データを1ビットシリアルデータに変換するためのデータ出力タイミング回路150及びラッチ回路160から構成されている。パラ/シリ変換器68は、特にデータバススイッチ110と、4<sub>2</sub>変換器140に特徴がある。

【0109】

次に各構成要素の詳細な構成及び動作を説明する。

データバススイッチ110は、4本のデータバス線d0、d1、d2、d3にそれぞれ対応して設けられたスイッチsw1n、sw2n、sw3nと、データバス線d1とd3とを接続するためのsw24と、データバス線d0とd3とを接続するためのスイッチsw14と、データバス線d0とd2とを接続するためのスイッチsw13と、データバス線d0とd1とを接続するためのスイッチsw12で構成されている。これらのスイッチは、バースト長信号BL及びコラムアドレス信号の一部caa0z、caa1zに対応してそのオン、オフが制御される。

【0110】

図26は、バースト長信号BLがそれぞれ1、2、4の場合の各スイッチの状態を示す表である。まず、バースト長信号BLが4の場合、データバス線d0、d1、d2、d3の各データはそのままデータバス線d0'、d1'、d2'、d3'に伝えられる。即ち、この場合、コラムアドレス信号caa0z、caa1zの値にかかわらず、スイッチsw1n、sw2n、sw3nはオン(close)、スイッチsw24、sw14、sw13、sw12はオフ(open)である。

【0111】

続いて、バースト長信号BLが2の場合、データバス線d0'、d1'に伝えられたデータが外部に出力されるように構成されている。従って、この場合、データバス線d0、d1のデータの組か、データバス線d2、d3のデータの組をデータバス線d0'、d1'に伝える。いずれのデータの組を伝えるかは、コラムアドレス信号caa0zの論理値により決定される。即ち、データバス線d0、d1のデータの組をデータバス線d0'、d1'に伝える場合は、コラムアドレス信号caa0zをLレベルにする。その結果、スイッチsw1n、sw2n、sw3nはオン(close)、スイッチsw24、sw14

10

20

30

40

50

、 $sw13$ 、 $sw12$ はオフ(open)になる。一方、データバス線 $d2$ 、 $d3$ のデータの組をデータバス線 $d0'$ 、 $d1'$ に伝える場合は、コラムアドレス信号 $caa0z$ をHレベルにする。その結果、スイッチ $sw3n$ 、 $sw24$ 、 $sw13$ はオン(close)、スイッチ $sw1n$ 、 $sw2n$ 、 $sw14$ 、 $sw12$ はオフ(open)になる。これにより、データバス線 $d2$ のデータはスイッチ $sw13$ を介してデータバス線 $d0'$ へ伝えられ、データバス線 $d3$ のデータはスイッチ $sw24$ を介してデータバス線 $d1'$ へ伝えられる。尚、バースト長信号 $BL$ が2の場合、もう1ビットのコラムアドレス信号 $caa1z$ の論理値は、スイッチの選択には使用しない。

#### 【0112】

続いて、バースト長信号 $BL$ が1の場合、データバス線 $d0$ 、 $d1$ 、 $d2$ 、 $d3$ の内、いずれか1ビットが選択され、選択されたデータビットがデータバス線 $d0'$ に伝えられ、このデータが外部に出力される。このデータの選択は、コラムアドレス信号 $caa0z$ 、 $caa1z$ の値の組み合わせに基づいて行われる。即ち、データバス線 $d0$ のデータを選択する場合は、コラムアドレス信号 $caa0z$ 、 $caa1z$ を共にLレベルとする。その結果、スイッチ $sw1n$ 、 $sw2n$ 、 $sw3n$ はオン(close)、スイッチ $sw24$ 、 $sw14$ 、 $sw13$ 、 $sw12$ はオフ(open)になる。この場合、データバス線 $d0$ のデータがデータバス線 $d0'$ に伝えられる。また、データバス線 $d1$ のデータを選択する場合は、コラムアドレス信号 $caa0z$ をHレベル、 $caa1z$ をLレベルとする。その結果、スイッチ $sw2n$ 、 $sw3n$ 、 $sw12$ はオン(close)、スイッチ $sw1n$ 、 $sw24$ 、 $sw14$ 、 $sw13$ はオフ(open)になる。この場合、データバス線 $d1$ のデータがスイッチ $sw12$ を介してデータバス線 $d0'$ に伝えられる。更にデータバス線 $d2$ 、 $d3$ のデータをそれぞれ選択する場合も、図26の表に基づいて各スイッチがオン、オフする。

#### 【0113】

データバススイッチ110から出力されるパラレルデータ $d0'$ 、 $d1'$ 、 $d2'$ 、 $d3'$ は第1のレジスタ120に伝えられ、更に第2のレジスタ130に伝えられる。第1のレジスタ120は、4つのディレイドフリップフロップ $DFF121$ 、 $122$ 、 $123$ 、 $124$ から構成され、各 $DFF$ のデータ取り込みタイミングは、第1の制御信号 $po0z$ で制御される。第2のレジスタ130も、4つのディレイドフリップフロップ $DFF131$ 、 $132$ 、 $133$ 、 $134$ から構成され、各 $DFF$ のデータ取り込みタイミングは、第2の制御信号 $po1z$ で制御される。

#### 【0114】

図27は、第1及び第2のレジスタの動作タイミングを示している。図中、 $d[0,2]$ は、データバス線 $d0'$ 及び $d2'$ 上のデータ、 $d[1,3]$ は、データバス線 $d1'$ 及び $d3'$ 上のデータに対応している。

図27中の時刻 $t1$ において、データバス線 $d0'$ 、 $d1'$ 、 $d2'$ 、 $d3'$ にパラレルデータがあらわれる。次に時刻 $t2$ において、第1の制御信号 $po0z$ がHからLに変化すると、第1のレジスタを構成する各 $DFF$ は、それぞれデータバス線 $d0'$ 、 $d1'$ 、 $d2'$ 、 $d3'$ のデータをラッチする。次に時刻 $t3$ において、第2の制御信号がLからHに変化すると、第2のレジスタを構成する各 $DFF$ は、それぞれに対応する第1のレジスタを構成する各 $DFF$ にラッチされているデータを取り込む。そして、時刻 $t4$ において、第2の制御信号がHからLに変化すると、第2のレジスタを構成する各 $DFF$ は、取り込んだデータをラッチする。その後、第1の制御信号がLからHに変化すると、第1のレジスタを構成する各 $DFF$ は、再びデータバス線 $d0'$ 、 $d1'$ 、 $d2'$ 、 $d3'$ のデータを受け入れる状態となる。以上の動作により、データバス線 $d0'$ 、 $d1'$ 、 $d2'$ 、 $d3'$ 上のパラレルデータは、第1のレジスタ120及び第2のレジスタ130に順次転送される。

#### 【0115】

第2のレジスタ130にラッチされたデータは、次に4<sub>2</sub>変換器140に送信される。ここで、4ビットパラレルデータが2ビットパラレルデータに変換される。この4<sub>2</sub>変

10

20

30

40

50

換器 140 は、DFF 141、142、143 と、出力バッファ回路 144、145、146、147 から構成されている。また、この 4 変換器 140 には、4 つの制御クロック信号  $psclk0z - psclk3z$  が供給されており、これらの制御クロックが出力バッファ回路 144 - 147 の出力タイミング及び DFF 141 - 143 のデータラッチタイミングを制御している。また出力バッファ回路 144 と出力バッファ回路 146 の出力線がノード  $dd0$  にワイヤードOR 接続されている。同様に出力バッファ回路 145 と出力バッファ回路 147 の出力線がノード  $dd1$  にワイヤードOR 接続されている。そして、出力バッファ回路 144 からデータを出力するとき、出力バッファ回路 146 の出力端はハイインピーダンス状態になっており、逆に、出力バッファ回路 146 からデータを出力するとき、出力バッファ回路 144 の出力端はハイインピーダンス状態になっている。次に、4 変換器 140 から 2 ビットのデータが、ノード  $dd0$ 、 $dd1$  に出力され、それらは、データ出力タイミング回路 150 に伝えられる。データ出力タイミング回路 150 は、2 つのスイッチ  $swdd0$ 、 $swdd1$  から構成され、それぞれ出力制御クロック信号  $outp0z$  及び  $outp1z$  によりオン、オフが制御される。このデータ出力タイミング回路 150 は、まず一方のスイッチ  $swdd0$  を閉じることにより、ノード  $dd0$  に現れたデータビットを次段のラッチ回路 160 へ伝え、次に他方のスイッチ  $swdd1$  を閉じることにより、ノード  $dd1$  に現れたデータビットを次段のラッチ回路 160 へ伝える。このような動作により、データ出力タイミング回路 150 は、ノード  $dd0$  及びノード  $dd1$  に現れた 2 ビットのデータを 1 ビットづつシーケンシャルに次段のラッチ回路 160 に伝える。ラッチ回路 160 では、入力データをラッチすると共に、入力データのレベルを変換して、出力バッファ 170 (出力バッファ 69) に伝える。

#### 【0116】

図 28 は、バースト長信号  $BL$  が 4 の時の、4 変換器 140 からラッチ回路 160 にかけての動作タイミングを示している。以下、図 28 に従ってこれらの回路の動作についてより詳細に説明する。

まず、初期状態として、第 2 のレジスタを構成する 4 つの DFF 131 - 134 に読出しデータがラッチされている。そして、4 変換器 140 の動作を制御する 4 つの制御クロック信号  $psclk0z - psclk3z$  は、図 28 に示すように、 $psclk0z$ 、 $psclk1z$ 、 $psclk2z$ 、 $psclk3z$  の順番で順次 H パルスを出力する。まず  $psclk0z$  が H になると、出力バッファ回路 144 がそれに応答してノード  $dd0$  へ DFF 131 から受け取ったデータを出力する。同時に、DFF 141 が DFF 132 から出力されるデータをラッチする。次に  $psclk1z$  が H になると、出力バッファ回路 145 がそれに応答してノード  $dd1$  へ DFF 141 から受け取ったデータを出力する。同時に、DFF 142 が DFF 133 から出力されるデータをラッチする。このような動作が繰り返されて、ノード  $dd0$ 、 $dd1$  には、図 34 の波形から判るように、4 変換器 140 から交互に新たな読出しデータが出力される。

#### 【0117】

尚、4 変換器 140 中の DFF 141 - 143 は、変換動作中に次の読出しデータの組を第 2 のレジスタ 130 にラッチできるようにして、データを隙間無くデータ出力端子  $DQ$  から出力することを可能にするために設けられている。データ出力タイミング回路 150 の動作を制御する 2 つの出力制御クロック信号  $outp0z$  及び  $outp1z$  も、図 28 に示すようなタイミングで交互に H パルスを出力する。そして、ノード  $dd0$  に新たなデータが現れると、所定の時間後に出力制御クロック信号  $outp0z$  が H になり、スイッチ  $swdd0$  がオンになり、ノード  $dd0$  のデータがラッチ回路 160 に転送される。次にノード  $dd1$  に新たなデータが現れると、所定の時間後に出力制御クロック信号  $outp1z$  が H になり、スイッチ  $swdd1$  がオンになり、ノード  $dd1$  のデータがラッチ回路 160 に転送される。このような動作を繰り返すことにより、ノード  $dd0$  及び  $dd1$  のデータが交互にシーケンシャルにラッチ回路 160 に送信され、2 ビット 1 ビット変換を行うことができる。

#### 【0118】

10

20

30

40

50

尚、以上の動作説明は、バースト長信号  $BL$  が 4 の場合について説明している。図 29 (a) 及び (b) の表は、バースト長信号  $BL$  が 1、2、4 の場合の 4 つのクロック信号  $psclk0z - psclk3z$ 、及び 2 つの制御クロック信号  $outp0z$ 、 $outp1z$  の動作状況を示している。

図 25 に示すパラ/シリアル変換器は、第 2 のレジスタから出力される 4 ビットデータを、まず 4 → 2 変換器 140 により 2 ビットデータに変換し、次に 2 ビットデータをデータ出力タイミング回路 150 及びラッチ回路 160 により 1 ビットデータに変換している。即ち、パラレル/シリアル変換を 2 段階に分けて行っている。

#### 【0119】

一方、4 → 2 変換器 140 を省略し、第 2 のレジスタ 130 から出力される 4 ビットデータを、直接データ出力タイミング回路 150 に供給し、パラレル/シリアル変換を一度に行う構成とすることもできる。この場合、データ出力タイミング回路 150 を構成するスイッチは 4 個となり、これら 4 つのスイッチが 4 つの出力制御クロック信号により順次オンするように制御される。

#### 【0120】

構成の観点でみると、パラレル/シリアル変換を一度に行う構成の方が簡単になる。しかし、高速動作のためにクロック信号の周波数が高くなると、その高い周波数に対応して、4 つの出力制御クロック信号の生成が困難となる。このような場合は、図 25 のようにパラレル/シリアル変換を 2 段階に分けて行う構成をとるとよい。

#### 【0121】

図 30 は、図 24 に示す本発明の SDRAM において、各制御ユニット及びデータレイテンシーコントローラ 60 にて制御されるシリ/パラ変換器 71 の回路構成を示す。

シリ/パラ変換器 71 は、外部からのシリアルデータをラッチするラッチ回路 250 と、ラッチ回路 250 にてラッチされたシリアルデータを順に取り込んで 4 ビットのパラレルデータを出力するレジスタ 260 と、レジスタ 260 内の各 DFF 261 - 264 がそれぞれのデータを取り込むタイミングを生成するパルス発生回路 270 と、レジスタ 260 からの 4 ビットパラレルデータの出力をオン、オフ制御するトランスファークラップ 271 - 274 と、トランスファークラップ 271 - 274 からの 4 ビットパラレルデータをラッチし、増幅して出力するラッチ回路 281 - 284 から構成される。

#### 【0122】

このシリ/パラ変換器 71 に対して、シリアルデータ  $DI$  が入力されると、ラッチ回路 250 が順にラッチしてレジスタ 260 に送信する。パルス発生回路 270 では、コマンドデコーダ 52 からの書込み処理を通知する信号、モードレジスタ 59 からのバースト長信号  $BL$ 、データレイテンシーコントローラ 60 及び各制御ユニットからの制御信号により、書込みデータであるシリアルデータをレジスタ 260 にて取り込むタイミング信号として、Hパルスの取り込みクロック信号  $intp1 - intp4$  を生成する。ここでは、 $intp4$   $intp3$   $intp2$   $intp1$  の順の Hパルスを出力する。

ク

クロック信号  $intp1 - intp4$  のタイミングにより、パラレルデータを取り込んだレジスタ 260 は、4 ビットのパラレルデータを各トランスファークラップ 271 - 274 に送信する。各トランスファークラップ 271 - 274 では、データレイテンシーコントローラ 60 または各制御ユニットからの送信開始信号  $Go$  が入力されると、4 ビットのパラレルデータを一齐に出力する。そのパラレルデータは、各ラッチ回路 281 - 284 を介して、書込みデータ  $DB01 - 04$  としてコア回路 72 に出力される。

#### 【0123】

図 33 は、図 24 に示すリード/ライトバッファ 67 の一構成例を示し、図 34 は図 24 及び図 33 に示す制御ユニット 66 の一構成例を示す。図 33 及び図 34 において、前述したものと同一のものには同一の参照番号を付けてある。

図 33 において、リード/ライトバッファ 67 は書込みアンプ 67a、出力アンプ 67b、及び短絡回路 67c を有する。書込みアンプ 67a は制御ユニット 66 からの信号  $WE$

10

20

30

40

50

N、WRT、SBE及びGRSで制御され、周辺データバス75上のデータをコアデータバス74に書き込む。周辺データバス75は、図24に示すパラ/シリ変換器68とシリ/パラ変換器71との接続されている。コアデータバス74は、図24に示すコア回路72内に設けられたメモリセルアレイ(図33での図示を省略する)に接続されている。出力アンプ67aは制御ユニット66から供給される信号WRT、WBE及びGRSで制御され、コアデータバス74上のデータと増幅して、周辺データバス75に書き込む。短絡回路67cはデータバス74のデータバス線対を短絡する。

#### 【0124】

複数の選択回路73がデータバス線を介してそれぞれのセンスアンプに対応して設けられており、センスアンプからのデータを受信するデータバス線を選択する。

10

図34に示すように、制御ユニット66は制御ユニット55から制御信号WRT、WRC T、DM、WERP、WSW及びCLPを受け取り、制御信号WRT、SBE、WEN及びGRSを生成する。制御信号WRTは、対応するバンクが書込み状態にあることを示す信号である。制御信号WSWは、所定時間だけ制御信号WRTよりも遅れている信号である。制御信号WRC Tは、データ書込み時に対応するバンクが書込みマスク状態であるかどうかを判断するための信号である。制御信号DMは、対応するバンクが書込みマスク状態であるかどうかを示す信号である。制御信号CLPは、コラムデコーダ65を活性化するコラム選択信号である。制御信号WERPは、コラム選択信号CLPが出力された後に書込みタイミングを規定する。制御信号SBEはセンスバッファインーブル信号で、図33に示す出力アンプ67bを活性化する。制御信号WENは書込みインーブル信号で、図33に示す書込みアンプ67aを活性化/非活性化する。制御信号GRSは短絡回路67cを活性化する信号で、同時に書込みアンプ67aと出力アンプ67bを非活性化する。

20

#### 【0125】

制御ユニット66は周辺の信号生成回路66a、66e及び66f、WRT生成回路66d、WEN生成回路66d、及びGRS生成回路66gを有する。回路66aは制御信号WRC T及びDMから、書込み状態の時に対応するバンクが書込みマスク状態にあるかどうかを示す内部信号を生成する。WRT生成回路66bは制御信号WRTと図33に示すリード/ライトバッファ67に転送する。SBE生成回路66cは、制御信号WRTとCLPから制御信号SBEを生成する。内部信号生成回路66eは制御信号WERPとWSWからデータ書込みタイミングを示す内部信号を生成する。内部信号生成回路66eは、このデータ書込みタイミング信号及び制御信号CLPから、コラム選択信号CLPが受信されない時に、データバス短絡タイミング信号を示す内部信号を生成する。GRS生成回路66gは、制御信号SBEと回路66fからの内部制御信号とから、制御信号GRSを生成する。

30

#### 【0126】

図35は、図33及び図34に示す構成の動作を示すタイミング図である。図の左側部分は読出しモードの動作を示し、右側部分は書込みモードの動作を示す。タイミング信号BTWL、BTWLP、SLEX及びSLEPはそれぞれ、制御ユニット55がローアドレスストローク信号RASから生成する信号であり、図33に示すセンスアンプに与えられる。BLX/BLZは、図33に示す一対のコアデータバス線74の電位変化を示す。GDBXとGDBZは、図33に示す周辺データバス線75の電位変化を示す。

40

#### 【0127】

読出しモードにおいて、制御ユニット55はローアドレスストローク信号RASから、制御信号BTWL、BTWLP、SLE及びSLEPを生成する。これらの制御信号は、図33に示すセンスアンプに与えられる。制御ユニット55で生成されたコラム選択信号CLPは、図33に示すコラムデコーダ65に与えられる。従って、図35に示すように、選択されたセンスアンプは対応するコアビット線74上のデータのセンスを開始し、それらの電位差を増幅する(BLX、BLZ)。信号CLは選択されたデコーダ65内で生成され、コラム選択信号CLPを遅延させたものに相当する。この信号CLが選択されたコラム線に与えられる。信号CLが選択されると、外部電源電圧Vddを降圧した内部電源

50

電圧  $V_{ii}$  に設定される。コラム選択信号  $CLP$  の立ち上がりに対応して、制御信号  $GRS$  が立ち上がり、そして制御信号  $SBE$  が立ち上がる。短絡回路  $67c$  は、制御信号  $GRS$  に対応してコアデータバス線  $74$  を短絡する。制御信号  $SBE$  に対応して出力アンプ  $67b$  が活性化され、コアデータバス線  $74$  に読出されたデータは周辺データバス線  $75$  に出力される。これにより、周辺データバス線  $75$  の電位は図  $35$  に示すように変化する ( $GDBX / GDBZ$ )。

#### 【0128】

書込みモードにおいて、制御信号  $WSW$  の立ち上がりに対応して制御信号  $GRS$  が立ち上がり、短絡回路  $67c$  はコアデータバス線  $74$  を短絡する。更に、制御信号  $WEN$  が立ち下がり、書込みアンプ  $67a$  が活性化される。制御信号  $WSW$  の立ち上がりに対応して、  
10 コラム選択信号  $CLP$ 、 $CL$  が連続して立ち上がり、周辺データバス  $75$  上のデータがコアデータバス線  $74$  に書き込まれる。この場合、コラム選択信号  $CL$  の電位は、外部電源電圧  $V_{dd}$  に設定される。図  $35$  に示す場合、コアデータバス線  $74$  の電位は反転し、制御信号  $SLEP$  の立ち下がりエッジに対応して増幅される。

#### 【0129】

以上説明したように、本発明の  $SDRAM$  は、各制御ユニット及びデータレイテンシーコントローラ  $60$  にて、前記パラ/シリ変換器  $68$  とシリ/パラ変換器  $71$  とを制御することにより、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行可能としている。また、外部データバス  $300$  を書込み用  $300W$  と読出し用  $300R$  に分離する ( $I/O$  分離) することで、書込みデータ (入力データ) と読出しデータ (出力データ) とを同時に外部データバス  $300W$ 、 $300R$  上に存在させることができ、コマンドの順序に制約がなく、連続的に  $SDRAM$  に与えることができる。  
20

#### 【0130】

従って、データバスの占有率の向上を実現させる共に、データ読出し及びデータ書込みの高速処理を実現することができる。

以上、上記説明をまとめると、次の通りである。

(1) 少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有する半導体記憶装置において、各バンクはそれぞれコマンドによって示される情報が供給され、これにより対する1つのバンクに対する書込み又は読出し処理を制御する制御部を有し、該制御部はデータ読出し処理実行中の第1のデータバスの空白期間を専有しなように、第1のデータバスに対するデータ書込み/読出し処理を制御する半導体記憶装置。  
30

(2) (1)において、各バンクはそれぞれ別個に設けられた第2のデータバスを介して第1のデータバスに接続される。

(3) (1)において、各バンクはそれぞれ別個に設けられた第2のデータバスを介して第1のデータバスに接続され、この第2のデータバスは書込みデータ伝送用と読出しデータ伝送用とに分離されている。

(4) (1) ~ (3)において、各バンク内はセンスアンプに接続される第3のデータバスを有し、この第3のデータバスは書込みデータ伝送用と読出しデータ伝送用に分離されている。  
40

(5) (1) ~ (4)において、前記第1のデータバスの空白期間に、指定されたバンクのデータ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行する。

(6) (1) ~ (4)において、1つのバンクに対するデータ読出し処理が継続している時は、このバンクへの書込みコマンドは受け付けられない。

(7) (1) ~ (6) 各バンクは、前記アドレスラッチ回路を複数含み、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチする。

(8) (7)において、前記書込みアドレスに対応するコマンドと書込みデータとを前記制御部にて一時的に保存し、継続中のデータ読出し処理による第1のデータバスの空白期  
50

間が、データ書込み処理よりも長い場合、第1のデータバスの空白期間に、指定されたバンクのデータ読出し処理を継続しつつ、同一バンクへのデータ書込み処理を実行し、継続中のデータ読出し処理による第1のデータバスの空白期間が、データ書込み処理よりも短い場合、データ読出し処理終了後に、データ書込み処理を実行する。

(9) 少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有する半導体記憶装置のデータバス制御方法において、コマンドを受信するステップ(a)と、各バンク毎にコマンドに応じたデータ書込み/読出し処理を制御し、データ読出し処理実行中の第1のデータバスの空白期間を専有しないようするステップ(b)とを有するデータバス制御方法。

(10) (9)において、ステップ(b)は各バンクごとに、それぞれ別個に設けられた第2のデータバスを用いてデータ書込み/読出し処理を制御する。 10

(11) (9)において、ステップ(b)は各バンクごとに、それぞれ別個に設けられ、かつ書込みデータ伝送用及び読出しデータ伝送用に分離された第2のデータバスを用いてデータ書込み/読出し処理を制御する。

(12) (9)において、ステップ(b)は各バンクごとに、センスアンプに接続され、かつ書込みデータ伝送用と読出しデータ伝送用に分離された第3のデータバスを用いてデータ書込み/読出し処理を制御する。

(13) (9)~(12)において、ステップ(b)は、前記第1のデータバスの空白期間に、指定されたバンクのデータ読出し処理を継続しつつ、他のバンクへのデータ書込み処理を実行するようにデータ書込み/読出しを制御する。 20

(14) (9)~(12)において、ステップ(b)は、1つのバンクに対するデータ読出し処理が継続している時は、このバンクへの書込みコマンドは受け付けない。

(15) (9)~(13)において、ステップ(b)は各バンクにおいて、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチするようにデータ書込み/読出しを制御する。

(16) 少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有する半導体記憶装置において、各バンクはそれぞれ書込みコマンド及び読出しコマンドに基づく書込み又は読出し処理を制御する制御部を有し、あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクが書込みコマンドとそれに対応するデータを第1のデータバスから取り込み、その制御部は書込み処理の実行を開始する半導体記憶装置。 30

(17) (16)において、第1のデータバスは書込みデータ転送用と読出しデータ転送用に分離されている。

(18) (17)において、各バンクはそれぞれ別個に設けられた第2のデータバスを介して第1のデータバスに接続される。

(19) (16)において、各バンクはそれぞれ別個に設けられた第2のデータバスを介して第1のデータバスに接続され、この第2のデータバスは書込みデータ伝送用と読出しデータ伝送用とに分離されている。

(20) (16)~(19)において、各バンク内はセンスアンプに接続される第3のデータバスを有し、この第3のデータバスは書込みデータ伝送用と読出しデータ伝送用に分離する。 40

(21) (16)~(19)において、1つのバンクに対するデータ読出し処理が継続している時は、このバンクへの書込みコマンドは受け付られない。

(22) (16)~(21)において、各バンクは、前記アドレスラッチ回路を複数含み、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチする。

(23) 少なくとも1つのメモリセルアレイを有し、かつ第1のデータバスに接続された複数のバンクを有する半導体記憶装置のデータバス制御方法において、コマンドを受信す 50

るステップ ( a ) と、各バンク毎にコマンドに応じたデータ書込み / 読出し処理を制御し、あるバンクの制御部が読出しコマンドに応じたデータ読出し処理を実行している間に、他のバンクが書込みコマンドとそれに対応するデータを第 1 のデータバスから取り込み、その制御部は書込み処理の実行を開始するステップ ( b ) とを有するデータバス制御方法

。 ( 2 4 ) ( 2 3 ) において、前記ステップ ( b ) は、書込みデータ転送用と読出しデータ転送用に分離されている第 1 のデータバスを用いてデータ書込み / 読出し処理を制御する

。 ( 2 5 ) ( 2 3 ) において、ステップ ( b ) は各バンクごとに、それぞれ別個に設けられた第 2 のデータバスを用いてデータ書込み / 読出し処理を制御する。

10

( 2 6 ) ( 2 3 ) において、ステップ ( b ) は各バンクごとに、それぞれ別個に設けられ、かつ書込みデータ伝送用及び読出しデータ伝送用に分離された第 2 のデータバスを用いてデータ書込み / 読出し処理を制御する。

( 2 7 ) ( 2 3 ) において、ステップ ( b ) は各バンクごとに、センスアンプに接続され、かつ書込みデータ伝送用と読出しデータ伝送用に分離された第 3 のデータバスを用いてデータ書込み / 読出し処理を制御する。

( 2 8 ) ( 2 3 ) ~ ( 2 7 ) において、ステップ ( b ) は、1つのバンクに対するデータ読出し処理が継続している時は、このバンクへの書込みコマンドは受付けない。

( 2 9 ) ( 2 3 ) ~ ( 2 8 ) において、ステップ ( b ) は各バンクにおいて、データ読出し処理継続中の同一バンクにデータ書込みコマンドが入力された場合に、継続中の読出しアドレスをラッチしているアドレスラッチ回路以外のアドレスラッチ回路にて後続して入力された書込みアドレスをラッチするようにデータ書込み / 読出しを制御する。

20

#### 【 0 1 3 1 】

##### 【 発明の効果 】

従来の半導体記憶装置は、コマンドデコード、メモリセル周辺の回路動作、及びセンスアンプ動作等の要因により、読出しコマンドの入力から、読出しデータの出力までにレイテンシーが発生している。このレイテンシーの期間は、外部データバス上にデータが伝送されていないにもかかわらず、即ち、データの空白期間が存在しているにもかかわらず、読出し処理によりデータバスが専有されている。これは、コア回路を制御する制御部が、必ずしもバンク毎に存在していないことが要因としてあげられる。例えば、読出しコマンドが入力された場合に、制御部による制御がその読出し処理に専有されてしまう。

30

#### 【 0 1 3 2 】

しかしながら、上述の如く、本発明の半導体記憶装置によれば、各バンクで独立に、アドレスラッチ回路とワード選択回路とコラム選択回路と制御部とを有する。これにより、各バンクの制御部は、データ読出し処理実行中の外部データバスの空白期間を専有しないように各バンク毎にデータ入出力を制御し、データバスの占有率の向上を実現できる。具体的には、データ読出し処理実行中の外部データバスの空白期間を利用して、データ書込み処理を実行可能とする。

#### 【 0 1 3 3 】

更にデータ読出し処理実行中の外部データバスの空白期間を利用してデータ書込み処理を実行すると、データ読出し処理に要する時間で、書込み及び読出しの両方の処理が実行できる。即ち、本発明の半導体記憶装置によれば、データ読出し処理及びデータ書込み処理を並列に実行でき、トータルの処理時間が短縮可能となる。

40

#### 【 0 1 3 4 】

また、本発明によれば、データ入出力用のデータバスを書込み用と読出し用に分離することで、入力データと出力データとを同時に処理することができるようになり、半導体記憶装置にコマンドを与える順番を任意に設定することができ、しかも連続させることができる。

従って、本発明によれば、データバスの占有率の向上を実現させる共に、データ読出し及びデータ書込みの高速処理を実現する半導体記憶装置、及びその半導体記憶装置によるデ

50

ータバス制御方法を提供できる。

【図面の簡単な説明】

【図 1】 S D R A M のメモリセル周辺の回路構成の一例である。

【図 2】 従来のデータ読出し動作を示すタイミングチャートである。

【図 3】 従来のデータ書込み動作を示すタイミングチャートである。

【図 4】 従来のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 5】 従来のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 6】 従来のデータ読出し動作を示すタイミングチャートである。

10

【図 7】 従来のデータ書込み動作を示すタイミングチャートである。

【図 8】 従来のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 9】 第 1 の実施例を示す図である。

【図 10】 第 2 の実施例を示す図である。

【図 11】 第 3 の実施例を示す図である。

【図 12】 第 3 の実施例の変形例を示す図である。

【図 13】 第 4 の実施例を示す図である。

【図 14】 第 5 の実施例を示す図である。

【図 15】 第 6 の実施例を示す図である。

20

【図 16】 第 7 の実施例を示す図である。

【図 17】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 18】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 19】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 20】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 21】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

30

【図 22】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 23】 本実施例のデータ読出し動作及びデータ書込み動作を示すタイミングチャートである。

【図 24】 本発明による S D R A M のブロック図である。

【図 25】 パラ/シリ変換器の構成である。

【図 26】 バースト長 B L がそれぞれ 1、2、4 の場合の各スイッチの状態である。

【図 27】 第 1 及び第 2 のレジスタの動作タイミングである。

【図 28】 バースト長 B L が 4 の時の 4 2 変換器からラッチ回路にかけての動作タイミングである。

40

【図 29】 バースト長 B L が 1、2、4 の場合の 4 つの制御クロック信号及び 2 つの出力制御クロック信号の動作状況である。

【図 30】 シリ/パラ変換器の構成である。

【図 31】 第 3 の実施例の変形例から第 7 実施例の動作を示すタイミング図である。

【図 32】 第 3 の実施例の変形例から第 7 実施例の動作を示す別のタイミング図である。

【図 33】 図 24 に示すリード/ライトバッファの一構成例を示すブロック図である。

【図 34】 図 24 と図 33 に示すコントローラの一構成例を示すブロック図である。

【図 35】 図 33 及び図 34 に示す構成の動作を示すタイミング図である。

【符号の説明】

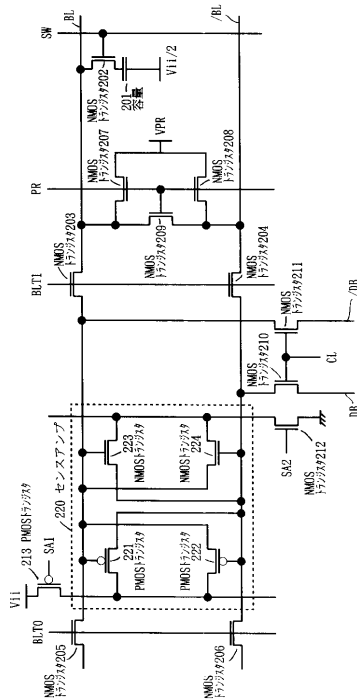
50

1	コマンド入力部	
2	アドレス入力部	
3	コマンドデコード部	
4, 24, 4a, 24a, 4b, 24b, 4c, 24c, 4d, 24d, 4e, 24e	バンク	
5	シリアル/パラレル変換部	
5a	シリアル/パラレル変換部群	
6	パラレル/シリアル変換部	
6a	パラレル/シリアル変換部群	
7	データ入出力部	10
7a	データ入出力部群	
8, 28	制御部	
9, 29	アドレスラッチ部	
10, 30	コラムデコード部	
11, 31	ローデコード部	
12, 32	メモリセルアレイ部	
13, 33	センスアンプ部	
14, 34, 14a, 34a, 14b, 34b, 14c, 34c, 14d, 34d, 14e, 34e	込み保護設定回路	
51	入力バッファ	20
52	コマンドデコーダ	
53	RAS生成ユニット	
54	PRE生成ユニット	
55	制御ユニット	
56, 58	プリデコーダ	
57	ブロックデコーダ	
59	モードレジスタ	
60	データレイテンシーコントローラ	
61	ワードデコーダ	
62	BLTデコーダ	30
63	SA生成ユニット	
64	1/4デコーダ	
65	コラムデコーダ	
66	制御ユニット	
67	リード/ライトバッファ	
68	パラ/シリ変換器	
69	出力バッファ	
70	入力バッファ	
71	シリ/パラ変換器	
72	コア回路	40
110	データバススイッチ	
120	第1のレジスタ	
121, 122, 123, 124	DF F	
130	第2のレジスタ	
131, 132, 133, 134	DF F	
140	4 2変換器	
141, 142, 143	DF F	
144, 145, 146, 147	OUT回路	
150	データ出力タイミング回路	
160	ラッチ回路	50

- 170 出力バッファ
- 250 ラッチ回路
- 260 レジスタ
- 261, 262, 263, 264 DFF
- 270 パルス発生回路
- 271, 272, 273, 274 トランスファーゲート
- 275 インバータ
- 281, 282, 283, 284 ラッチ回路

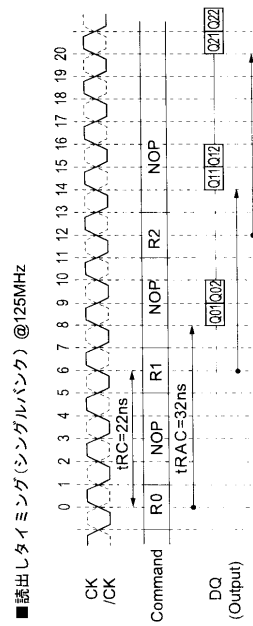
【図1】

SDRAMのメモリセル周辺の回路構成の一例



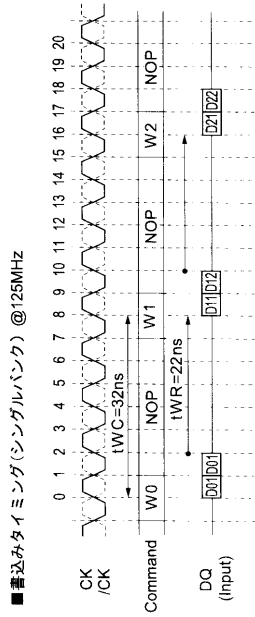
【図2】

従来のデータ読み出し動作を示すタイミングチャート



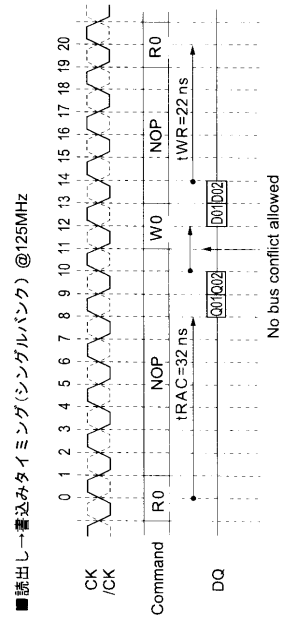
【 図 3 】

従来のデータ書き込み動作を示すタイミングチャート



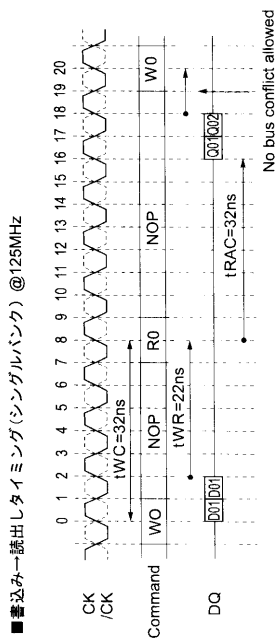
【 図 4 】

従来のデータ読み出し動作及びデータ書き込み動作を示すタイミングチャート



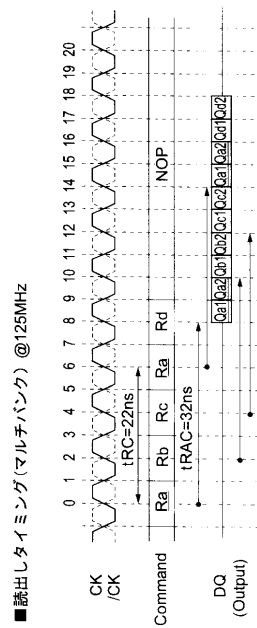
【 図 5 】

従来のデータ読み出し動作及びデータ書き込み動作を示すタイミングチャート



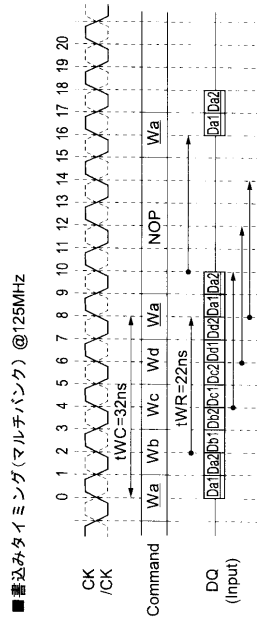
【 図 6 】

従来のデータ読み出し動作を示すタイミングチャート



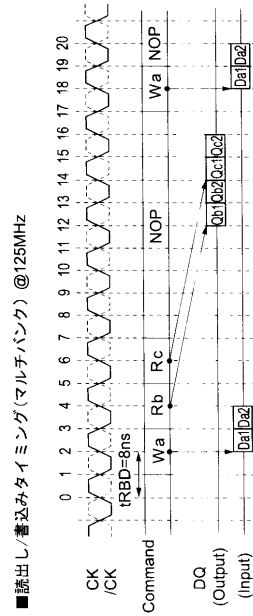
【 図 7 】

従来のデータ書き込み動作を示すタイミングチャート



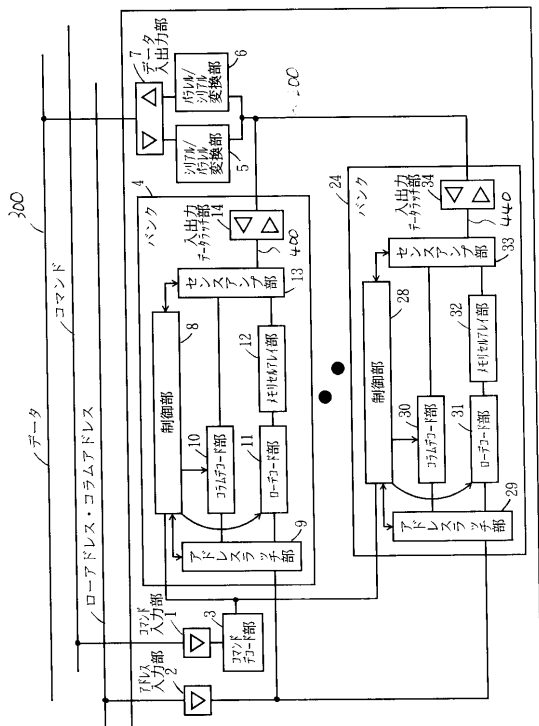
【 図 8 】

従来のデータ読み出し動作及びデータ書き込み動作を示すタイミングチャート



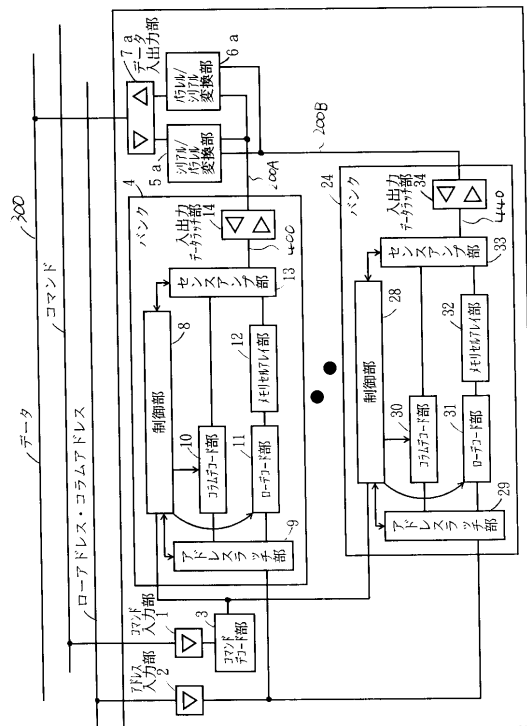
【 図 9 】

第1の実施例を示す図



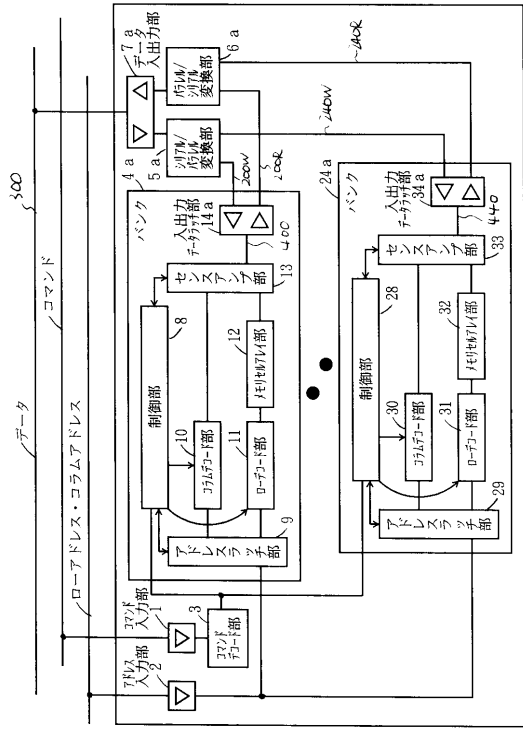
【 図 10 】

第2の実施例を示す図



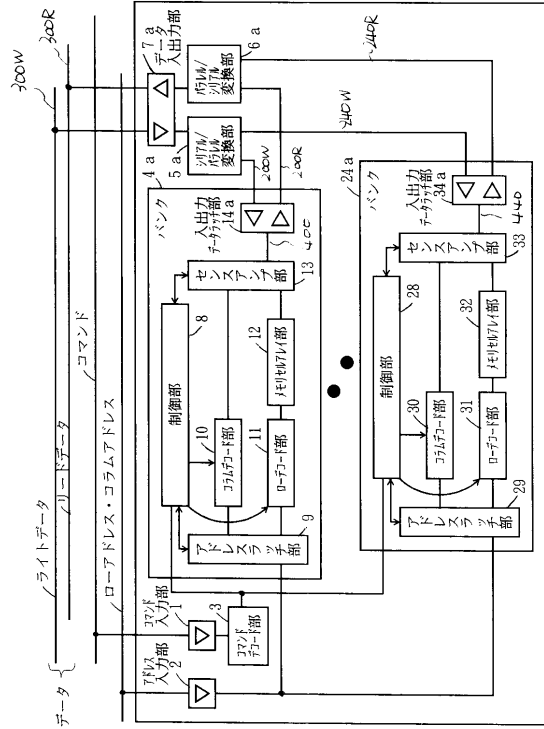
【 図 1 1 】

第 3 の実施例を示す図



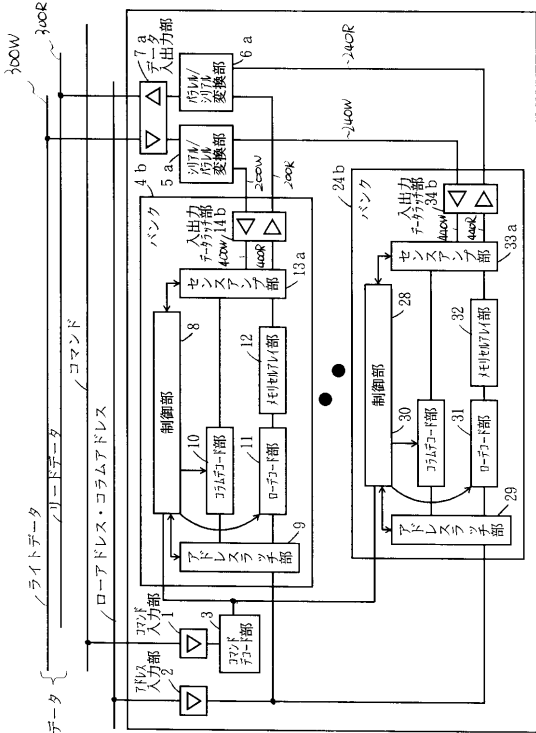
【 図 1 2 】

第 3 の実施例の応用例を示す図



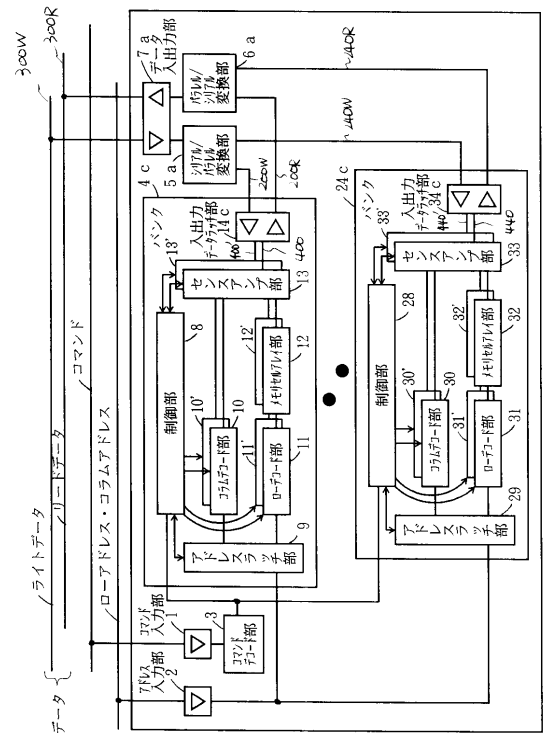
【 図 1 3 】

第 4 の実施例を示す図



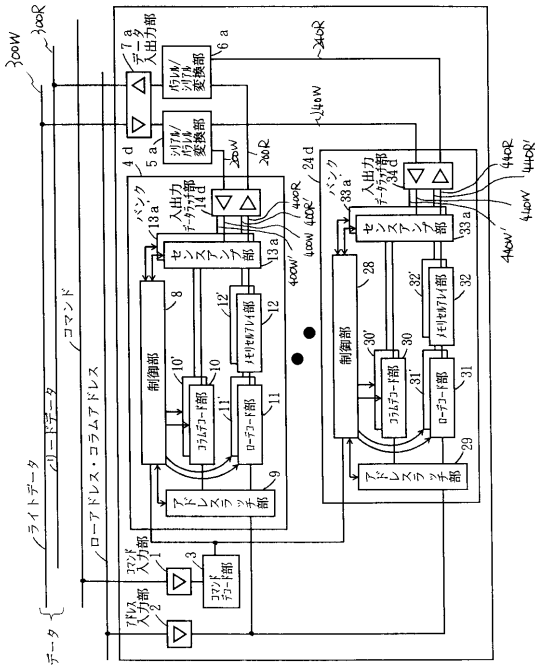
【 図 1 4 】

第 5 の実施例を示す図



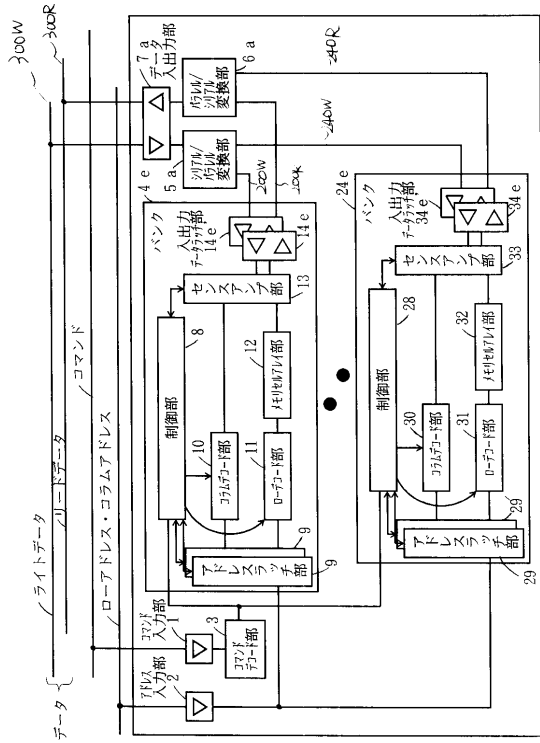
【 図 1 5 】

第6の実施例を示す図



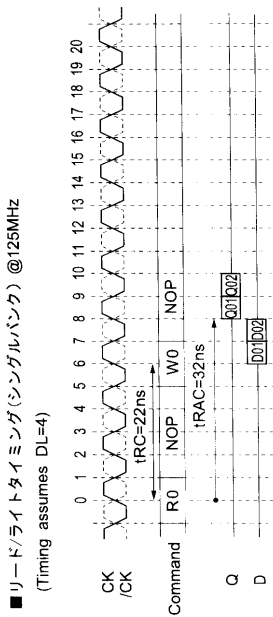
【 図 1 6 】

第7の実施例を示す図



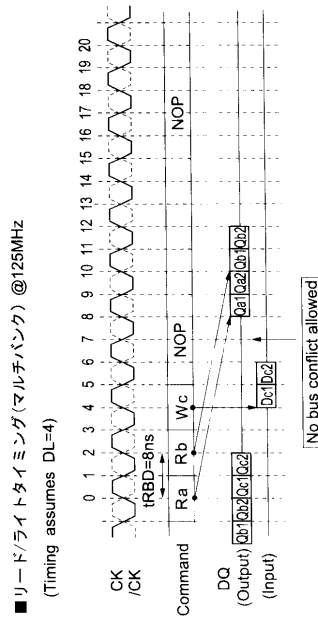
【 図 1 7 】

本実施例のデータ読み出し動作及びデータ書き込み動作を示すタイミングチャート



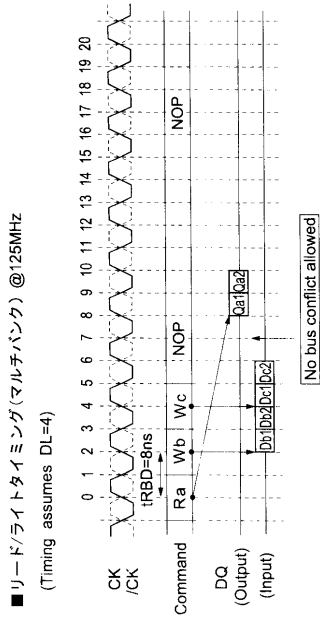
【 図 1 8 】

本実施例のデータ読み出し動作及びデータ書き込み動作を示すタイミングチャート



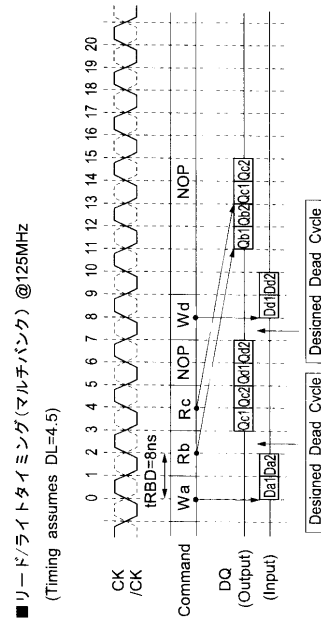
【 図 1 9 】

本実施例のデータ読出し動作及びデータ書き込み動作を示すタイミングチャート



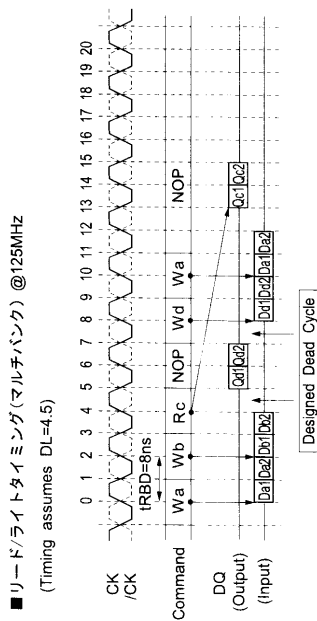
【 図 2 0 】

本実施例のデータ読出し動作及びデータ書き込み動作を示すタイミングチャート



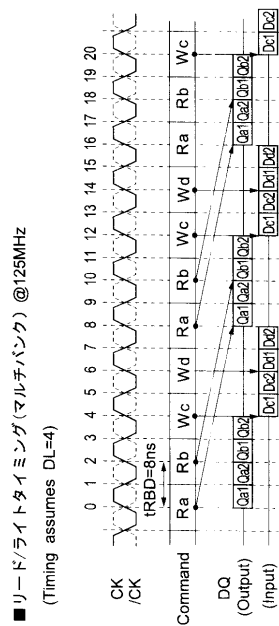
【 図 2 1 】

本実施例のデータ読出し動作及びデータ書き込み動作を示すタイミングチャート



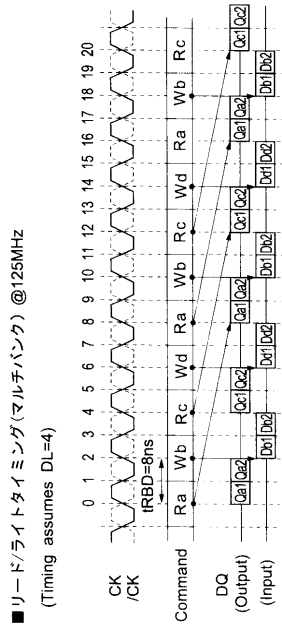
【 図 2 2 】

本実施例のデータ読出し動作及びデータ書き込み動作を示すタイミングチャート



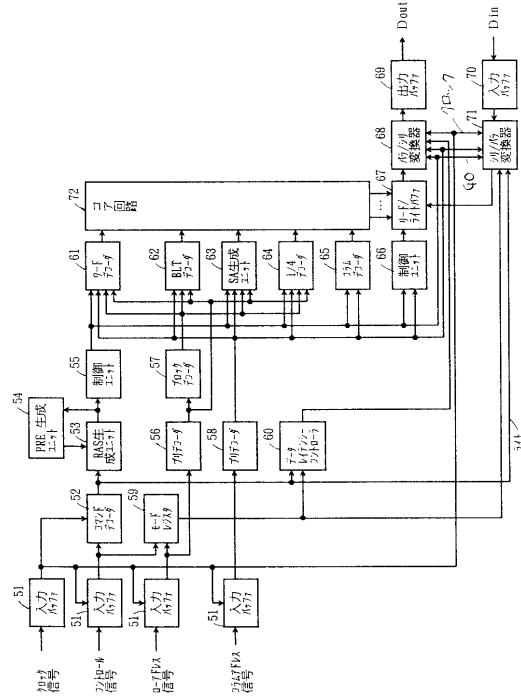
【 図 2 3 】

本実施例のデータ読出し動作及びデータ書き込み動作を示すタイミングチャート



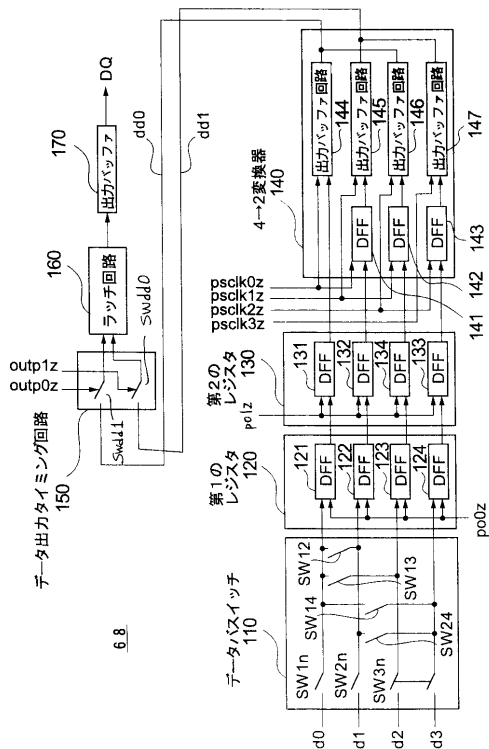
【 図 2 4 】

本発明によるSDRAMのブロック図



【 図 2 5 】

パラ/シリ変換器の構成



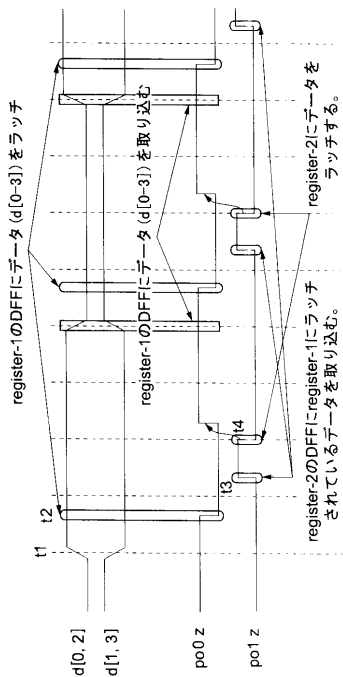
【 図 2 6 】

バースト長BLがそれぞれ1、2、4の場合の各スイッチの状態

caa0, 1z	BL=4	BL=2		BL=1			
		L/-	H/-	L/L	H/L	L/H	H/H
sw1n	close	close	open	close	open	open	open
sw2n	close	close	open	close	close	close	close
sw3n	close	close	close	close	close	close	close
sw24	open	open	close	open	open	open	open
sw14	open	open	open	open	open	open	close
sw13	open	open	close	open	open	open	open
sw12	open	open	open	open	close	open	open

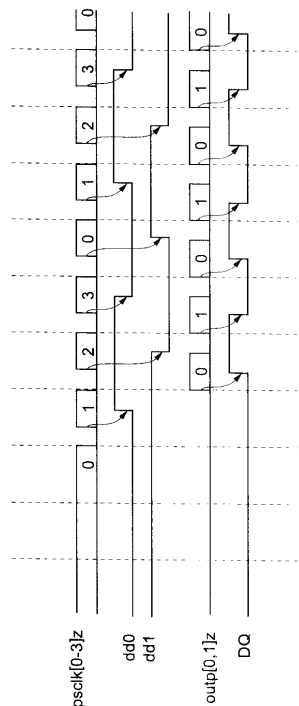
【図 27】

第1及び第2のレジスタの動作タイミング



【図 28】

バースト長BLが4の時の4→2変換器からラッチ回路にかけての動作タイミング



【図 29】

バースト長BLが1、2、4の場合の4つの制御クロック信号及び2つの出力制御クロック信号の動作状況

(a)

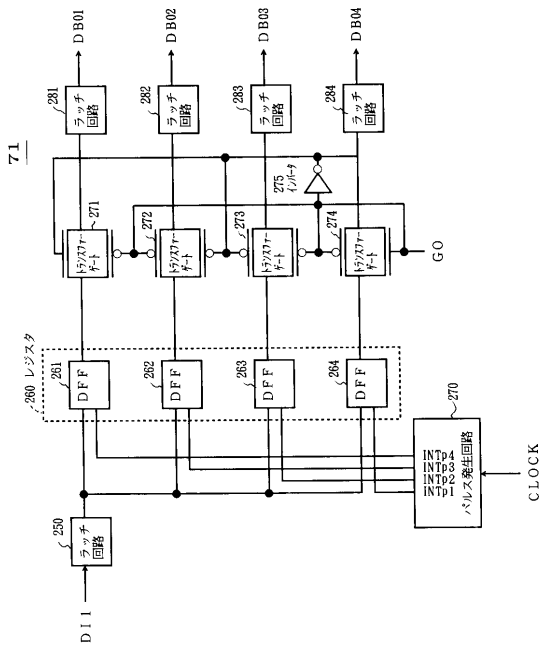
	BL=4	BL=2	BL=1
outp0z	clocking	clocking	clocking
outp1z	clocking	clocking	clocking

(b)

	BL=4	BL=2	BL=1
psclk1z	clocking	clocking	clocking
psclk2z	clocking	clocking	clocking
psclk3z	clocking	clocking	clocking
psclk0z	clocking	clocking	clocking

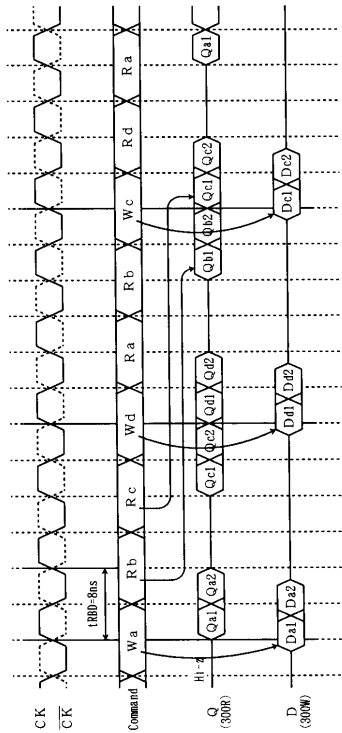
【図 30】

シリ/パラ変換器の構成



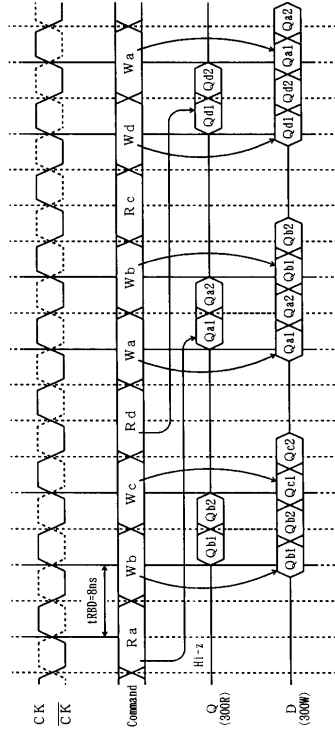
【 図 3 1 】

第3の実施例の変形例から第7実施例の動作を示すタイミング図



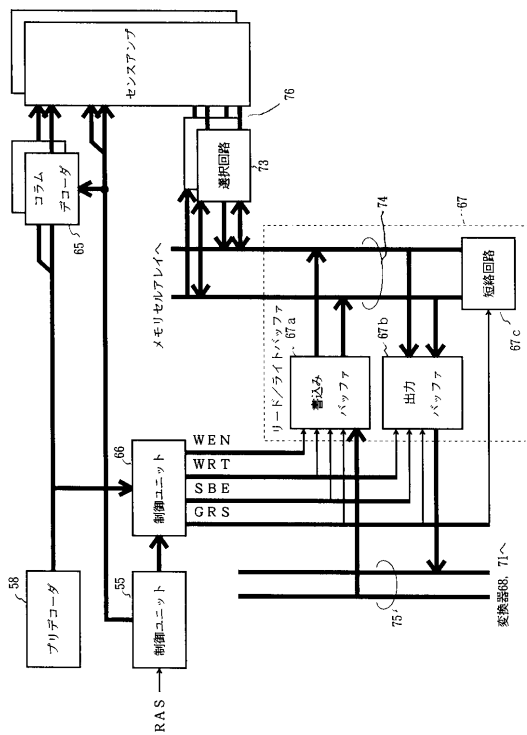
【 図 3 2 】

第3の実施例の変形例から第7実施例の動作を示す別のタイミング図



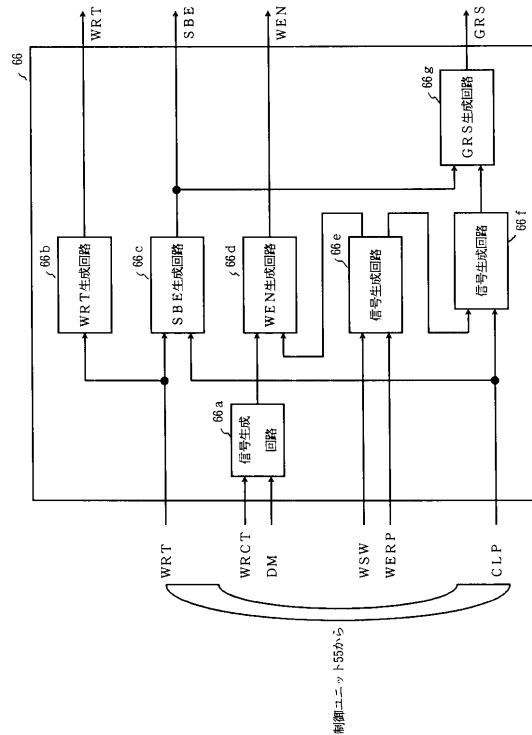
【 図 3 3 】

図24に示すリード/ライトバッファの一構成例を示すブロック図



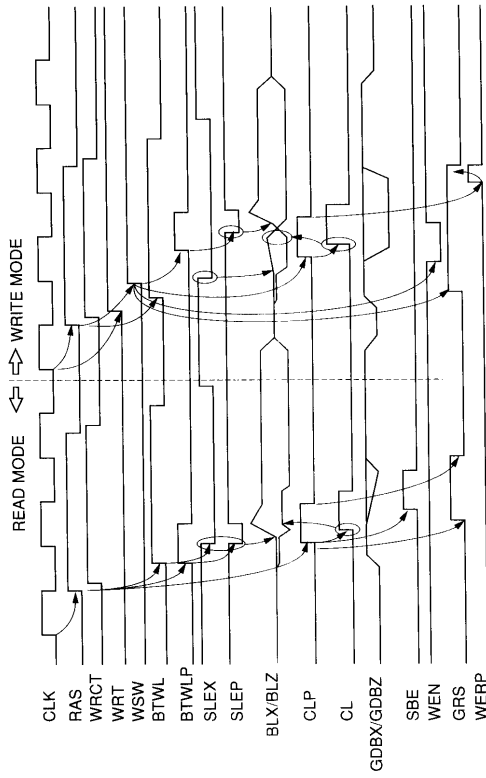
【 図 3 4 】

図24と図33に示すコントローラの構成例を示すブロック図



【 図 3 5 】

図33及び図34に示す構成の動作を示すタイミング図



---

フロントページの続き

(51) Int.Cl.

F I

G 1 1 C 11/34

K

審査官 園田 康弘

- (56) 参考文献 特開平 09 - 073781 (JP, A)  
特開平 09 - 251773 (JP, A)  
特開平 04 - 085789 (JP, A)  
特開平 05 - 205477 (JP, A)  
特開平 09 - 306161 (JP, A)  
特開平 10 - 111828 (JP, A)  
特開平 05 - 334869 (JP, A)  
特開平 09 - 161475 (JP, A)  
特開平 09 - 288888 (JP, A)  
特開平 08 - 096574 (JP, A)

(58) 調査した分野(Int.Cl., DB名)

G11C 11/407

G11C 11/401

G11C 11/4096

G11C 11/41