

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月23日(23.03.2017)



(10) 国際公開番号

WO 2017/047398 A1

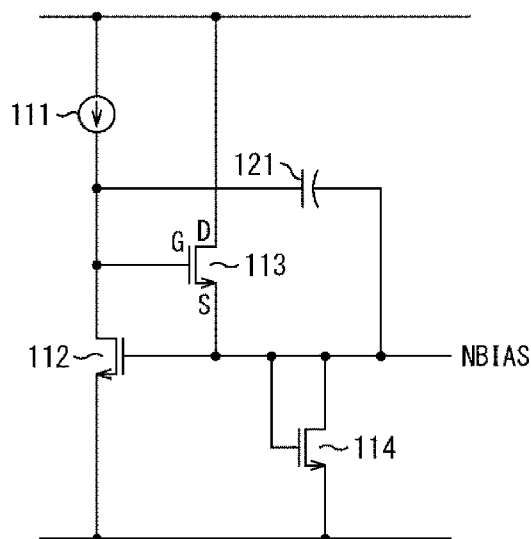
- (51) 国際特許分類:
H03F 3/343 (2006.01) H04N 101/00 (2006.01)
H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2016/075749
- (22) 国際出願日: 2016年9月2日(02.09.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-181820 2015年9月15日(15.09.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 源代 裕治 (GENDAI Yuji); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: CURRENT MIRROR CIRCUIT AND IMAGE SENSOR

(54) 発明の名称: カレントミラー回路、およびイメージセンサ

FIG. 4



(57) Abstract: The present disclosure is related to a current mirror circuit and an image sensor, with which noise in a high region that could occur in an output of a source follower (SF) driven current mirror circuit can be suppressed. The current mirror circuit of one aspect of the present disclosure has a capacity within a feedback loop in a current mirror circuit with a SF (source follower) drive stage configuration. The present disclosure can be utilized in a CMOS image sensor.

(57) 要約: 本開示は、SF駆動されるカレントミラー回路の出力に生じ得る高域におけるノイズを抑止することができるようにするカレントミラー回路、およびイメージセンサに関する。本開示の第1の側面であるカレントミラー回路は、駆動段をSF（ソースフォロア）構成とするカレントミラー回路において、フィードバックループ内に容量を備える。本開示は、CMOSイメージセンサに適用できる。

WO 2017/047398 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： カレントミラー回路、およびイメージセンサ

技術分野

[0001] 本開示は、カレントミラー回路、およびイメージセンサに関し、特に、例えば、SF（ソースフォロア）駆動としたカレントミラー回路の出力に生じ得る高周波帯域のノイズを抑止できるようにしたカレントミラー回路、およびイメージセンサに関する。

背景技術

[0002] 電気回路内において電流源からの電流を分配するためにカレントミラー回路を設ける方法が知られている。

[0003] 図1は、カレントミラー回路の基本構成の一例を示している。同図Aに示されるように、カレントミラー回路は、駆動段電流を出力する電流源101と、ミラー元となる駆動段に設けられるTr（トランジスタ）、例えば、FET（電界効果トランジスタ）102と、ミラー先となる負荷段に設けられるTr103から構成される。

[0004] 電流源101は、2つの端子の一方が電源Vddに接続され、他方がTr102のドレイン（D）に接続されており、所定の駆動電流*i*を後段に出力する。Tr102は、そのゲート（G）が自身のドレインに接続され、ソース（S）が接地されている。すなわち、Tr102は、電流源101に対してダイオード接続されている。Tr103は、ゲートがTr102のゲートに接続され、ソースが接地されている。

[0005] このカレントミラー回路においては、ダイオード駆動（以下、Di駆動とも称する）されるTr102に流される駆動電流*i*に比例する負荷電流がTr103に複写される。ここで、同図Aに示されるように、Di駆動されるTr102と負荷段のTr103のサイズが同一であれば、負荷電流は駆動段電流*i*と同一となる。

[0006] また、同図Bに示されるように、負荷段のTr103のサイズがダイオー

ド駆動の T_{r102} の n 倍であれば、負荷電流は駆動段電流 i の n 倍の $n i$ となる。このとき、駆動段電流 i には T_{r102} のゲートを介して所定のキックバック量（例えば、0.1%）のキックバック電流 $n \times 0.001 \times i$ が一斉に生じることになる。なお、駆動段電流と負荷電流総和の比はミラー比と称される。

[0007] カレントミラー回路の有用性としては、負荷段のドレイン電位が変動しても、その電流が殆ど変化しないという特性を挙げることができ、これにより、負荷段に安定した電流源を容易に設けることができる。

[0008] ところで、カレントミラー回路を例えばCMOSイメージセンサ（以下、CISと称する）に適用する場合、各カラムに負荷段を設けることになるので、その数は膨大となる。現状、CISのカラム数は数千の単位である。例えば、カラム数を2000とし、図1に示されたカレントミラー回路の基本的な構成における $n=2000$ とした場合、キックバック電流は、 $2000 \times 0.001 \times i = 2 i$ となり、駆動段電流 i の2倍のキックバック電流 $2 i$ がゲート配線に流れようとする。しかしながら、駆動段の電流源101は駆動段電流 i しか流せないで、実際にはゲート電圧が大幅に低下し、負荷電流が一瞬消滅するような現象が発生してしまうことになる。

[0009] このような現象を発生させないためには、ミラー比を小さくしたり、ミラー比の上限を上げたりする方法が考えられる。

[0010] ミラー比を小さくする方法としては、駆動段の T_r 数を増やし、そこに流す駆動段電流 i もそれに応じて増やす方法が知られている。例えばミラー比の上限が30倍であるとすれば、負荷段の2000個の T_r を駆動するためには、 $2000/30$ 以上の例えば67個の T_r を駆動段に設ければよい。

[0011] ミラー比の上限を上げる方法としては、カレントミラー回路をソースフォロア駆動（以下、SF駆動とも称する）とする方法が知られている。

[0012] 図2は、SF駆動されるカレントミラー回路の基本構成の一例を示している（例えば、特許文献1参照）。

[0013] 図2に示されるカレントミラー回路は、電流源111、並びに、 T_{r11}

2, 113および114から構成される。

[0014] 電流源111は、2つの端子の一方が電源Vddに接続され、他方がTr112のドレインに接続されており、所定の駆動電流*i*を後段に出力する。Tr112は、ソースが接地されており、ゲートがゲート線NBIASに接続されている。

[0015] Tr113は、ドレインが電源Vddに接続され、ゲートがTr112のドレインに接続され、ソースがゲート線NBIASに接続されている。

[0016] Tr114は、ソースが接地され、ドレインおよびゲートがゲート線NBIASに接続されている。すなわち、Tr114は、ゲート線NBIASに対してダイオード接続されている。なお、ダイオード接続されているTr114の代わりに、抵抗を用いる場合もある。

[0017] このカレントミラー回路において、Tr114は、Tr113の負荷に応じて電流源として機能する。したがって、Tr113は、SF構成になっているので、このカレントミラー回路は、SF駆動とされている。

[0018] カレントミラー回路をSF駆動とした場合、出力インピーダンスを大幅に下げることができるので、Di駆動とした場合に比較して電流を減らすことができる。これにより、例えば、キックバック量が駆動電流の10%であったとしても、負荷側の電流変動を1%以下に容易に抑えることができる。

[0019] ただし、SF電流が無くなる程のキックバックがあると駆動能力が大幅に低下するため、特性が急激に悪化するので、最大キックバック電流の2倍以上のSF電流を流しておくことが望ましい。このようにしても、駆動段電流をDi駆動の場合に比較して半減することができる。

[0020] また、カレントミラー回路におけるSF駆動は、ミラー電流のバラツキを抑止できる観点から、CISにカレントミラー回路を適用する場合においてもSF駆動とすることが望ましい。例えば、CISでは、カラム毎の動作状態は撮像される画像の明るさによって変化する。このため、画像の明るい部分と暗い部分の比率に応じてデータ電位が変調を受ける現象があって画像劣化が生じてしまうが、SF駆動のカレントミラー回路を適用することにより、この画

質劣化を抑止できる。

先行技術文献

特許文献

[0021] 特許文献1：特開平03－159410号公報

発明の概要

発明が解決しようとする課題

[0022] 上述したように、CISにSF駆動のカレントミラー回路を適用するメリットは大きいですが、反面、横引きノイズが増大し得るというデメリットも存在する。これは、カレントミラー回路の駆動段のインピーダンス低下に伴い、出力帯域も伸びてしまうことに起因する。これにより、Di駆動のカレントミラー回路では抑えられていた高域ノイズ成分が見えてきてしまうことになる。

[0023] さらに実回路では多くの場合、図3に示されるように、高域にノイズのピーキングが発生する。これは、SF駆動のTrが2次ポールを作り、位相余裕を減じてしまうことに起因する。

[0024] 本開示はこのような状況に鑑みてなされたものであり、SF駆動されるカレントミラー回路の出力に生じ得る高域におけるノイズを抑止できるようにするものである。

課題を解決するための手段

[0025] 本開示の第1の側面であるカレントミラー回路は、駆動段をSF（ソースフォロア）構成とするカレントミラー回路において、フィードバックループ内に容量を備える。

[0026] 前記容量は、その一端がSF駆動トランジスタのゲートに接続されているようにすることができる。

[0027] 前記容量は、その他端が前記SF駆動トランジスタのソースに接続されているようにすることができる。

[0028] 前記容量は、その他端がGNDまたは電源に接続されているようにすることができる。

[0029] 前記容量の他端が前記S F駆動トランジスタのドレインに接続されているようにすることができ、本開示の第1の側面であるカレントミラー回路は、前記S F駆動トランジスタの前記ドレインと電源の間に接続された抵抗をさらに備えることができる。

[0030] 本開示の第2の側面であるイメージセンサは、カレントミラー回路が搭載されたイメージセンサにおいて、前記カレントミラー回路は、駆動段をS F（ソースフォロア）構成とし、フィールドバックループ内に容量を備える。

発明の効果

[0031] 本開示の第1および第2の側面によれば、高域におけるノイズを抑止することができる。

図面の簡単な説明

- [0032] [図1]Di駆動のカレントミラー回路の基本構成の一例を示す回路図である。
- [図2]SF駆動のカレントミラー回路の基本構成の一例を示す回路図である。
- [図3]図2に示されたカレントミラー回路に対応するノイズの周波数特性を示す図である。
- [図4]本開示を適用したSF駆動のカレントミラー回路の第1の構成例を示す回路図である。
- [図5]図4に示された第1の構成例に対応するノイズの周波数特性を示す図である。
- [図6]図4に示された第1の構成例に対応する出力インピーダンスの周波数特性を示す図である。
- [図7]本開示を適用したSF駆動のカレントミラー回路の第2の構成例を示す回路図である。
- [図8]図7に示された第2の構成例の双対（変形例）を示す回路図である。
- [図9]本開示を適用したSF駆動のカレントミラー回路の第3の構成例を示す回路図である。
- [図10]図9に示された第3の構成例に対応するノイズの周波数特性を示す図である。

[図11]本開示を適用したデジタルカメラの構成例を示すブロック図である。

[図12]図 1 1 のイメージセンサの構成例を示すブロック図である。

[図13]図 1 1 のイメージセンサを積層構造とした場合の構成例を示す斜視図である。

[図14]図 1 2 の画素アレイ部および行処理部の構成例を示すブロック図である。

[図15]図 1 4 の画素ユニットの構成例を示す回路図である。

[図16]画素ユニットからの電荷読み出し時における制御信号とVSLレベル変化を示す図である。

[図17]図 1 4 の負荷MOS回路の構成例を示す回路図である。

[図18]負荷MOS回路におけるカレントミラー回路の変形例を示す回路図である。

発明を実施するための形態

[0033] 以下、本開示を実施するための最良の形態（以下、実施の形態と称する）について、図面を参照しながら詳細に説明する。

[0034] <本開示を適用したS F 駆動のカレントミラー回路の第 1 乃至第 4 の構成例>

本開示を適用した駆動段をS F 構成とした（S F 駆動の）カレントミラー回路は、S F に帯域補償をかけてノイズ帯域を下げるものである。具体的には、図 2 に示されたS F 駆動のカレントミラー回路の基本構成に対して、そのフィードバックループ内に容量を追加することにより実現される。

[0035] 図 4 は、本開示を適用したS F 駆動のカレントミラー回路の第 1 の構成例を示している。なお、該第 1 の構成例における構成要素のうち、図 2 のカレントミラー回路の構成要素と共通のものには同一の符号を付している所以その説明は省略する。後述する第 2 乃至第 4 の構成例についても同様とする。

[0036] 該第 1 の構成例は、図 2 のカレントミラー回路におけるS F 構成のT r 1 1 3のゲート（G）とソース（S）の間に容量1 2 1を追加したものである

。

[0037] 図5は、図4に示された第1の構成例に対応するノイズの周波数特性を示している。同図に示されるように、容量121の大きさを大きくすることにより、高周波になるに従って、ノイズの周波数特性がD_i駆動の場合に近づくことがわかる。

[0038] 図6は、図4に示された第1の構成例に対応する出力インピーダンスの周波数特性を示している。同図に示されるように、容量121の大きさを大きくするほど、低域から出力インピーダンスの値が上昇することが分かり、高域では容量121の大きさに拘わらずD_i駆動の場合の出力インピーダンスと一致することがわかる。出力インピーダンスが上昇している帯域ではノイズ強調を抑えることができる。

[0039] したがって、カレントミラー回路の第1の構成例によれば、上述したS_F駆動のメリットを実現しつつ、高周波帯域でのノイズを抑止することができる。

[0040] 次に、図7は、本開示を適用したS_F駆動のカレントミラー回路の第2の構成例を示している。該第2の構成例は、図4の第1の構成例における容量121の一端をS_F構成のT_{r113}のゲートに、他端をGNDに接続したものであり、回路的には、高域になるに従って、S_F構成のT_{r113}を固定電源で駆動するようにしているとみなすことができる。該第2の構成例によっても、第1の構成例と同様の作用、効果を得ることができる。

[0041] 図8は、図7に示された、GND基準のカレントミラーである第2の構成例を、電源基準のカレントミラーに置き換えた場合の双対（変形例）を示している。なお、GND基準を電源基準に置き換えることによって構成される双対（変形例）は、どのカレントミラー構成においても可能である。図8の変形例は、第2の構成例における容量121の他端を電源V_{dd}に接続し、カレントミラー回路を構成する全てのT_{r112}, 112, 114をnMOSからpMOSに置換したものである。該変形例によっても、第1および第2の構成例と同様の作用、効果を得ることができる。

[0042] 図9は、本開示を適用したS F駆動のカレントミラー回路の第3の構成例を示している。該第3の構成例は、図2に示されたカレントミラー回路の基本構成に追加する容量121の実行的な容量値を増やすためにミラー接続を用いた構成例である。具体的には、Tr113のドレインと電源Vddの間に抵抗122を挿入し、容量121の他端を抵抗122に接続したものである。

[0043] 図10は、図9に示された第3の構成例に対応するノイズの周波数特性を示している。同図に示されるように、第3の構成例によれば、高域ではDi駆動の場合よりも優れた（ノイズが少ない）周波数特性を有することがわかる。

[0044] <本開示を適用したデジタルカメラの構成例>

図11は、本開示を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[0045] なお、このデジタルカメラは、静止画、および動画のいずれも撮像することができる。

[0046] このデジタルカメラは、光学系1、イメージセンサ2、メモリ3、信号処理部4、出力部5、および制御部6を有する。

[0047] 光学系1は、例えば、図示せぬズームレンズやフォーカスレンズ、絞り等を有し、外部からの光をイメージセンサ2に入射させる。

[0048] イメージセンサ2は、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサであり、画像を撮影する。すなわち、イメージセンサ2は、光学系1からの入射光を受光し、光電変換を行うことにより画像データを生成、出力する。

[0049] メモリ3は、イメージセンサ2が出力する画像データを一時記憶する。

[0050] 信号処理部4は、メモリ3に記憶された画像データを用いた信号処理、例えば、ノイズの除去や、ホワイトバランスの調整等の信号処理を行い、その信号処理済の画像データを出力部5に供給する。

[0051] 出力部5は、信号処理部4からの画像データを後段に出力する。

[0052] すなわち、出力部5は、例えば、液晶等で構成されるディスプレイ（不図

示)を有し、信号処理部4からの画像データに対応する画像を、いわゆるスルー画として表示する。

[0053] また、出力部5は、例えば、半導体メモリや、磁気ディスク、光ディスク等の記録媒体を駆動するドライバ（不図示）を有し、信号処理部4からの画像データを記録媒体に記録する。

[0054] 制御部6は、ユーザの操作等に従い、デジタルカメラを構成する各ブロックを制御する。

[0055] 以上のように構成されるデジタルカメラでは、イメージセンサ2が、光学系1からの入射光を受光し、その入射光に応じた画像データを出力する。

[0056] イメージセンサ2が出力する画像データは、メモリ3に供給されて記憶される。メモリ3に記憶された画像データについては、信号処理部4による信号処理が施され、その結果得られる画像データが、出力部5に供給されて出力される。

[0057] <イメージセンサ2の構成例>

[0058] 次に、図12は、図11に示されたデジタルカメラに搭載されているイメージセンサ2の構成例を示している。

[0059] イメージセンサ2は、画素アクセス部11、カラムI/F(Interface)部12、信号処理部13、およびタイミング制御部14を有する。

[0060] 画素アクセス部11は、光電変換を行う画素を内蔵し、その画素にアクセスして、画像データとなる画素値を取得して出力する。

[0061] すなわち、画素アクセス部11は、画素アレイ部21、垂直走査制御部22、行処理部23、および水平転送制御部24を有する。

[0062] 画素アレイ部21は、光電変換によって電気信号を出力する複数の画素が2次元に規則的に配列されて構成される。

[0063] 画素アレイ部21は、垂直走査制御部22の制御にしたがって、画素アレイ部21を構成する画素から、例えば、1行（1水平ライン）単位で、電気信号を読み出し、行処理部23に供給する。

[0064] 垂直走査制御部22は、画素アレイ部21の画素から電気信号の読み出す

ためのアクセス制御を行う。

[0065] 行処理部 2 3 は、画素アレイ部 2 1 から供給される電気信号（電圧）の A/D 変換等の処理を、例えば、1 行単位で行い、その結果得られるデジタル信号を、画素値としてカラム I/F 部 1 2 に供給する。

[0066] 水平転送制御部 2 4 は、行処理部 2 3 がカラム I/F 部 1 2 に対して画素値を供給（出力）するための制御である列制御を行う。

[0067] カラム I/F 部 1 2 は、画素アクセス部 1 1（の行処理部 2 3）からの画素値を一時記憶することで、その画素値を受け取るインタフェースとして機能する。

[0068] 信号処理部 1 3 は、画素アクセス部 1 1 から読み出され、カラム I/F 部 1 2 に記憶された画素値に対して、所定の信号処理を行って、イメージセンサ 2 の後段であるメモリ 3 に出力する。

[0069] タイミング制御部 1 4 は、イメージセンサ 2 を構成する各ブロックの動作のタイミングを制御するタイミング信号を生成して必要なブロックに供給する。

[0070] なお、イメージセンサ 2 は、1 つの基板（ダイ）で構成することもできるし、上下に積層される複数の基板で構成することもできる。

[0071] 次に、図 1 3 は、イメージセンサ 2 を、上下に積層される 2 つの基板により構成する場合の、その 2 つの基板の概要の構成例を示す斜視図である。

[0072] 図 1 3 の構成例では、上下に積層される 2 つの基板のうちの上側に積層される上基板 3 1 には、画素アレイ部 2 1、および垂直走査制御部 2 2 が形成されている。

[0073] また、2 つの基板のうちの下側に積層される下基板 3 2 には、カラム I/F 部 1 2、信号処理部 1 3、タイミング制御部 1 4、行処理部 2 3、および水平転送制御部 2 4 が形成されている。

[0074] イメージセンサ 2 は、上述した上基板 3 1 と下基板 3 2 とを積層することにより、1 チップの積層型イメージセンサとして構成することができる。

[0075] <画素アレイ部 2 1、および行処理部 2 3 の構成例>

[0076] 次に、図14は、図12に示されたイメージセンサ2における画素アレイ部21、および行処理部23の構成例を示している。

[0077] 画素アレイ部21は、2個以上の画素ユニット41が2次元に規則的に、すなわち、例えば、行列状等に配列されて構成される。

[0078] 画素ユニット41は、光電変換によって電気信号を出力する画素等から構成されるが、詳細については、後述する。

[0079] 画素アレイ部21では、画素ユニット41の1列に対して、1本のVSL(Vertical Signal Line)(垂直信号線)42が、列方向(上下方向)に配線されている。

[0080] 各列のVSL42は、その列の各行の画素ユニット41に接続されるとともに、行処理部23に接続されており、画素ユニット41から読み出された電気信号は、VSL42を介して、行処理部23に供給(転送)される。

[0081] また、画素アレイ部21では、画素ユニット41の各行に対して、行信号線43が、行方向(左右方向)に配線されており、垂直走査制御部22、および、画素ユニット41に接続されている。

[0082] 垂直走査制御部22は、行信号線43を駆動することにより、すなわち、行信号線43を介して制御信号を出力することにより、その行信号線43に接続されている画素ユニット41を制御する。垂直走査制御部22による画素ユニット41の制御により、画素ユニット41から、1行単位で、画素値となる電気信号がVSL42上に読み出される。

[0083] 行処理部23は、DAC(Digital Analog Converter)51、画素アレイ部21を構成する画素ユニット41の列数(VSL42の本数) X と同一の数 X のADC(AD Converter)52、および負荷MOS回路53を有する。

[0084] DAC51は、DA変換を行うことにより、例えば、ランプ(ramp)信号のような一定の傾きで、所定の初期値から所定の最終値までレベルが変化する期間を有するアナログの参照信号を生成してADC52に供給する。

[0085] X 個のADC52のうちの x 番目($x=1, 2, \dots, X$)のADC52は、 x 列目のVSL42に接続されており、 x 番目のADC52には、 x 列目の各行の画素ユ

ニット4 1から読み出された電気信号が、 x 列目のVSL 4 2を介して順次供給される。

[0086] ADC 5 2は、画素ユニット4 1からVSL 4 2を介して供給される電気信号と、DAC 5 1から供給される参照信号とを比較し、それらの電気信号と参照信号とのレベルが一致するまでの、参照信号のレベルの変化に要する時間をカウントすることで、画素ユニット4 1からの電気信号のA/D変換等を行う。

[0087] そして、ADC 5 2は、水平転送制御部2 4の制御に従い、A/D変換等の結果得られるデジタル信号である画素値をカラムI/F部1 2に出力する。

[0088] なお、ADC 5 2としては、画素ユニット4 1の列数 X よりも少ない数である、例えば、 $X/2$ 個のADCを設けることができる。この場合、 x 番目のADC 5 2には、 $2x-1$ 列目の画素ユニット4 1が、 $2x-1$ 列目のVSL 4 2を介して接続されるととともに、 $2x$ 列目の画素ユニット4 1が、 $2x$ 列目のVSL 4 2を介して接続される。

[0089] そして、 x 番目のADC 5 2は、奇数列である $2x-1$ 列目の画素ユニット4 1と、偶数列である $2x$ 列目の画素ユニット4 1とについて、電気信号のA/D変換等を担当する。したがって、ADC 5 2として、 $X/2$ 個のADCを設けた場合には、1行の画素ユニット4 1のA/D変換は、奇数列の画素ユニット4 1と、偶数列の画素ユニット4 1とに分けて、時分割で行われる。

[0090] なお、ADC 5 2の数は、上述した例とは逆に、画素ユニット4 1の列数 X よりも多い数である、例えば、 $2X$ 個のADCを設けることもできる。この場合、1本のVSL 4 2を2つのADC 5 2で受け持つことになる。用途としては、例えば少しだけ時間をずらしてA/D変換することでノイズを低減することに利用することができる。すなわち、VSL 4 2に載っているランダム雑音成分を、時間をずらしてA/D変換することにより、低相間になり、2つのADC結果を平均することでノイズ低減を実現できる。

[0091] また、ADC 5 2にはその内部に複数の電流源を有する。その中には、次に説明する負荷MOS回路5 3と同様に、ミラー比が大きなカレントミラー回路を構成しているものがある。

[0092] 負荷MOS回路53は、例えば、画素アレイ部21を構成する画素ユニット41の列数(VSL42の本数)Xと同一の数であるX個の電流源Iとして機能する。電流源Iは、一端が接地され、他端がVSL42に接続されており、GND側に向かって一定電流を流す。電流源Iは、画素ユニット41の後述する増幅TrとしてのSF構成のTr66(図15)の負荷となる電流源である。なお、負荷MOS回路53は、カレントミラー回路71(図15)を含んで構成されるが、その詳細については、後述する。

[0093] 画素アレイ部21、および行処理部23が、以上のように構成される画素アクセス部11では、例えば、1行目の各列の画素ユニット41から電気信号が読み出される。

[0094] 画素ユニット41から読み出された電気信号に対応する電圧は、VSL42を介して、行処理部23に供給され、AD変換等される。以下、2行目以降の画素ユニット41についても、1行単位で、同様の処理が行われる。

[0095] <画素ユニット41の構成例>

次に、図15は、画素ユニット41の構成例を示している。

[0096] 画素ユニット41は、画素60と読み出し部63から成る。画素60は、PD(フォトダイオード)61とnMOSのTr62とを有し、光電変換によって電気信号を出力する。読み出し部63は、3個のnMOSのトランジスタTr64, 65、および66を有する。

[0097] PD61は、光電変換素子の一例であり、入射光を受光して、その入射光に対応する電荷を蓄積することによって光電変換を行う。PD61は、そのアノードがGNDに接続され(接地され)、そのカソードがTr62のソースに接続されている。Tr62は、PD61に蓄積された電荷を、PD61から読み出し部63内のFD(フローティングデュフージョン)に転送するためのトランジスタである。以下、Tr62を転送Tr62とも称する。

[0098] FDは、Tr64のソースとTr65のゲートとの接続点に形成された領域であり、FDにおいては、そこに供給された電荷がコンデンサの如く電圧に変換される。

[0099] 転送Tr62のソースは、PD61のカソードに接続され、転送Tr62のドレインは、FDを介して、Tr65のゲートに接続されている。

[0100] Tr64は、FDに蓄積された電荷（電圧（電位））をリセットするためのトランジスタである。以下、Tr64をリセットTr64とも称する。リセットTr64のドレインは、電源Vddに接続され、ソースは、FDに接続されている。

[0101] Tr65は、FDの電圧をバッファするためのトランジスタである。以下、Tr65を増幅Tr65とも称する。増幅Tr65のゲートは、FDに接続され、増幅Tr65のドレインは、電源Vddに接続されている。また、増幅Tr65のソースは、Tr66のドレインに接続されている。

[0102] Tr66は、VSL42への電気信号（電圧）の出力を選択するためのトランジスタである。以下、Tr66を選択Tr66とも称する。選択Tr66のソースは、VSL42に接続されている。

[0103] 選択Tr66は、増幅Tr65の出力を1行ずつ、順次、VSL42に接続する。選択された行の増幅Tr65は、選択Tr66を介して負荷MOS回路53に接続され、SF動作を行う。なお、増幅Tr65と選択Tr66とは、それぞれの位置を入れ替えることができる。

[0104] 転送Tr62、リセットTr64、選択Tr66の各ゲートは、垂直走査制御部22から延びる異なる行信号線43にそれぞれ接続されており、転送Tr62のゲートには転送パルスTRGが、リセットTr64のゲートにはリセットパルスRSTが、選択Tr66のゲートには選択パルスSELが、それぞれ供給される。

[0105] 以上のように構成される画素ユニット41では、PD61が、そこに入射する光を受光し、光電変換を行うことにより、受光した入射光の光量に応じた電荷の蓄積を開始する。

[0106] 次に、図16は、PD61での電荷の蓄積が開始されてから所定の時間（露光時間）が経過した後における、画素ユニット41からの電荷読み出し時における制御信号とVSLレベル変化を示している。

- [0107] 行読出し時のはじめに、垂直走査制御部22が制御信号としての選択パルスSELをハイレベルとすると、選択Tr66がオン状態になって、増幅Tr65がFDレベルをVSL42に出力し始める。
- [0108] 次に垂直走査制御部22が制御信号としてのリセットパルスRSTを、一時的にハイレベルにすると、リセットTr64が一時的にオン状態になる。リセットTr64がオン状態になることにより、FDがリセットTr64を介して電源Vddに接続されるので、FDに蓄積されている電荷は、リセットTr64を介して電源Vddに掃き出される。
- [0109] そして、この状態のVSLレベルが、ADC52内にリセットレベルとして記録される。なお、リセットレベルの記録方式としては、アナログ的な電位でもよいし、AD変換したデジタル値でもよい。
- [0110] 続いて、垂直走査制御部22が制御信号としての転送パルスTRGをローレベルからハイレベルにすると、転送パルスTRGがハイレベルである間、転送Tr62がオン状態となり、PD61に蓄積された電荷が、転送Tr62を介してリセット後のFDに転送される。
- [0111] PD61に蓄積された電荷が転送されるために十分な時間が経過した後、垂直走査制御部22が転送パルスTRGをローレベルにすると、転送Tr62がオフ状態となる。なお、転送Tr62がオン状態とされている時間幅(転送パルスTRGがハイレベルである時間幅)は、予め決めておくことができる。
- [0112] 画素ユニット41の後段のADC52では、転送Tr62がオフ状態とされた後のVSLレベル(PD61に蓄積され、FDに転送された電荷に対応する電圧。画素信号レベル)と、記録されているリセットレベルとの差がAD変換される。この処理はCDS処理(相関2重サンプリング処理)と称されている。
- [0113] そして、CDS処理の結果得られたデジタル値は、画素値としてADC52からカラムI/F部12に出力される。
- [0114] なお、図5に示す画素ユニット41の構成例では、1個の画素60に対して1個の読み出し部63が設けられているが、画素ユニットに複数の画素と1個の読み出し部を形成するようにし、複数の画素が読み出し部を共有する

構成とすることもできる。この場合、複数の画素の転送 $Tr62$ を所定の順序で1画素ずつオン状態にすることで、複数の画素から、時分割で電気信号を読み出すことができる。

[0115] <負荷MOS回路53の構成例>

次に、図17は、負荷MOS回路53の構成例を示している。

[0116] 負荷MOS回路53は、カレントミラー回路71、カスコード $Tr72$ 、および電流源 $Tr73$ を有する。

[0117] カレントミラー回路71は、上述の本開示を適用したSF駆動のカレントミラー回路の第1の構成例(図4)を適用し、 $Tr131$ を追加したものである。

[0118] $Tr131$ は、電流源 $Tr73$ のドレイン・ソース間の電圧を駆動段と負荷段で揃える役割を担う。なお、 $Tr131$ は省略してもよい。

[0119] カレントミラー回路71からカスコード $Tr72$ のゲートに対して供給される電流の電位VCASは、カレントミラー回路71から電流源 $Tr73$ のゲートに対して供給される電流の電位VGGよりも、電流源 $Tr73$ の飽和電圧分(例えば0.4V程度)だけ高い必要がある。この差は、カレントミラー回路71を構成する Tr のサイズや基準電流を調整することで得る。

[0120] なお、カレントミラー回路71には、上述の本開示を適用したSF駆動のカレントミラー回路の第2乃至第4の構成例を適用できる他、容量121の接続位置を変えた様々な変形が可能である。

[0121] また、カスコード $Tr72$ のゲートに対する電位VCASの供給にはSF駆動を用い、電流源 $Tr73$ のゲートに対する電位VGGの供給にDi駆動を用いるような変形も可能である。勿論、この逆も変形も可能である。

[0122] さらに、テストモード機能用のスイッチ Tr (不図示)を設け、色々な接続を試せるようにする変形も考えられる。

[0123] 図18は、電流源111を1本としたカレントミラー回路71の変形例を示している。

[0124] この変形例では、電流源111が1本に変更され、追加された抵抗122

によって電位VCASと電位VGGの差を生じするようになされている。また、電位VCASを供給する系の容量121が T_{r113_2} のゲートとGNDの間に接続されている。この変形例の場合、電流源111の数が半分になるので、その分の低電力化が可能である。

[0125] <まとめ>

以上に説明したように、上述の本開示を適用したSF駆動のカレントミラー回路はSF駆動であるが故の高域でのノイズ増を抑えることができる。よって、これをデジタルカメラのイメージセンサ2に適用すれば、イメージセンサ2でも、出力インピーダンスが低いというSF駆動の利点を生かすことができる。

[0126] なお、一部のCISでは、ゲート線にのるノイズを低減するため、ゲート線を外部に出して、大容量のコンデンサを繋ぐようなことが行われており、本開示は、そのような回路に適用することも可能であるが、むしろ外部容量が不要になるような実装に使う可能性も有望である。

[0127] なお、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0128] 本開示は以下のような構成も取ることができる。

(1)

駆動段をSF（ソースフォロア）構成とするカレントミラー回路において、

フィールドバックループ内に容量を備える
カレントミラー回路。

(2)

前記容量は、その一端がSF駆動トランジスタのゲートに接続されている
前記(1)に記載のカレントミラー回路。

(3)

前記容量は、その他端が前記SF駆動トランジスタのソースに接続されている

前記（１）または（２）に記載のカレントミラー回路。

（４）

前記容量は、その他端がGNDまたは電源に接続されている

前記（１）または（２）に記載のカレントミラー回路。

（５）

前記容量は、その他端が前記S F 駆動トランジスタのドレインに接続されており、

前記S F 駆動トランジスタの前記ドレインと電源の間に接続された抵抗をさらに備える

前記（１）または（２）に記載のカレントミラー回路。

（６）

カレントミラー回路が搭載されたイメージセンサにおいて、

前記カレントミラー回路は、

駆動段をS F（ソースフォロア）構成とし、

フィールドバックループ内に容量を備える

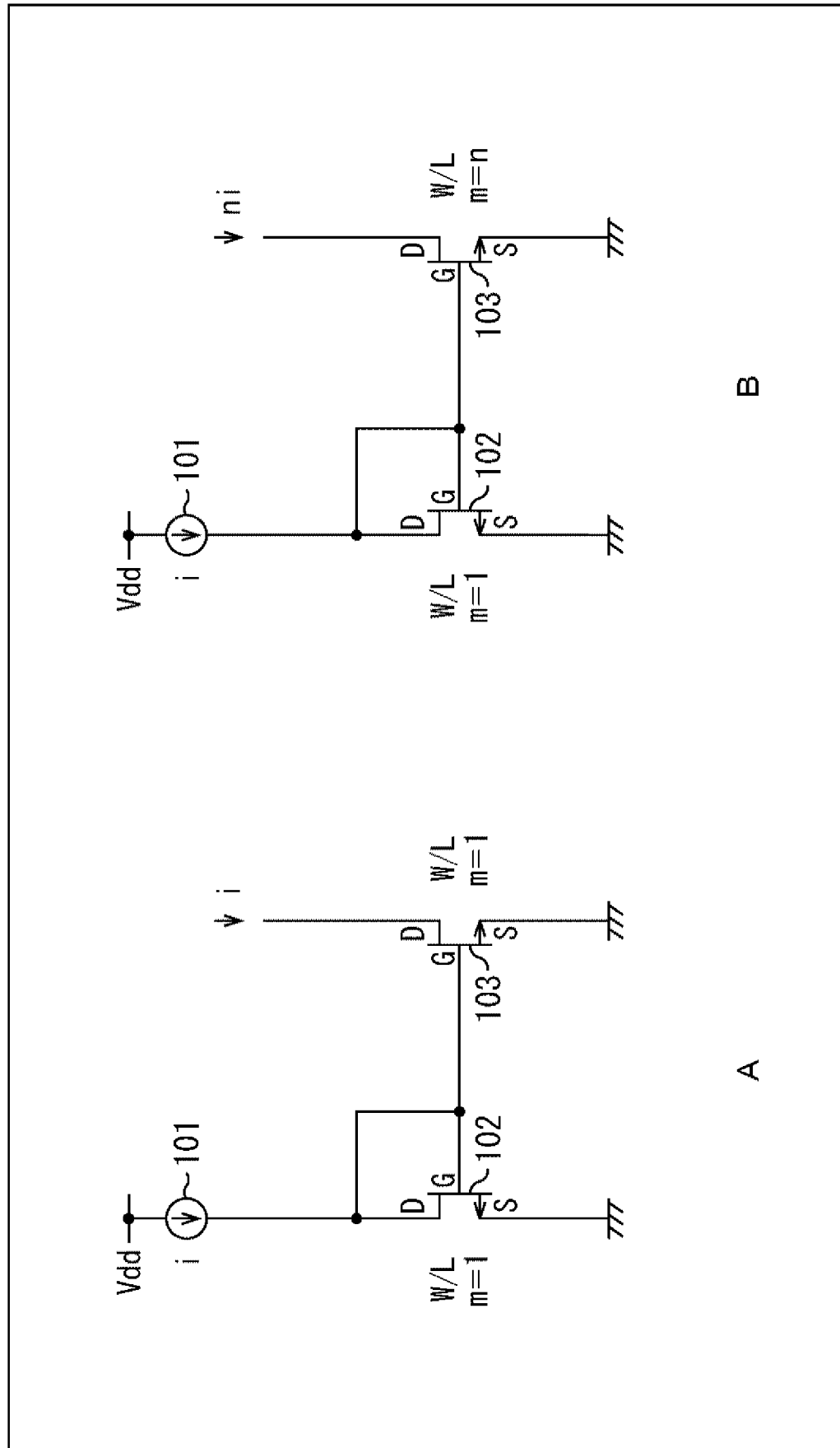
イメージセンサ。

符号の説明

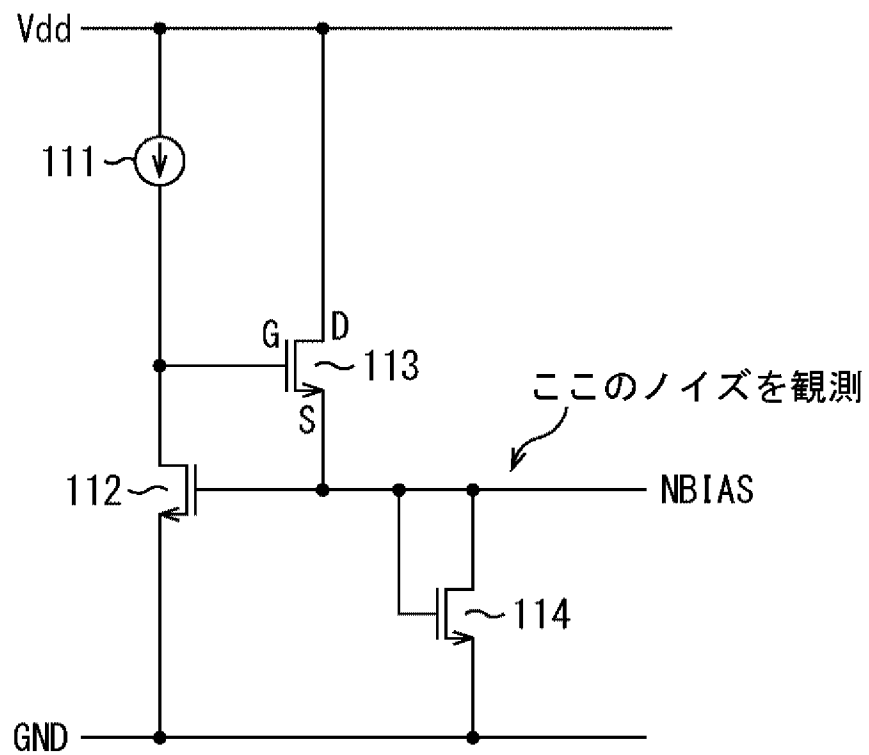
[0129] 1 光学系, 2 イメージセンサ, 3 メモリ, 4 信号処理部,
5 出力部, 6 制御部, 11 画素アクセス部, 12 カラムI/F
部, 13 信号処理部, 14 タイミング制御部, 21 画素アレイ
部, 22 垂直走査制御部, 23 行処理部, 24 水平転送制御部
, 31 上基板, 32 下基板, 41 画素ユニット, 42 VSL（
垂直信号線）, 43 行信号線, 51 DAC, 52 ADC, 53 負
荷MOS回路, 60 画素, 63 読み出し部, 71 カレントミラー回
路, 72 カスコードT_r, 73 電流源T_r, 111 電流源,
112乃至114, T_r, 121 容量, 122 抵抗, 130
バイアスアンプ, 131 T_r

請求の範囲

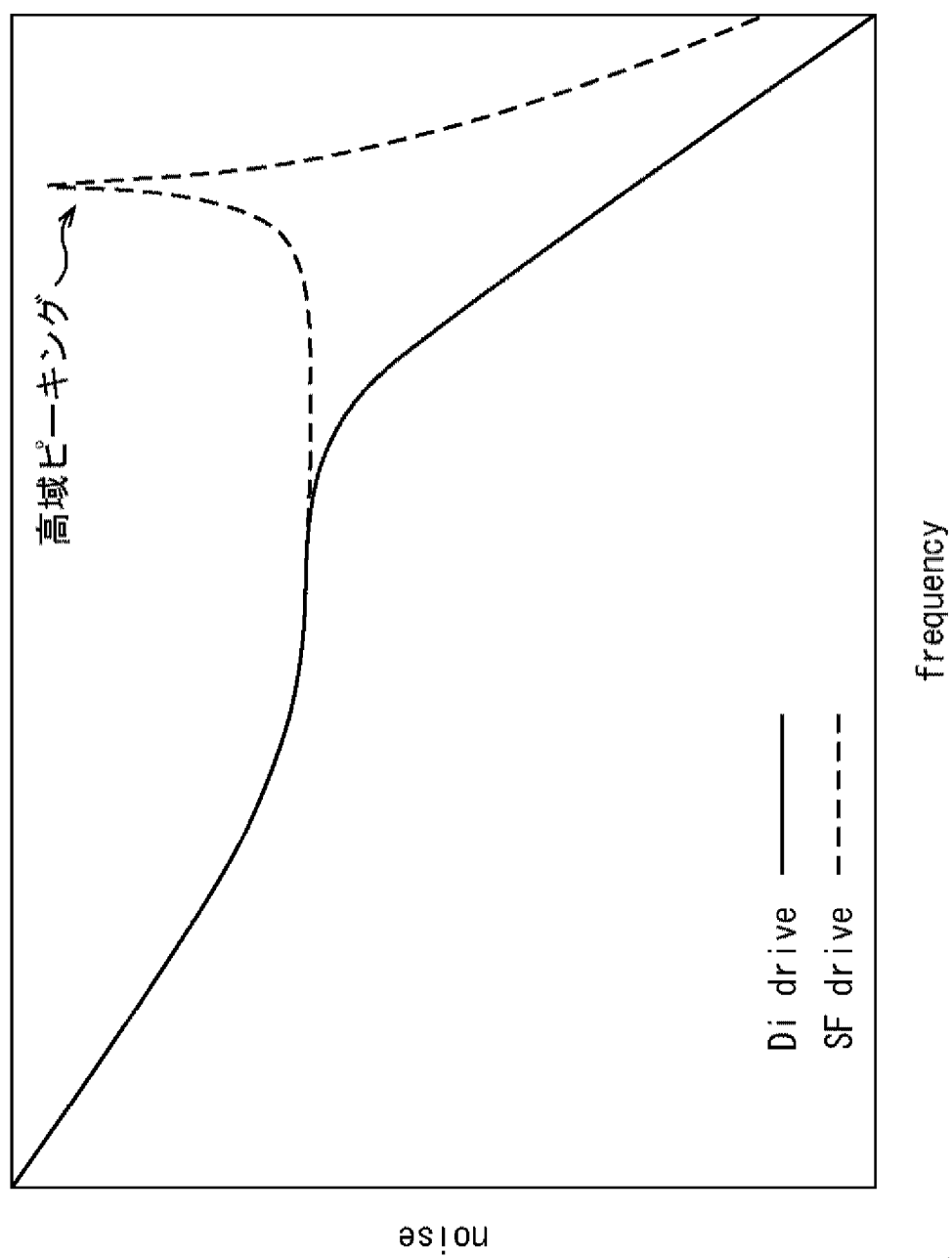
- [請求項1] 駆動段をS F（ソースフォロア）構成とするカレントミラー回路において、
フィールドバックループ内に容量を備える
カレントミラー回路。
- [請求項2] 前記容量は、その一端がS F 駆動トランジスタのゲートに接続されている
請求項1 に記載のカレントミラー回路。
- [請求項3] 前記容量は、その他端が前記S F 駆動トランジスタのソースに接続されている
請求項2 に記載のカレントミラー回路。
- [請求項4] 前記容量は、その他端がGNDまたは電源に接続されている
請求項2 に記載のカレントミラー回路。
- [請求項5] 前記容量は、その他端が前記S F 駆動トランジスタのドレインに接続されており、
前記S F 駆動トランジスタの前記ドレインと電源の間に接続された抵抗をさらに備える
請求項2 に記載のカレントミラー回路。
- [請求項6] カレントミラー回路が搭載されたイメージセンサにおいて、
前記カレントミラー回路は、
駆動段をS F（ソースフォロア）構成とし、
フィールドバックループ内に容量を備える
イメージセンサ。

[図1]
FIG. 1

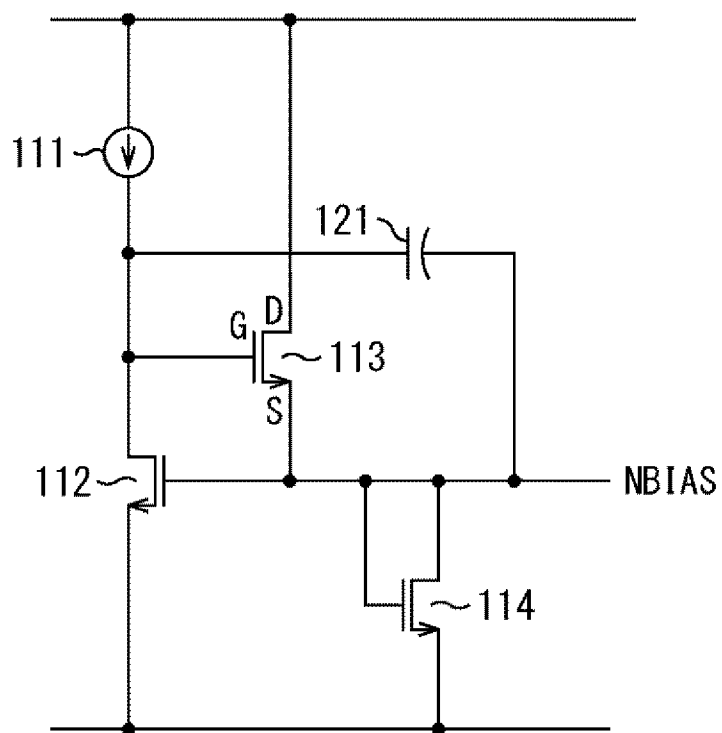
[図2]
FIG. 2



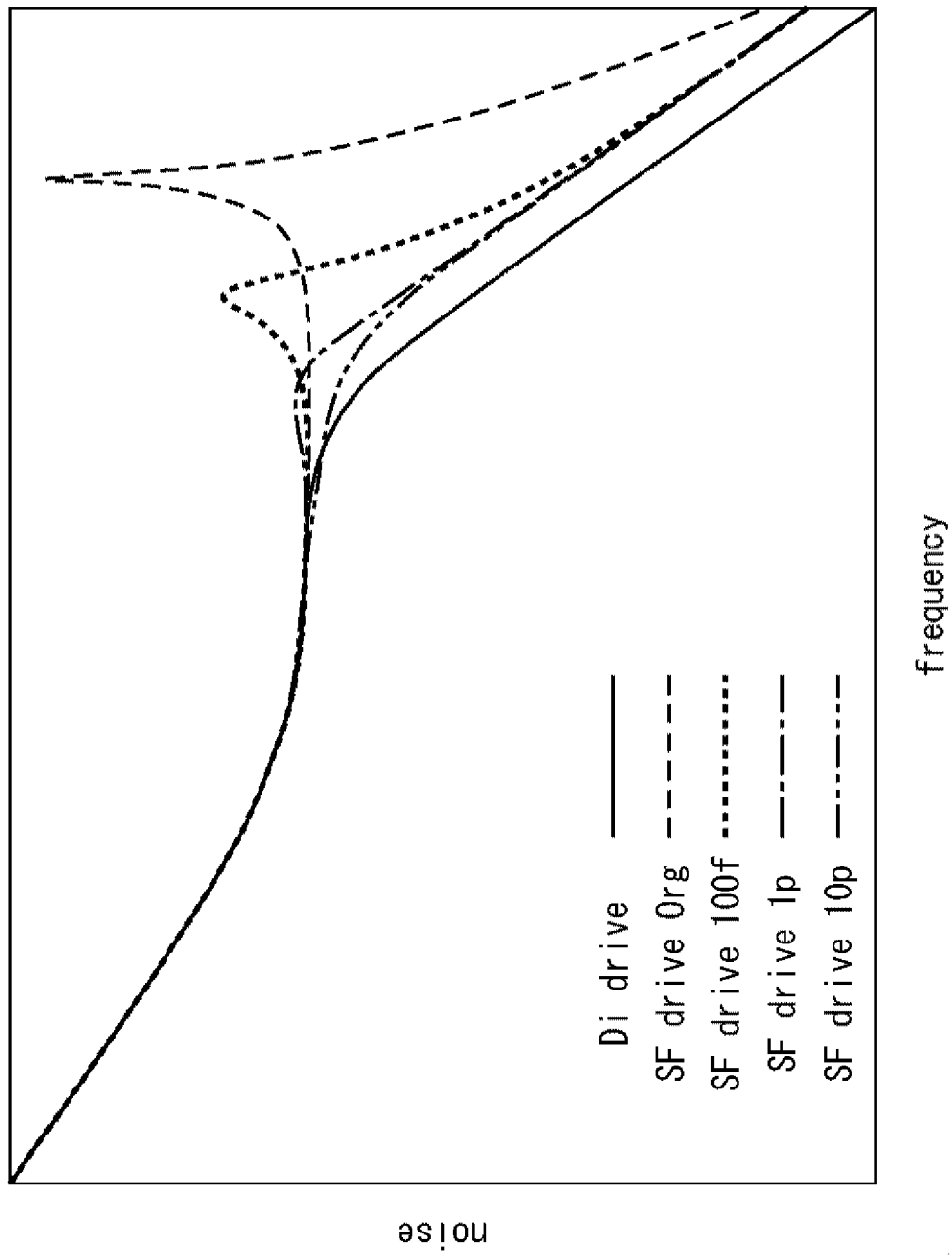
[図3]
FIG. 3



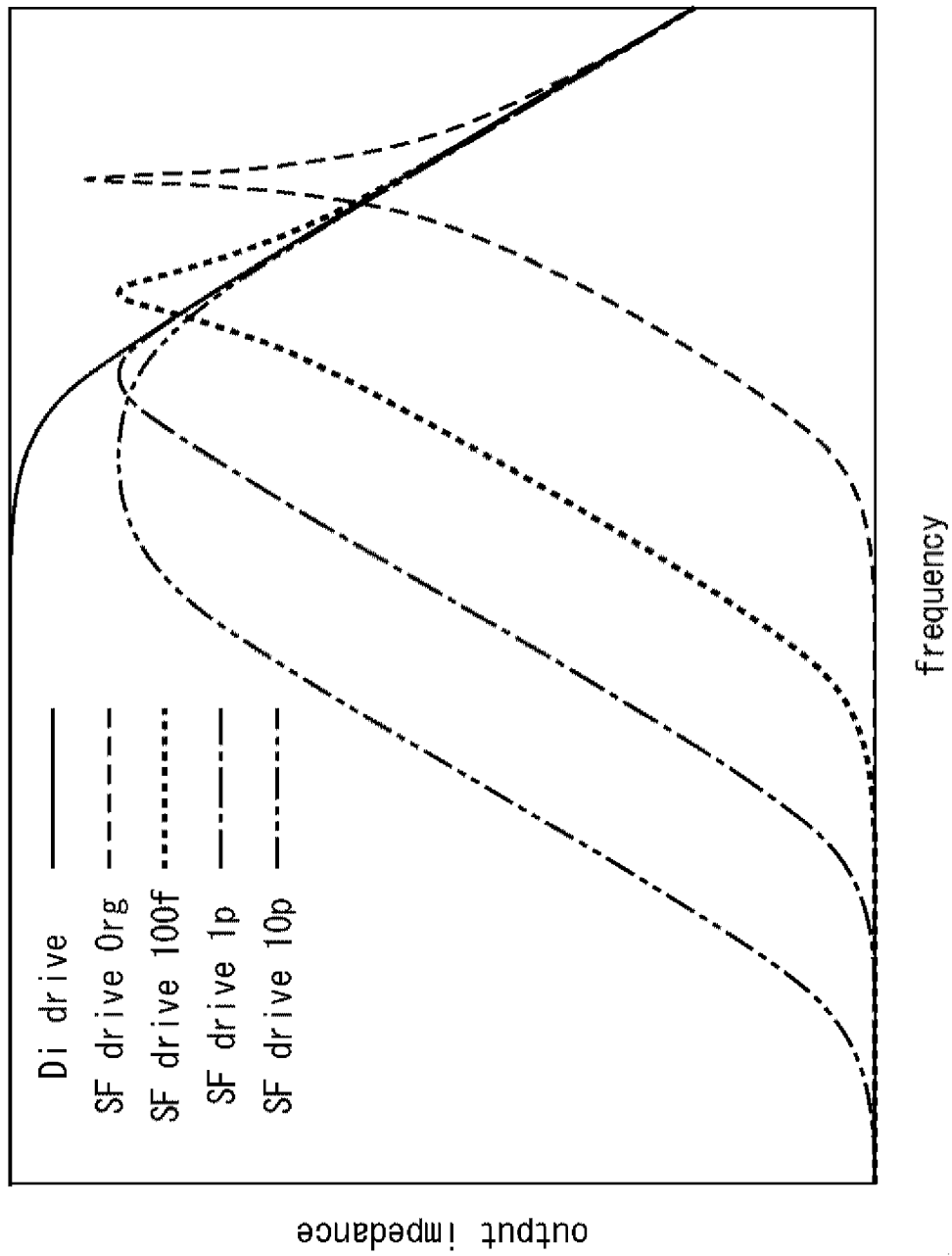
[図4]
FIG. 4



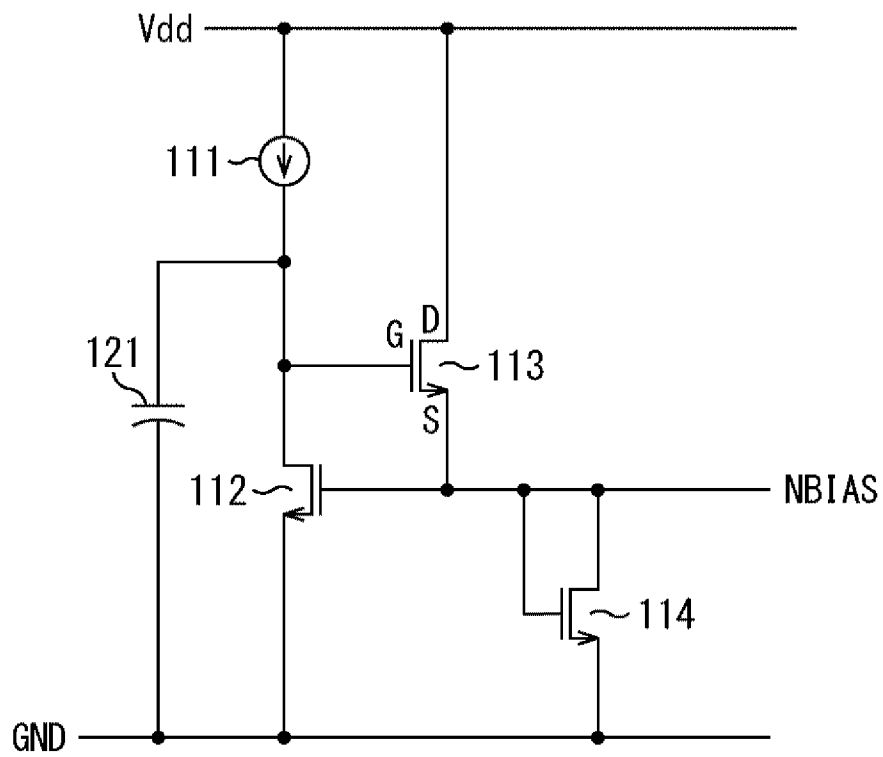
[図5]
FIG. 5



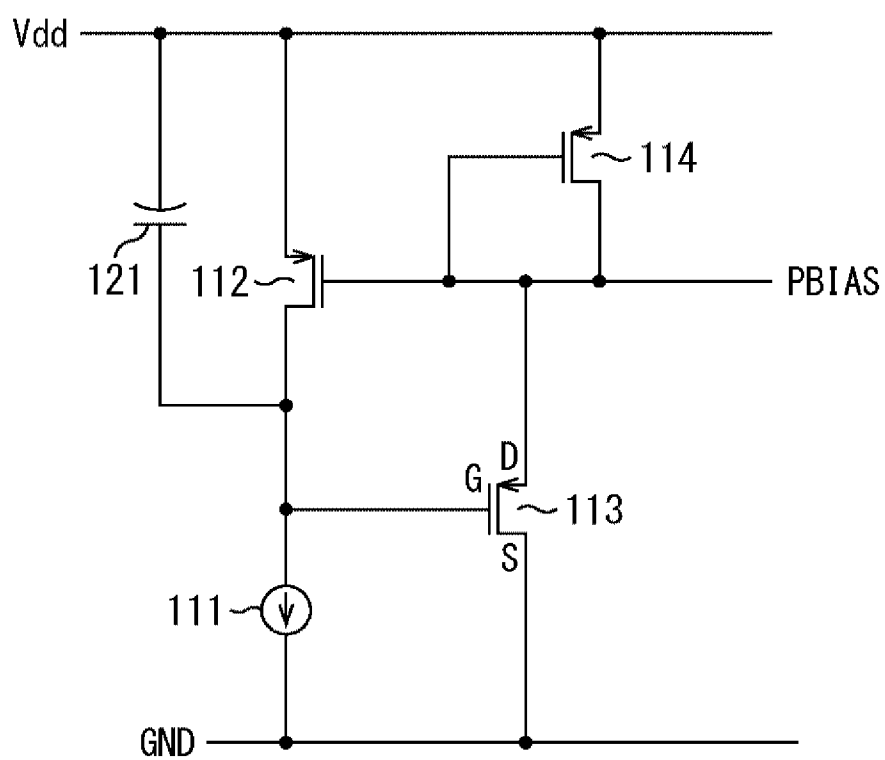
[図6]
FIG. 6



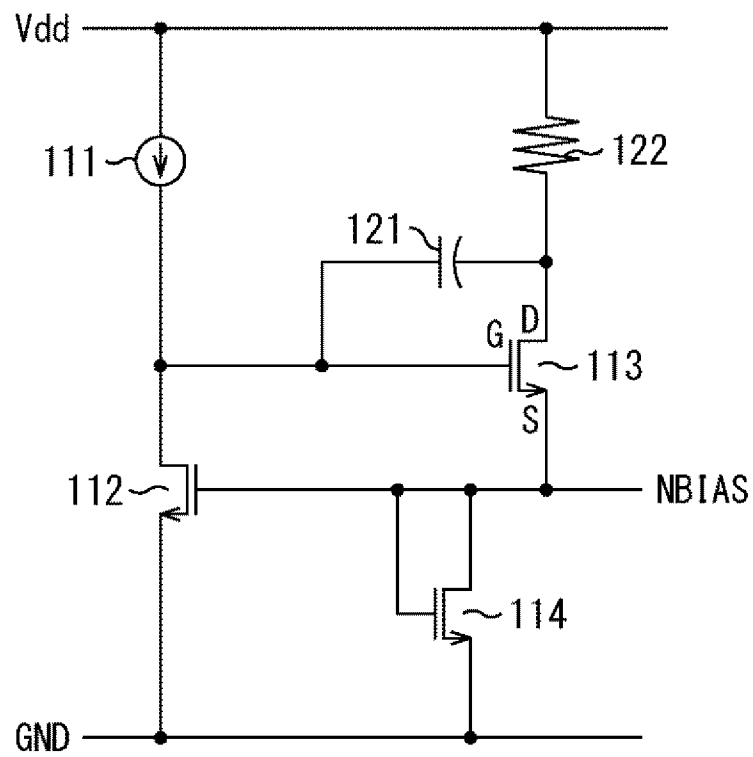
[図7]
FIG. 7

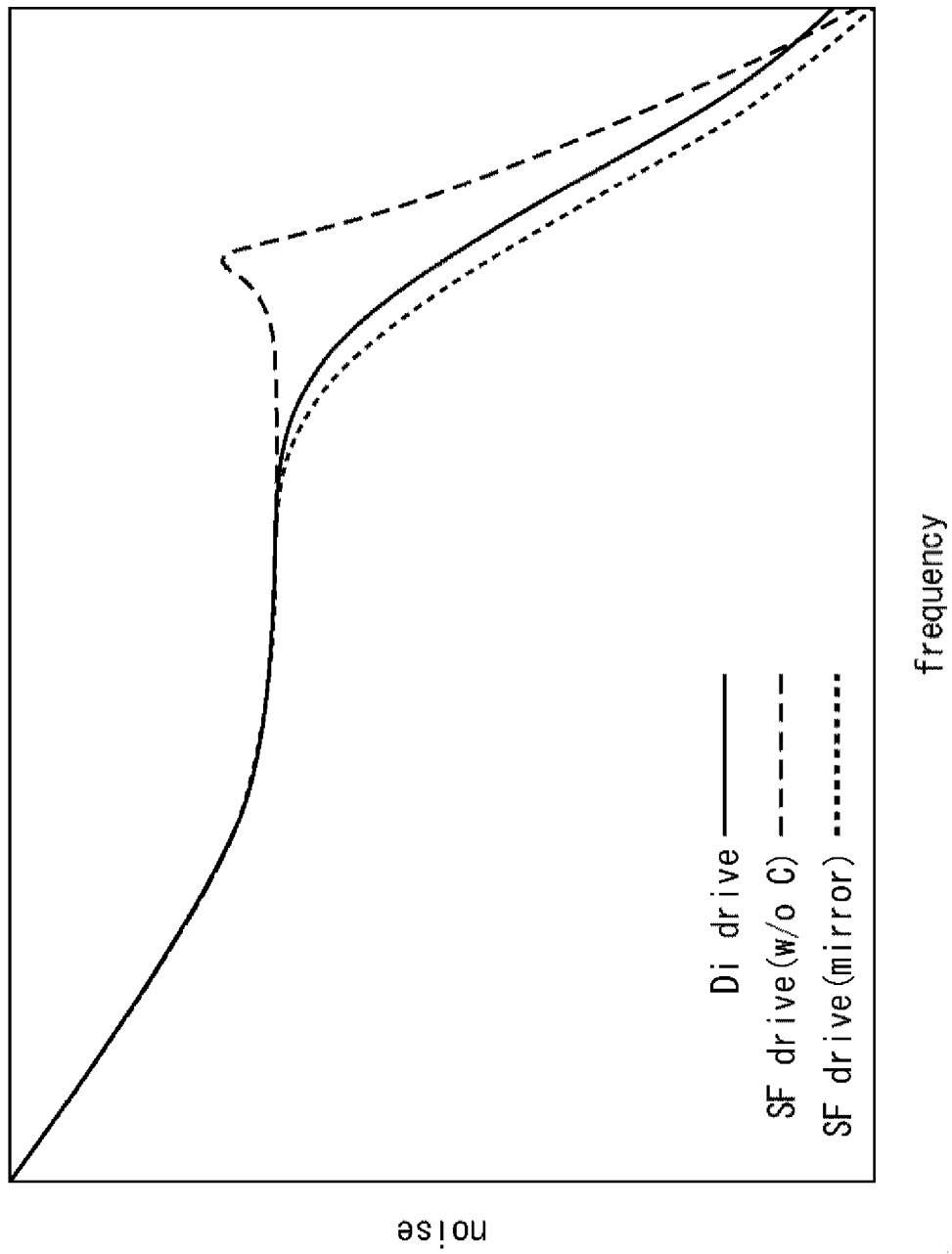


[図8]
FIG. 8

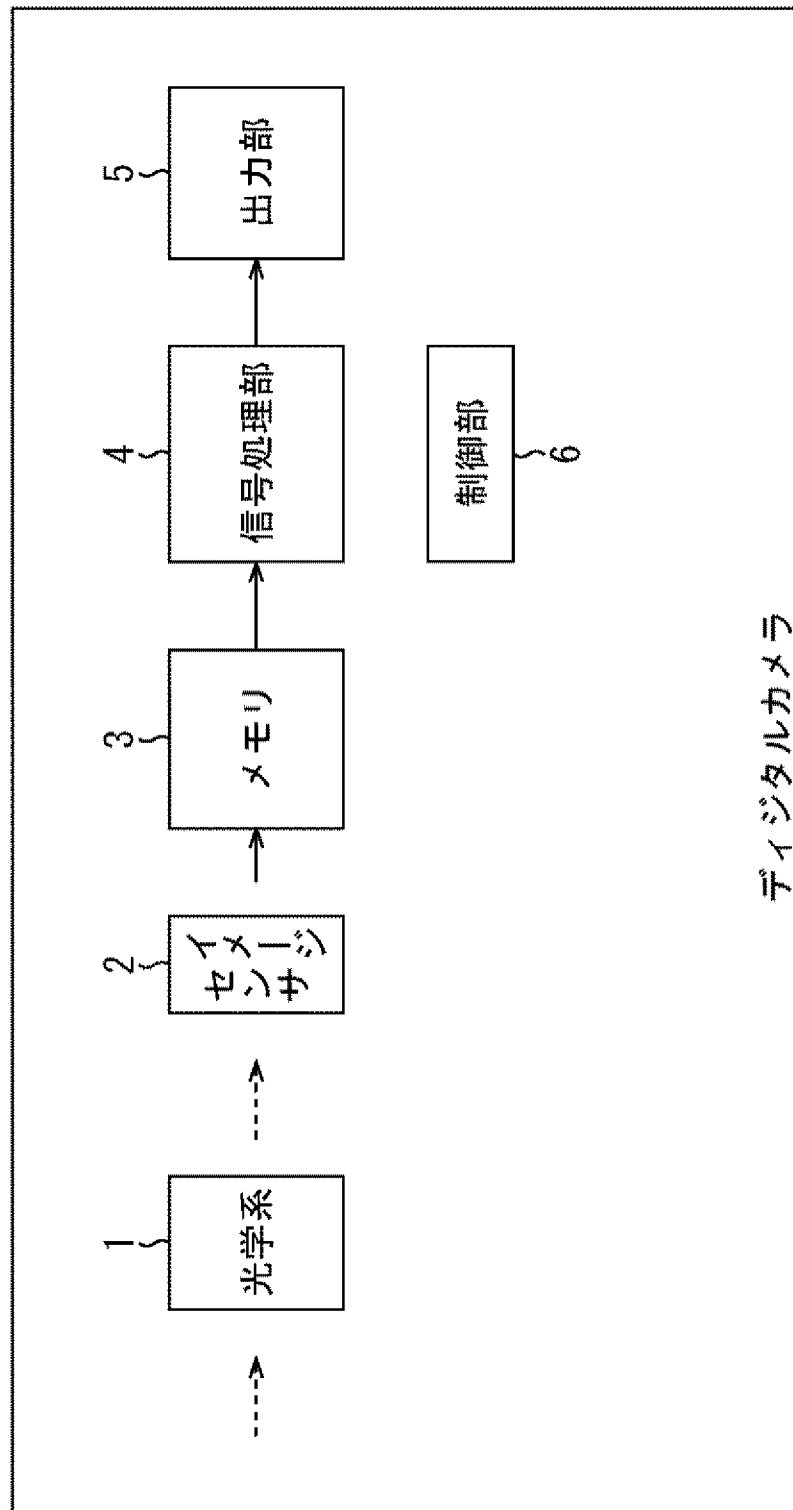


[図9]
FIG. 9

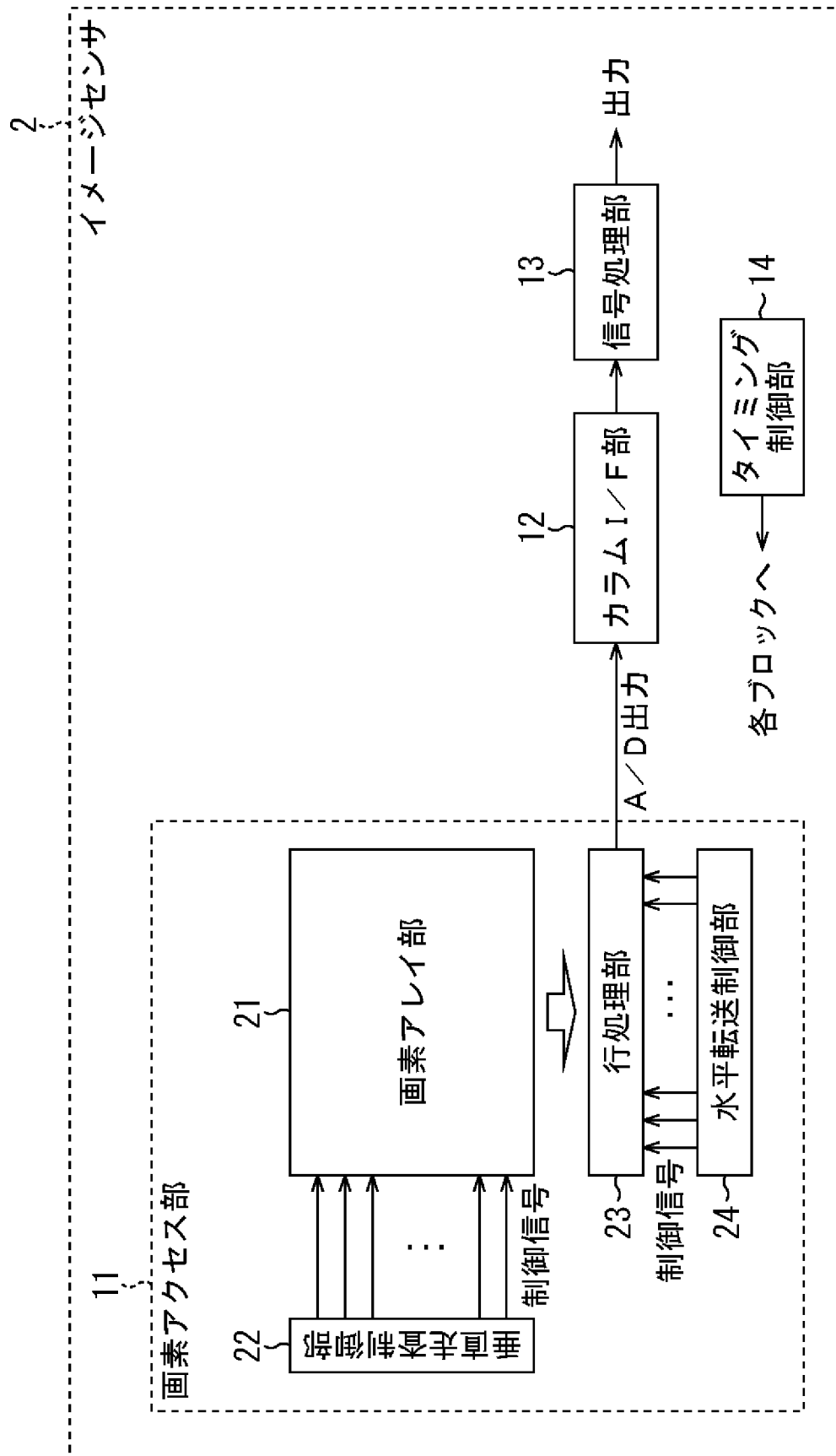


[図10]
FIG. 10

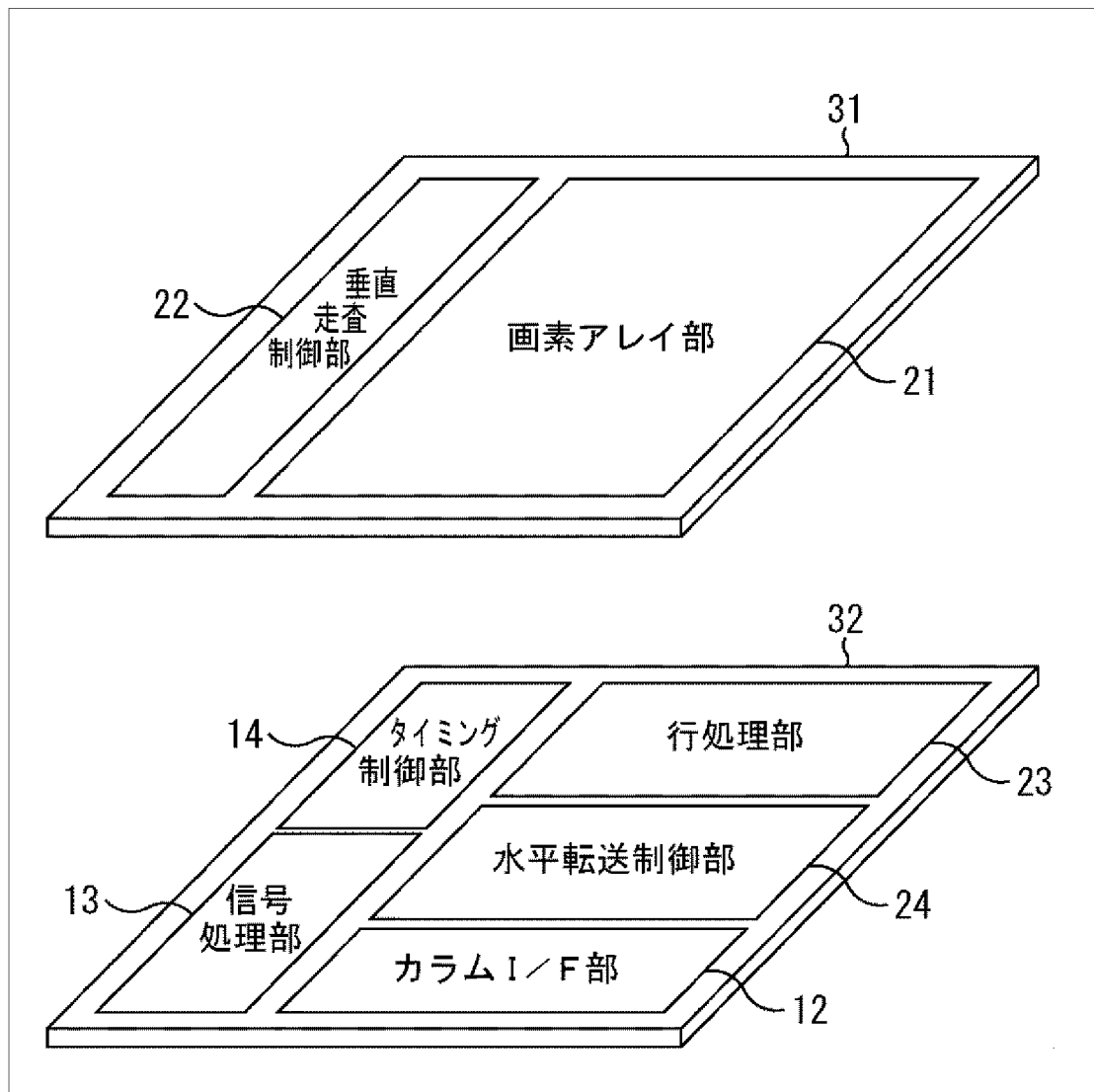
[図11]
FIG. 11



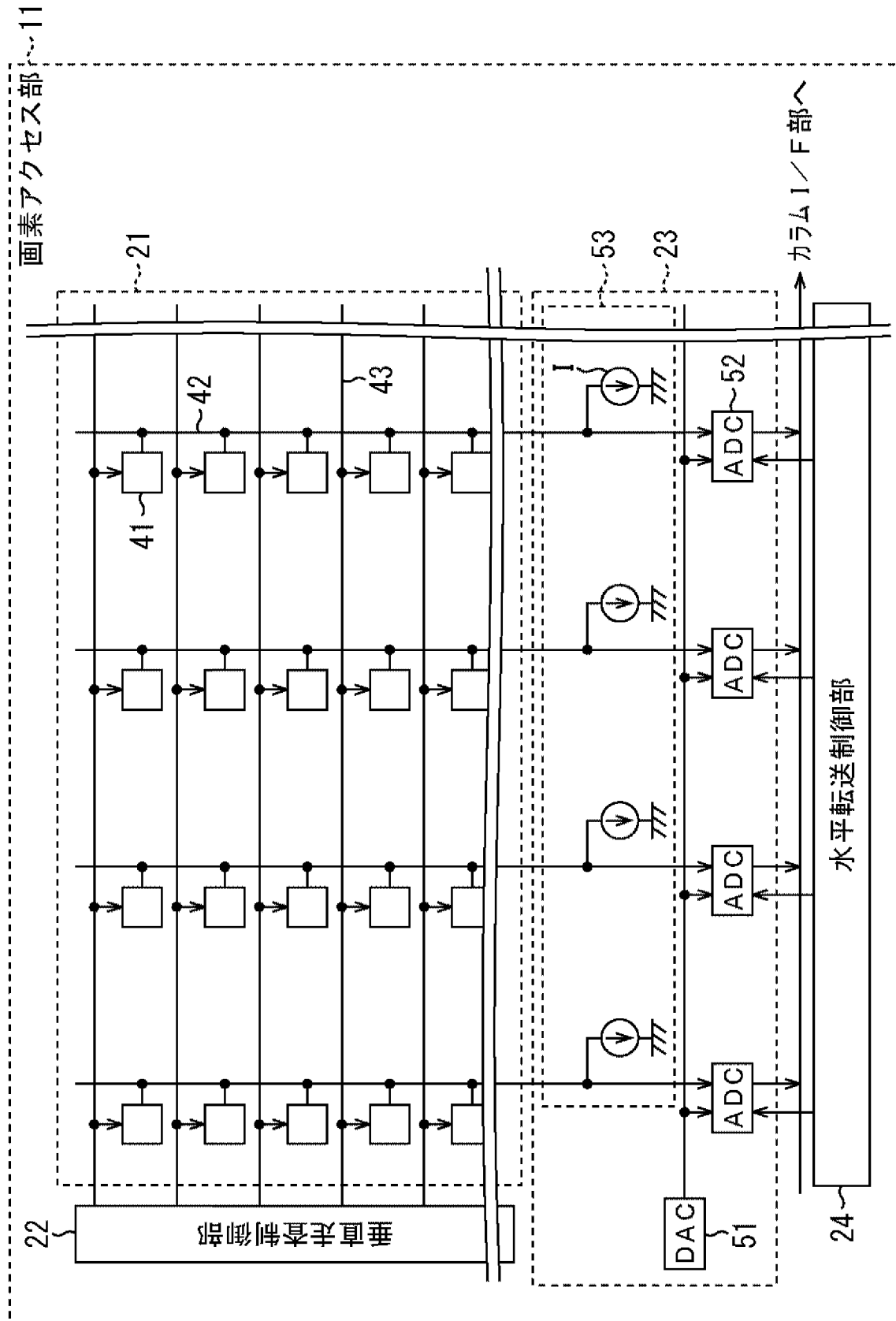
[図12]
FIG. 12



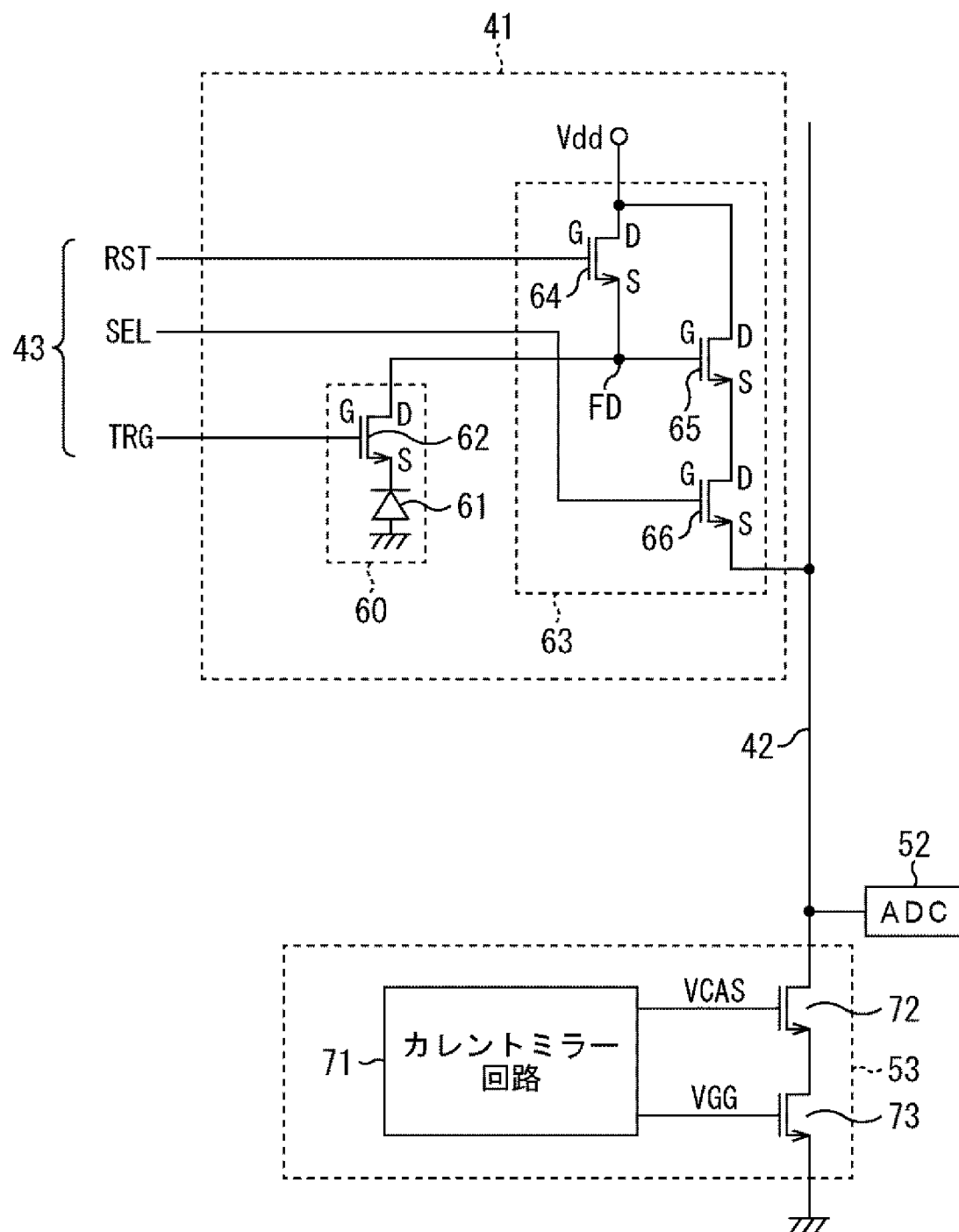
[図13]
FIG. 13



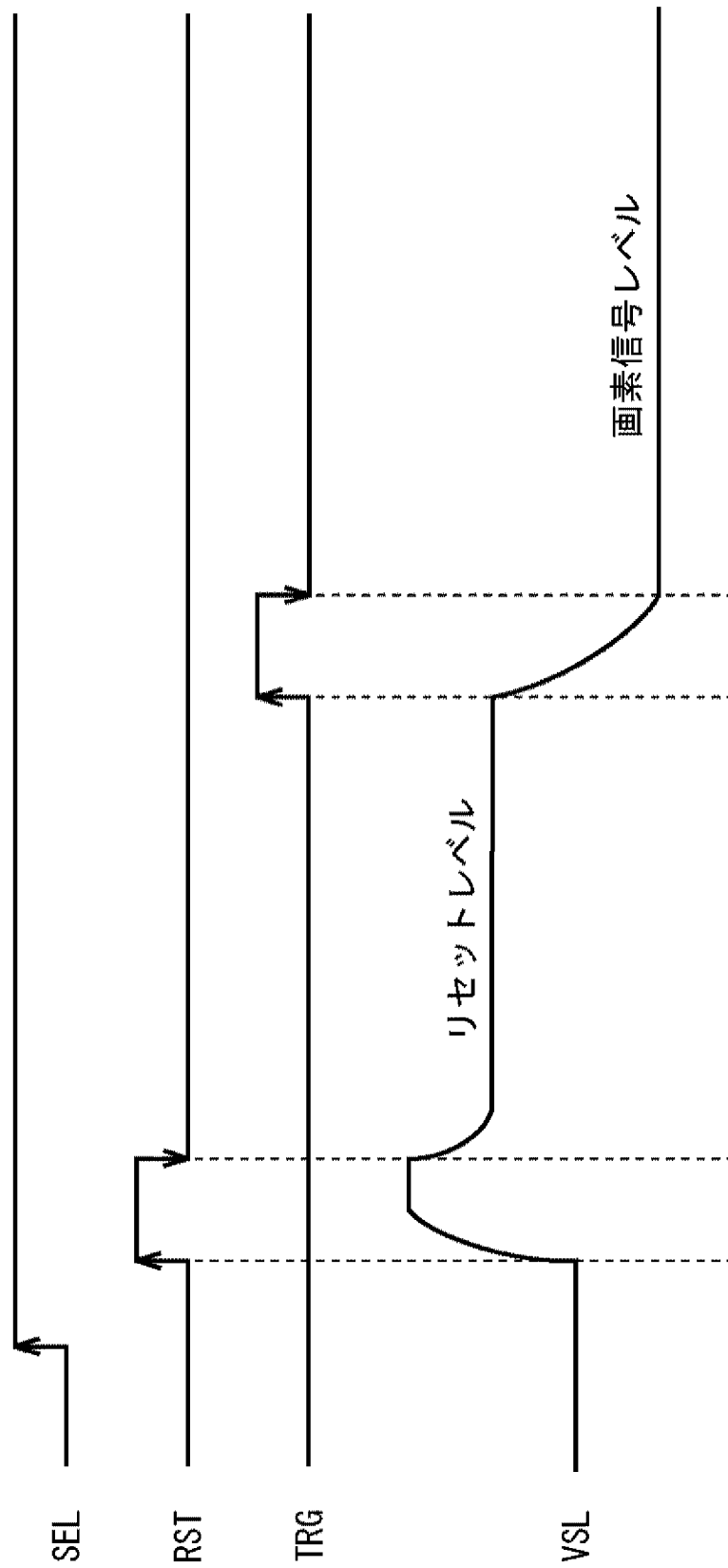
[図14]
FIG. 14



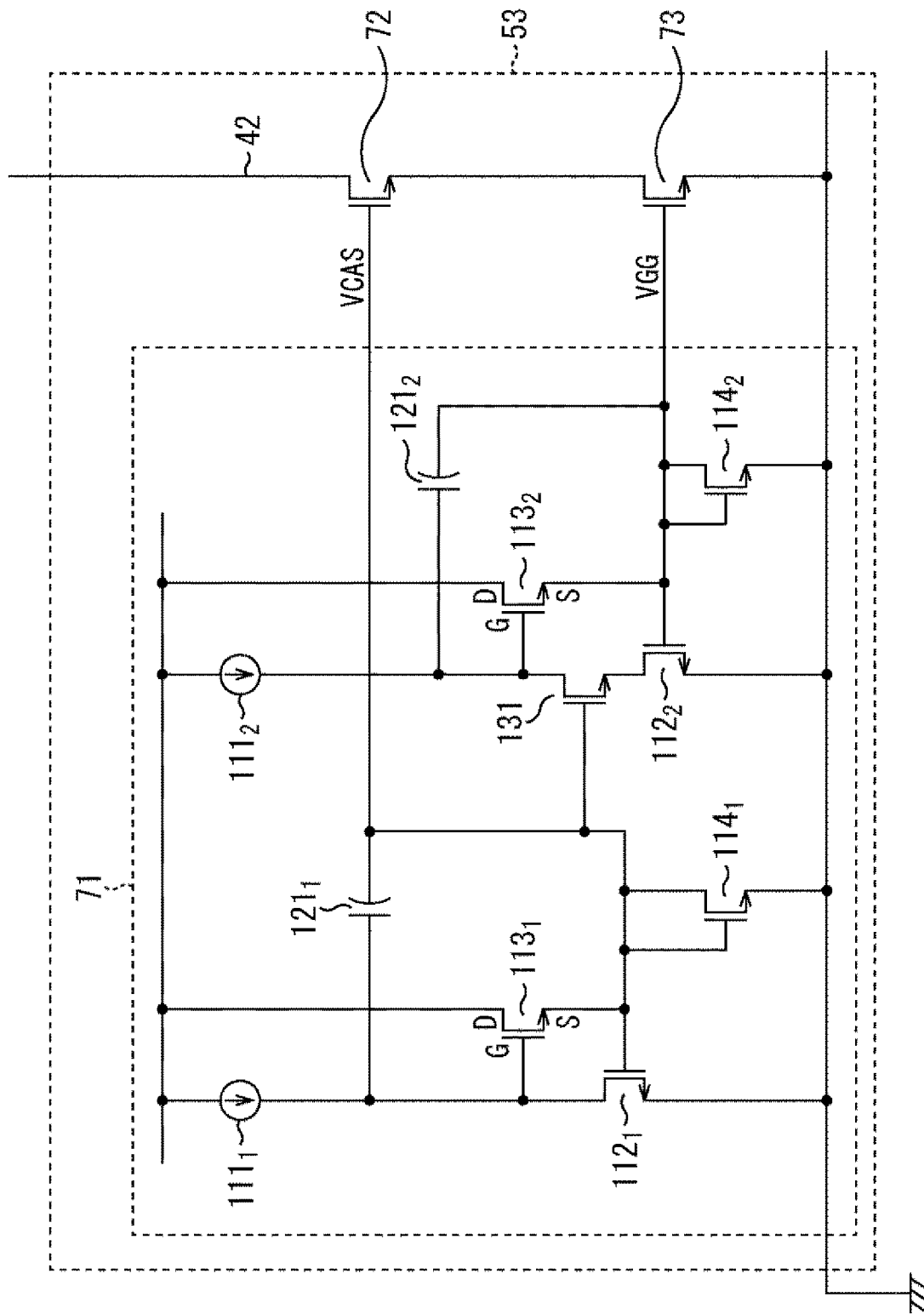
[図15]
FIG. 15



[図16]
FIG. 16



[図17]
FIG. 17



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/075749

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/343(2006.01)i, H04N5/378(2011.01)i, H04N101/00(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/343, H04N5/378, H04N101/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 6956428 B1 (MARVELL INTERNATIONAL LTD.), 18 October 2005 (18.10.2005), column 1, line 13 to column 1, line 41; fig. 1 (Family: none)	1-4 6
Y	WO 2011/030391 A1 (Panasonic Corp.), 17 March 2011 (17.03.2011), paragraphs [0030] to [0037]; fig. 1 to 2 & JP 5330520 B2 & US 2011/0254986 A1 paragraphs [0046] to [0058]; fig. 1 to 2 & CN 102334293 A	6
A	US 2003/0155977 A1 (JOHNSON, Douglas M.), 21 August 2003 (21.08.2003), paragraphs [0030] to [0034]; fig. 3 (Family: none)	5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
08 November 2016 (08.11.16)

Date of mailing of the international search report
22 November 2016 (22.11.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/343(2006.01)i, H04N5/378(2011.01)i, H04N101/00(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/343, H04N5/378, H04N101/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 6956428 B1 (MARVELL INTERNATIONAL LTD.) 2005.10.18, 第1欄 第13行-第1欄第41行, 図1 (ファミリーなし)	1-4 6
Y	WO 2011/030391 A1 (パナソニック株式会社) 2011.03.17, 段落 [0030]-[0037], 図1-2 & JP 5330520 B2 & US 2011/0254986 A1, 段落 [0046]-[0058], 図1-2 & CN 102334293 A	6
A	US 2003/0155977 A1 (JOHNSON, Douglas M.) 2003.08.21, 段落 [0030]-[0034], 図3 (ファミリーなし)	5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 1 . 2 0 1 6

国際調査報告の発送日

2 2 . 1 1 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5 W

5 8 8 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6