[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 11/15 (2006.01)
G11C 7/00 (2006.01)
H01L 43/00 (2006.01)

[12] 发明专利说明书

专利号 ZL 02160615.3

[45] 授权公告日 2006 年 10 月 25 日

[11] 授权公告号 CN 1282197C

[22] 申请日 2002.11.15 [21] 申请号 02160615.3

[30] 优先权

[32] 2001.11.15 [33] JP [31] 350013/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 岩田佳久

审查员 李 菲

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 李德山

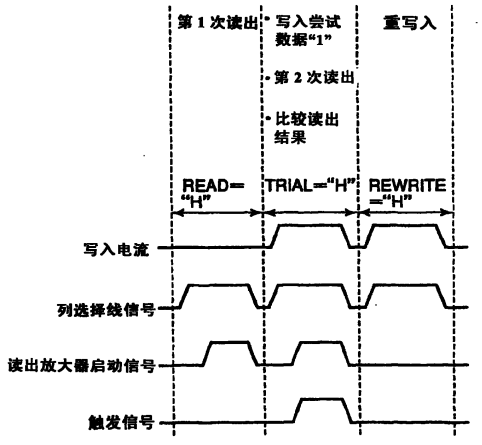
权利要求书 8 页 说明书 70 页 附图 52 页

[54] 发明名称

磁随机存取存储器及其读出方法

[57] 摘要

提供一种磁随机存取存储器及其读出方法。在第 1 次读出时，在 1 列内或 1 个块内的并联连接的多个 TMR 元件流过读出电流，检测初始数据。接着，对所选的存储单元写入尝试数据。写入尝试数据的同时或与此并行进行第 2 次读出。在第 2 次读出时，在 1 列内或 1 个块内的并联连接的多个 TMR 元件流过读出电流，读出比较数据。接着，对初始数据和比较数据进行比较，判断所选的存储单元的数据值。最后，对所选的存储单元重新写入数据。



1. 一种具有利用磁阻效应的存储单元的磁随机存取存储器的读出方法，包括:

为了将存储于上述存储单元中的数据作为基准值而读出，在上述存储单元流过第 1 读出电流;

对上述存储单元写入具有预定值的写入数据;

与写入上述写入数据的同时或与此并行，为了将上述写入数据作为尝试值而读出，在上述存储单元流过第 2 读出电流;

检测上述第 1 和第 2 读出电流差或变化，并比较上述基准值和上述尝试值;

根据该比较结果而判断存储于上述存储单元中的上述数据。

2. 如权利要求 1 所述的读出方法，其中，

上述存储单元的数据是基于在上述存储单元中写入上述写入数据之前的上述存储单元的电阻值和之后的上述存储单元的电阻值的差来判断。

3. 如权利要求 1 所述的读出方法，其中，

实质上没有上述第 1 和第 2 读出电流的差时，上述存储单元的数据值与上述写入数据的值相同。

4. 如权利要求 1 所述的读出方法，其中，

实质上有上述第 1 和第 2 读出电流的差时，上述存储单元的数据值与上述写入数据的值不同。

5. 如权利要求 4 所述的读出方法，其中，

在上述存储单元的数据值与上述写入数据的值不同时，在上述存储单元再写入具有与上述写入数据的值不同的值的数据。

6. 如权利要求 1 所述的读出方法，其中，

在取得上述第 2 读出电流的同时比较上述第 1 和第 2 读出电流。

7. 如权利要求 1 所述的读出方法，其中，

上述第 1 和第 2 读出电流的差的检测是通过检测第 3 读出电流和第 4 读出电流的差来进行的，其中该第 3 读出电流为将由恒电流源产生的预先确定的电流加到上述第 1 读出电流中后的电流，该第 4 读出电流为将由恒电流源产生的上述电流加到上述第 2 读出电流中后的电流。

8. 如权利要求 1 所述的读出方法，其中，

上述第 1 读出电流作为模拟数据存储在存储电路中。

9. 如权利要求 8 所述的读出方法，其中，

上述存储电路具有采用了差动放大器的反馈电路，上述第 1 读出电流存储在上述反馈电路中。

10. 如权利要求 8 所述的读出方法，其中，

上述存储电路具有采用了电流镜电路的反馈电路，上述第 1 读出电流存储在上述反馈电路中。

11. 如权利要求 8 所述的读出方法，其中，

上述存储电路具有电容器，上述第 1 读出电流作为电压值存储在上述电容器中。

12. 如权利要求 1 所述的读出方法，其中，

上述第 1 读出电流作为数字数据存储在上述存储电路中。

13. 如权利要求 12 所述的读出方法，其中，

上述存储电路具有计数器，上述第 1 读出电流作为计数器的计数值被存储。

14. 如权利要求 1 所述的读出方法，其中，

利用电感元件检测上述第 1 和第 2 读出电流对时间的变化量。

15. 如权利要求 1 所述的读出方法，其中，

上述存储单元是相互并联连接的多个存储单元中的 1 个。

16. 如权利要求 15 所述的读出方法，其中，

上述第 1 和第 2 读出电流流入上述多个存储单元。

17. 如权利要求 16 所述的读出方法，其中，

上述多个存储单元构成存储单元阵列的 1 列。

18. 如权利要求 16 所述的读出方法，其中，

上述多个存储单元构成存储单元阵列的 1 列内的 1 个块。

19. 如权利要求 1 所述的读出方法，其中，

在流过将上述写入数据写入上述存储单元时使用的写入电流的同时，或流过上述写入电流的正中间，流过上述第 2 写入电流。

20. 一种磁随机存取存储器，包括:

多个位线，在第 1 方向上延伸;

多个写入字线，在与上述第1方向正交的第2方向上延伸；

公共驱动线，在上述第2方向上延伸；

多个第1开关，连接在上述多个位线的一端和上述公共驱动线之间；

第1写入位线驱动器/吸收器，与上述公共驱动线连接，对上述多个位线的1个提供写入电流、并从上述多个位线的1个吸收上述写入电流；

公共数据线，在上述第2方向上延伸；

多个第2开关，连接在上述多个位线的另一端和上述公共数据线之间；

第2写入位线驱动器/吸收器，与上述公共数据线连接，对上述多个位线的1个提供上述写入电流、并从上述多个位线的1个吸收上述写入电流；

读出电路，与上述公共数据线连接，向上述多个位线的1个提供读出电流。

21. 如权利要求20所述的磁随机存取存储器，其中，

利用上述多个位线的1个构成1列。

22. 一种磁随机存取存储器，包括：

多个写入位线，在第1方向上延伸；

多个写入字线，在与上述第1方向正交的第2方向上延伸；

第1公共驱动线，在第2方向上延伸；

多个第1开关，连接在上述多个写入位线的一端和上述第1公共驱动线之间；

第1写入位线驱动器/吸收器，与上述第1公共驱动线连接，向上述多个写入位线的1个提供写入电流、或从上述多个写入位线的1个吸收上述写入电流；

第2公共驱动线，在上述第2方向上延伸；

多个第2开关，连接在上述多个写入位线的另一端和上述第2公共驱动线之间；

第2写入位线驱动器/吸收器，与上述第2公共驱动线连接，向上述多个写入位线的1个提供上述写入电流、或从上述多个写入位线的1个吸收上述写入电流；

多个读出位线，在第1方向上延伸；

公共数据线，在上述第2方向上延伸；

多个第3开关，连接在上述多个读出位线和上述公共数据线之间；

读出电路，与上述公共数据线连接，向上述多个读出位线的1个提供读出

电流。

23. 如权利要求22所述的磁随机存取存储器，其中，

由上述多个写入位线的1个构成1列。

24. 如权利要求22所述的磁随机存取存储器，其中，

由上述多个写入位线的2个或更多个构成1列。

25. 一种磁随机存取存储器，包括:

存储单元，利用磁阻效应存储数据;

电流源，向上述存储单元提供读出电流;

存储电路，存储与上述读出电流或与上述读出电流成正比的电流;

读出放大器，基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流，判断上述存储单元的数据，

上述读出放大器包括:

第1差动放大器，输入基于上述读出电流或与上述读出电流成正比的电流的第1输入电位和基于存储在上述存储电路的电流的第2输入电位;

第2差动放大器，输入对应上述第1输入电位的上述第1差动放大器的第1输出电位和第1基准电位;

第3差动放大器，输入对应上述第2输入电位的上述第1差动放大器的第2输出电位和第2基准电位；和

逻辑电路，基于上述第2差动放大器的第3输出电位和上述第3差动放大器的第4输出电位，判断上述存储单元的数据。

26. 如权利要求25所述的磁随机存取存储器，其中，

上述读出放大器基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流的差，判断上述存储单元的数据。

27. 如权利要求25所述的磁随机存取存储器，其中，

在上述第1差动放大器的2个输出端子之间连接电阻元件。

28. 如权利要求25所述的磁随机存取存储器，其中，

在上述第1差动放大器的2个输出端子之间连接耗尽型MOS晶体管。

29. 一种磁随机存取存储器，包括:

存储单元，利用磁阻效应存储数据;

电流源，向上述存储单元提供读出电流;

存储电路，存储与上述读出电流或与上述读出电流成正比的电流;

读出放大器，基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流，判断上述存储单元的数据，

其中，上述存储电路具有采用了差动放大器的反馈电路，上述读出电流存储在上述反馈电路中。

30. 如权利要求25所述的磁随机存取存储器，其中，

上述存储电路以模拟数据存储上述读出电流，上述存储电路具有电容器，上述读出电流作为电压值存储在上述电容器中。

31. 如权利要求25所述的磁随机存取存储器，其中，

上述存储电路以模拟数据存储上述读出电流，上述存储电路具有电容器，上述读出电流作为电压值存储在上述电容器中。

32. 一种磁随机存取存储器，包括:

存储单元，利用磁阻效应存储数据;

电流源，向上述存储单元提供读出电流;

存储电路，存储与上述读出电流或与上述读出电流成正比的电流;

读出放大器，基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流，判断上述存储单元的数据，

其中，存储电路将上述读出电流作为数字数据存储，

上述存储电路具有计数器，上述读出电流存储为计数器的计数值。

33. 如权利要求25所述的磁随机存取存储器，还包括:

箝位电路，设定上述存储单元和上述电流源间的节点电位。

34. 一种磁随机存取存储器，包括:

存储单元，利用磁阻效应存储数据;

电流源，向上述存储单元提供读出电流;

存储电路，存储与上述读出电流或与上述读出电流成正比的电流;

读出放大器，基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流，判断上述存储单元的数据，

电流镜电路，将上述读出电流或与上述读出电流成正比的电流导入上述存储电路。

35. 一种磁随机存取存储器，包括:

存储单元，利用磁阻效应存储数据;

电流源，向上述存储单元提供读出电流;

存储电路，存储与上述读出电流或与上述读出电流成正比的电流;

读出放大器，基于上述读出电流或与上述读出电流成正比的电流和存储在上述存储电路的电流，判断上述存储单元的数据，

向上述存储单元提供附加电流的附加电流生成部。

36. 如权利要求 **35** 所述的磁随机存取存储器，其中，

上述附加电流生成部具有与上述存储单元同样结构的元件。

37. 如权利要求 **25** 所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的 **1** 个。

38. 如权利要求 **37** 所述的磁随机存取存储器，其中，

上述读出电流流入上述多个存储单元。

39. 如权利要求 **38** 所述的磁随机存取存储器，其中，

上述多个存储单元构成存储单元阵列的 **1** 列。

40. 如权利要求 **38** 所述的磁随机存取存储器，其中，

上述多个存储单元构成存储单元阵列的 **1** 列内的 **1** 个块。

41. 如权利要求 **29** 所述的磁随机存取存储器，还包括:

箝位电路，设定上述存储单元和上述电流源间的节点电位。

42. 如权利要求 **24** 所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的 **1** 个。

43. 如权利要求 **27** 所述的磁随机存取存储器，还包括:

箝位电路，设定上述存储单元和上述电流源间的节点电位。

44. 如权利要求 **27** 所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的 **1** 个。

45. 如权利要求 **29** 所述的磁随机存取存储器，还包括:

箝位电路，设定上述存储单元和上述电流源间的节点电位。

46. 如权利要求 **29** 所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的 **1** 个。

47. 如权利要求 **35** 所述的磁随机存取存储器，还包括:

箝位电路，设定上述存储单元和上述电流源间的节点电位。

48. 如权利要求35所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的1个。

49. 一种磁随机存取存储器，包括，

存储单元，利用磁阻效应存储数据；

电流源，向上述存储单元提供读出电流；

电感元件，检测上述读出电流或与上述读出电流成正比的电流；

读出放大器，基于上述电感元件两端的电压，判断上述存储单元的数据。

50. 如权利要求49所述的磁随机存取存储器，其中，

上述电感元件由半导体基板上的金属薄膜构成。

51. 如权利要求49所述的磁随机存取存储器，其中，

上述读出放大器基于上述电感元件两端的电位差，判断上述存储单元的数据。

52. 如权利要求49所述的磁随机存取存储器，其中，

上述读出放大器包括：

第1差动放大器，输入上述电感元件的一端的第1输入电位和其另一端的第2输入电位；

第2差动放大器，输入对应上述第1输入电位的上述第1差动放大器的第1输出电位和第1基准电位；

第3差动放大器，输入对应上述第2输入电位的上述第1差动放大器的第2输出电位和第2基准电位；和

逻辑电路，基于上述第2差动放大器的第3输出电位和上述第3差动放大器的第4输出电位，判断上述存储单元的数据。

53. 如权利要求52所述的磁随机存取存储器，其中，

在上述第1差动放大器的2个输出端子之间连接电阻元件。

54. 如权利要求52所述的磁随机存取存储器，其中，

在上述第1差动放大器的2个输出端子之间连接耗尽型MOS晶体管。

55. 如权利要求49所述的磁随机存取存储器，还包括：

箝位电路，设定上述存储单元和上述电流源间的节点电位。

56. 如权利要求49所述的磁随机存取存储器，还包括：

电流镜电路，将上述读出电流或与上述读出电流成正比的电流导入上述存

储电路。

57. 如权利要求 49 所述的磁随机存取存储器，其中，

还包括向上述存储单元提供附加电流的附加电流生成部，

其中，在上述存储单元中流过在上述读出电流中加上了上述附加电流的电流。

58. 如权利要求 57 所述的磁随机存取存储器，其中，

上述附加电流生成部具有与上述存储单元同样结构的元件。

59. 如权利要求 49 所述的磁随机存取存储器，其中，

上述存储单元是相互并联连接的多个存储单元中的 1 个。

60. 如权利要求 59 所述的磁随机存取存储器，其中，

上述读出电流流入上述多个存储单元。

61. 如权利要求 60 所述的磁随机存取存储器，其中，

上述多个存储单元构成存储单元阵列的 1 列。

62. 如权利要求 60 所述的磁随机存取存储器，其中，

上述多个存储单元构成存储单元阵列的 1 列内的 1 个块。

63. 如权利要求 50 所述的存储器，其中上述金属薄膜由含磁原子的金属组成。

64. 如权利要求 50 所述的存储器，其中上述金属薄膜由普通金属和上述普通金属的表面上的磁金属组成。

65. 如权利要求 64 所述的存储器，其中上述磁金属设在上述普通金属的侧表面和下表面上。

66. 如权利要求 64 所述的存储器，其中上述磁金属设在上述普通金属的侧表面和上表面上。

磁随机存取存储器及其读出方法

技术领域

本发明涉及利用磁阻（Magneto Resitive）效应存储数据“1”、“0”的磁随机存取存储器（MRAM: Magnetic Random Access Memory）.

背景技术

近年提出了多种利用新原理存储数据的存储器，其中之一是利用隧道磁阻（Tunneling Magneto Resitive: 以后记为 TMR）效应存储数据“1”、“0”的磁随机存取存储器.

公知的磁随机存取存储器有例如 Roy Scheuerleinet.al 的 ISSCC2000 Technical Digest p.128 “A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”.

磁随机存取存储器是利用 TMR 元件存储数据“0”、“1”. TMR 元件的基本结构为由 2 个磁性层（强磁性层）夹住绝缘层（隧道绝缘层）. 其中，为了得到最好的 MR（Magneto Resitive）比等，提出了多种 TMR 元件的结构.

存储在 TMR 元件中的数据由 2 个磁性层的磁化状态是平行，还是反平行来判断. 在此，平行表示 2 个磁性层的磁化方向相同，反平行表示 2 个磁性层的磁化方向相反.

通常，在 2 个磁性层中的 1 个（固定层）附设有反强磁性层. 反强磁性层是用于固定固定层的磁化方向的部件. 因此，实际上根据 2 个磁性层中的另一个（自由层）的磁化方向确定存储在 TMR 元件中的数据（“1”或“0”）.

在 TMR 元件的磁化状态为平行时，夹在构成该 TMR 元件的 2 个磁性层之间的绝缘层（隧道绝缘层）的隧道电阻最低. 例如，将该状态作为“1”状态. 另外，在 TMR 元件的磁化状态为反平行时，夹在构成该 TMR 元件的 2 个磁性层之间的绝缘层（隧道绝缘层）的隧道电阻最高. 例如，将该状态作为“0”状态.

下面简单说明对 TMR 元件的写入/读出操作原理.

TMR 元件配置在相互交叉的写入字线和数据选择线（位线）的交点. 另外，写入是通过在写入字线和数据选择线流过电流，利用由流过两个布线的电流生

成的磁场，确定TMR元件的自由层的磁化方向来完成的。

例如，在写入时，在写入字线只流过朝向一方向的电流，在写入位线流过根据写入数据朝向一方向或另一方向的电流。在写入位线流过朝向一方向的电流时，配置在写入字线和写入位线的交点的TMR元件的磁化状态变成平行（“1”状态）。另一方面，在写入位线流过朝向另一方向的电流时，配置在写入字线和写入位线的交点的TMR元件的磁化状态变成反平行（“0”状态）。

读出是例如通过在所选的TMR元件流过读出电流，检测该所选的TMR元件的电阻值来进行的。

读出操作原理根据磁随机存取存储器的阵列结构有较大变化。在1个TMR元件串联连接1个开关元件的阵列结构时，将连接到所选的读出字线的开关元件设成导通状态，在所选的TMR元件中流过读出电流。若将该读出电流引入读出放大器，读出所选的TMR元件的电阻值，则可以判断该TMR元件的数据。

但是，该读出存在1个较大问题。

由于读出电流通过TMR元件内的绝缘层（隧道绝缘层）流过，所以TMR元件的电阻值很大程度上依赖于该绝缘层的厚度。具体说来，TMR元件的电阻值对于TMR元件内的绝缘层的厚度变化成指数变化。

即，当前报告的TMR元件内的隧道绝缘层的厚度为数nm程度，但在多个TMR元件间，隧道绝缘层的厚度偏差越大，电阻值的偏差成指数变大。

从而，磁随机存取存储器难以采用例如使用NOR型快速存储器中采用的参考单元的读出方式。

假设磁随机存取存储器中，利用差动读出放大器比较所选的TMR元件的电阻值和参考单元的电阻值，读出存储在所选的TMR元件中的数据时，需要使数据不被因隧道的厚度偏差带来的噪声埋没。

即，必需使由MR比（磁阻变化率）确定的TMR元件的电阻变化（磁化状态平行时的电阻值和反平行时的电阻值之差）ΔR远远大于TMR元件和参考单元的电阻值的偏差。

但是，当前可实现的MR比一般为20～40%，最大为50%程度。若考虑大量生产时的制造余量和成品率等，该程度的MR比达不到不能被噪声埋没的、充分大的TMR元件的电阻变化部分ΔR的目的。

作为用于解决有关上述读出问题的提案之一，公知的技术有在2个TMR元件

中存储1位数据的技术，即在2个TMR元件的一个中存储正确的数据，另一个存储相反数据，在读出时比较两者数据的技术。该技术中，可以实质上使MR比导致的电阻变化△R变成2倍。

但是，此时由于在2个TMR元件中存储1位数据，所以自然而然对存储器容量的增大不利。另外，该技术中，由于不是去除多个TMR元件间的电阻值的偏差带来的影响，所以还不能根据多个TMR元件间的电阻值偏差的大小，说明TMR元件的电阻变化部分△R充分大。

但是，在美国申请09/961,326中提出了解决有关读出的问题、即有关多个TMR元件间的电阻值的偏差的问题，同时有利于存储单元的高集成化、存储器容量的大容量化等的划时代的技术。

采用该技术的磁随机存取存储器具有并联连接多个TMR元件的阵列结构。

在读出时，在并联连接的多个TMR元件中流过读出电流，利用读出放大器检测此时的多个TMR元件的电阻值。接着，在多个TMR元件中所选的TMR元件中写入规定数据。接着，在并联连接的多个TMR元件中再次流过读出电流，利用读出放大器检测此时的多个TMR元件的电阻值。

比较先检测的多个TMR元件的电阻值和后检测的多个TMR元件的电阻值，在两者实质上相同时，判断所选的TMR元件的数据为规定数据，在不同时，判断所选的TMR元件的数据为与规定数据值相反的数据。

根据该读出操作原理，与读出时的多个TMR元件间的电阻值偏差无关，可以正确读出所选的TMR元件的电阻值（或MR）。从而，采用了该读出操作原理的磁随机存取存储器的可实现性较高。

另外，该读出操作原理有时在读出时会破坏存储在所选的TMR元件中的数据（破坏读出）。从而，在判断了所选的TMR元件的数据值之后，需要对该TMR元件重新写入数据。

像这样，在美国申请09/961,326中提出的技术非常有效，但没有具体提出写入驱动器等写入电路和读出放大器等读出电路。另外，为了提高磁随机存取存储器的阵列结构和读出操作原理的实现性，还需要进行进一步改良。

发明内容

（1）根据本发明的1个方面，提供一种具有利用磁阻效应存储数据的存储单元的磁随机存取存储器的读出方法，包括：在上述存储单元中流过第1读出

电流；对上述存储单元写入具有预定值的写入数据，同时或与此平行，在上述存储单元中流过第2读出电流；检测上述第1和第2读出电流差、或对时间的变化量，判断上述存储单元的数据.

（2）根据本发明的第1方面，提供一种磁随机存取存储器，包括：利用相互并联连接的磁阻效应存储数据的多个存储单元；连接到上述多个存储单元的一端，向第1方向延伸的位线；对上述位线提供写入电流、或从上述位线取得上述写入电流的第1和第2写入位线驱动器/吸收器；连接在上述位线的一端和上述第1写入位线驱动器/吸收器之间的第1开关；连接在上述位线的另一端和上述第2写入位线驱动器/吸收器之间的第2开关；对上述位线提供读出电流的读出电路；向与上述第1方向正交的第2方向延伸的多个写入字线.

根据本发明的第2方面，提供一种磁随机存取存储器，包括：利用磁阻效应存储数据的存储单元；对上述存储单元提供读出电流的电流源；存储与上述读出电流、或与上述读出电流成正比的电流的存储电路；基于上述读出电流或与上述读出电流成正比的电流、和存储在上述存储电路的电流，判断上述存储单元的数据的读出放大器.

附图说明

图1是表示本发明的参考例的磁随机存取存储器的图.

图2是表示本发明的参考例的破坏读出操作原理的波形图.

图3是表示本发明的改良例1的磁随机存取存储器的图.

图4是表示图3的存储器的1列的图.

图5是表示本发明的改良例2的存储器的1列的图.

图6是表示写入字线驱动器/吸收器的一例的图.

图7是表示列译码器的一例的图.

图8是表示列译码器的另一例的图.

图9是表示读出列译码器的一例的图.

图10是表示读出列译码器的另一例的图.

图11是表示写入列译码器的一例的图.

图12是表示写入位线驱动器/吸收器的一例的图.

图13是表示写入位线驱动器/吸收器的另一例的图.

图14是表示改良例1、2的破坏读出操作原理的一例的波形图.

图 15 是表示改良例 1、2 的破坏读出操作原理的另一例的波形图.

图 16 是表示改良例 1、2 的改良的破坏读出操作原理的一例的波形图.

图 17 是表示本发明的改良例 3 的磁随机存取存储器的图.

图 18 是表示图 17 的存储器的 1 列的图.

图 19 是表示本发明的改良例 4 的存储器的 1 列的图.

图 20 是表示写入字线驱动器/吸收器的一例的图.

图 21 是表示读出字线驱动器的一例的图.

图 22 是表示读出字线驱动器的另一例的图.

图 23 是表示列译码器的一例的图.

图 24 是表示列译码器的另一例的图.

图 25 是表示读出列译码器的一例的图.

图 26 是表示读出列译码器的另一例的图.

图 27 是表示写入列译码器的一例的图.

图 28 是表示写入位线驱动器/吸收器的一例的图.

图 29 是表示写入位线驱动器/吸收器的另一例的图.

图 30 是表示行译码器的一例的图.

图 31 是表示改良例 3、4 的破坏读出操作原理的一例的波形图.

图 32 是表示改良例 3、4 的破坏读出操作原理的另一例的波形图.

图 33 是表示改良例 3、4 的改良的破坏读出操作原理的一例的波形图.

图 34 是表示本发明的改良例 5 的磁随机存取存储器的一例的波形图.

图 35 是表示图 34 的存储器的 1 列的图.

图 36 是表示本发明的改良例 6 的磁随机存取存储器的一例的波形图.

图 37 是表示图 36 的存储器的 1 列的图.

图 38 是表示读出列译码器的一例的图.

图 39 是表示读出列译码器的另一例的图.

图 40 是表示写入列译码器的一例的图.

图 41 是表示改良例 6 的设备结构的一例的图.

图 42 是表示读出电路的电路例 1 的图.

图 43 是表示读出电路的电路例 2 的图.

图 44 是表示读出电路的电路例 3 的图.

图 45 是表示读出放大器的一例的图.

图 46 是表示读出放大器内的差动放大器的一例的图.

图 47 是表示读出放大器内的差动放大器的另一例的图.

图 48 是表示读出放大器的另一例的图.

图 49 是表示读出电路内的运算放大器的一例的图.

图 50 是表示读出电路内的运算放大器的另一例的图.

图 51 是表示读出电路的电路例 4 的图.

图 52 是表示 BGR 电路的一例的图.

图 53 是表示振荡器的一例的图.

图 54 是表示采样保持电路的一例的图.

图 55 是表示计数器触发电路的一例的图.

图 56 是表示计数器驱动电路的一部分的图.

图 57 是表示计数器驱动电路的一部分的图.

图 58 是表示计数器驱动电路的一部分的图.

图 59 是表示计数器驱动电路的一部分的图.

图 60 是表示计数器驱动电路的一部分的图.

图 61 是表示计数器驱动电路的一部分的图.

图 62 是表示计数器驱动电路的一部分的图.

图 63 是表示计数器驱动电路的一部分的图.

图 64 是表示计数器的一例的图.

图 65 是表示图 64 的计数器内的块的一例的图.

图 66 是表示 DAC 的一例的图.

图 67 是表示读出电路的电路例 5 的图.

图 68 是表示电感元件的一例的图.

图 69 是表示电感元件的一例的图.

图 70 是表示读出电路的电路例 6 的图.

图 71 是表示读出电路的电路例 7 的图.

图 72 是表示读出电路的电路例 8 的图.

图 73 是表示附加电流生成部的一例的图.

具体实施方式

下面参考附图具体说明本发明的磁随机存取存储器.

1. 参考例

图1示出作为本发明的参考例的磁随机存取存储器的主要部分.

存储单元阵列11具有在X方向和Y方向配置成阵列状的多个TMR元件12. 在配置在X方向的TMR元件12的附近配置在X方向上延伸的写入字线WL0、WL1、…WL11. 写入字线WL0、WL1、…WL11的一端与具有行译码器、电流源和电流吸收器的电路块13连接，另一端与具有电流源和电流吸收器的电流块14连接.

电流吸收器是吸收由电流源产生的电流的电路.

配置在Y方向的TMR元件12并联连接在第1数据传送线15和第2数据传送线16之间. 第1数据传送线15的一端与具有电压源和电流源的电路块17连接，其另一端经由写入选择开关（MOS晶体管）18连接到接地点. 第2数据传送线16的一端经由读出选择开关（MOS晶体管）19和检测电阻20连接到接地点.

列译码器21连接到写入/读出选择开关18、19的栅极. 检测电路22连接到检测电阻20的两端，检测检测电阻20的两端间的电压.

接着，参考图2的时序图说明图1的磁随机存取存储器的读出操作原理.

以下说明的读出操作由4个周期构成.

① 在第1周期读出初始数据. 在此，初始数据表示为了判断所选的TMR元件的数据值而所需的基准数据.

首先，将连接到具有所选的TMR元件12的所选列的读出选择开关19设成导通状态. 列是配置在Y方向，相互并联连接的多个TMR元件组. 结果，在电路块17内的电流源产生的读出电流经由所选列的多个TMR元件12和检测电阻20流入接地点.

在流过读出电流的状态下，在检测电阻20的两端间产生的电压依赖于构成所选列的并联连接的多个TMR元件12的合成电阻. 从而，若使用检测电路22检测在检测电阻20的两端间产生的电压，则可以检测出初始数据. 将初始数据存储到检测电路22.

之后，将读出选择开关19设成截止状态.

② 在第2周期，对所选的TMR元件12写入尝试数据. 在此，尝试数据是

为了得到与基准数据比较的比较数据，写入所选的 TMR 元件的、具有预定值的数据，具体说来是“1”或“0”。

首先，将连接到具有所选的 TMR 元件 12 的所选列的写入选择开关 18 设成导通状态。其结果，在电路块 17 内的电流源产生的写入电流经由所选列的第 1 数据传送线 15 和写入选择开关 18 流入接地点。

另外，在配置在具有所选 TMR 元件 12 的所选行的附近的写入字线流过写入电流。流入写入字线的写入电流方向由尝试数据的值确定。另外，行是配置在 X 方向的多个 TMR 元件 12 的组。

其结果，在所选的 TMR 元件 12 写入尝试数据（“1”或“0”）。接着，将写入选择开关 18 设成截止状态，切断流入第 1 数据传送线 15 的写入电流。另外，还切断流入配置在所选行附近的写入字线的写入电流。

③ 在第 3 周期读出比较数据。在此，比较数据表示通过与基准数据的比较，判断所选的 TMR 元件的数据值的数据。

首先，将连接到具有所选的 TMR 元件 12 的所选列的读出选择开关 19 设成导通状态。结果，在电路块 17 内的电流源产生的读出电流经由所选列的多个 TMR 元件 12 和检测电阻 20 流入接地点。

在流过读出电流的状态下，在检测电阻 20 的两端间产生的电压依赖于构成所选列的并联连接的多个 TMR 元件的合成电阻。从而，若使用检测电路 22 检测在检测电阻 20 的两端间产生的电压，则可以检测出比较数据。

接着，检测电路 22 对初始数据和比较数据进行比较，判断所选的 TMR 元件 12 的数据值。

即，在判断为初始数据和比较数据相同时，由于表示通过写入尝试数据，所选的 TMR 元件 12 的电阻值没有变化，所以所选的 TMR 元件 12 的数据值判断为与尝试数据值相同的值。

相反，在判断为初始数据和比较数据不同时，由于表示通过写入尝试数据，所选的 TMR 元件 12 的电阻值发生变化，所以所选的 TMR 元件 12 的数据值判断为具有与尝试数据值相反的值。

例如，在尝试数据为“1”时，若初始数据和比较数据相同，则所选的 TMR 元件 12 的数据判断为“1”，若初始数据和比较数据不同，则所选的 TMR 元件 12 的数据判断为“0”。

另外，在尝试数据为“0”时，若初始数据和比较数据相同，则所选的 TMR 元件 12 的数据判断为“0”，若初始数据和比较数据不同，则所选的 TMR 元件 12 的数据判断为“1”.

这样，确定所选的 TMR 元件 12 的数据值.

之后，将读出选择开关 19 设成截止状态.

④ 在第 4 周期，对所选的 TMR 元件 12 重写入数据.

本例的读出操作原理中，在第 2 周期将尝试数据写入所选的 TMR 元件. 即，此时所选的 TMR 元件的数据被破坏（破坏读出）.

因此，在判断了所选的 TMR 元件的数据值之后，需要对所选的 TMR 元件 12 重新写入数据.

首先，将连接到具有所选的 TMR 元件 12 的所选列的写入选择开关 18 设成导通状态. 其结果，在电流块 17 内的电流源产生的写入电流经由所选列的第 1 数据传送线 15 和写入选择开关 18 流入接地点.

另外，在配置在具有所选的 TMR 元件 12 的所选行附近的写入字线流过写入电流. 流入写入字线的写入电流方向由在第 3 周期判断的所选的 TMR 元件的数据值确定.

结果，在所选的 TMR 元件 12 写入当初的正确数据. 之后，将写入选择开关 18 设成截止状态，切断流入第 1 数据传送线 15 的写入电流. 另外，还切断流入配置在所选行附近的写入字线的写入电流.

以上，参考例的磁随机存取存储器采用所谓的破坏读出操作原理. 因此，与读出时的多个 TMR 元件间的电阻值的偏差无关，可以正确读出所选的 TMR 元件的电阻值（或 MR 比）.

2. 改良例

参考例中说明了破坏读出操作原理和适用了该原理的磁随机存取存储器的一例.

以下，分别具体说明可适用破坏读出操作原理的改良的磁随机存取存储器和改良的破坏读出操作原理.

（1）改良例 1

图 3 示出作为本发明的改良例 1 的磁随机存取存储器的主要部分. 图 4 只示出图 3 的磁随机存取存储器的 1 列.

该改良例 1 的磁随机存取存储器中，阵列结构与参考例相同。改良例 1 与参考例相比，用于写入/读出的周边电路不同。

存储单元阵列 11 具有在 X 方向和 Y 方向配置成阵列状的多个 TMR 元件 12。在配置在 X 方向的 TMR12 的附近配置有在 X 方向上延伸的多根（本例中，12 根）写入字线 WL0、WL1、…WL11。写入字线 WL0、WL1、…WL11 的一端与写入字线驱动器 23 连接，其另一端与写入字线吸收器 24 连接。

行译码器 25 在写入操作时，基于行地址信号，选择写入字线线 WL0、WL1、…WL11 中的 1 根。写入字线驱动器 23 向所选的写入字线提供写入电流。写入电流流过所选的字线，被写入字线吸收器 24 吸收。

配置在 Y 方向的 TMR 元件 12 并联连接在第 1 数据传送线（位线）26 和第 2 数据传送线 27 之间。

第 1 数据线传送线 26 的一端经由列选择开关（MOS 晶体管）SW 连接到公共数据线 28。公共数据线 28 连接到具有读出电路（包括读出放大器）、写入位线驱动器和写入位线吸收器的电路块 29。

第 1 数据传送线 26 的另一端经由列选择开关（MOS 晶体管）SW 连接到公共驱动线 30。公共驱动线 30 连接到具有写入位线驱动器和写入位线吸收器的电路块 31。

在列选择开关 SW 的栅极输入列选择线信号 CSL0、CSL1、…CSL7。列译码器 32 与列选择开关 SW 对应设置，输出列选择线信号 CSL0、CSL1、…CSL7。第 2 数据传送线 27 连接到接地点。

本例的磁随机存取存储器中，在写入操作时，在所选的写入字线流过从写入字线驱动器 23 朝向写入字线吸收器 24 的电流。另外，在所选的列中，在第 1 数据传送线（位线）流过写入电流。流入第 1 数据传送线的写入电流的方向根据写入数据的值变化。

在读出操作时，在所选的列中，从电路块 29 经由第 1 数据传送线、多个 TMR 元件以及第 2 数据传送线，读出电流流入接地点。在读出电流流过期间，电路块 29 内的读出放大器检测与多个 TMR 元件的合成电阻对应的读出数据。

另外，以后具体说明采用了本例的磁随机存取存储器的读出操作原理。

（2）改良例 2

图 5 示出作为本发明的改良例 2 的磁随机存取存储器的主要部分。图 5 中

对应图4只示出存储单元阵列的1列.

该改良例2的磁随机存取存储器与改良例1相比,1列的TMR元件的配置不同. 即, 改良例1中, 1列内的TMR元件在Y方向配置成一列, 但改良例2中, 1列内的TMR元件在Z方向配置成一列.

在此, Z方向是与X方向和Y方向正交的纸面垂直的方向. 即, 图5的TMR元件实际上在与纸面垂直的方向相互重合.

存储单元阵列11具有在X方向和Y方向配置成阵列状的多个TMR元件12. 本例中, TMR元件12在Z方向叠积成8级. 在TMR元件12的附近配置有向X方向延伸、在Z方向叠积的多根(本例中, 8根)写入字线WL0、WL1、…WL7.

例如, 在配置在第1级(最底级)的TMR元件(MTJ(Magnetic Tunnel Junction)0)的附近配置有写入字线WL0, 在配置在第2级的TMR元件(MTJ1)的附近配置有写入字线WL1, 在配置在第8级(最上级)的TMR元件(MTJ7)的附近配置有写入字线写入字线WL7.

写入字线WL0、WL1、…WL7的一端与写入字线驱动器23连接, 另一端与写入字线吸收器24连接.

在写入操作时, 行译码器25基于行地址信号, 选择写入字线WL0、WL1、…WL7中的1根. 写入字线驱动器23向所选的写入字线提供写入电流. 写入电流流过所选的字线, 被写入字线吸收器24吸收.

配置在Z方向的TMR元件12相互并联连接. TMR元件12的一端与第1数据传送线(位线BLi)26连接, 另一端与接地点连接.

第1数据传送线26的一端经由列选择开关(MOS晶体管)SWA连接到公共数据线28. 公共数据线28连接到读出电路(包括读出放大器)29B.

本例的磁随机存取存储器中, 在Y方向延伸的、只在写入时使用的写入线33新设置在存储单元阵列11内. 该写入线33例如可以对应Z方向的8个TMR元件12设置8根, 但本例中, 2个TMR元件对应1个写入线33. 即, 1列内有4根写入线33.

写入线33的一端经由列选择开关(MOS晶体管)SWB连接到公共驱动线30A. 公共驱动线30A连接到具有写入位线驱动器和写入位线吸收器的电路块29A.

写入线33的另一端经由列选择开关(MOS晶体管)SWB连接到公共驱动线30B. 公共驱动线30B连接到具有写入位线驱动器和写入位线吸收器的电路块

31.

在列选择开关SWA的栅极输入列选择线信号CSLj（j=0、1、…7）. 读出列译码器32A与列选择开关SWA对应设置，输出列选择线信号CSLj.

在列选择开关SWB的栅极输入列选择线信号CSLjk（j=0、1、…7、k=0、1、2、3）. 写入列译码器32B与列选择开关SWB对应设置，输出列选择线信号CSLjk.

本例的磁随机存取存储器中，构成1列的多个TMR元件（存储单元）不是配置在横向（Y方向），即平行于半导体基板的表面的方向，而是配置在纵向（Z方向），即垂直于半导体基板的表面的方向.

因此，改良例2与改良例1相比，具有适于高集成化TMR元件（存储单元）的阵列结构.

（3）改良例1、2的周边电路例

① 写入字线驱动器/吸收器

首先，说明改良例1、2（图3、图4和图5）的写入字线驱动器23和写入字线吸收器24的电路例.

可以使用与改良例1、2相同的写入字线驱动器23和写入字线吸收器24.

图6示出写入字线驱动器/吸收器的一例.

写入字线驱动器23由OR电路OR1、NAND电路ND1以及P沟道MOS晶体管P1构成. 写入字线吸收器24由N沟道MOS晶体管N1构成. 在N沟道MOS晶体管N1的栅极输入电源电位VDD.

在OR电路OR1输入写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE.

写入信号WRITE是在对所选的TMR元件的通常写入操作时变成“H（High）”的信号. 试验信号TRIAL是在读出操作（破坏读出操作）时，对所选的TMR元件写入尝试数据时变成“H”的信号. 重写入信号REWRITE是在读出操作（破坏读出操作）时，对所选的TMR元件重新写入正确数据时变成“H”的信号.

在这3个信号WRITE、TRIAL、REWRITE中的任一个变成“H”时，OR电路OR1的输出信号变成“H”.

在NAND电路ND1中输入OR电路OR1的输出信号和行地址信号（行i）. 选择行i（写入字线WLi）时，行地址信号（行i）的所有位都变成“H”. 因此，

选择行 i，并且 3 个信号 WRITE、TRIAL、REWRITE 中的任一个变成“H”时，NAND 电路 ND1 的输出信号变成“L”.

NAND 电路 ND1 的输出信号变成“L”时，由于 P 沟道 MOS 晶体管 P1 变成导通状态，所以写入电流从电源端子 VDD 经由写入字线 WLi 流入写入字线吸收器 24.

另外，对于行 i 以外的行，由于行地址信号的至少 1 位变成“L（Low）”，所以在行 i 以外的行的写入字线中不流写入电流.

② 列译码器

说明改良例 1（图 3 和图 4）的列译码器 32 的电路例.

图 7 示出列译码器的一例.

列译码器 32 由 OR 电路 OR2、AND 电路 AD1 构成. 在 OR 电路 OR2 输入读出信号 READ1、READ2、写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE.

写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE 与图 6 的输入到写入字线驱动器 23 的写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE 相同.

读出信号 READ1、READ2 是在读出操作（破坏读出操作）时，读出构成所选列的多个 TMR 元件的合成电阻值时变成“H”的信号. 例如，如上所述，通常的破坏读出操作原理需要 2 次读出操作（图 2 的第 1 和第 2 周期）. 即，读出信号 READ1 在第 1 周期变成“H”，读出信号 READ2 在第 3 周期变成“H”.

这些 5 个信号 READ1、READ2、WRITE、TRIAL、REWITE 中的任一个变成“H”时，OR 电路 OR2 的输出信号变成“H”.

在 AND 电路 AD1 输入 OR 电路 OR2 的输出信号和列地址信号（指定列 j）. 选择列 j（位线 BLj）时，列地址信号（指定列 j）的所有位都变成“H”. 因此，选择列 j，并且 5 个信号 READ1、READ2、WRITE、TRIAL、REWRITE 中的任一个变成“H”时，AND 电路 AD1 的输出信号变成“H”.

AND 电路 AD1 的输出信号变成“H”时，图 4 的列选择开关（N 沟道 MOS 晶体管）SW 变成导通状态. 因此，在写入操作时，写入电流流入位线 BLj，在读出操作时，读出电流流入多个 TMR 元件.

图 8 示出列译码器的另一例.

图 8 的列译码器 32 与图 7 的列译码器 32 相比，没有读出信号 READ1、READ2，

取而代之，追加了读出信号 READ.

在将改良了图 2 说明的破坏读出操作原理的新的破坏读出操作原理适用于磁随机存取存储器时使用该列译码器 32.

以后说明该新的破坏读出操作原理，但简单说明其特征，在该破坏读出操作原理中，将图 2 的第 2 周期和第 3 周期集合为 1 个周期.

从而，在列译码器 32 例如代替 2 个读出信号 READ1、READ2，输入在图 2 的第 1 周期变成“H”的读出信号 READ.

③ 读出/写入列译码器

说明改良例 2（图 5）的读出/写入列译码器 32A、32B 的电路例.

图 9 示出读出列译码器的一例.

读出列译码器 32A 由 OR 电路 OR3、AND 电路 AD2 构成. 在 OR 电路 OR3 输入读出信号 READ1、READ2.

读出信号 READ1、READ2 是在读出操作（破坏读出操作）时，读出构成所选列的多个 TMR 元件的合成电阻值时变成“H”的信号. 例如，如上所述，通常的破坏读出操作原理需要 2 次读出操作（图 2 的第 1 和第 2 周期）. 即，读出信号 READ1 在第 1 周期变成“H”，读出信号 READ2 在第 3 周期变成“H”.

这 2 个信号 READ1、READ2 中的任一个变成“H”时，OR 电路 OR3 的输出信号变成“H”.

在 AND 电路 AD2 输入 OR 电路 OR3 的输出信号和列地址信号（指定列 j）. 选择列 j（位线 BLj）时，列地址信号（指定列 j）的所有位都变成“H”. 因此，选择列 j、并且 2 个信号 READ1、READ2 中的任一个变成“H”时，AND 电路 AD2 的输出信号变成“H”.

AND 电路 AD2 的输出信号变成“H”时，图 5 的列选择开关（N 沟道 MOS 晶体管）SWA 变成导通状态. 因此，在读出操作时，读出电流流入多个 TMR 元件.

图 10 示出读出列译码器的另一例.

图 10 的读出列译码器 32A 与图 9 的列译码器 32A 相比，没有读出信号 READ1、READ2，取而代之，追加了读出信号 READ 和试验信号 TRIAL.

在将改良了图 2 中说明的破坏读出操作原理的新的破坏读出操作原理适用于磁随机存取存储器时使用该读出列译码器 32A.

以后说明该新的破坏读出操作原理，但简单说明其特征，在该破坏读出操

作原理中，将图2的第2周期和第3周期集合为1个周期.

从而，在读出列译码器32A中例如代替2个读出信号READ1、READ2，输入在图2的第1周期变成“H”的读出信号READ和在第2周期变成“H”的试验信号TRIAL.

图11示出写入列译码器的一例.

写入列译码器32B由OR电路OR4、AND电路AD3构成. 在OR电路OR4输入写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE.

写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE与图6的输入到写入字线驱动器23的写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE相同.

这3个信号WRITE、试验信号TRIAL、以及重写入信号REWRITE中的任一个变成“H”时，OR电路OR4的输出信号变成“H”.

在AND电路AD3中输入OR电路OR4的输出信号和列地址信号（指定列j）. 列地址信号由高位列地址信号和低位列地址信号构成.

高位列地址信号选择1列. 低位列地址信号用于选择存在于所选列内的、在Z方向叠积的多个TMR元件. 图5的例子中，TMR元件在Z方向叠积8级，为了选择该TMR元件，设置4根写入线33. 因此，低位列地址信号为2位.

利用列地址信号选择列j内的第(k+1)级的TMR元件，并且在3个信号WRITE、TRIAL、REWRITE的任一个变成“H”时，AND电路AD3的输出信号变成“H”.

在AND电路AD3的输出信号变成“H”，即列选择线信号CSLjk变成“H”时，图5的列选择开关（N沟道MOS晶体管）SWB变成导通状态. 因此，在写入操作时，写入电流流入图5的写入线33中的1个.

另外，图11的写入列译码器也可以用于将通常的破坏读出原理和新的破坏读出原理的任一原理适用于磁随机存取存储器的情况.

④ 写入位线驱动器/吸收器

说明改良例1、2（图3、图4和图5）的写入位线驱动器/吸收器29、31的电路例.

可以使用与改良例1、2相同的写入位线驱动器/吸收器29、31.

A. 图12示出写入位线驱动器/吸收器的一例.

本例的写入位线驱动器/吸收器对应于在破坏读出操作原理（例如，参考图

2）的第2周期写入所选的TMR元件的所谓的尝试数据为“1”的情况.

a. 写入位线驱动器/吸收器29

写入位线驱动器/吸收器29由OR电路OR5、OR6、OR7、AND电路AD4、AD5、NAND电路ND2、反相电路I1、P沟道MOS晶体管P2、以及N沟道MOS晶体管N2构成.

写入位线驱动器由OR电路OR5、NAND电路ND2、反相电路I1、以及P沟道MOS晶体管P2构成.在OR电路OR5中输入写入信号WRITE和重写入信号REWRITE.

写入信号WRITE是在对所选的TMR元件的通常写入操作时变成“H”的信号.重写入信号REWRITE是在读出操作（破坏读出操作）后，对所选的TMR元件重新写入正确数据时变成“H”的信号.

这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR5的输出信号变成“H”.

在反相电路I1中输入写入数据DATA.在此,写入数据表示除了尝试数据的、通常的写入数据（包括重写入数据）.

在NAND电路ND2中输入OR电路OR5的输出信号和反相电路I1的输出信号.在OR电路OR5的输出信号为“H”时，若写入数据DATA为“1”，则反相电路I1的输出信号变成“L”，所以NAND电路ND2的输出信号变成“H”.另一方面，若写入数据DATA为“0”，则反相电路I1的输出信号变成“H”，所以NAND电路ND2的输出信号变成“L”.

另外，“1”对应于“H”、“0”对应于“L”.

在NAND电路ND2的输出信号为“H”时，P沟道MOS晶体管P2变成截止状态，在NAND电路ND2的输出信号为“L”时，P沟道MOS晶体管P2变成导通状态.

写入位线吸收器由OR电路OR6、OR7、AND电路AD4、AD5、以及N沟道MOS晶体管N2构成.在OR电路OR6输入写入信号WRITE和重写入信号REWRITE.在这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR6的输出信号变成“H”.

在AND电路AD4中输入OR电路OR6的输出信号和写入数据DATA.

在OR电路OR6的输出信号为“H”时，若写入数据DATA为“1”，则AND电路AD4的输出信号变成“H”.另一方面，若写入数据DATA为“0”，则AND电路

AD4 的输出信号变成“L”。

在 AND 电路 AD5 中输入试验信号 TRIAL。试验信号 TRIAL 是在读出操作（破坏读出操作）时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号。AND 电路 AD5 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端一直固定为“1”。

OR 电路 OR7 的输出信号在 2 个 AND 电路 AD4、AD5 的输出信号中的任一个为“H”时，变成“H”。即，在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且写入数据 DATA 为“1”时，OR 电路 OR7 的输出信号变成“H”。OR 电路 OR7 的输出信号变成“H”时，N 沟道 MOS 晶体管 N2 变成导通状态。

试验信号 TRIAL 变成“H”时，OR 电路 OR7 的输出信号变成“H”，并且 N 沟道 MOS 晶体管 N2 变成导通状态。即，在尝试数据为“1”时，在写入线 26、33 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的电流。

b. 写入位线驱动器/吸收器 31

写入位线驱动器/吸收器 31 由 OR 电路 OR8、OR9、AND 电路 AD6、AD7、AD8、NOR 电路 NR1、反相电路 I2、P 沟道 MOS 晶体管 P3、以及 N 沟道 MOS 晶体管 N3 构成。

写入位线驱动器由 OR 电路 OR8、AND 电路 AD6、AD7、NOR 电路 NR1、以及 P 沟道 MOS 晶体管 P3 构成。在 OR 电路 OR8 中输入写入信号 WRITE 和重写入信号 REWRITE。在这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR8 的输出信号变成“H”。

在 AND 电路 AD6 中输入 OR 电路 OR8 的输出信号和写入数据 DATA。在 OR 电路 OR8 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD6 的输出信号变成“H”。另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD6 的输出信号变成“L”。

在 AND 电路 AD7 中输入试验信号 TRIAL。试验信号 TRIAL 是如上所述，在破坏读出操作时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号。AND 电路 AD7 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端一直固定为“1”。

在 2 个 AND 电路 AD6、AD7 的输出信号中的至少一个为“H”时，NOR 电路 NR1 的输出信号变成“L”。即，在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且写入数据 DATA 为“1”时，NOR 电路 NR1 的输出信号变成“L”。若 NOR 电路

NR1 的输出信号变成“L”，则 P 沟道 MOS 晶体管 P3 变成导通状态.

在试验信号 TRIAL 变成“H”时，NOR 电路 NR1 的输出信号变成“L”，并且 P 沟道 MOS 晶体管 P3 变成导通状态. 即，在尝试数据为“1”时，在写入线 26、33 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的电流.

写入位线吸收器由 OR 电路 OR9、AND 电路 AD8、反相电路 12、以及 N 沟道 MOS 晶体管 N3 构成. 在 OR 电路 OR9 中输入写入信号 WRITE 和重写入信号 REWRITE. 在这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR9 的输出信号变成“H”.

写入数据 DATA 输入到反相电路 I2. 在 AND 电路 AD8 中输入 OR 电路 OR9 的输出信号和反相电路 12 的输出信号.

在 OR 电路 OR9 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD8 的输出信号变成“L”. 另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD8 的输出信号变成“H”. 在 AND 电路 AD8 的输出信号为“L”时，N 沟道 MOS 晶体管 N3 变成截止状态，在 AND 电路 AD8 的输出信号为“H”时，N 沟道 MOS 晶体管 N3 变成导通状态.

c. 像这样，图 12 的写入位线驱动器/吸收器中，在写入操作时，即，在信号 WRITE、REWRITE 中的任一个为“H”时，根据写入数据 DATA 的值(“1”或“0”)，确定流入写入线 26、33 的写入电流的方向.

另外，在读出操作时，由于在 TMR 元件写入尝试数据时，试验信号 TRIAL 变成“H”，所以本例中，在写入线 26、33 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的写入电流. 此时，在所选的 TMR 元件中写入尝试数据“1”.

B. 图 13 示出写入位线驱动器/吸收器的另一例.

本例的写入位线驱动器/吸收器对应在破坏读出操作原理(例如，参考图 2)的第 2 周期写入所选的 TMR 元件的所谓的尝试数据为“0”的情况.

a. 写入位线驱动器/吸收器 29

写入位线驱动器/吸收器 29 由 OR 电路 OR10、OR11、AND 电路 AD9、AD10、AD11、NOR 电路 NR2、反相电路 I3、I4、P 沟道 MOS 晶体管 P4、以及 N 沟道 MOS 晶体管 N4 构成.

写入位线驱动器由 OR 电路 OR10、AND 电路 AD9、AD10、NOR 电路 NR2、反相

电路 I3、I4、P 沟道 MOS 晶体管 P4 构成。在 OR 电路 OR10 中输入写入信号 WRITE 和重写入信号 REWRITE。这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR5 的输出信号变成“H”。

写入数据 DATA 输入到反相电路 I3 中。在 AND 电路 AD9 中输入 OR 电路 OR10 的输出信号和反相电路 I3 的输出信号。在 OR 电路 OR10 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD9 的输出信号变成“L”。另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD9 的输出信号变成“H”。

在 AND 电路 AD10 中输入试验信号 TRIAL。试验信号 TRIAL 是在破坏读出操作时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号。AND 电路 AD10 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端由于反相器 I4 的输入信号固定为“0”，所以一直固定为“1”。

NOR 电路 NR2 的输出信号在 2 个 AND 电路 AD9、AD10 的输出信号中的至少一个为“H”时，变成“L”。即，在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且写入数据 DATA 为“0”时，NOR 电路 NR2 的输出信号变成“L”。NOR 电路 NR2 的输出信号变成“L”时，P 沟道 MOS 晶体管 P4 变成导通状态。

在试验信号 TRIAL 变成“H”时，NOR 电路 NR2 的输出信号变成“L”，并且 P 沟道 MOS 晶体管 P4 变成导通状态。即，在尝试数据为“0”时，在写入线 26、33 流过从写入位线驱动器/吸收器 29 朝向写入位线驱动器/吸收器 31 的电流。

写入位线吸收器由 OR 电路 OR11、AND 电路 AD11、以及 N 沟道 MOS 晶体管 N4 构成。在 OR 电路 OR11 中输入写入信号 WRITE 和重写入信号 REWRITE。这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR11 的输出信号变成“H”。

在 AND 电路 AD11 中输入 OR 电路 OR11 的输出信号和写入数据 DATA。

在 OR 电路 OR11 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD11 的输出信号变成“H”。另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD11 的输出信号变成“L”。在 AND 电路 AD11 的输出信号为“H”时，N 沟道 MOS 晶体管 N4 变成导通状态，在 AND 电路 AD11 的输出信号为“L”时，N 沟道 MOS 晶体管 N4 变成截止状态。

b. 写入位线驱动器/吸收器 31

写入位线驱动器/吸收器 31 由 OR 电路 OR12、OR13、OR14、AND 电路 AD12、

AD13、NAND 电路 ND3、反相电路 I5、I6、P 沟道 MOS 晶体管 P5、以及 N 沟道 MOS 晶体管 N5 构成.

写入位线驱动器由 OR 电路 OR12、NAND 电路 ND3、以及 P 沟道 MOS 晶体管 P5 构成. 在 OR 电路 OR12 输入写入信号 WRITE 和重写入信号 REWRITE. 在这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR12 的输出信号变成“H”.

在 NAND 电路 ND2 中输入 OR 电路 OR12 的输出信号和写入数据 DATA. 在 OR 电路 OR12 的输出信号为“H”时，若写入数据 DATA 为“1”，则 NAND 电路 ND3 的输出信号变成“L”. 另一方面，若写入数据 DATA 为“0”，则 NAND 电路 ND3 的输出信号变成“H”.

在 NAND 电路 ND3 的输出信号为“L”时，P 沟道 MOS 晶体管 P5 变成导通状态，在 NAND 电路 ND3 的输出信号为“H”时，P 沟道 MOS 晶体管 P5 变成截止状态.

写入位线吸收器由 OR 电路 OR13、OR14、AND 电路 AD12、AD13、反相电路 I5、I6、以及 N 沟道 MOS 晶体管 N5 构成. 在 OR 电路 OR13 中输入写入信号 WRITE 和重写入信号 REWRITE. 这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR13 的输出信号变成“H”.

写入数据 DATA 输入到反相电路 I5. 在 AND 电路 AD12 中输入 OR 电路 OR13 的输出信号和反相电路 I5 的输出信号.

在 OR 电路 OR13 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD12 的输出信号变成“L”. 另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD12 的输出信号变成“H”.

在 AND 电路 AD13 中输入试验信号 TRIAL. 试验信号 TRIAL 是在读出操作（破坏读出操作）时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号. AND 电路 AD13 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端由于反相器 I6 的输入信号固定为“0”，所以一直固定为“1”.

OR 电路 OR14 的输出信号在 2 个 AND 电路 AD12、AD13 的输出信号中的任一个为“H”时，变成“H”. 在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且写入数据 DATA 为“0”时，OR 电路 OR14 的输出信号变成“H”. 若 OR 电路 OR14 的输出信号变成“H”，则 N 沟道 MOS 晶体管 N5 变成导通状态.

在试验信号 TRIAL 变成“H”时，OR 电路 OR14 的输出信号变成“H”，并且 N 沟道 MOS 晶体管 N5 变成导通状态。即，在尝试数据为“0”时，在写入线 26、33 流过从写入位线驱动器/吸收器 29 朝向写入位线驱动器/吸收器 31 的电流。

c. 像这样，图 13 的写入位线驱动器/吸收器中，在读出操作中，在 TMR 元件写入尝试数据时，将试验信号 TRIAL 设成“H”，在写入线 26、33 流过从写入位线驱动器/吸收器 29 朝向写入位线驱动器/吸收器 31 的电流。

即，对于图 12 的例子中，写入到 TMR 元件的尝试数据为“1”，在图 13 的例子中，写入到 TMR 元件的尝试数据变成“0”。

另外，在通常的写入操作时，由于信号 WRITE、REWRITE 的任一个变成“H”（试验信号 TRIAL 为“L”），所以根据写入数据 DATA 的值（“1”或“0”）确定流入写入线 26、33 的写入电流的方向。

（4） 采用了改良例 1、2 的读出操作原理

改良例 1、2 的具体结构如上所述。以下说明采用了改良例 1、2 的读出操作原理。

本例中，首先说明了用改良例 1、2 执行最初在美国申请 09/961,326 提出的读出操作原理的情况，之后说明用改良例 1、2 执行本申请中新提出的读出操作原理。

① 读出操作原理 1

图 14 是示出读出操作原理 1 的波形图。

该读出操作原理与图 2 所示的读出操作原理有关。其中，本例中，1 次读出操作由 5 个步骤构成。即，本例中，在第 2 次读出步骤和重写入步骤之间插入比较读出结果的步骤。

对于执行该读出操作原理时使用的电路，图 3 和图 4 的改良例 1 中，是图 6 所示的写入字线驱动器/吸收器、图 7 所示的列译码器、以及图 12 所示的写入位线驱动器/吸收器（尝试数据“1”）。

另外，图 5 的改良例 2 中，有图 6 所示的写入字线驱动器/吸收器、图 9 所示的读出列译码器、图 11 所示的写入列译码器、以及图 12 所示的写入位线驱动器/吸收器（尝试数据“1”）。

A. 步骤 1

在步骤 1 进行初始数据的读出（第 1 次读出）。初始数据表示为了判断所选

的TMR元件的数据值而所需的基准数据。

该步骤中，读出信号READ1变成“H”。

从而，在改良例1的情况下，列地址信号的所有位都变成“1”的所选列中，列选择线信号CSLj（图7）变成“H”。另外，在改良例2的情况下，高位列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图9）变成“H”。

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态。其结果，图4的改良例1中，在电路块29内的读出电路内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点。图5的改良例2中，在读出电路29B内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点。

读出电路在流过读出电流的状态下，检测初始数据。初始数据依赖于构成所选列的并联连接的多个TMR元件的合成电阻。初始数据存储在读出放大器内的存储电路中。

B. 步骤2

在步骤2对所选的TMR元件写入尝试数据。尝试数据是为了得到与基准数据比较的比较数据，写入到所选的TMR元件的预定值的数据。本例中，将尝试数据设成“1”。

在该步骤，试验信号TRIAL变成“H”。

从而，在改良例1、2的情况下，行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的P沟道MOS晶体管P1（图6）变成导通状态。随之，在所选行内的写入字线流过写入电流。

另外，在改良例1的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图7）变成“H”。另外，在改良例2的情况下，高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号CSLjk（图11）变成“H”。

即，在改良例1的情况下，所选列内的列选择开关SW变成导通状态，在改良例2的情况下，对应所选列内的所选级的列选择开关SWB变成导通状态。

另外，在图12的写入位线驱动器/吸收器29中，由于试验信号TRIAL为“H”，所以N沟道MOS晶体管N2变成导通状态。在图12的写入位线驱动器/吸收器31中，由于试验信号TRIAL为“H”，所以P沟道MOS晶体管P2变成导通状态。

从而，在图4的改良例1的情况下，在所选列内的写入线26流过从写入位

线驱动器/吸收器31朝向写入位线驱动器/吸收器29的写入电流。另外，在图5的改良例2的情况下，在所选列内的所选级内的写入线33流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的写入电流。

其结果，在所选的TMR元件中写入尝试数据（“1”）。之后，将列选择开关SW、SWB设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

C. 步骤3

在步骤3进行比较数据的读出（第2次读出）。比较数据表示利用与基准数据的比较，判断所选的TMR元件的数据值的数据。

该步骤中，读出信号READ2变成“H”。

从而，在改良例1的情况下，列地址信号的所有位都变成“1”的所选的列中， 列选择线信号CSLj（图7）变成“H”。另外，在改良例2的情况下，高位列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图9）变成“H”。

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态。其结果，图4的改良例1中，在电路块29内的读出电路内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点。图5的改良例2中，在读出电路29B内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点。

读出电路在流过读出电流的状态下，对比较数据进行检测。比较数据依赖于构成所选列的并联连接的多个TMR元件的合成电阻。

D. 步骤4

在步骤4对初始数据和比较数据进行比较，判断所选的TMR元件的数据值。

即，在判断为初始数据和比较数据相同时，由于表示通过在第2步骤写入尝试数据，所选的TMR元件的电阻值没有变化，所以所选的TMR元件的数据值判断为与尝试数据值相同的值。

相反，在判断为初始数据和比较数据不同时，由于表示通过在第2步骤写入尝试数据，所选的TMR元件的电阻值发生变化，所以所选的TMR元件的数据值判断为与尝试数据值相反的值。

本例中，由于假设尝试数据为“1”，所以若初始数据和比较数据相同，则所选的TMR元件的数据判断为“1”，若初始数据和比较数据不同，则所选的TMR元件的数据判断为“0”。

这样，确定所选的TMR元件的数据值。

另外，在步骤4基于触发信号，对2次读出结果进行比较。在此，本例中，在触发信号变成“H”之前，列选择线信号和读出放大器启动信号变成“L”。

其中，如图15的波形图所示，对于列选择线信号和读出放大器启动信号，也可以在步骤3至步骤4维持“H”电平。

但是，对于用于执行步骤4的电路，即读出电路（包括读出放大器）的具体结构，在“改良例1、2的周边电路例”的项目中没有进行说明。其中，对于读出电路（包括读出放大器），由于提出了多种多样的改良例，所以以后进行具体说明。

E. 步骤5

在步骤5对所选的TMR元件重写入数据。本例的读出操作原理中，在步骤2将尝试数据写入所选的TMR元件。即，此时所选的TMR元件的数据被破坏。

因此，在判断了所选的TMR元件的数据值之后，对所选的TMR元件重写入数据。

在该步骤，重写入信号REWRITE变成“H”。

因此，在改良例1、2的情况下，在行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的P沟道MOS晶体管P1（图6）变成导通状态。随之，在所选行内的写入字线流过写入电流。

另外，在改良例1的情况下，在列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图7）变成“H”。另外，在改良例2的情况下，在高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号CSLjk（图11）变成“H”。

即，在改良例1的情况下，所选列内的列选择开关SW变成导通状态，在改良例2的情况下，与所选列内的所选级对应的列选择开关SWB变成导通状态。

另外，图12的写入位线驱动器/吸收器29中，由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P2、N2的导通/截止状态。图12的写入位线驱动器/吸收器31中，也由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P3、N3的导通/截止状态。

因此，在图4的改良例1的情况下，在所选列内的写入线26中流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/

吸收器31侧的写入电流。

另外，在图5的改良例2的情况下，在所选列内的所选级内的写入线33中流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/吸收器31侧的写入电流。

其结果，在所选的TMR元件中重写入在执行由上述步骤1至步骤5构成的读出操作之前存储在该TMR元件中的数据（“1”或“0”）。接着，将列选择开关SW、SWB设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

另外，在步骤4判断为初始数据和比较数据相同时，存储在所选的TMR元件中的数据和尝试数据具有相同的值。因此，此时可以省略步骤5。

即，只有在步骤4判断为初始数据和比较数据不同时，在步骤5对所选的TMR元件重写入具有与尝试数据值相反的值的数据即可。

以上，改良例1、2的磁随机存取存储器中，采用所谓的破坏读出操作原理，可以实际上执行该原理。从而，可以与读出时的多个TMR元件间的电阻值偏差无关，可以正确读出所选的TMR元件的电阻值（或MR比）。

② 读出操作原理2

图16是表示读出操作原理2的波形图。

该读出操作原理是上述读出操作原理1的改良例。该读出操作原理的特征在于，将读出尝试数据的步骤、读出比较数据的步骤（第2次读出步骤）、以及比较读出结果并判断TMR元件的数据的步骤合并成1个步骤。

因此，本例中，1次读出操作由3个步骤构成。本例的读出操作原理是将图14或图15的读出操作原理的步骤2至步骤4合并成1个步骤。

对于执行该读出操作原理时使用的电路，图3和图4的改良例1中，有图6所示的写入字线驱动器/吸收器、图8所示的列译码器、以及图12所示的写入位线驱动器/吸收器（尝试数据“1”）。

另外，图5的改良例2中，有图6所示的写入字线驱动器/吸收器、图10所示的读出列译码器、图11所示的写入列译码器、以及图12所示的写入位线驱动器/吸收器（尝试数据“1”）。

A. 步骤1

在步骤1进行初始数据的读出（第1次读出）。

该步骤中，读出信号READ变成“H”.

从而，在改良例1的情况下，列地址信号的所有位都变成“1”的所选的列中，列选择线信号CSLj（图8）变成“H”. 另外，在改良例2的情况下，高位列地址信号的所有位都变成“1”的列中，列选择线信号CSLjk（图10）变成“H”.

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态. 其结果，图4的改良例1中，在电路块29内的读出电路内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点. 图5的改良例2中，在读出电路29B内的电流源产生的读出电流经由所选列的多个TMR元件流入接地点.

读出电路在流过读出电流的状态下，检测初始数据. 初始数据依赖于构成所选列的并联连接的多个TMR元件的合成电阻. 初始数据存储在读出放大器内的存储电路.

B. 步骤2

在步骤2，同时或在时间上并行进行以下3个事项.

- 对所选的TMR元件写入尝试数据
- 读出比较数据（第2次读出）
- 比较2次读出结果（判断TMR元件的数据值）

在该步骤，试验信号TRIAL变成“H”.

从而，在改良例1、2的情况下，行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的P沟道MOS晶体管P1（图6）变成导通状态. 随之，在所选行内的写入字线中流过写入电流.

另外，在改良例1的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图8）变成“H”. 另外，在改良例2的情况下，高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号CSLj（图11）变成“H”.

即，在改良例1的情况下，所选列内的列选择开关SW变成导通状态，在改良例2的情况下，对应所选列内的所选级的列选择开关SWB变成导通状态.

另外，在图12的写入位线驱动器/吸收器29中，由于试验信号TRIAL变成“H”，所以N沟道MOS晶体管N2变成导通状态. 在图12的写入位线驱动器/吸收器31中，由于试验信号TRIAL变成“H”，所以P沟道MOS晶体管P2变成导通状态.

从而，在图4的改良例1的情况下，在所选列内的写入线26中流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的写入电流。另外，在图5的改良例2的情况下，在所选列内的所选级内的写入线33中流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的写入电流。

其结果，在所选的TMR元件中写入尝试数据（“1”）.

像这样写入尝试数据，同时进行比较数据的读出（第2次读出）.

即，在试验信号TRIAL为“H”时，改良例1中，列地址信号的所有位都变成“1”的所选列的列选择线信号CSLj（图8）变成“H”。另外，在改良例2中，高位列地址信号的所有位都变成“1”的列的列选择线信号CSLjk（图10）变成“H”。

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态。其结果，图4的改良例1中，利用电路块29内的读出电路检测出比较数据。另外，在图5的改良例2中，利用读出电路29B检测出比较数据。比较数据依赖于构成所选列的并联连接的多个TMR元件的合成电阻。

将由读出电路检测出的比较数据立刻与初始数据进行比较，判断所选的TMR元件的数据值。

即，在判断为初始数据和比较数据相同时，由于表示通过写入尝试数据，所选的TMR元件的电阻值没有变化，所以所选的TMR元件的数据值判断为与尝试数据值相同的值。

相反，在判断为初始数据和比较数据不同时，由于表示通过写入尝试数据，所选的TMR元件的电阻值发生变化，所以所选的TMR元件的数据值判断为与尝试数据值相反的值。

本例中，由于假设尝试数据为“1”，所以若初始数据和比较数据相同，则所选的TMR元件的数据判断为“1”，若初始数据和比较数据不同，则所选的TMR元件的数据判断为“0”。

这样，确定所选的TMR元件的数据值。

C. 步骤3

在步骤3对所选的TMR元件重写入数据。本例的读出操作原理中，在步骤2将尝试数据写入所选的TMR元件。即，此时所选的TMR元件的数据被破坏。

因此，在判断了所选的TMR元件的数据值之后，对所选的TMR元件重写入

数据。

在该步骤，重写入信号 REWRITE 变成“H”。

因此，在改良例 1、2 的情况下，在行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的 P 沟道 MOS 晶体管 P1（图 6）变成导通状态。随之，在所选行内的写入字线流过写入电流。

另外，在改良例 1 的情况下，在列地址信号的所有位都变成“1”的列中，列选择线信号 CSLj（图 8）变成“H”。另外，在改良例 2 的情况下，在高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号 CSLjk（图 11）变成“H”。

即，在改良例 1 的情况下，所选列内的列选择开关 SW 变成导通状态，在改良例 2 的情况下，与所选列内的所选级对应的列选择开关 SWB 变成导通状态。

另外，图 12 的写入位线驱动器/吸收器 29 中，由于重写入信号 REWRITE 为“H”，所以根据重写入数据 DATA 的值，确定 MOS 晶体管 P2、N2 的导通/截止状态。图 12 的写入位线驱动器/吸收器 31 中，也由于重写入信号 REWRITE 为“H”，所以根据重写入数据 DATA 的值，确定 MOS 晶体管 P3、N3 的导通/截止状态。

因此，在图 4 的改良例 1 的情况下，在所选列内的写入线 26 中流过对应重写入数据 DATA 的值、朝向写入位线驱动器/吸收器 29 侧、或写入位线驱动器/吸收器 31 侧的写入电流。

另外，在图 5 的改良例 2 的情况下，在所选列内的所选级内的写入线 33 中流过对应重写入数据 DATA 的值、朝向写入位线驱动器/吸收器 29 侧、或写入位线驱动器/吸收器 31 侧的写入电流。

其结果，在所选的 TMR 元件中重写入在执行读出操作之前存储在该 TMR 元件的数据（“1”或“0”）。接着，将列选择开关 SW、SWB 设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

另外，在步骤 2 判断为初始数据和比较数据相同时，存储在所选的 TMR 元件中的数据和尝试数据具有相同的值。因此，此时可以省略步骤 3。

即，只有在步骤 2 判断为初始数据和比较数据不同时，在步骤 3 对所选的 TMR 元件重写入具有与尝试数据值相反的值的数据即可。

以上，改良例 1、2 的磁随机存取存储器中，采用改良的破坏读出操作原理，可以实际上执行该原理。从而，可以与读出时的多个 TMR 元件间的电阻值偏差

无关，可以正确读出所选的TMR元件的电阻值（或MR比）.

（5）改良例3

图17示出本发明的改良例3的磁随机存取存储器的主要部分. 图18只示出图17的磁随机存取存储器的1列.

该改良例3的磁随机存取存储器是改良例1的磁随机存取存储器（图3和图4）的变形例.

即，在改良例1中，1列由相互并联连接的多个TMR元件构成的1个块构成. 与此不同，在改良例3中，在将相互并联连接的多个TMR元件的组作为1个块时，1列由多个块的集合构成.

由多个块构成1列的主要理由是，在破坏读出操作时，通过减去流过读出电流的1个块内的TMR元件个数，加大单元数据与尝试数据不同时的初始数据和比较数据之差，加大读出余量（或灵敏度）.

存储单元阵列11具有在X方向和Y方向配置成阵列状的多个TMR元件12. 在配置在X方向的TMR元件12的附近配置有向X方向延伸的多根（本例中，12根）写入字线WWL0、WWL1、…WWL11. 写入字线WWL0、WWL1、…WWL11的一端与写入字线驱动器23A连接，另一端与写入字线吸收器24连接.

本例中，1列由3个块BK构成. 由于1列由配置在Y方向的12个TMR元件12构成，所以1个块BK由4个TMR元件12构成.

1个块BK内的TMR元件12在第1数据传送线（位线）26和第2数据传送线27之间并联连接.

第1数据传送线26的一端经由列选择开关（MOS晶体管）SW连接到公共数据线28. 公共数据线28连接到具有读出电路（包括读出放大器）、写入位线驱动器、以及写入位线吸收器的电路块29.

第1数据传送线26的另一端经由列选择开关（MOS晶体管）SW连接到公共驱动线30. 公共驱动线30连接到具有写入位线驱动器和写入位线吸收器的电路块31.

在列选择开关SW的栅极输入列选择线信号CSL0、CSL1、…、CSL7. 列译码器32与列选择开关SW对应设置，输出列选择线信号CSL0、CSL1、…、CSL7.

第2数据传送线27经由读出选择开关（MOS晶体管）RSW连接到接地点. 读出选择开关RSW的栅极连接到读出字线RWLo（o=0、1、2）. 1个读出字线RWLo

对应1列内的1个块BK，并且为X方向的多个块所公用。

本例中，由于1列由3个块构成，所以读出字线RWLo为3根。读出字线RWLo向X方向延伸，另一端连接到读出字线驱动器23B。

行译码器25在读出操作时，基于行地址信号，选择写入字线WWL0、WWL1、…WWL11中的1根。写入字线驱动器23A向所选的写入字线提供写入电流。写入电流流过所选的字线，被写入字线吸收器24吸收。

行译码器25在读出操作时，例如基于高位行地址信号选择1个块。读出字线驱动器23B向连接到所选块BK的读出字线RWLo提供读出字线电压。由于在所选的块BK中，读出选择开关RSW变成导通状态，所以读出电流经由所选块BK内的多个TMR元件流向接地点。

本例的磁随机存取存储器中，在写入操作时，在所选的写入字线流过从写入字线驱动器23A朝向写入字线吸收器24的写入电流。另外，在所选的列中，在第1数据传送线（位线）26中流过写入电流。流入第1数据传送线26的写入电流的方向根据写入数据的值变化。

在读出操作时，所选列内的所选块中，从电路块29经由第1数据传送线、多个TMR元件、以及第2数据传送线，向接地点流入电流。电路块29内的读出电路在流过读出电流的期间，检测对应所选块内的多个TMR元件的合成电阻的读出数据。

另外，以后具体说明采用了本例的磁随机存取存储器的读出操作原理。

（6）改良例4

图19示出本发明的改良例4的磁随机存取存储器的主要部分。图19中只示出图18的存储单元阵列的1列。

该改良例4的磁随机存取存储器与改良例3相比，1列的TMR元件的配置不同。

即，改良例3中，1列内的多个块以及1个块内的多个TMR元件都在Y方向配置成一列，但改良例4中，1列内的多个块在Y方向配置成一列，1个块内的多个TMR元件在Z方向配置成一列。

在此，Z方向是与在X方向和Y方向正交的纸面垂直的方向。即，图19的TMR元件实际上在与纸面垂直的方向相互重合。

存储单元阵列11具有在X方向和Y方向、以及Z方向配置成阵列状的多个

TMR 元件 12. 本例中，1 列由多个块 BK 构成。

1 个块 BK 由在 Z 方向叠积的多个（本例中，4 个）TMR 元件 12 构成。在构成 1 个块 BK 的 TMR 元件 12 的附近配置有向 X 方向延伸、在 Z 方向叠积的多根（本例中，4 根）写入字线 WWL0、WWL1、WWL2、WWL3。

例如，在配置在第 1 级（最底级）的 TMR 元件（MTJ（Magnetic Tunnel Junction）0）的附近配置有写入字线 WWL0，在配置在第 2 级的 TMR 元件（MTJ1）的附近配置有写入字线 WWL1，在配置在第 4 级（最上级）的 TMR 元件（MTJ3）的附近配置有写入字线写入字线 WWL3。

写入字线 WWL0、WWL1、WWL2、WWL3 的一端与写入字线驱动器 23A 连接，另一端与写入字线吸收器 24 连接。

配置在 1 个块 BK 内的 Z 方向的 TMR 元件 12 相互并联连接。

TMR 元件 12 的一端与第 1 数据传送线（位线 BLi）26 连接。第 1 数据传送线 26 的一端经由列选择开关（MOS 晶体管）SWA 连接到公共数据线 28。公共数据线 28 连接到读出电路（包括读出放大器）29B。

TMR 元件 12 的另一端经由读出选择开关（MOS 晶体管）RSW 连接到接地点。读出选择开关 RSW 的栅极连接到读出字线 RWLo（o＝0、1、2）。1 个读出字线 RWLo 对应 1 列内的 1 个块 BK，并且为 X 方向的多个块所公用。

例如，在 1 列由 3 个块构成时，读出字线 RWLo 个数为 3 根。读出字线 RWLo 向 X 方向延伸，其另一端连接到读出字线驱动器 23B。

行译码器 25 在写入操作时，基于行地址信号选择写入字线 WWL0、WWL1、…WWL11 中的 1 根。写入字线驱动器 23A 向所选的写入字线提供写入电流。写入电流流过所选的字线，被写入字线吸收器 24 吸收。

行译码器 25 在读出操作时，例如基于高位行地址信号选择 1 个块。读出字线驱动器 23B 向连接到所选块 BK 的读出字线 RWLo 提供读出字线电压。所选的块 BK 中，由于读出选择开关 RSW 变成导通状态，所以读出电流经由所选块 BK 内的多个 TMR 元件流入接地点。

本例中，在存储单元阵列 11 内新设置向 Y 方向延伸的、只在读出时使用的写入线 33。该写入线 33 也可以例如对应 1 个块内的 4 个 TMR 元件 12 设置 4 根，但本例中，1 个写入线 33 对应 2 个 TMR 元件。即，1 个块内的写入线 33 变成 2 根。

写入线33的一端经由列选择开关(MOS晶体管)SWB连接到公共驱动线30A。公共驱动线30A连接到包括写入位线驱动器和写入位线吸收器的电路块29A。

写入线33的另一端经由列选择开关(MOS晶体管)SWB连接到公共驱动线30B。公共驱动线30B连接到包括写入位线驱动器和写入位线吸收器的电路块31。

在列选择开关SWA的栅极输入列选择线信号CSLj(j=0、1、…7)。读出列译码器32A与列选择开关SWA对应设置，输出列选择线信号CSLj。

在列选择开关SWB的栅极输入列选择线信号CSLjk(j=0、1、…7、k=0、1)。写入列译码器32B与列选择开关SWB对应设置，输出列选择线信号CSLjk。

本例的磁随机存取存储器中，在将相互并联连接的多个TMR元件的组作为1个块时，1个列由多个块的集合构成。因此，在破坏读出操作时，可以减少流过读出电流的1个块内的TMR元件个数，加大单元数据与尝试数据不同时的初始数据和比较数据之差，加大读出余量(或灵敏度)。

另外，改良例4中，1个块内的多个TMR元件(存储单元)不是配置在横向(Y方向)、即平行于半导体基板的表面的方向，而是配置在纵向(Z方向)、即垂直于半导体基板的表面的方向。

因此，改良例4与改良例3相比，具有适于高集成化TMR元件(存储单元)的阵列结构。

(7)改良例3、4的周边电路例

① 写入字线驱动器/吸收器

首先，说明改良例3、4(图17、图18和图19)的写入字线驱动器23A和写入字线吸收器24的电路例。

可以使用与改良例3、4相同的写入字线驱动器23A和写入字线吸收器24。

图20示出写入字线驱动器/吸收器的一例。

写入字线驱动器23A由OR电路OR15、NAND电路ND4以及P沟道MOS晶体管P6构成。写入字线吸收器24由N沟道MOS晶体管N6构成。在N沟道MOS晶体管N6的栅极输入电源电位VDD。

在OR电路OR15中输入写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE。

写入信号WRITE是在对所选的TMR元件的通常写入操作时变成"H"的信号。

试验信号 TRIAL 是在读出操作（破坏读出操作）时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号．重写入信号 REWRITE 是在读出操作（破坏读出操作）时，对所选的 TMR 元件重写入正确的数据时变成“H”的信号．

在这 3 个信号 WRITE、TRIAL、REWRITE 中的任一个变成“H”时，OR 电路 OR15 的输出信号变成“H”．

在 NAND 电路 ND4 中输入 OR 电路 OR15 的输出信号和行地址信号（行 i）．选择行 i（写入字线 WLi）时，行地址信号（行 i）的所有位都变成“H”．因此，选择行 i，并且 3 个信号 WRITE、TRIAL、REWRITE 中的任一个变成“H”时，NAND 电路 ND4 的输出信号变成“L”．

行地址信号由高位行地址信号和低位行地址信号构成．本例中，高位行地址信号用于选择 1 列内的多个块中的 1 个，低位行地址信号用于选择所选的块内的多个 TMR 元件中的 1 个．

例如，在 1 列由 3 个或 4 个块构成时，高位行地址信号由 2 位、1 个块由 4 个 TMR 元件构成时，低位行地址信号为 2 位．

NAND 电路 ND4 的输出信号变成“L”时，由于 P 沟道 MOS 晶体管 P6 变成导通状态，所以写入电流从电源端子 VDD 经由写入字线 WLi 流入写入字线吸收器 24．

另外，对于行 i 以外的行，由于行地址信号的至少 1 位变成“L”，所以在存在于行 i 以外的行的写入字线中不流过写入电流．

② 读出字线驱动器

说明改良例 3、4（图 17、图 18 和图 19）的读出字线驱动器 23B 的电路例．可以使用与改良例 3、4 相同的读出字线驱动器 23B．

图 21 示出读出字线驱动器的一例．

读出字线驱动器 23B 由 OR 电路 OR16、AND 电路 AD14 构成．在 OR 电路 OR16 中输入读出信号 READ1、READ2．

读出信号 READ1、READ2 是在读出操作（破坏读出操作）时，读出所选块内的多个 TMR 元件的合成电阻值时变成“H”的信号．例如，如上所述，通常的破坏读出操作原理需要 2 次读出操作（图 2 的第 1 和第 2 周期）．即，读出信号 READ1 在第 1 周期变成“H”，读出信号 READ2 在第 3 周期变成“H”．

这 2 个信号 READ1、READ2 的任一个变成“H”时，OR 电路 OR16 的输出信号

变成“H”.

在AND电路AD14中输入OR电路OR16的输出信号和高位行地址信号(指定块m).选择块m时,高位行地址信号(指定块m)的所有位都变成“H”.从而,在选择了块m、并且2个信号READ1、READ2的任一个变成“H”时,AND电路AD14的输出信号变成“H”.

若AND电路AD14的输出信号变成“H”,则所选块BK内的读出选择开关(N沟道MOS晶体管)RSW变成导通状态.从而,读出电流流入所选块BK内的多个TMR元件.另外,没有被选的块BK内的读出选择开关RSW变成截止状态.从而,读出电流不流过没有被选的块BK内的多个TMR元件.

图22示出读出字线驱动器的另一例.

本例的读出字线驱动器与图21的读出字线驱动器相比,没有读出信号READ1、READ2,取而代之,追加了读出信号READ.

该读出字线驱动器用于在磁随机存取存储器适用改良图2所述的破坏读出操作原理的新的破坏读出操作原理的情况.

读出字线驱动器23B由OR电路OR17和AND电路AD15构成.在OR电路OR17中输入读出信号READ和试验信号TRIAL.

读出信号READ是在读出操作(破坏读出操作)时,读出所选块内的多个TMR元件的合成电阻值时变成“H”的信号.试验信号TRIAL是在读出操作(破坏读出操作)时,在所选的TMR元件写入所谓的尝试数据时变成“H”的信号.

改良的破坏读出操作原理中,与尝试数据的读出步骤并行进行第2次读出(读出比较数据)步骤和读出结果的比较(判断所选的TMR元件的数据)步骤.即,在试验信号TRIAL变成“H”时,一起进行这些操作.

在这2个信号READ、TRIAL的任一个变成“H”时,OR电路OR17的输出信号变成“H”.

在AND电路AD15中输入OR电路OR17的输出信号和高位行地址信号(块m).若选择块m,则高位行地址信号(块m)的所有位都变成“H”.从而,在选择了块m、并且2个信号READ、TRIAL中的任一个变成“H”时,AND电路AD15的输出信号变成“H”.

若AND电路AD15的输出信号变成“H”,则所选块BK内的读出选择开关(N沟道MOS晶体管)RSW变成导通状态.从而,读出电流流过所选的块BK内的多

个TMR元件．另外，没有被选的块BK内的读出选择开关RSW变成截止状态。从而，读出电流不流过没有被选的块BK内的多个TMR元件．

③ 行译码器

说明改良例3、4（图17、图18和图19）的行译码器25的电路例．可以采用与改良例3、4相同的行译码器25．

图30示出行译码器的一例．

行译码器25译码行地址信号，将提供给所选行i内的写入字线驱动器23A的行地址信号的所有位设成“1”．另外，行译码器25将提供给对应所选块BK的读出字线驱动器23B的高位行地址信号的所有位（本例中，2位）设成“1”．

④ 列译码器

说明改良例3（图17和图18）的列译码器32的电路例．

图23示出列译码器的一例．

列译码器32由OR电路OR18、AND电路AD16构成．在OR电路OR18中输入读出信号READ1、READ2、写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE．

写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE与输入到图20的写入字线驱动器23A的写入信号WRITE、试验信号TRIAL、以及重写入信号REWRITE相同．

读出信号READ1、READ2是在读出操作（破坏读出操作）时，读出构成所选列的多个TMR元件的合成电阻值时变成“H”的信号．

这5个信号READ1、READ2、WRITE、TRIAL、REWRITE的任一个变成“H”时，OR电路OR18的输出信号变成“H”．

在AND电路AD16中输入OR电路OR18的输出信号和列地址信号（指定列j）．若选择列j（位线BLj），则列地址信号（指定列j）的所有位都变成“H”．从而，在选择了列j、并且5个信号READ1、READ2、WRITE、TRIAL、REWRITE的任一个变成“H”时，AND电路AD16的输出信号变成“H”．

AND电路AD16的输出信号变成“H”时，图18的列选择开关（N沟道MOS晶体管）SW变成导通状态．因此，在写入操作时，写入电流流过位线BLj，在读出操作时，读出电流流过多个TMR元件．

图24示出列译码器的另一例．

图 24 的列译码器 32 与图 23 的列译码器 32 相比，没有读出信号 READ1、READ2，取而代之，追加了读出信号 READ.

在将改良的破坏读出操作原理适用于磁随机存取存储器时使用该列译码器 32. 该改良的破坏读出操作原理中，例如将图 2 的第 2 周期和第 3 周期集合为 1 个周期.

从而，在列译码器 32 中例如代替 2 个读出信号 READ1、READ2，输入读出信号 READ.

⑤ 读出/写入列译码器

说明改良例 4（图 19）的读出/写入列译码器 32A、32B 的电路例.

图 25 示出读出列译码器的一例.

读出列译码器 32A 由 OR 电路 OR20、AND 电路 AD18 构成. 在 OR 电路 OR20 输入读出信号 READ1、READ2.

读出信号 READ1、READ2 是在读出操作（破坏读出操作）时，读出构成所选列的多个 TMR 元件的合成电阻值时变成“H”的信号.

这 2 个信号 READ1、READ2 中的任一个变成“H”时，OR 电路 OR20 的输出信号变成“H”.

在 AND 电路 AD18 中输入 OR 电路 OR20 的输出信号和列地址信号(指定列 j). 若选择列 j（位线 BLj），则列地址信号（指定列 j）的所有位都变成“H”.

因此，选择列 j，并且 2 个信号 READ1、READ2 中的任一个变成“H”时，AND 电路 AD18 的输出信号变成“H”.

AND 电路 AD18 的输出信号变成“H”时，图 19 的列选择开关（N 沟道 MOS 晶体管）SWA 变成导通状态. 因此，在读出操作时，读出电流流过多个 TMR 元件.

图 26 示出读出列译码器的另一例.

图 26 的读出列译码器 32A 与图 25 的列译码器 32A 相比，没有读出信号 READ1、READ2，取而代之，追加了读出信号 READ 和试验信号 TRIAL.

在将改良的破坏读出操作原理适用于磁随机存取存储器时使用该读出列译码器 32A.

图 27 示出写入列译码器的一例.

写入列译码器 32B 由 OR 电路 OR21、AND 电路 AD19 构成. 在 OR 电路 OR21 输入写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE.

写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE 与图 20 的输入到写入字线驱动器 23A 的写入信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE 相同.

这 3 个信号 WRITE、试验信号 TRIAL、以及重写入信号 REWRITE 中的任一个变成“H”时，OR 电路 OR21 的输出信号变成“H”.

在 AND 电路 AD19 中输入 OR 电路 OR21 的输出信号和列地址信号(指定列 j). 列地址信号由高位列地址信号和低位列地址信号构成.

高位列地址信号选择 1 列. 低位列地址信号用于选择存在于所选列内的、在 Z 方向叠积的多个 TMR 元件. 图 19 的例子中，TMR 元件在 Z 方向叠积成 4 级，为了选择它，设置 2 根写入线 33. 因此，低位列地址信号为 2 位.

利用列地址信号选择列 j 内的第(k+1)级的 TMR 元件，并且在 3 个信号 WRITE、TRIAL、REWRITE 的任一个变成“H”时，AND 电路 AD3 的输出信号变成“H”.

在 AND 电路 AD19 的输出信号变成“H”，即列选择线信号 CSLjk 变成“H”时，图 19 的列选择开关（N 沟道 MOS 晶体管）SWB 变成导通状态. 因此，在写入操作时，写入电流流过图 19 的写入线 33 中的 1 个.

另外，图 27 的写入列译码器也可以用于将通常的破坏读出原理和改良的新的破坏读出原理的任一原理适用于磁随机存取存储器的情况.

⑥ 写入位线驱动器/吸收器

说明改良例 3、4（图 17、图 18 和图 19）的写入位线驱动器/吸收器 29、31 的电路例.

可以使用与改良例 3、4 相同的写入位线驱动器/吸收器 29、31.

A. 图 28 示出写入位线驱动器/吸收器的一例.

本例的写入位线驱动器/吸收器对应于在破坏读出操作原理（例如，参考图 2）的第 2 周期写入所选的 TMR 元件的所谓的尝试数据为“1”的情况.

a. 写入位线驱动器/吸收器 29

写入位线驱动器/吸收器 29 由 OR 电路 OR5、OR6、OR7、AND 电路 AD4、AD5、NAND 电路 ND2、反相电路 I1、P 沟道 MOS 晶体管 P2、以及 N 沟道 MOS 晶体管 N2 构成.

写入位线驱动器由 OR 电路 OR5、NAND 电路 ND2、反相电路 I1、以及 P 沟道 MOS 晶体管 P2 构成. 在 OR 电路 OR5 输入写入信号 WRITE 和重写入信号 REWRITE.

写入信号 WRITE 是在对所选的 TMR 元件的通常写入操作时变成“H”的信号。重写入信号 REWRITE 是在读出操作（破坏读出操作）时，对所选的 TMR 元件重写入正确的数据时变成“H”的信号。

这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR5 的输出信号变成“H”。

在反相电路 I1 中输入写入数据 DATA。在此，写入数据表示除了尝试数据的、通常的写入数据（包括重写入数据）。

在 NAND 电路 ND2 中输入 OR 电路 OR5 的输出信号和反相电路 I1 的输出信号。在 OR 电路 OR5 的输出信号为“H”时，若写入数据 DATA 为“1”，则反相电路 I1 的输出信号变成“L”，所以 NAND 电路 ND2 的输出信号变成“H”。另一方面，若写入数据 DATA 为“0”，则反相电路 I1 的输出信号变成“H”，所以 NAND 电路 ND2 的输出信号变成“L”。

另外，“1”对应于“H”、“0”对应于“L”。

在 NAND 电路 ND2 的输出信号为“H”时，P 沟道 MOS 晶体管 P2 变成截止状态，在 NAND 电路 ND2 的输出信号为“L”时，P 沟道 MOS 晶体管 P2 变成导通状态。

写入位线吸收器由 OR 电路 OR6、OR7、AND 电路 AD4、AD5、以及 N 沟道 MOS 晶体管 N2 构成。在 OR 电路 OR6 输入写入信号 WRITE 和重写入信号 REWRITE。在这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR5 的输出信号变成“H”。

在 AND 电路 AD4 中输入 OR 电路 OR6 的输出信号和写入数据 DATA。

在 OR 电路 OR6 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD4 的输出信号变成“H”。另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD4 的输出信号变成“L”。

在 AND 电路 AD5 中输入试验信号 TRIAL。试验信号 TRIAL 是在读出操作（破坏读出操作）时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号。AND 电路 AD5 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端一直固定为“1”。

OR 电路 OR7 的输出信号在 2 个 AND 电路 AD4、AD5 的输出信号中的任一个为“H”时，变成“H”。即，在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且

写入数据DATA为“1”时，OR电路OR7的输出信号变成“H”。OR电路OR7的输出信号变成“H”时，N沟道MOS晶体管N2变成导通状态。

试验信号TRIAL变成“H”时，OR电路OR7的输出信号变成“H”，并且N沟道MOS晶体管N2变成导通状态。即，在尝试数据为“1”时，在写入线26、33流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的电流。

b. 写入位线驱动器/吸收器31

写入位线驱动器/吸收器31由OR电路OR8、OR9、AND电路AD6、AD7、AD8、NOR电路NR1、反相电路I2、P沟道MOS晶体管P3、以及N沟道MOS晶体管N3构成。

写入位线驱动器由OR电路OR8、AND电路AD6、AD7、NOR电路NR1、以及P沟道MOS晶体管P3构成。在OR电路OR8输入写入信号WRITE和重写入信号REWRITE。在这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR8的输出信号变成“H”。

在AND电路AD6中输入OR电路OR8的输出信号和写入数据DATA。在OR电路OR8的输出信号为“H”时，若写入数据DATA为“1”，则AND电路AD6的输出信号变成“H”。另一方面，若写入数据DATA为“0”，则AND电路AD6的输出信号变成“L”。

在AND电路AD7中输入试验信号TRIAL。试验信号TRIAL是如上所述，在破坏读出操作时，对所选的TMR元件写入所谓的尝试数据时变成“H”的信号。AND电路AD7具有2个输入端子，一端输入试验信号TRIAL、另一端一直固定为“1”。

在2个AND电路AD6、AD7的输出信号中的至少一个为“H”时，NOR电路NR1的输出信号变成“L”。即，在2个信号WRITE、REWRITE中的1个为“H”，并且写入数据DATA为“1”时，NOR电路NR1的输出信号变成“L”。若NOR电路NR1的输出信号变成“L”，则P沟道MOS晶体管P3变成导通状态。

在试验信号TRIAL变成“H”时，NOR电路NR1的输出信号变成“L”，并且P沟道MOS晶体管P3变成导通状态。即，在尝试数据为“1”时，在写入线26、33流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的电流。

写入位线吸收器由OR电路OR9、AND电路AD8、反相电路12、以及N沟道MOS晶体管N3构成。在OR电路OR9输入写入信号WRITE和重写入信号REWRITE。在这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR9的输出信

号变成“H”。

写入数据DATA输入到反相电路I2。在AND电路AD8中输入OR电路OR9的输出信号和反相电路12的输出信号。

在OR电路OR9的输出信号为“H”时，若写入数据DATA为“1”，则AND电路AD8的输出信号变成“L”。另一方面，若写入数据DATA为“0”，则AND电路AD8的输出信号变成“H”。在AND电路AD8的输出信号为“L”时，N沟道MOS晶体管N3变成截止状态，在AND电路AD8的输出信号为“H”时，N沟道MOS晶体管N3变成导通状态。

c. 像这样，图28的写入位线驱动器/吸收器中，在写入操作时，即，在信号WRITE、REWRITE中的任一个为“H”时，根据写入数据DATA的值(“1”或“0”)，确定流入写入线26、33的写入电流的方向。

另外，在读出操作时，在TMR元件写入尝试数据时，由于试验信号TRIAL变成“H”，所以本例中，在写入线26、33流过从写入位线驱动器/吸收器31朝向写入位线驱动器/吸收器29的写入电流。此时，在所选的TMR元件写入尝试数据“1”。

B. 图29示出写入位线驱动器/吸收器的另一例。

本例的写入位线驱动器/吸收器对应在破坏读出操作原理(例如，参考图2)的第2周期写入所选的TMR元件的所谓的尝试数据为“0”的情况。

a. 写入位线驱动器/吸收器29

写入位线驱动器/吸收器29由OR电路OR10、OR11、AND电路AD9、AD10、AD11、NOR电路NR2、反相电路I3、I4、P沟道MOS晶体管P4、以及N沟道MOS晶体管N4构成。

写入位线驱动器由OR电路OR10、AND电路AD9、AD10、NOR电路NR2、反相电路I3、I4、P沟道MOS晶体管P4构成。在OR电路OR10中输入写入信号WRITE和重写入信号REWRITE。这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR10的输出信号变成“H”。

写入数据DATA输入到反相电路I3。在AND电路AD9输入OR电路OR10的输出信号和反相电路I3的输出信号。在OR电路OR10的输出信号为“H”时，若写入数据DATA为“1”，则AND电路AD9的输出信号变成“L”。另一方面，若写入数据DATA为“0”，则AND电路AD9的输出信号变成“H”。

在AND电路AD10中输入试验信号TRIAL。试验信号TRIAL是在破坏读出操作时，对所选的TMR元件写入所谓的尝试数据时变成“H”的信号。AND电路AD10具有2个输入端子，一端输入试验信号TRIAL、另一端一直固定为“1”。

NOR电路NR2的输出信号在2个AND电路AD9、AD10的输出信号中的至少一个为“H”时，变成“L”。即，在2个信号WRITE、REWRITE中的1个为“H”，并且写入数据DATA为“0”时，NOR电路NR2的输出信号变成“L”。NOR电路NR2的输出信号变成“L”时，P沟道MOS晶体管P4变成导通状态。

在试验信号TRIAL变成“H”时，NOR电路NR2的输出信号变成“L”，并且P沟道MOS晶体管P4变成导通状态。即，在尝试数据为“0”时，在写入线26、33流过从写入位线驱动器/吸收器29朝向写入位线驱动器/吸收器31的电流。

写入位线吸收器由OR电路OR11、AND电路AD11、以及N沟道MOS晶体管N4构成。在OR电路OR11中输入写入信号WRITE和重写入信号REWRITE。这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR11的输出信号变成“H”。

在AND电路AD11中输入OR电路OR11的输出信号和写入数据DATA。

在OR电路OR11的输出信号为“H”时，若写入数据DATA为“1”，则AND电路AD11的输出信号变成“H”。另一方面，若写入数据DATA为“0”，则AND电路AD11的输出信号变成“L”。在AND电路AD11的输出信号为“H”时，N沟道MOS晶体管N4变成导通状态，在AND电路AD11的输出信号为“L”时，N沟道MOS晶体管N4变成截止状态。

b. 写入位线驱动器/吸收器31

写入位线驱动器/吸收器31由OR电路OR12、OR13、OR14、AND电路AD12、AD13、NAND电路ND3、反相电路I5、I6、P沟道MOS晶体管P5、以及N沟道MOS晶体管N5构成。

写入位线驱动器由OR电路OR12、NAND电路ND3、以及P沟道MOS晶体管P5构成。在OR电路OR12输入写入信号WRITE和重写入信号REWRITE。在这2个信号WRITE、REWRITE中的任一个变成“H”时，OR电路OR12的输出信号变成“H”。

NAND电路ND2中输入OR电路OR12的输出信号和写入数据DATA。在OR电路OR12的输出信号为“H”时，若写入数据DATA为“1”，则NAND电路ND3的

输出信号变成“L”。另一方面，若写入数据 DATA 为“0”，则 NAND 电路 ND3 的输出信号变成“H”。

在 NAND 电路 ND3 的输出信号为“L”时，P 沟道 MOS 晶体管 P5 变成导通状态，在 NAND 电路 ND3 的输出信号为“H”时，P 沟道 MOS 晶体管 P5 变成截止状态。

写入位线吸收器由 OR 电路 OR13、OR14、AND 电路 AD12、AD13、反相电路 I5、I6、以及 N 沟道 MOS 晶体管 N5 构成。在 OR 电路 OR13 中输入写入信号 WRITE 和重写入信号 REWRITE。这 2 个信号 WRITE、REWRITE 中的任一个变成“H”时，OR 电路 OR13 的输出信号变成“H”。

写入数据 DATA 输入到反相电路 I5。在 AND 电路 AD12 中输入 OR 电路 OR13 的输出信号和反相电路 I5 的输出信号。

在 OR 电路 OR13 的输出信号为“H”时，若写入数据 DATA 为“1”，则 AND 电路 AD12 的输出信号变成“L”。另一方面，若写入数据 DATA 为“0”，则 AND 电路 AD12 的输出信号变成“H”。

在 AND 电路 AD13 中输入试验信号 TRIAL。试验信号 TRIAL 是在读出操作（破坏读出操作）时，对所选的 TMR 元件写入所谓的尝试数据时变成“H”的信号。AND 电路 AD13 具有 2 个输入端子，一端输入试验信号 TRIAL、另一端由于反相器 I6 的输入信号固定为“0”，所以一直固定为“1”。

OR 电路 OR14 的输出信号在 2 个 AND 电路 AD12、AD13 的输出信号中的任一个为“H”时，变成“H”。在 2 个信号 WRITE、REWRITE 中的 1 个为“H”，并且写入数据 DATA 为“0”时，OR 电路 OR14 的输出信号变成“H”。若 OR 电路 OR14 的输出信号变成“H”，则 N 沟道 MOS 晶体管 N5 变成导通状态。

在试验信号 TRIAL 变成“H”时，OR 电路 OR14 的输出信号变成“H”，并且 N 沟道 MOS 晶体管 N5 变成导通状态。即，在尝试数据为“0”时，在写入线 26、33 流过从写入位线驱动器/吸收器 29 朝向写入位线驱动器/吸收器 31 的电流。

c. 像这样，图 29 的写入位线驱动器/吸收器中，在读出操作中，在 TMR 元件中写入尝试数据时，将试验信号 TRIAL 设成“H”，在写入线 26、33 流过从写入位线驱动器/吸收器 29 朝向写入位线驱动器/吸收器 31 的电流。

即，对于图 28 的例子中，写入到 TMR 元件的尝试数据为“1”，在图 29 的例子中，写入到 TMR 元件的尝试数据变成“0”。

另外，在通常的写入操作时，由于信号 WRITE、REWRITE 的任一个变成“H”（试验信号 TRIAL 为“L”），所以根据写入数据 DATA 的值（“1”或“0”），确定流入写入线 26、33 的写入电流的方向.

（8） 采用了改良例 3、4 的读出操作原理

改良例 3、4 的具体结构如上所述. 以下说明采用了改良例 3、4 的读出操作原理.

① 读出操作原理 1

图 31 是表示读出操作原理 1 的波形图.

该读出操作原理与图 2 所示的读出操作原理有关. 但本例中，1 次读出操作由 5 个步骤构成. 即，本例中，在第 2 次读出步骤和重写入步骤之间插入比较读出结果的步骤.

对于执行该读出操作原理时使用的电路，图 17 和图 18 的改良例 3 中，有图 20 所示的写入字线驱动器/吸收器、图 21 所示的读出字线驱动器、图 23 所示的列译码器、以及图 28 所示的写入位线驱动器/吸收器（尝试数据“1”）.

图 19 的改良例 4 中，有图 20 所示的写入字线驱动器/吸收器、图 21 所示的写入字线驱动器、图 25 所示的读出列译码器、图 27 所示的写入列译码器、以及图 28 所示的写入位线驱动器/吸收器（尝试数据“1”）.

A. 步骤 1

在步骤 1 进行初始数据的读出（第 1 次读出）.

该步骤中，读出信号 READ1 变成“H”.

从而，在改良例 3 的情况下，列地址信号的所有位都变成“1”的所选的列中，列选择线信号 CSLj（图 23）变成“H”. 另外，在改良例 4 的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号 CSLj（图 25）变成“H”.

另外，改良例 3、4 中，高位行地址信号的所有位都变成“1”的读出字线驱动器 23B（图 21）的输出信号 RWL0 变成“H”. 接收该输出信号 RWL0 的、所选的块 BK 内的读出选择开关 RSW 变成导通状态.

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态. 其结果，图 18 的改良例 3 中，在电路块 29 内的读出电路内的电流源产生的读出电流经由所选块 BK 内的多个 TMR 元件流入接地点. 图 19 的改良例 4 中，在读出电路 29B 内的电流源产生的读出电流经由所选的块 BK 内的多个 TMR 元件流入接地点.

读出电路在流过读出电流的状态下，检测初始数据。初始数据依赖于构成所选列的并联连接的多个 TMR 元件的合成电阻。初始数据存储在读出放大器内的存储电路。

B. 步骤 2

在步骤 2 对所选的 TMR 元件写入尝试数据。本例中，将尝试数据设成“1”。

在该步骤，试验信号 TRIAL 变成“H”。

从而，在改良例 3、4 的情况下，行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的 P 沟道 MOS 晶体管 P6（图 20）变成导通状态。随之，在所选行内的写入字线中流过写入电流。

另外，在改良例 3 的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号 CSLj（图 23）变成“H”。另外，在改良例 4 的情况下，高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号 CSLjk（图 27）变成“H”。

即，在改良例 3 的情况下，所选列内的列选择开关 SW 变成导通状态，在改良例 4 的情况下，对应所选列内的所选级的列选择开关 SWB 变成导通状态。

另外，在图 28 的写入位线驱动器/吸收器 29 中，由于试验信号 TRIAL 变成“H”，所以 N 沟道 MOS 晶体管 N2 变成导通状态。在图 28 的写入位线驱动器/吸收器 31 中，由于试验信号 TRIAL 变成“H”，所以 P 沟道 MOS 晶体管 P2 变成导通状态。

从而，在图 18 的改良例 3 的情况下，在所选列内的写入线 26 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的写入电流。另外，在图 19 的改良例 4 的情况下，在所选列内的所选级内的写入线 33 中流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的写入电流。

其结果，在所选的 TMR 元件中写入尝试数据（“1”）。之后，将列选择开关 SW、SWB 设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

C. 步骤 3

在步骤 3 进行比较数据的读出（第 2 次读出）。

该步骤中，读出信号 READ2 变成“H”。

从而，在改良例 3 的情况下，列地址信号的所有位都变成“1”的所选的列

中， 列选择线信号 CSLj（图 23）变成“H”. 另外，在改良例 4 的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号 CSLj（图 25）变成“H”.

另外，在改良例 3、4 中，高位行地址信号的所有位都变成“1”的读出字线驱动器 23B（图 21）的输出信号 RWLO 变成“H”. 接收该输出信号 RWLO 的所选块 BK 内的读出选择开关 RSW 变成导通状态.

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态. 其结果，图 18 的改良例 3 中，在电路块 29 内的读出电路内的电流源产生的读出电流经由所选块 BK 的多个 TMR 元件流入接地点. 图 19 的改良例 4 中，在读出电路 29B 内的电流源产生的读出电流经由所选块 BK 的多个 TMR 元件流入接地点.

读出电路在流过读出电流的状态下，对比较数据进行检测. 比较数据依赖于构成所选列的并联连接的多个 TMR 元件的合成电阻.

D. 步骤 4

在步骤 4 对初始数据和比较数据进行比较，判断所选的 TMR 元件的数据值.

即，在判断为初始数据和比较数据相同时，由于表示通过在第 2 步骤写入尝试数据，所选的 TMR 元件的电阻值没有变化，所以所选的 TMR 元件的数据值判断为与尝试数据值相同的值.

相反，在判断为初始数据和比较数据不同时，由于表示通过在第 2 步骤写入尝试数据，所选的 TMR 元件的电阻值发生变化，所以所选的 TMR 元件的数据值判断为与尝试数据值相反的值.

本例中，由于假设尝试数据为“1”，所以若初始数据和比较数据相同，则所选的 TMR 元件的数据判断为“1”，若初始数据和比较数据不同，则所选的 TMR 元件的数据判断为“0”.

这样，确定所选的 TMR 元件的数据值.

另外，在步骤 4 基于触发信号，对 2 次读出结果进行比较. 在此，本例中，在触发信号变成“H”之前，列选择线信号和读出放大器启动信号变成“L”.

其中，如图 32 的波形图所示，对于列选择线信号和读出放大器启动信号，也可以在步骤 3 至步骤 4 维持“H”电平.

以后具体说明用于执行步骤 4 的电路，即读出电路（包括读出放大器）的具体结构.

E. 步骤 5

在步骤5对所选的TMR元件重写入数据。本例的读出操作原理中，在步骤2将尝试数据写入所选的TMR元件。即，此时所选的TMR元件的数据被破坏。

因此，在判断了所选的TMR元件的数据值之后，对所选的TMR元件重写入数据。

在该步骤，重写入信号REWRITE变成“H”。

因此，在改良例1、2的情况下，在行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的P沟道MOS晶体管P6（图20）变成导通状态。随之，在所选行内的写入字线中流过写入电流。

另外，在改良例3的情况下，在列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图23）变成“H”。另外，在改良例4的情况下，在高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号CSLjk（图27）变成“H”。

即，在改良例3的情况下，所选列内的列选择开关SW变成导通状态，在改良例4的情况下，与所选列内的所选级对应的列选择开关SWB变成导通状态。

另外，图28的写入位线驱动器/吸收器29中，由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P2、N2的导通/截止状态。图28的写入位线驱动器/吸收器31中，也由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P3、N3的导通/截止状态。

因此，在图18的改良例3的情况下，在所选列内的写入线26流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/吸收器31侧的写入电流。

另外，在图19的改良例4的情况下，在所选列内的所选级内的写入线33中流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/吸收器31侧的写入电流。

其结果，在所选的TMR元件中重写入在执行上述读出操作之前存储在该TMR元件的数据（“1”或“0”）。接着，将列选择开关SW、SWB设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

另外，在步骤4判断为初始数据和比较数据相同时，存储在所选的TMR元件的数据和尝试数据具有相同的值。因此，此时可以省略步骤5。

即，只有在步骤4判断为初始数据和比较数据不同时，在步骤5对所选的

TMR 元件重写入具有与尝试数据值相反的值的数据即可.

以上，改良例 3、4 的磁随机存取存储器中，采用所谓的破坏读出操作原理，可以实际上执行该原理. 从而，可以与读出时的多个 TMR 元件间的电阻值偏差无关，可以正确读出所选的 TMR 元件的电阻值（或 MR 比）.

② 读出操作原理 2

图 33 是表示读出操作原理 2 的波形图.

该读出操作原理是上述读出操作原理 1 的改良例. 该读出操作原理的特征在于，将读出尝试数据的步骤、读出比较数据的步骤（第 2 次读出步骤）、以及比较读出结果并判断 TMR 元件的数据的步骤合并成 1 个步骤.

因此，本例中，1 次读出操作由 3 个步骤构成. 本例的读出操作原理是将图 31 或图 32 的读出操作原理的步骤 2 至步骤 4 合并成 1 个步骤.

对于执行该读出操作原理时使用的电路，图 17 和图 18 的改良例 3 中，是图 20 所示的写入字线驱动器/吸收器、图 22 所示的读出字线驱动器、图 24 所示的列译码器、以及图 28 所示的写入位线驱动器/吸收器（尝试数据“1”）.

另外，图 19 的改良例 4 中，是图 20 所示的写入字线驱动器/吸收器、图 22 所示的读出字线驱动器、图 26 所示的读出列译码器、图 27 所示的写入列译码器、以及图 28 所示的写入位线驱动器/吸收器（尝试数据“1”）.

A. 步骤 1

在步骤 1 进行初始数据的读出（第 1 次读出）.

该步骤中，读出信号 READ 变成“H”.

从而，在改良例 3 的情况下，列地址信号的所有位都变成“1”的所选的列中，列选择线信号 CSLj（图 24）变成“H”. 另外，在改良例 4 的情况下，高位列地址信号的所有位都变成“1”的列中，列选择线信号 CSLjk（图 26）变成“H”.

在改良例 3、4 中，高位行地址信号的所有位都变成“1”的读出字线驱动器 23B（图 22）的输出信号 RWL0 变成“H”. 接收该输出信号 RWL0 的所选块 BK 内的读出选择开关 RSW 变成导通状态.

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态. 其结果，图 18 的改良例 3 中，在电路块 29 内的读出电路内的电流源产生的读出电流经由所选块 BK 内的多个 TMR 元件流入接地点. 图 19 的改良例 4 中，在读出电路 29B 内的电流源产生的读出电流经由所选块 BK 内的多个 TMR 元件流入接地点.

读出电路在流过读出电流的状态下，检测初始数据。初始数据依赖于构成所选列的并联连接的多个 TMR 元件的合成电阻。初始数据存储在读出放大器内的存储电路。

B. 步骤 2

在步骤 2，同时或在时间上并行进行以下 3 个事项。

- 对所选的 TMR 元件写入尝试数据
- 进行比较数据的读出（第 2 次读出）
- 比较 2 次读出结果（判断 TMR 元件的数据值）

在该步骤，试验信号 TRIAL 变成“H”。

从而，在改良例 3、4 的情况下，行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的 P 沟道 MOS 晶体管 P6（图 20）变成导通状态。随之，在所选行内的写入字线流过写入电流。

另外，在改良例 3 的情况下，列地址信号的所有位都变成“1”的列中，列选择线信号 CSLj（图 24）变成“H”。另外，在改良例 4 的情况下，高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号 CSLjk（图 27）变成“H”。

即，在改良例 3 的情况下，所选列内的列选择开关 SW 变成导通状态，在改良例 2 的情况下，对应所选列内的所选级的列选择开关 SWB 变成导通状态。

另外，在图 28 的写入位线驱动器/吸收器 29 中，由于试验信号 TRIAL 变成“H”，所以 N 沟道 MOS 晶体管 N2 变成导通状态。在图 28 的写入位线驱动器/吸收器 31 中，由于试验信号 TRIAL 变成“H”，所以 P 沟道 MOS 晶体管 P2 变成导通状态。

从而，在图 18 的改良例 3 的情况下，在所选列内的写入线 26 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的写入电流。另外，在图 19 的改良例 4 的情况下，在所选列内的所选级内的写入线 33 流过从写入位线驱动器/吸收器 31 朝向写入位线驱动器/吸收器 29 的写入电流。

其结果，在所选的 TMR 元件中写入尝试数据（“1”）。

像这样写入尝试数据，同时进行比较数据的读出（第 2 次读出）。

即，在试验信号 TRIAL 为“H”时，改良例 3 中，列地址信号的所有位都变成“1”的所选的列的列选择线信号 CSLj（图 24）变成“H”。另外，在改良例 4

中，高位列地址信号的所有位都变成“1”的列的列选择线信号 CSLj（图 26）变成“H”.

在改良例 3、4 中，高位行地址信号的所有位都变成“1”的读出字线驱动器 23B（图 22）的输出信号 RWLO 变成“H”. 接收该输出信号 RWLO 的所选块 BK 内的读出选择开关 RSW 变成导通状态.

另外，读出放大器启动信号变成“H”，读出放大器变成操作状态. 其结果，图 18 的改良例 3 中，利用电路块 29 内的读出电路检测出比较数据. 另外，在图 19 的改良例 4 中，利用读出电路 29B 检测出比较数据. 比较数据依赖于构成所选列的并联连接的多个 TMR 元件的合成电阻.

将由读出电路检测出的比较数据与初始数据进行比较，判断所选的 TMR 元件的数据值.

即，在判断为初始数据和比较数据相同时，由于表示通过写入尝试数据，所选的 TMR 元件的电阻值没有变化，所以所选的 TMR 元件的数据值判断为与尝试数据值相同的值.

相反，在判断为初始数据和比较数据不同时，由于表示通过写入尝试数据，所选的 TMR 元件的电阻值发生变化，所以所选的 TMR 元件的数据值判断为与尝试数据值相反的值.

本例中，由于假设尝试数据为“1”，所以若初始数据和比较数据相同，则所选的 TMR 元件的数据判断为“1”，若初始数据和比较数据不同，则所选的 TMR 元件的数据判断为“0”.

这样，确定所选的 TMR 元件的数据值.

C. 步骤 3

在步骤 3 对所选的 TMR 元件重写入数据. 本例的读出操作原理中，在步骤 2 将尝试数据写入所选的 TMR 元件. 即，此时所选的 TMR 元件的数据被破坏.

因此，在判断了所选的 TMR 元件的数据值之后，对所选的 TMR 元件重写入数据.

在该步骤，重写入信号 REWRITE 变成“H”.

因此，在改良例 3、4 的情况下，在行地址信号的所有位都变成“1”的所选的行中，写入字线驱动器内的 P 沟道 MOS 晶体管 P6（图 20）变成导通状态. 随之，在所选行内的写入字线中流过写入电流.

另外，在改良例3的情况下，在列地址信号的所有位都变成“1”的列中，列选择线信号CSLj（图24）变成“H”。另外，在改良例4的情况下，在高位列地址信号的所有位都变成“1”的列、低位列地址信号的所有位都变成“1”的级中，列选择线信号CSLjk（图27）变成“H”。

即，在改良例3的情况下，所选列内的列选择开关SW变成导通状态，在改良例4的情况下，与所选列内的所选级对应的列选择开关SWB变成导通状态。

另外，图28的写入位线驱动器/吸收器29中，由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P2、N2的导通/截止状态。图28的写入位线驱动器/吸收器31中，也由于重写入信号REWRITE为“H”，所以根据重写入数据DATA的值，确定MOS晶体管P3、N3的导通/截止状态。

因此，在图18的改良例3的情况下，在所选列内的写入线26中流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/吸收器31侧的写入电流。

另外，在图19的改良例4的情况下，在所选列内的所选级内的写入线26流过对应重写入数据DATA的值、朝向写入位线驱动器/吸收器29侧、或写入位线驱动器/吸收器31侧的写入电流。

其结果，在所选的TMR元件重写入在执行读出操作之前存储在该TMR元件的数据（“1”或“0”）。接着，将列选择开关SW、SWB设成截止状态，切断写入电流。另外，还切断流入所选行内的写入字线的写入电流。

另外，在步骤2判断为初始数据和比较数据相同时，存储在所选的TMR元件的数据和尝试数据具有相同的值。因此，此时可以省略步骤3。

即，只有在步骤2判断为初始数据和比较数据不同时，在步骤3对所选的TMR元件重写入具有与尝试数据值相反的值的数据即可。

以上，改良例3、4的磁随机存取存储器中，采用改良的破坏读出操作原理，可以实际上执行该原理。从而，可以与读出时的多个TMR元件间的电阻值偏差无关，可以正确读出所选的TMR元件的电阻值（或MR比）。

（9）改良例5

图34示出本发明的改良例5的磁随机存取存储器的主要部分。图35只示出图34的磁随机存取存储器的1列。

该改良例5的磁随机存取存储器是改良例1的磁随机存取存储器的变形例。

改良例5与改良例1相比，在列内新设置向Y方向延伸的、用于写入的写入线33。

与此同时，改良例5与改良例1相比，存储单元阵列和周边电路的结构也不同。

存储单元阵列11具有在X方向和Y方向配置成阵列状的多个TMR元件12。在配置在X方向的TMR元件12的附近配置有向X方向延伸的多根（本例中，12根）写入字线WL0、WL1、…WL11。写入字线WL0、WL1、…WL11的一端与写入字线驱动器23连接，另一端与写入字线吸收器24连接。

行译码器25在写入操作时，基于行地址信号，选择写入字线WL0、WL1、…WL11中的1根。写入字线驱动器23向所选的写入字线提供写入电流。写入电流流过所选的字线，被写入字线吸收器24吸收。

配置在Y方向的TMR元件12并联连接在读出线（读出位线）26和接地点之间。

读出线26的一端经由列选择开关（MOS晶体管）SWA连接到公共数据线28。公共数据线28连接到读出电路（包括读出放大器）29B。

列选择开关SWA的栅极连接到读出列译码器32A。读出列译码器32A在读出操作时，输出用于选择列的列选择线信号RCSLj。

在列内配置有向Y方向延伸的写入线（写入位线）33。写入线33配置在列内的多个TMR元件12的附近。写入线33的一端经由列选择开关（MOS晶体管）SWB连接到公共驱动线30A。公共驱动线30A连接到具有写入位线驱动器/吸收器的电路块29A。

写入线33的另一端经由列选择开关（MOS晶体管）SWB连接到公共驱动线30B。公共驱动线30B连接到具有写入位线驱动器/吸收器的电路块31。

列选择开关SWB的栅极连接到写入列译码器32B。在写入操作时，写入列译码器32B输出用于选择列的列选择线信号WCSLj。

本例的磁随机存取存储器中，在写入操作时，在所选的写入字线中流过从写入字线驱动器23朝向写入字线吸收器24的写入电流。另外，在所选的列中，列选择开关SWB变成导通状态，在写入线（写入位线）33中流过写入电流。流入写入线33的写入电流方向根据写入数据的值变化。

在读出操作时，所选的列中，列选择开关SWA变成导通状态，从读出电路

29B 经由读出线（读出位线）26 和多个 TMR 元件 12，读出电流流入接地点．读出电路 29B 在读出电流流过的期间，检测对应多个 TMR 元件的合成电阻的读出数据．

（10）改良例 6

图 36 示出本发明的改良例 6 的磁随机存取存储器的主要部分．图 37 中只示出图 36 的磁随机存取存储器的 1 列．

该改良例 6 的磁随机存取存储器是改良例 3 的磁随机存取存储器的变形例．改良例 6 与改良例 3 相比，在列内新设置了向 Y 方向延伸的、用于写入的写入线 33．

同时，改良例 6 与改良例 3 相比，存储单元阵列和周边电路的结构也不同．

存储单元阵列 11 具有在 X 方向和 Y 方向配置成阵列状的多个 TMR 元件 12．在配置在 X 方向的 TMR 元件 12 的附近配置有向 X 方向延伸的多根（本例中，12 根）写入字线 WWL0、WWL1、…WWL11．写入字线 WWL0、WWL1、…WWL11 的一端与写入字线驱动器 23A 连接，另一端与写入字线吸收器 24 连接．

本例中，1 列由 3 个块 BK 构成．由于 1 列由配置在 Y 方向的 12 个 TMR 元件 12 构成，所以 1 个块 BK 由 4 个 TMR 元件 12 构成．

1 个块 BK 内的 TMR 元件 12 相互并联连接，其一端连接到读出线（读出位线）26．另外，TMR 元件的另一端经由读出选择开关（MOS 晶体管）RSW 连接到接地点．

读出线 26 的一端经由列选择开关（MOS 晶体管）SWA 连接到公共数据线 28．公共数据线 28 连接到读出电路（包括读出放大器）29B．

列选择开关 SWA 的栅极连接到读出列译码器 32A．在读出操作时，读出列译码器 32A 输出用于选择列的列选择线信号 RCSLj．

读出选择开关 RSW 的栅极连接到读出字线 RWLo（o＝0、1、2）．在读出操作时，读出字线驱动器 23B 基于高位行地址信号，输出用于选择块 BK 的块选择信号．

1 个读出字线 RWLo 对应于 1 列内的 1 个块 BK，并且为 X 方向的多个块所公用．

本例中，由于 1 列由 3 个块构成，所以读出字线 RWLo 的个数为 3 根．读出字线 RWLo 向 X 方向延伸，另一端连接到读出字线驱动器 23B．

行译码器 25 在读出操作时，基于行地址信号，选择写入字线 WWL0、WWL1、…WWL11 中的 1 根。

写入字线驱动器 23A 向所选的写入字线提供写入电流。写入电流流过所选的字线，被写入字线吸收器 24 吸收。

行译码器 25 在读出操作时，例如基于高位行地址信号选择 1 个块。

读出字线驱动器 23B 向连接到所选块 BK 的读出字线 RWLo 提供读出字线电压。由于在所选的块 BK 中，读出选择开关 RSW 变成导通状态，所以读出电流经由所选块 BK 内的多个 TMR 元件流向接地点。

在列内配置有向 Y 方向延伸的写入线（写入位线）33。写入线 33 配置在列内的多个 TMR 元件 12 的附近。另外，写入线 33 为 1 列内的多个块 BK 所公用。

写入线 33 的一端经由列选择开关(MOS 晶体管)SWB 连接到公共驱动线 30A。公共驱动线 30A 连接到包括写入位线驱动器/吸收器的电路块 29A。

写入线 33 的另一端经由列选择开关（MOS 晶体管）SWB 连接到公共驱动线 30B。公共驱动线 30B 连接到包括写入位线驱动器/吸收器的电路块 31。

列选择开关 SWB 的栅极连接到写入列译码器 32B。在写入操作时，写入列译码器 32B 输出用于选择列的列选择线信号 WCSLj。

本例的磁随机存取存储器中，在写入操作时，在所选的写入字线中流过从写入字线驱动器 23A 朝向写入字线吸收器 24 的写入电流。另外，在所选的列中，在写入线（写入位线）33 中流过写入电流。流过写入线 33 的写入电流的方向根据写入数据的值变化。

在读出操作时，所选列内的所选块中，从读出电路 29B 经由读出线（读出位线）26 和多个 TMR 元件 12，读出电流流入接地点。读出电路 29B 在读出电流流过的期间，检测对应所选块内的多个 TMR 元件的合成电阻的读出数据。

（11）改良例 5、6 的周边电路例

① 写入字线驱动器/吸收器

改良例 5、6 中，例如可以采用图 6 所示的电路作为写入字线驱动器/吸收器。

② 写入字线驱动器/吸收器

改良例 5、6 中，例如可以采用图 12、图 13 所示的电路作为写入位线驱动器/吸收器。

③ 读出/写入列译码器

说明改良例5、6的读出/写入列译码器32A、32B的电路例.

图38示出读出列译码器的一例.

读出列译码器32A由OR电路OR3、AND电路AD2构成. 在OR电路OR3中输入读出信号READ1、READ2.

读出信号READ1、READ2是在读出操作(破坏读出操作)时, 读出构成所选列的多个TMR元件的合成电阻值时变成"H"的信号. 通常的破坏读出操作原理中需要2次读出操作. 即, 读出信号READ1在第1次读出时变成"H", 读出信号READ2在第2次读出时变成"H".

这2个信号READ1、READ2中的任一个变成"H"时, OR电路OR3的输出信号变成"H".

在AND电路AD2中输入OR电路OR3的输出信号和列地址信号(指定列j). 选择列j(位线BLj)时, 列地址信号(指定j)的所有位都变成"H". 从而, 在选择了列j、并且2个信号READ1、READ2的任一个变成"H"时, AND电路AD2的输出信号变成"H".

AND电路AD2的输出信号变成"H"时、即列选择线信号RCSLj变成"H"时, 图35和图37的列选择开关(N沟道MOS晶体管)SWA变成导通状态. 因此, 在读出操作时, 读出电流流入所选列内的多个TMR元件.

图39示出读出列译码器的另一例.

图39的读出列译码器32A与图38的读出列译码器32A相比, 没有读出信号READ1、READ2, 取而代之, 追加了读出信号READ和试验信号TRIAL.

图40示出写入列译码器的一例.

写入列译码器32B由OR电路OR4、AND电路AD3构成. 在OR电路OR4输入写入信号WRITE、试验信号TRIAL、重写入信号REWRIET. 这3个信号WRITE、TRIAL、REWRIET的任一个变成"H"时, OR电路OR4的输出信号变成"H".

在AND电路AD3中输入OR电路OR4输出信号和列地址信号(指定列j), 由列地址信号选择列j、并且3个信号WRITE、TRIAL、REWRIET中的任一个变成"H"时, AND电路AD3的输出信号变成"H".

AND电路AD3的输出信号变成"H"时、即列选择线信号WCSLj变成"H"时, 图35和图37的列选择开关(N沟道MOS晶体管)SWB变成导通状态. 因此, 在

写入操作时，写入电流流入图35和图37的写入线33.

（12）采用了改良例5、6的读出操作原理

① 采用了改良例5的读出操作原理1

与改良例 2 的磁随机存取存储器大致相同的读出操作原理可以适用于改良例5. 即，通常的破坏读出操作（图14和图15）和改良的破坏读出操作（图16）可以适用于改良例5.

改良例2和改良例5的阵列结构的不同之处在于，1列内的多个TMR元件12在Y方向（横向）排列，或者在Z方向（纵向）排列. 其结果，在改良例2中，在1列内配置有多根写入位线，在改良例5中，在1列内配置有1根写入位线.

因此，对于读出操作，改良例5与改良例2相比，写入列译码器的操作不同.

② 采用了改良例6的读出操作原理

与改良例 4 的磁随机存取存储器大致相同的读出操作原理可以适用于改良例6. 即，通常的破坏读出操作（图31和图32）和改良的破坏读出操作（图33）可以适用于改良例6.

改良例4和改良例6的阵列结构的不同之处在于，1个块内的多个TMR元件12在Y方向（横向）排列，或是在Z方向（纵向）排列. 其结果，对于在改良例4中，在1列内配置有多根写入位线，在改良例6中，在1列内配置有1根写入位线.

因此，对于读出操作，改良例6与改良例4相比，写入列译码器的操作不同.

（13）改良例5、6的设备结构例

图41示出改良例6的设备结构的一例.

本例示出改良例6的1列内的1个块的设备结构.

多个TMR元件配置在Y方向，并联连接在读出线（上部布线）26和下部布线34之间. 下部布线34经由读出选择开关RSW连接到源极线35.

读出选择开关RSW配置在TMR元件的正下方. 读出字线RWLo和源极线35都在X方向（垂直于纸面的方向）延伸. 源极线35与接地点连接.

在多个TMR元件上配置有在Y方向延伸的读出位线33. 读出位线33为多个

TMR 元件所公用。在各 TMR 元件的正下方配置有在 X 方向延伸的写入字线 WWL0、WWL1、WWL2、WWL3。

另外，在图 41 中，若去除读出选择开关 RSW，将下部布线 34 直接连接到接地点，并且增加 TMR 元件和写入字线的个数，则可以得到改良例 5 的设备结构。

3. 读出电路

以上，对于磁随机存取存储器，分别具体说明了参考例、改良例 1～6、周边电路（读出电路除外）、以及读出操作原理。以下，说明可适用于参考例、改良例 1～6 的任一个，并可实现上述破坏读出原理 1、2 的读出电路（包括读出放大器）的具体例及其操作。

（1）电路例 1

图 42 示出磁随机存取存储器的读出电路的电路例 1。

多个 TMR 元件相互并联连接，其一端连接到接地点，另一端经由作为列选择开关的 N 沟道 MOS 晶体管 N7（SW）连接到节点 n1。图示的 TMR 元件的组在参考例、改良例 1、2、5 中相当于 1 列，在改良例 3、4、6 中相当于 1 列内的 1 个块。

节点 n1 的电位通过箝位电路设定为箝位电位 Vclamp。箝位电路由运算放大器 OP1 和 N 沟道 MOS 晶体管 N8 构成。

N 沟道 MOS 晶体管 N8 配置在节点 n1 和电流镜电路 M1 之间。运算放大器 OP1 例如控制 N 沟道 MOS 晶体管 N8 的栅极电位，以便节点 n1 的电位与箝位电位 Vclamp 相同。

箝位电路的作用是调整 1 列内或 1 个块内的 TMR 元件的两端间的电压。

即，例如对 TMR 元件的一端提供接地电位时，若 TMR 元件的另一端的电位过大，则 TMR 元件的 MR 比变小。TMR 元件的 MR 比小表示“1”状态的 TMR 元件的电阻值和“0”状态的 TMR 元件的电阻值的差小。即，读出时判断“1”、“0”的余量变小。

为了避免该问题，本例中采用箝位电路，调整 TMR 元件的另一端电位、即 TMR 元件的两端间的电压，使 TMR 元件的 MR 比不变小。

电流镜电路 M1 的作用是将与流入多个 TMR 元件的读出电流的总值等同的电流流入 N 沟道 MOS 晶体管 N9。此时的节点 n2 的电位（例如，初始数据）通过传输门电路 TG1 存储到存储电路 43。

传输门电路TG1的导通/截止被控制信号READ1S、bREAD1S控制．控制信号READ1S是在第1次读出操作时（读出初始数据时）变成“H”的信号．另外，控制信号bREAD1S是具有与控制信号READ1S值相反的值的翻转信号．

控制信号READ1S为“H”时（第1次读出操作时），节点n2的电位经由传输门电路TG1输入到反相电路I7．反相电路I7的输出信号输入到运算放大器OP2的负输入端子．运算放大器OP2的输出信号输入到反相电路I8，反相电路I8的输出信号输入到运算放大器OP2的正输入端子．

运算放大器OP2例如控制反相电路I8内的N沟道MOS晶体管的栅极电位，以使输入到该负输入端子的输入电位和输入到该正输入端子的输入电位相同．因此，其结果，流入接收运算放大器OP2的输出信号的反相电路I8的电流变成初始数据（单元数据）．

传输门电路TG2连接在运算放大器OP2的输出端子和反相电路I7的输入端子之间．第1次读出操作结束时，控制信号READ1S变成“L”，控制信号bREAD1S变成“H”．其结果，初始数据锁存在存储电路43内．

读出放大器SA的正输入端子与节点n2连接，其负输入端子与运算放大器OP2的输出端子n3连接．在判断所选的TMR元件的数据时，读出放大器SA比较节点n2的电位和运算放大器OP2的输出端子n3的电位．

即，节点n2的电位表示第2次读出结果（比较数据），运算放大器OP2的输出端子n3的电位表示第1次读出结果（初始数据）．

（2）电路例2

图43示出磁随机存取存储器的读出电路的电路例2．

该电路例2是电路例1的变形例．电路例2与电路例1相比，存储电路43不同．即，电路例1中，存储电路43具有2个反相电路I7、I8和运算放大器OP2，但电路例2中，存储电路43没有运算放大器，而具有4个反相电路I9、I9’、I10、I11．

即，电路例2中，不采用运算放大器，而采用电流镜电路，将初始数据锁存在存储电路43．

例如，第1次读出操作时（读出初始数据时），由于控制信号READ1S变成“H”，所以节点n1的电位（初始数据）传送给由4个反相电路I9、I9’、I10、I11构成的存储电路43．由于在第1次读出操作结束时，控制信号READ1S变成“L”，

控制信号 bREAD1S 变成“H”，所以初始数据锁存在存储电路 43 内.

（3）电路例 3

图 44 示出磁随机存取存储器的读出电路的电路例 3.

该电路例 3 也是电路例 1 的变形例. 电路例 1 与电路例 1 相比，存储电路 43 不同. 即，电路例 3 中，存储电路 43 由电容器 C1 构成.

本例中，例如将节点 n2 的电位（初始数据）动态地存储在电容器 C1. 因此，需要例如将第 1 次读出至第 2 次读出的期间缩短成比电容器 C1 持续保持数据的期间还小.

如在 DRAM（动态随机存取存储器）的领域中充分研究，电容器 C1 持续保持数据的期间为例如几 m 秒. 从而，若使第 1 次读出至第 2 次读出的期间小于几 m 秒，则可以在存储电路 43 中采用电容器 C1.

（4）读出放大器的具体例

说明在电路例 1、2、3 中使用的读出放大器 SA 的具体例. 读出放大器 SA 的结构在破坏读出操作时，根据写入所选的 TMR 元件的尝试数据的值确定.

① 尝试数据为“1”时

图 45 示出尝试数据为“1”时的读出放大器的一例.

读出放大器 SA 例如由 3 个差动放大器 DI1、DI2、DI3、和 NAND 电路 ND5 构成.

第一级差动放大器 DI1 比较图 42 至图 44 的节点 n2 的电位（例如，比较数据）和节点 n3 的电位（例如，初始数据）. 差动放大器 DI1 基于 2 个输入电位，输出 2 个输出电位. 差动放大器 DI1 的 2 个输出电位之差基于 2 个输入电位之差确定.

在差动放大器 DI2 的正输入端子输入基于节点 n2 的电位的电位，在其负输入端子输入基准电位 VrefH. 差动放大器 DI2 在输入到正输入端子的电位高于基准电位 VrefH 时，输出“H”，低于基准电位 VrefH 时，输出“L”.

在差动放大器 DI3 的负输入端子输入基于节点 n3 的电位的电位，在其正输入端子输入基准电位 VrefL. 差动放大器 DI3 在输入到负输入端子的电位低于基准电位 VrefL 时，输出“H”，高于基准电位 VrefL 时，输出“L”.

例如，在所选的 TMR 元件的数据为“0”、尝试数据为“1”时，在第 2 次读出操作读出的比较数据，即节点 n2 的电位比在第 1 次读出操作读出的初始数据，

即节点n3的电位高.

此时，由于输入到差动放大器DI2的正输入端子的电位高于输入到其负输入端子的基准电位VrefH，所以差动放大器DI2的输出信号变成“H”．另外，由于输入到差动放大器DI3的负输入端子的电位低于输入到其正输入端子的基准电位VrefL，所以差动放大器DI3的输出信号也变成“H”.

从而，NAND电路ND5的输出信号变成“L”，即，读出放大器SA的输出信号变成“0”（“L”＝“0”）．即，所选的TMR元件的数据判断为“0”.

另外，例如所选的TMR元件的数据为“1”、尝试数据为“1”时，在第2次读出操作读出的比较数据，即节点n2的电位和在第1次读出操作读出的初始数据，即节点n3的电位实质上相同.

此时，差动放大器DI1基于节点n2、n3的微小电位差，输出2个输出电位.

但是，由于输入到差动放大器DI2的正输入端子的电位不高于输入到其负输入端子的基准电位VrefH，所以差动放大器DI2的输出信号变成“L”．另外，由于输入到差动放大器DI3的负输入端子的电位不低于输入到其正输入端子的基准电位VrefL，所以差动放大器DI3的输出信号也变成“L”.

从而，NAND电路ND5的输出信号变成“H”，即，读出放大器SA的输出信号变成“1”（“H”＝“1”）．即，所选的TMR元件的数据判断为“1”.

图46示出图45的读出放大器的第1级差动放大器的一例.

该差动放大器DI1的特征在于，在2个输出端子间连接具有大电阻值的电阻Rr.

像这样，通过在差动放大器DI1的2个输出端子间连接电阻，在所选的TMR元件的数据和尝试数据相同时，即，2个输入电位几乎没有差时，差动放大器DI1不放大输出该差．差动放大器DI1只在2个输入电位的差明显时，放大输出该差.

图47示出图45的读出放大器的第1级差动放大器的另一例.

该差动放大器DI1的特征在于，在2个输出端子间连接了耗尽型MOS晶体管QD.

耗尽型MOS晶体管QD具有与图46的电阻Rr相同的功能．即，在所选的TMR元件的数据和尝试数据相同时，即，在2个输入电位几乎没有差时，差动放大器DI1不放大输出该差．差动放大器DI1只在2个输入电位的差明显时，放大

输出该差。

② 尝试数据为“0”时

图48示出尝试数据为“0”时的读出放大器的一例.

读出放大器SA例如由3个差动放大器DI1、DI2、DI3、和NOR电路NR3构成。

第一级差动放大器DI1比较图42至图44的节点n2的电位（例如，比较数据）和节点n3的电位（例如，初始数据）. 差动放大器DI1基于2个输入电位，输出2个输出电位。差动放大器DI1的2个输出电位之差基于2个输入电位之差确定。

在差动放大器DI2的负输入端子输入基于节点n2的电位的电位，在其正输入端子输入基准电位VrefL.差动放大器DI2在输入到负输入端子的电位低于基准电位VrefL时，输出“H”，高于基准电位VrefL时，输出“L”。

在差动放大器DI3的正输入端子输入基于节点n3的电位的电位，在其负输入端子输入基准电位VrefH.差动放大器DI3在输入到正输入端子的电位高于基准电位VrefH时，输出“H”，低于基准电位VrefH时，输出“L”。

例如，在所选的TMR元件的数据为“1”、尝试数据为“0”时，在第2次读出操作读出的比较数据,即节点n2的电位比在第1次读出操作读出的初始数据,即节点n3的电位低。

此时，由于输入到差动放大器DI2的负输入端子的电位低于输入到其正输入端子的基准电位VrefL，所以差动放大器DI2的输出信号变成“L”. 另外，由于输入到差动放大器DI3的正输入端子的电位高于输入到其负输入端子的基准电位VrefH，所以差动放大器DI3的输出信号也变成“L”.

从而，NOR电路NR3的输出信号变成“H”，即，读出放大器SA的输出信号变成“1”（“H”=“1”）. 即，所选的TMR元件的数据判断为“1”。

另外，例如所选的TMR元件的数据为“0”、尝试数据为“0”时，在第2次读出操作读出的比较数据，即节点n2的电位和在第1次读出操作读出的初始数据，即节点n3的电位实质上相同.

此时，差动放大器DI1基于节点n2、n3的微小电位差，输出2个输出电位。

但是，由于输入到差动放大器DI2的负输入端子的电位不低于输入到其正输入端子的基准电位VrefL，所以差动放大器DI2的输出信号变成“H”. 另外，由

于输入到差动放大器 DI3 的正输入端子的电位不高于输入到其负输入端子的基准电位 VrefH，所以差动放大器 DI3 的输出信号也变成“H”.

从而，NAND 电路 ND5 的输出信号变成“L”，即，读出放大器 SA 的输出信号变成“0”（“L”＝“0”）. 即，所选的 TMR 元件的数据判断为“0”.

另外，对于图 48 的读出放大器的第 1 级差动放大器 DI1，也可以采用与图 46 或图 47 所示结构的差动放大器 DI1.

这样，在所选的 TMR 元件的数据和尝试数据相同时，即，2 个输入电位几乎没有差时，读出放大器不放大输出该差. 读出放大器只在 2 个输入电位的差明显时，放大输出该差.

（5）运算放大器的具体例

图 49 示出图 42 至图 44 的运算放大器 OP1 的具体例.

在运算放大器 OP1 的正输入端子输入箝位电位 Vclamp，在其负输入端子输入节点 n1 的电位. 在启动信号 Enable 变成“H”时，输出节点 n1 的电位与箝位电位 Clamp 相等的输出信号 Out.

图 50 示出图 42 的运算放大器 OP2 的具体例.

在运算放大器 OP2 的正输入端子输入图 42 的反相电路 I8 的输出信号，在其负输入端子输入反相电路 I7 的输出信号. 在启动信号 Enable 变成“H”时，输出反相电路 I7 的输出信号与反相电路 I8 的输出信号相等的输出信号 Out.

（6）电路例 1、2、3 的操作

说明电路例 1、2、3 的读出电路的操作. 电路例 1、2、3 中，可以执行通常的破坏读出操作（图 14、图 15、以及图 16）和改良的破坏读出操作（图 31、图 32、以及图 33）的任一读出操作.

① 第 1 次读出操作

在第 1 次读出操作中读出初始数据.

输入列地址信号，列选择开关 N7（SW）变成导通状态. 另外，运算放大器 OP1 控制 N 沟道 MOS 晶体管 N8 的栅极电位，以使节点 n1 的电位与箝位电位 Vclamp 相等.

此时，读出电流从电源端子 VDD 经由晶体管 M7、M8、以及多个 TMR 元件流入接地点. 电流镜电路 M1 的作用是使与该读出电流相等的电流流入 N 沟道 MOS 晶体管 N9.

从而，在节点n2具有对应多个TMR元件的合成电阻的电位（初始数据）。

另外，控制信号READ1S在第1次读出操作时变成“H”。即，传输门电路TG1变成导通状态，传输门电路TG2变成截止状态。因此，节点n2的电位经由传输门电路TG1输入到存储电路43。

图42的例子中，运算放大器OP2控制反相电路I8内的N沟道MOS晶体管的栅极电位，以使其负输入电位和其正输入电位相等。结果，流入反相电路I8的电流变成初始数据（单元数据）。

图43的例子中，反相电路I11的输出接点n3的电位变成初始数据（单元数据）。图44的例子中，电容器C1的一端n3的电位变成初始数据（单元数据）。

第1次读出操作一结束，控制信号READ1S就变成“L”，控制信号bREAD1S变成“H”。其结果，初始数据锁存在存储电路43内。

② 第2次读出操作和数据判断操作

在所选的TMR元件中写入尝试数据之后（通常的破坏读出操作），或在写入的同时（改良的破坏读出操作）进行第2次读出操作，读出比较数据。

输入列地址信号，列选择开关N7（SW）变成导通状态。另外，运算放大器OP1控制N沟道MOS晶体管N8的栅极电位，以使节点n1的电位与箝位电位Vclamp相等。

此时，读出电流从电源端子VDD经由晶体管M7、M8、以及多个TMR元件流入接地点。电流镜电路M1的作用是使与该读出电流相等的电流流入N沟道MOS晶体管N9。

从而，在节点n2具有对应多个TMR元件的合成电阻的电位（比较数据）。

此时，在读出放大器SA的正输入端子输入节点n2的电位，在其负输入端子输入存储电路43的节点n3的电位。其结果，读出放大器SA基于节点n2的电位和节点n3的电位判断所选的TMR元件的数据值。

另外，读出放大器SA的数据判断操作与（4）的“读出放大器的具体例”的项目中所述的相同。

（7）电路例4

图51示出磁随机存取存储器的读出电路的电路例4。

电路例1、2、3中，将读出数据（初始数据）以模拟值存储在存储电路中。与此不同，在电路例4中，将读出数据以数据值存储在存储电路。

多个TMR元件相互并联连接，其一端连接到接地点，其另一端经由作为列选择开关的N沟道MOS晶体管N7（SW）连接到节点n1．图示的TMR元件的组在参考例、改良例1、2、5中相当于1列，在改良例3、4、6中相当于1列内的1个块。

节点n1的电位通过箝位电路被设定为箝位电压Vclamp．箝位电路由运算放大器OP1和N沟道MOS晶体管N8构成．作为运算放大器OP1例如可以采用图49所示的运算放大器OP1．

N沟道MOS晶体管N8配置在节点n1和电流镜电路M1之间．运算放大器OP1控制N沟道MOS晶体管N8的栅极电位，以使例如节点n1的电位与箝位电位Vclamp相等．

电流镜电路M1的作用是使与流入多个TMR元件的读出电流的总值相等的电流流入N沟道MOS晶体管N9．此时的节点n2的电位（初始数据）输入到存储电路43内的运算放大器OP3的正输入端子．

运算放大器OP3可以例如采用图50所示的运算放大器OP2．

电路例4中，存储电路4包括运算放大器OP3、RGB（带隙参考）电路36、振荡器37、采样保持电路38、计数器触发信号发生电路39、计数器/计数器驱动电路40、DAC（数模转换器）41、P沟道MOS晶体管P7、以及N沟道MOS晶体管N10．

BGR电路36输出与温度无关的输出信号．BGR电路36的输出信号提供给振荡器37和DAC41．振荡器37基于BGR电路36的输出信号，生成电平周期变化的信号OSC．

运算放大器OP3的输出信号输入到采样保持电路38中．采样保持电路38将运算放大器OP3的输出信号作为采样结果保持，并基于电平周期变化的信号OSC，将该采样结果周期性地输出给计数器触发信号发生电路39．

计数器触发信号发生电路39基于电平周期变化的信号OSC和采样结果，输出计数器触发信号．计数器/计数器驱动电路40基于计数器触发信号，变化作为其输出信号的计数值．

DAC（数模转换器）41将计数器/计数器驱动电路40的计数值从数字信号变换成模拟信号．DAC41的输出信号输入到P沟道MOS晶体管P7的栅极．

P沟道MOS晶体管P7和N沟道MOS晶体管N10串联连接在电源端子VDD和

接地点VSS之间.

N沟道MOS晶体管N10的栅极和漏极相互连接.P沟道MOS晶体管P7和N沟道MOS晶体管N10的漏极分别与运算放大器OP3的负输入端子和读出放大器SA的负输入端子连接.

读出放大器SA比较节点n2的电位和节点n3(运算放大器OP3的负输入端子)的电位,判断所选的TMR元件的数据.

电路例4中,例如在破坏读出操作的第1次读出操作取得的初始数据作为数字值存储在存储电路43内.

具体说来,存储电路43进行使流过MOS晶体管P7、N10的电流值流过与MOS晶体管P8、N9的电流值相等的操作.即,存储电路43调整P沟道MOS晶体管P7的栅极电位(DAC41的输出值),以使节点n3的电位与节点n2的电位相等.

在此,P沟道MOS晶体管P7、P8的大小(驱动力)互相相同,N沟道MOS晶体管N9、N10的大小(驱动力)互相相同.

电路例4中,由于将运算放大器OP3的输出信号,即节点n2的电位和节点n3的电位的差(模拟值)作为计数器的计数值(数字值)存储,所以难以正确存储读出电流(初始数据).

但是,像这样的情况下,只要使计数器的1次计数的电流变化量(流入MOS晶体管P7、N10的电流的变化量)远远小于基于TMR元件的MR比的读出电流的变化量,完全不会有问题,可以进行读出操作.

(8)BGR电路的具体例

图52示出BGR电路的一例.

BGR电路36是公知的电路.本例中,采用BGR电路36,分别生成用于DAC的输出电流Ibgr和用于振荡器的输出电流Ibgr.

(9)振荡器的具体例

图53示出振荡器的一例.

振荡器37接收BGR电路的输出电流Ibgr,生成电平周期变化的信号OSC.通过向振荡器37提供BGR电路的输出信号,可以生成不依赖于温度和电源电压的、电平周期变化的信号.

这样,可以使采样时间一直恒定.

(10)采样保持电路的具体例

图 54 示出采样保持电路的一例.

采样保持电路 38 将运算放大器 OP3 的输出信号作为采样结果保持，并且，基于电平周期变化的信号 OSC，将其采样结果 DOWN 输出给计数器触发信号发生电路 39.

（11）计数器触发信号发生电路的具体例

图 55 示出计数器触发信号发生电路的一例.

计数器触发信号发生电路39基于采样结果DOWN和电平周期变化的信号OSC，示出计数器触发信号 Dn、Up.

（12）计数器驱动电路的具体例

图 56 至图 63 示出计数器驱动电路的一例.

计数器驱动电路基于计数器触发信号 Dn、Up，生成用于驱动计数器的控制信号 TP0、bTP0、TP1、bTP 1、…TP7、bTP 7.

（13）计数器的具体例

图 64 至图 65 示出计数器的一例.

计数器 40 基于控制信号 TP0、bTP0、TP1、bTP 1、…TP7、bTP 7，改变其计数值 C<0>、C<1>、…C<7>.

（14）DAC 的具体例

图 66 示出 DAC 的一例.

在DAC41输入BGR电路的输出信号Ibgr和计数器的输出信号(计数值)C<0>、C<1>、…C<7>. DAC41 将计数器的计数值从数字信号变换成模拟信号.

（15）电路例 4 的操作

电路例 4 的读出电路的操作除了改良的破坏读出操作原理的方面、将在第 1 次读出操作得到的初始数据作为数字值存储在存储电路的方面之外，与电路例 1、2、3 的读出电路的操作相同.

① 第 1 次读出操作

在第 1 次读出操作中读出初始数据.

输入列地址信号，列选择开关 N7（SW）变成导通状态. 另外，运算放大器 OP1 控制N沟道MOS晶体管N8的栅极电位，以使节点n1的电位与箝位电位Vclamp相等.

此时，读出电流从电源端子 VDD 经由晶体管 M7、M8、以及多个 TMR 元件流

入接地点。电流镜电路M1的作用是使与该读出电流相等的电流流入N沟道MOS晶体管N9。

从而，在节点n2具有对应多个TMR元件的合成电阻的电位（初始数据）。

节点n2的电位输入到存储电路43内的运算放大器OP3的正输入端子。节点n2的电位作为计数器40的计数值存储在存储电路43。由于基于计数器40的计数值，在MOS晶体管P7、N10流过电流，所以其结果，节点n3的电位与节点n2的电位相等。

② 第2次读出操作和数据判断操作

在所选的TMR元件中写入尝试数据的同时进行第2次读出操作，读出比较数据。

此时，读出电流从电源端子VDD经由晶体管M7、M8、以及多个TMR元件流入接地点。电流镜电路M1的作用是使与该读出电流相等的电流流入N沟道MOS晶体管N9。

从而，在节点n2具有对应多个TMR元件的合成电阻的电位（比较数据）。

此时，在读出放大器SA的正输入端子输入节点n2的电位，在其负输入端子输入存储电路43的节点n3的电位。其结果，读出放大器SA基于节点n2的电位和节点n3的电位判断所选的TMR元件的数据值。

另外，读出放大器SA的数据判断操作与（4）的“读出放大器的具体例”的项目中所述的相同。

（16）电路例5

图67示出磁随机存取存储器的读出电路的电路例5。

电路例5中具有如电路例1、2、3、4具有的存储电路。即，电路例5中，在电流路径中连接电感元件，由读出放大器SA检测电感元件的两端的电位差。电路例5与电路例1、2、3、4相比很简单。

多个TMR元件相互并联连接，其一端连接到接地点，其另一端经由作为列选择开关的N沟道MOS晶体管N7（SW）连接到节点n1。图示的TMR元件的组在参考例、改良例1、2、5中相当于1列部分，在改良例3、4、6中相当于1列内的1个块部分。

节点n1的电位通过箝位电路设定为箝位电位Vclamp。箝位电路由运算放大器OP1和N沟道MOS晶体管N8构成。运算放大器OP1例如可以采用图49所示

的运算放大器OP1.

N沟道MOS晶体管N8配置在节点n1和电流镜电路M1之间.运算放大器OP1例如控制N沟道MOS晶体管N8的栅极电位，以使节点n1的电位与箝位电位Vclamp相同.

电流镜电路M1的作用是将与流入多个TMR元件的读出电流的总值等同的电流流入N沟道MOS晶体管.在电流镜电路M1和N沟道MOS晶体管N9间连接有电感元件L.

电感元件L的一端（节点n2）连接到读出放大器SA的正输入端子，其另一端（节点n3）连接到读出放大器SA的负输入端子.

由于具有V=IR+L• dI/dt（V为电源电压，I为电流值，R为MOS晶体管的导通电阻，L为电感）的关系，所以经过很长的时间，流入电感元件L的电流变成一定时，节点n2的电位和节点n3的电位相等.

图68和图69示出电感元件的一例.

电感元件例如可以采用LSI的布线加工技术形成.此时，电感元件可以在LSI芯片内形成.即，可以在磁随机存取存储器的芯片内形成用于读出电路的电感元件.

（17）电路例5的操作

电路例5的读出电路的操作与改良的破坏读出操作原理有关，在存储电路不存储在第1次读出操作取得的初始数据.

① 第1次读出操作

在第1次读出操作中读出初始数据.

输入列地址信号，列选择开关N7（SW）变成导通状态.另外，运算放大器OP1控制N沟道MOS晶体管N8的栅极电位,以使节点n1的电位与箝位电位Vclamp相等.

此时，读出电流从电源端子VDD经由晶体管M7、M8、以及多个TMR元件流入接地点.电流镜电路M1的作用是使与该读出电流相等的电流流入N沟道MOS晶体管N9.

从而，经过很长时间，流入电感元件L的电流恒定时，在节点2具有对应多个TMR元件的合成电阻的电位（初始数据）.

② 第2次读出操作和数据判断操作

在所选的TMR元件写入尝试数据的同时进行第2次读出操作，读出比较数据。

此时，读出电流从电源端子VDD经由晶体管M7、M8、以及多个TMR元件流入接地点。电流镜电路M1的作用是使与该读出电流相等的电流流入N沟道MOS晶体管N9。

从而，在多个TMR元件的合成电阻不变化的情况下（所选的TMR元件的数据和尝试数据相同时），由于电流值没有变化，所以节点n2的电位和节点n3的电位仍然相等。

另外，在多个TMR元件的合成电阻变化时（所选的TMR元件的数据和尝试数据不同时），由于电流值有变化，所以由于电感分量，节点n3的电位偏离节点n2的电位。

若用读出放大器SA判断该节点n2、n3的电位变化，则可以判断所选的TMR元件的数据值。

（18）其它电路例

① 电路例6

图70示出磁随机存取存储器的读出电路的电路例6。

电路例6是电路例1（图42）的改良例。

电路例6与电路例1相比不同之处在于，具有附加电流生成部42，其它方面与电路例1相同。

若1列内或1个块内的并联连接的TMR元件的个数过多，则对于读出电流的信号电流值变得非常小，难以利用读出放大器检测该微小的信号电流。

因此，本例中新设置了附加电流生成部42。

附加电流生成部42具有电流源Is。由该电流源Is产生的恒流由电流镜电路M2提供给TMR元件。

即，电路例6中，将流过1列内或1个块内的并联连接的TMR元件的单元电流作为Icell时，在电流镜电路M1流过的电流，即N沟道MOS晶体管N9流过的电流Isense为Isense = Icell - Is。

这样，由于可以增大对于读出电流值的信号电流值，所以可以提高读出放大器对信号电流的检测灵敏度。

② 电路例7

图71示出磁随机存取存储器的读出电路的电路例7。

电路例7是电路例2（图43）的改良例.

电路例7与电路例2相比不同之处在于，具有附加电流生成部42，其它方面与电路例2相同.

附加电流生成部42与电路例6相同. 电路例7中，由于也可以增大对于读出电流值的信号电流值，所以可以提高读出放大器对信号电流的检测灵敏度.

③ 电路例8

图72示出磁随机存取存储器的读出电路的电路例8.

电路例8是电路例3（图44）的改良例.

电路例8与电路例3相比不同之处在于，具有附加电流生成部42，其它方面与电路例3相同.

附加电流生成部42与电路例6相同. 电路例8中，由于也可以增大对于读出电流值的信号电流值，所以可以提高读出放大器对信号电流的检测灵敏度.

④ 附加电流生成部的电流源的具体例

图73示出附加电流生成部的电流源的一例.

附加电流生成部42的电流源Is可以构变成例如与存储单元阵列部分相同. 即，电流源Is由并联连接的多个TMR元件、箝位电路、以及N沟道MOS晶体管构成.

在此，电流源Is内的TMR元件个数最好比存储单元阵列的1列内或1个块内的并联连接的TMR元件个数少.

另外，本例中，在构成附加电流生成部42时利用了TMR元件，但例如可以取而代之，利用BGR电路等.

4. 其它

上述说明中，前提为作为磁随机存取存储器的存储单元采用TMR元件，但在存储单元为GMR（Giant Magneto Resistance）元件时也可以适用本发明，即各种改良例、读出操作原理、周边电路的具体例等.

另外，对于TMR元件和GMR元件的结构，适用本发明时没有作特别限定.

本发明的读出操作原理如参考例、改良例1~6，除了适用于在1列或1个块内配置并联连接的多个存储单元（TMR元件）的磁随机存取存储器之外，还适用于对1个存储单元对应1个选择晶体管的所谓的1单元-1晶体管结构的磁随机存取存储器.

此时，读出操作实质上与适用于参考例、改良例 1～6 的读出操作相同．另外，对于效果，与多个存储单元的电阻值的偏差无关，可以正确读出数据．

如上所述，根据本发明，特别是在采用破坏读出操作原理的磁随机存取存储器中，由于具体化了写入驱动器等写入电路和读出放大器等读出电路，所以可以进一步实现磁随机存取存储器的大量生产化．另外，对于磁随机存取存储器的阵列结构和读出操作原理，也可以提出用于提高实现性的改良技术．

图1

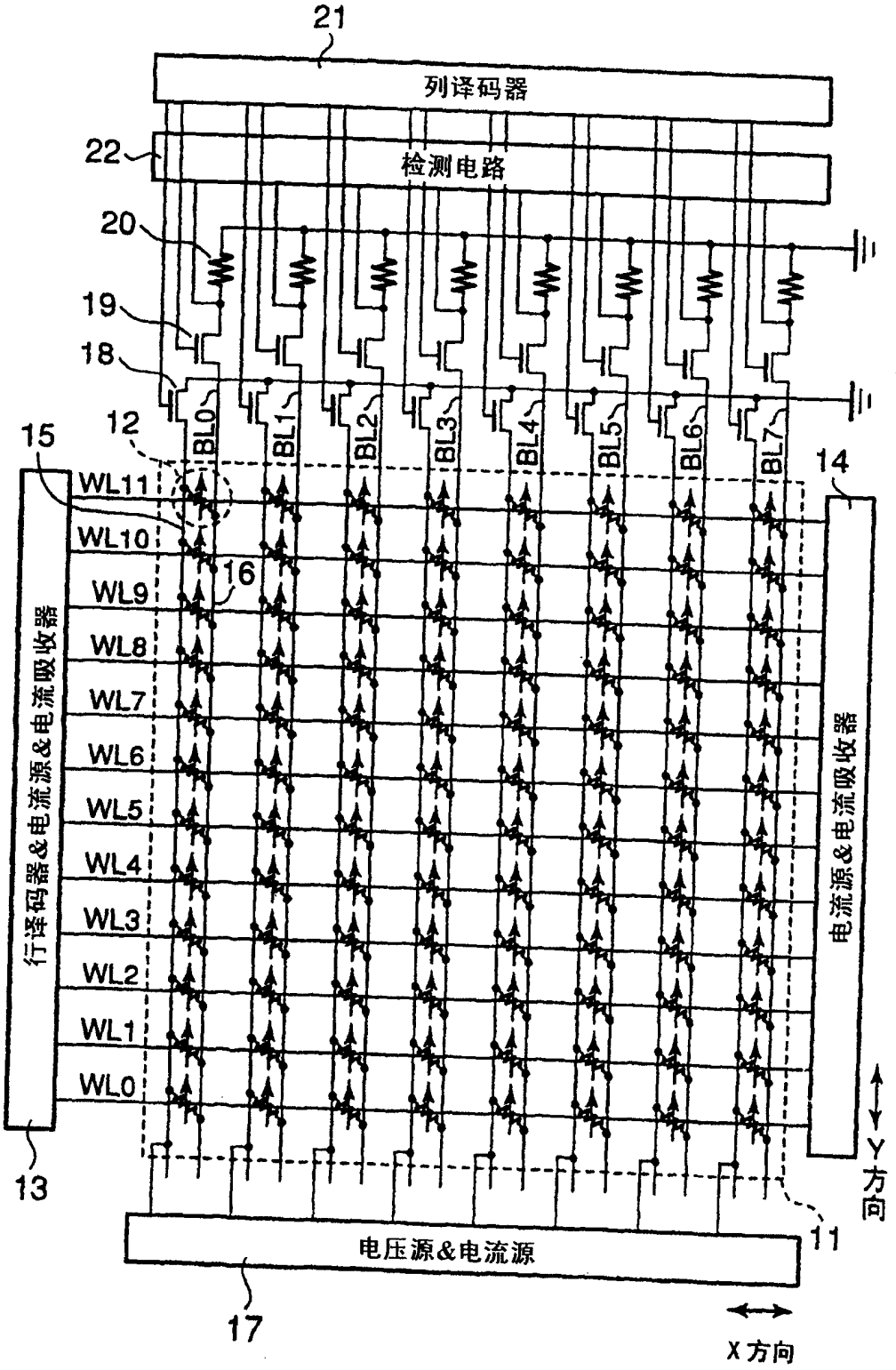

21
列译码器
22
检测电路
20
19
18
12
15
14
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
16
行译码器&电流源&电流吸收器
电流源&电流吸收器
13
11
Y方向
电压源&电流源
17
X方向

图2

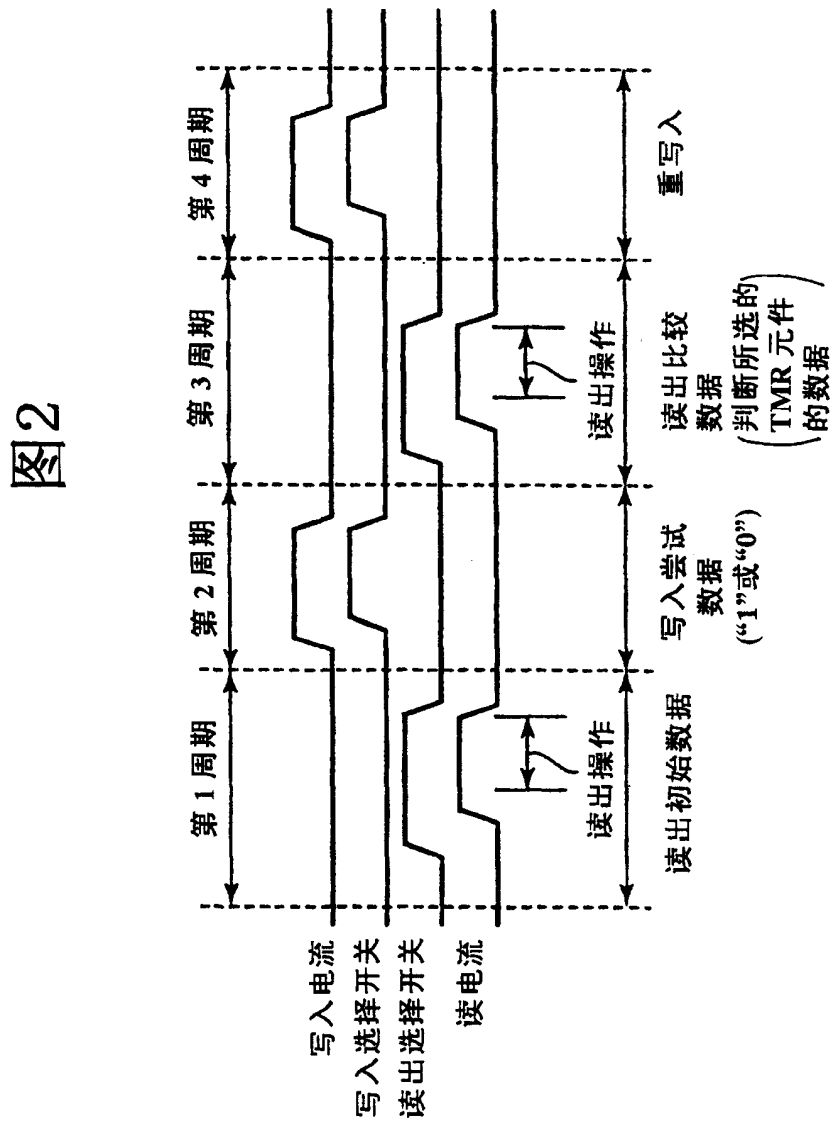

第1周期
第2周期
第3周期
第4周期
写入电流
写入选择开关
读出选择开关
读电流
读出初始数据
读出操作
写入尝试数据
("1"或"0")
读出比较数据
(判断所选的TMR元件的数据)
读出操作
重写入

图3

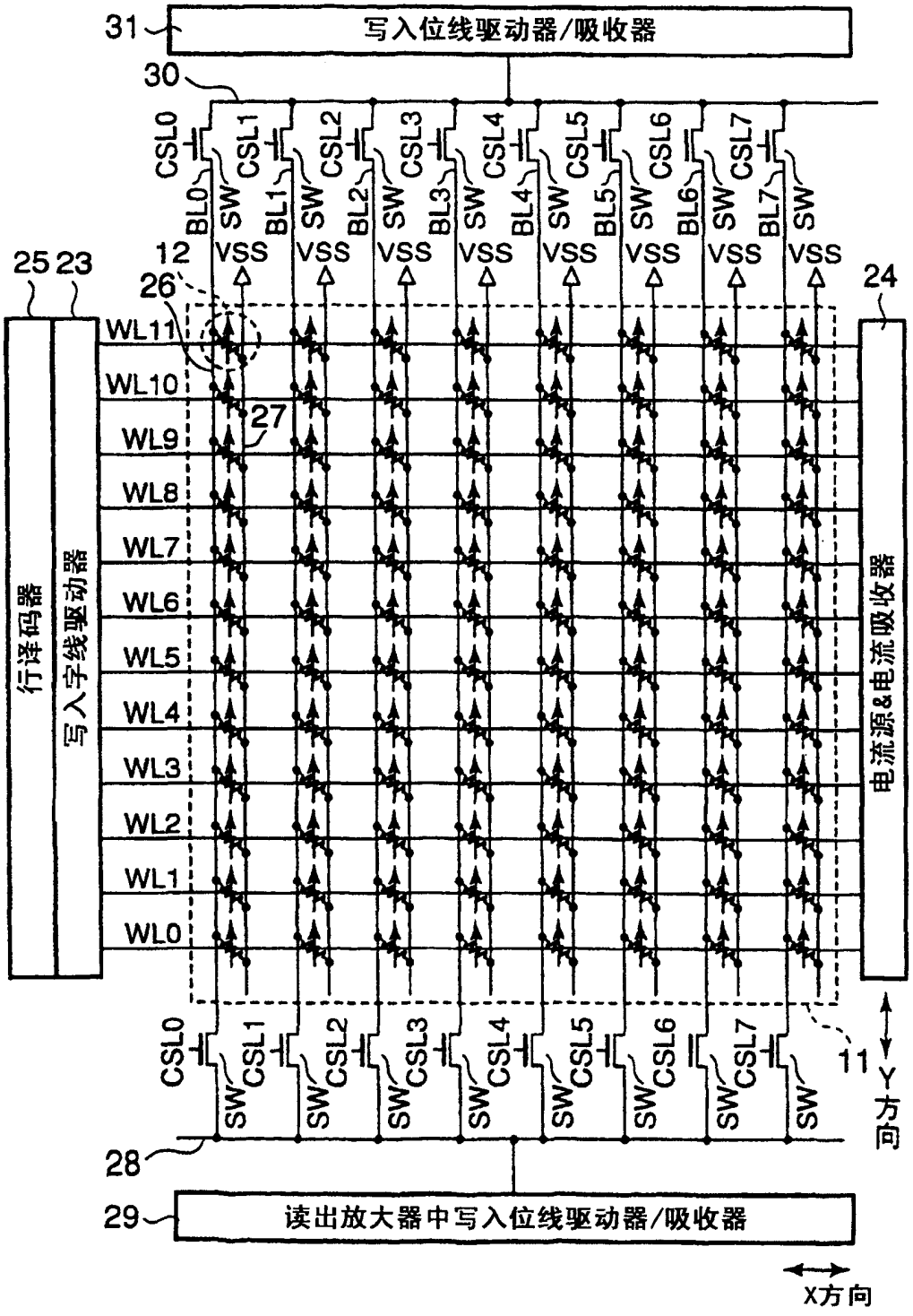

31
写入位线驱动器/吸收器
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SW
VSS
12
25 23
26
24
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
27
行译码器
写入字线驱动器
电流源&电流吸收器
11
Y方向
28
29
读出放大器中写入位线驱动器/吸收器
X方向

图4

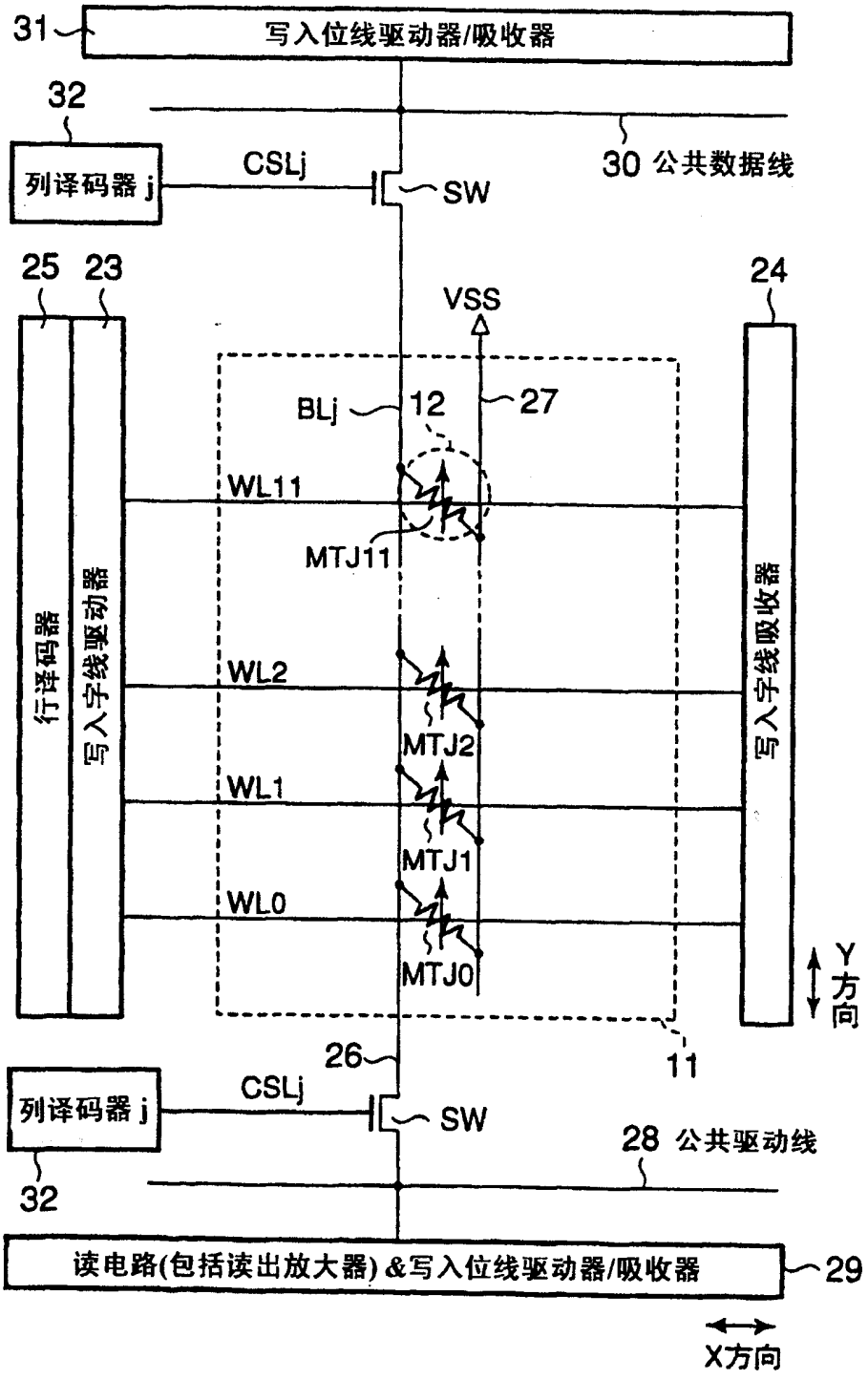

31
写入位线驱动器/吸收器
32
列译码器 j
CSLj
SW
30 公共数据线
25
23
24
VSS
BLj
12
27
WL11
MTJ11
WL2
MTJ2
WL1
MTJ1
WL0
MTJ0
行译码器
写入字线驱动器
写入字线吸收器
Y 方向
26
11
列译码器 j
CSLj
SW
28 公共驱动线
32
读电路(包括读出放大器) &写入位线驱动器/吸收器
29
X方向

图5

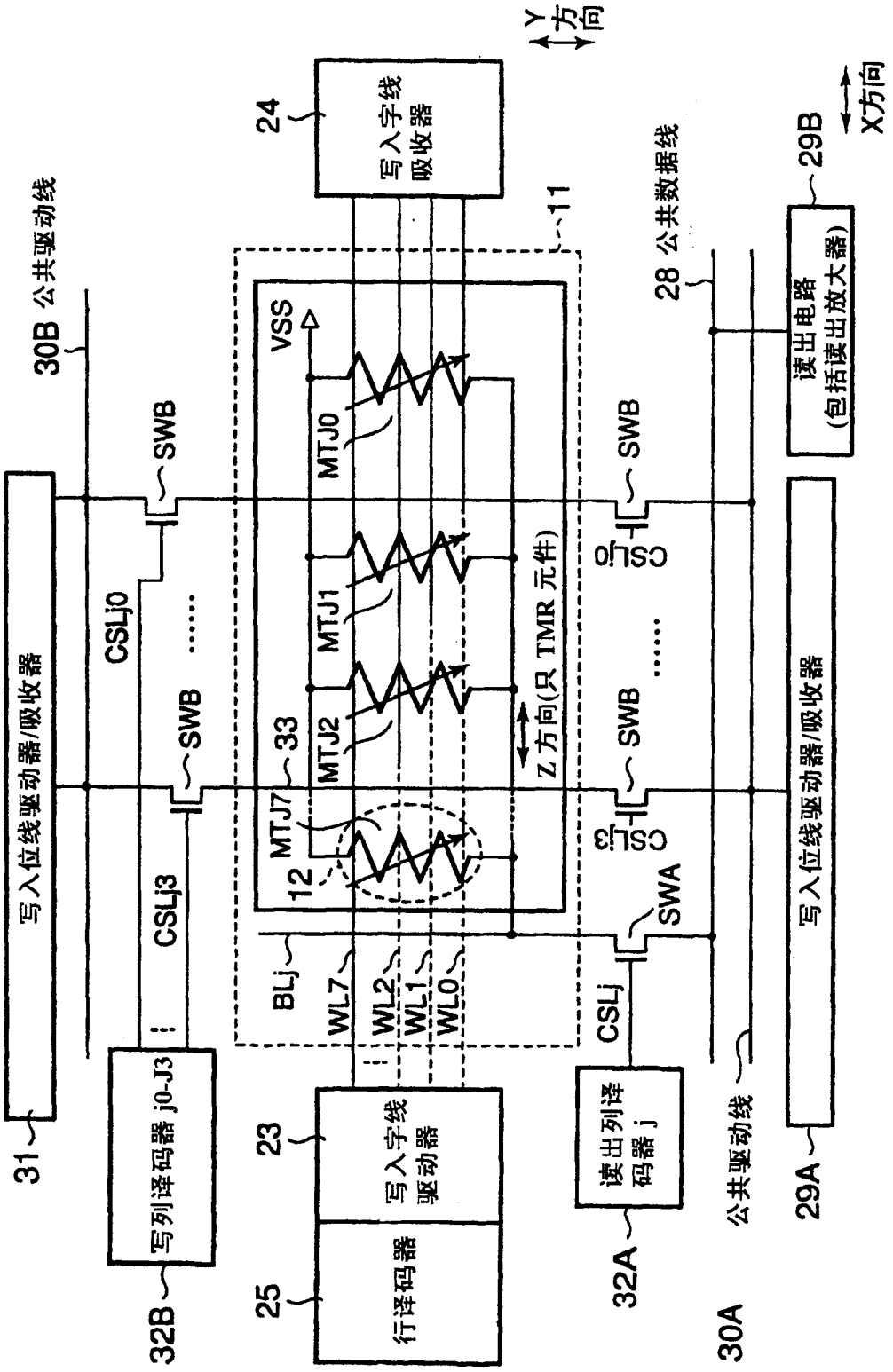

Y方向
24
写入字线吸收器
11
30B 公共驱动线
28 公共数据线
29B
X方向
读出电路(包括读出放大器)
SWB
VSS
MTJ0
MTJ1
MTJ2
MTJ7
33
12
Z方向(只TMR元件)
写入位线驱动器/吸收器
CSLj0
CSLj3
SWA
BLj
WL7
WL2
WL1
WL0
CSLj
31
写列译码器 j0-J3
32B
23
写入字线驱动器
25
行译码器
读出列译码器 j
32A
30A
公共驱动线
29A
写入位线驱动器/吸收器

图6

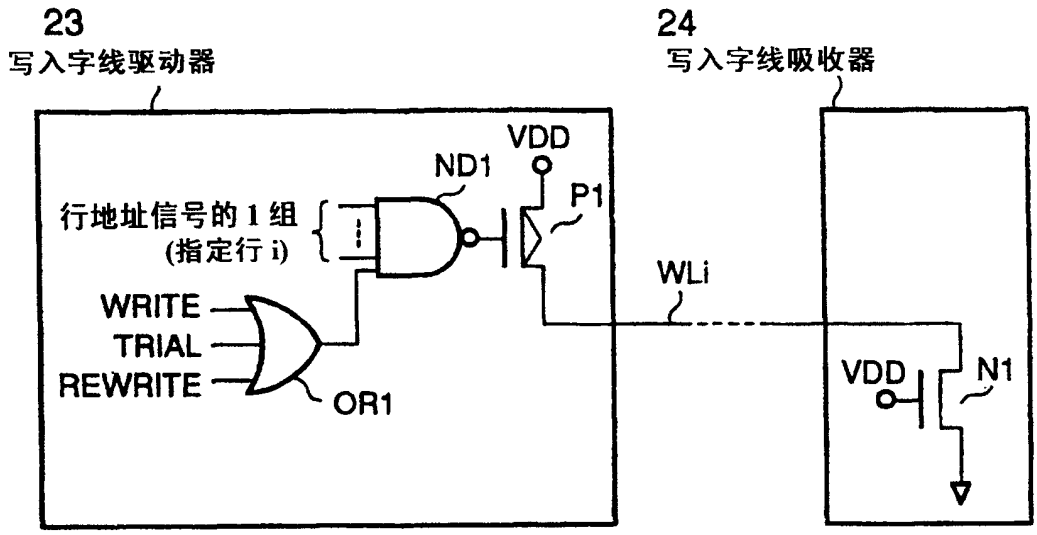

23
写入字线驱动器
24
写入字线吸收器
VDD
ND1
P1
行地址信号的1组
(指定行i)
WLi
WRITE
TRIAL
REWRITE
OR1
VDD
N1

图7

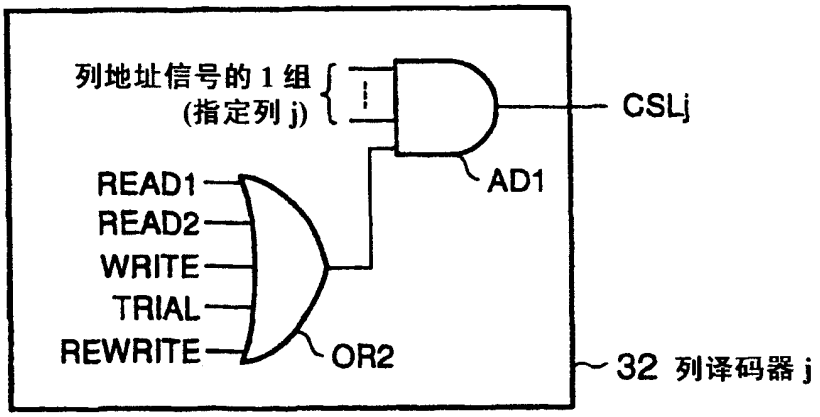

列地址信号的1组
(指定列j)
CSLj
AD1
READ1
READ2
WRITE
TRIAL
REWRITE
OR2
32 列译码器j

图8

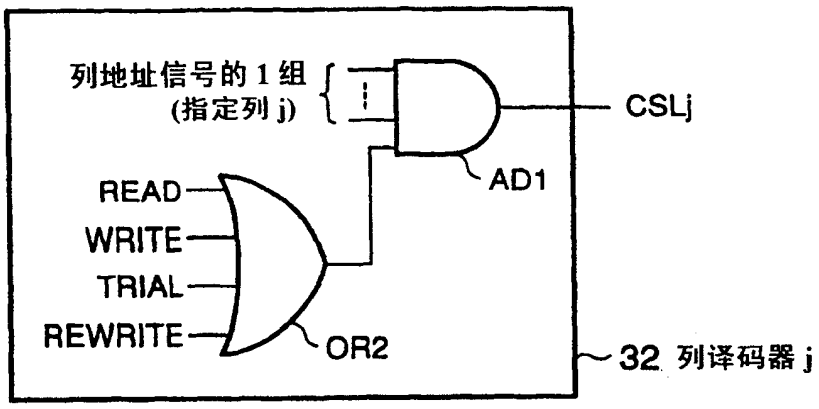

列地址信号的1组
(指定列j)
CSLj
AD1
READ
WRITE
TRIAL
REWRITE
OR2
32 列译码器j

图9

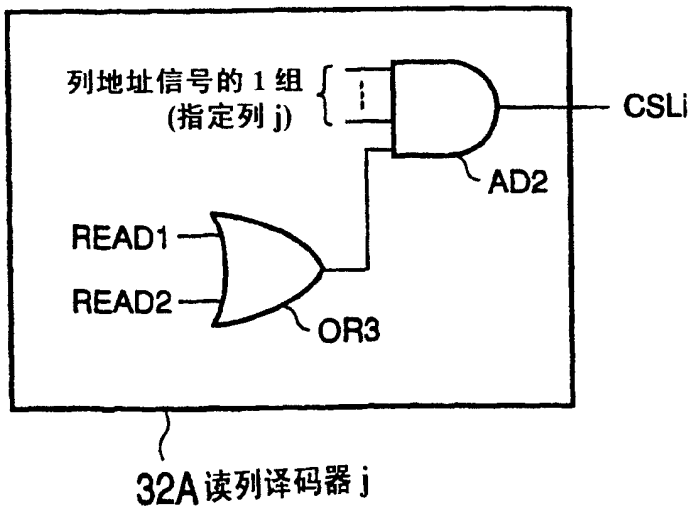

列地址信号的1组
(指定列j)
CSLi
AD2
READ1
READ2
OR3
32A读列译码器j

图10

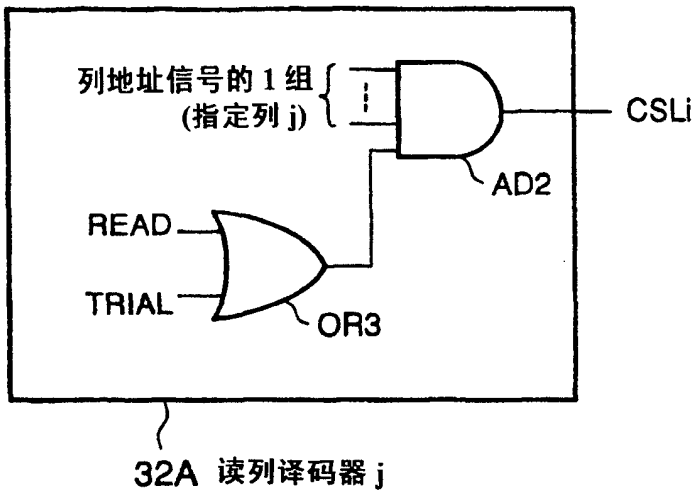

列地址信号的1组
(指定列j)
CSLi
AD2
READ
TRIAL
OR3
32A 读列译码器j

图11

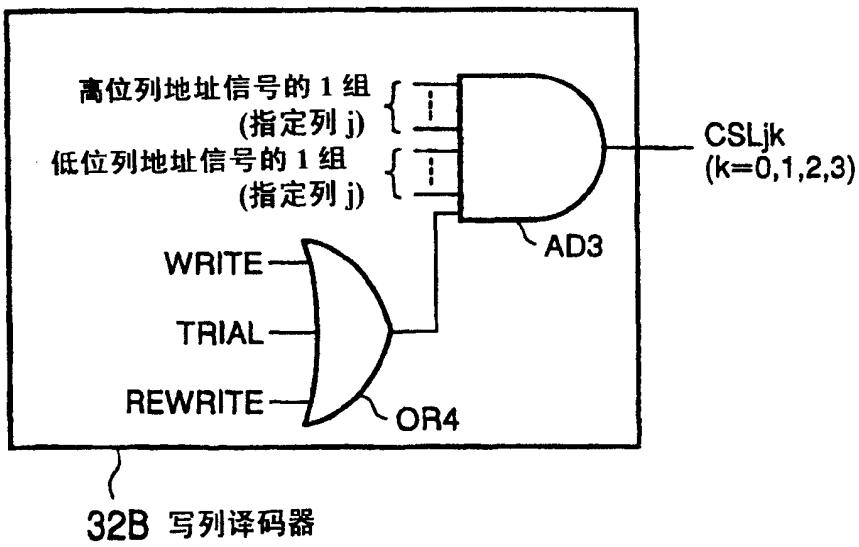

高位列地址信号的1组
(指定列j)
低位列地址信号的1组
(指定列j)
CSLjk
(k=0,1,2,3)
AD3
WRITE
TRIAL
REWRITE
OR4
32B 写列译码器

图12

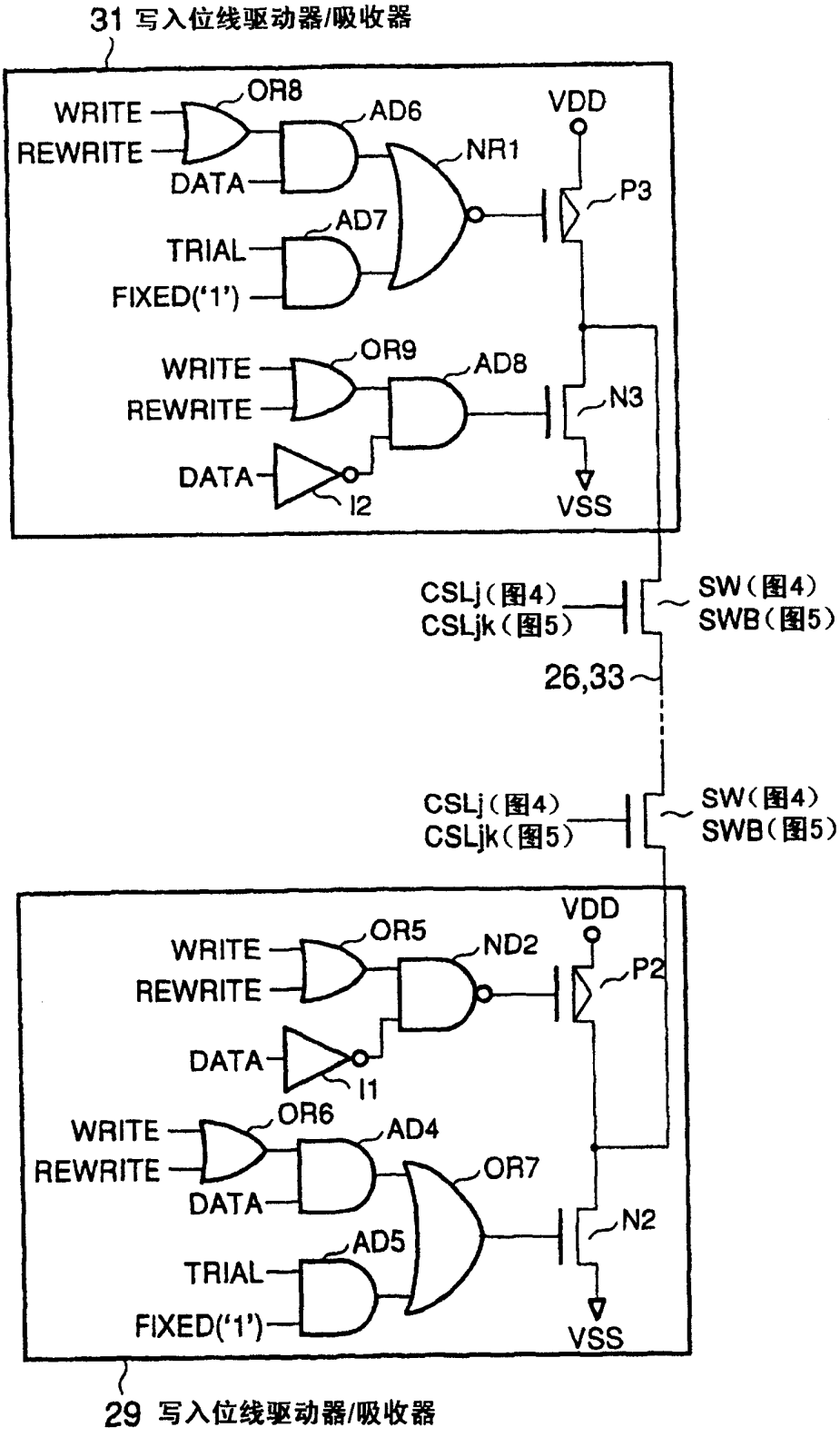

31 写入位线驱动器/吸收器
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
N3
I2
VSS
CSLj(图4)
CSLjk(图5)
SW(图4)
SWB(图5)
26,33
CSLj(图4)
CSLjk(图5)
SW(图4)
SWB(图5)
WRITE
REWRITE
DATA
OR5
ND2
VDD
P2
I1
WRITE
REWRITE
DATA
OR6
AD4
OR7
N2
TRIAL
FIXED('1')
AD5
VSS
29 写入位线驱动器/吸收器

图13

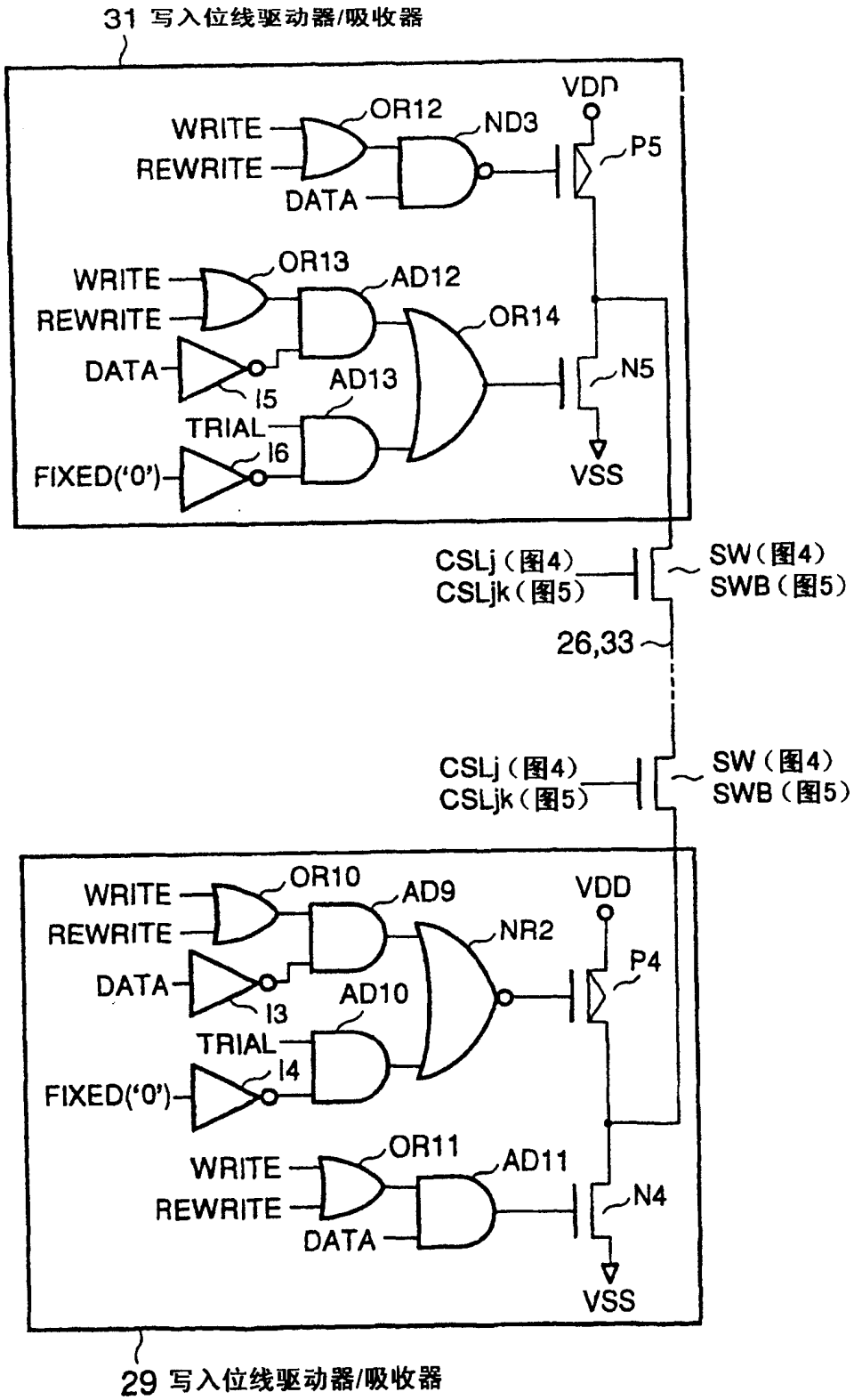

31 写入位线驱动器/吸收器
VDD
WRITE
REWRITE
DATA
OR12
ND3
P5
WRITE
REWRITE
DATA
I5
OR13
AD12
AD13
OR14
N5
TRIAL
FIXED('0')
I6
VSS
CSLj (图4)
CSLjk (图5)
SW (图4)
SWB (图5)
26,33
CSLj (图4)
CSLjk (图5)
SW (图4)
SWB (图5)
WRITE
REWRITE
DATA
I3
OR10
AD9
AD10
NR2
VDD
P4
TRIAL
FIXED('0')
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29 写入位线驱动器/吸收器

图14

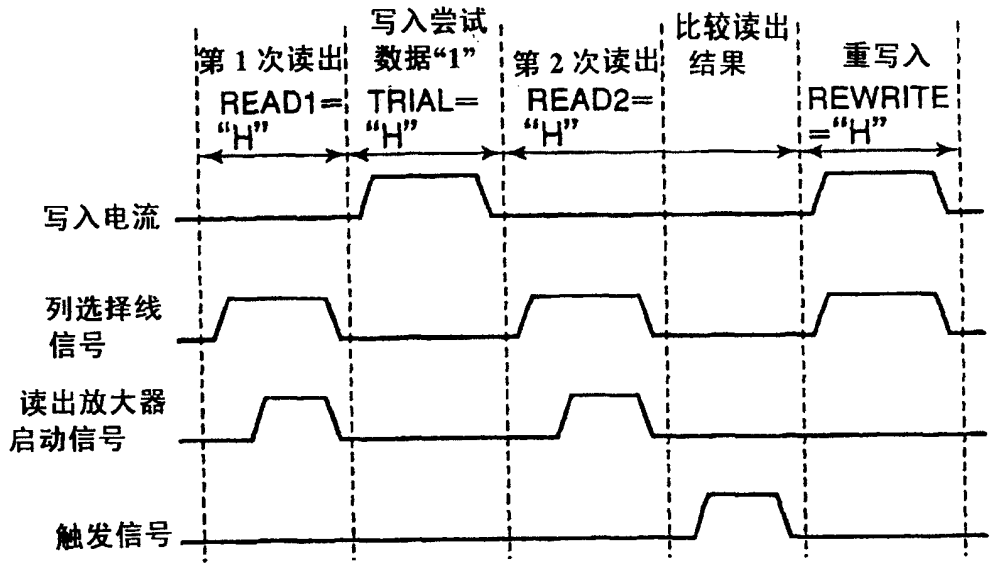

第 1 次读出
READ1=
“H”
写入尝试
数据“1”
TRIAL=
“H”
第 2 次读出
READ2=
“H”
比较读出
结果
重写入
REWRITE
=“H”
写入电流
列选择线
信号
读出放大器
启动信号
触发信号

图15

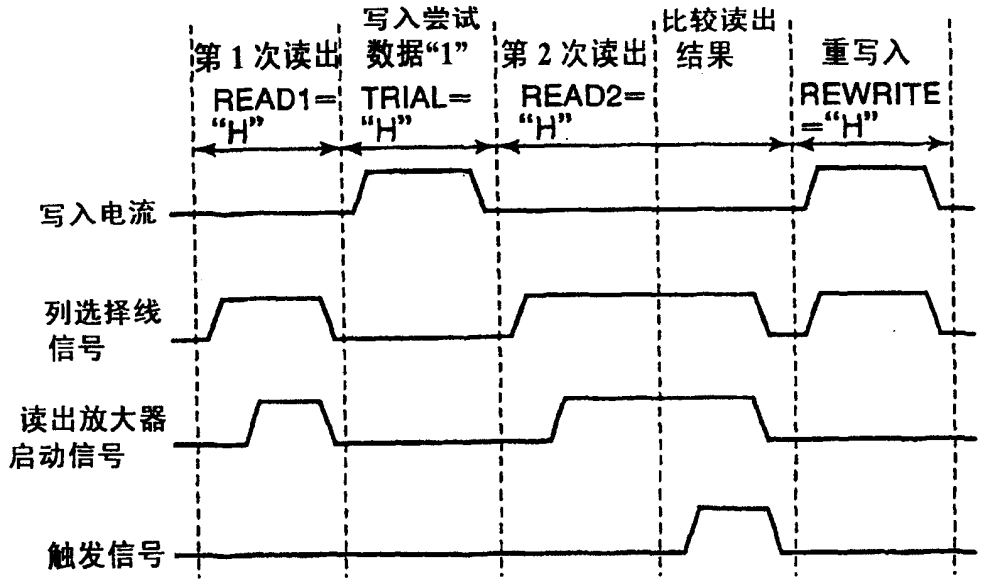

第 1 次读出
READ1=
“H”
写入尝试
数据“1”
TRIAL=
“H”
第 2 次读出
READ2=
“H”
比较读出
结果
重写入
REWRITE
=“H”
写入电流
列选择线
信号
读出放大器
启动信号
触发信号

图16

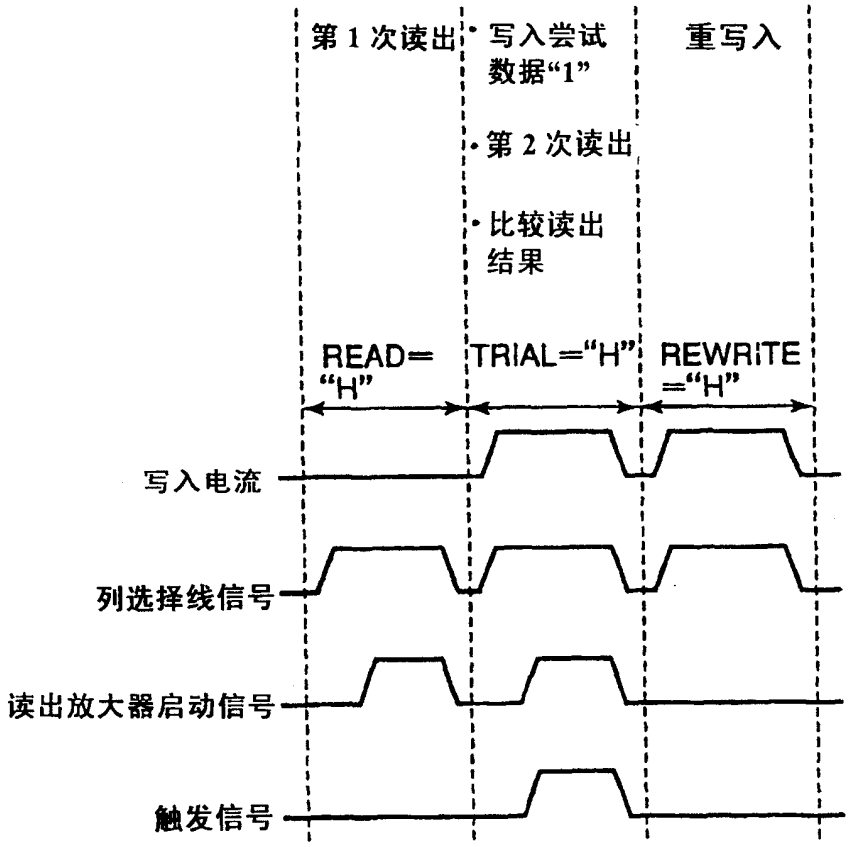

第 1 次读出
• 写入尝试数据“1”
• 第 2 次读出
• 比较读出结果
重写入
READ=“H”
TRIAL=“H”
REWRITE=“H”
写入电流
列选择线信号
读出放大器启动信号
触发信号

图17

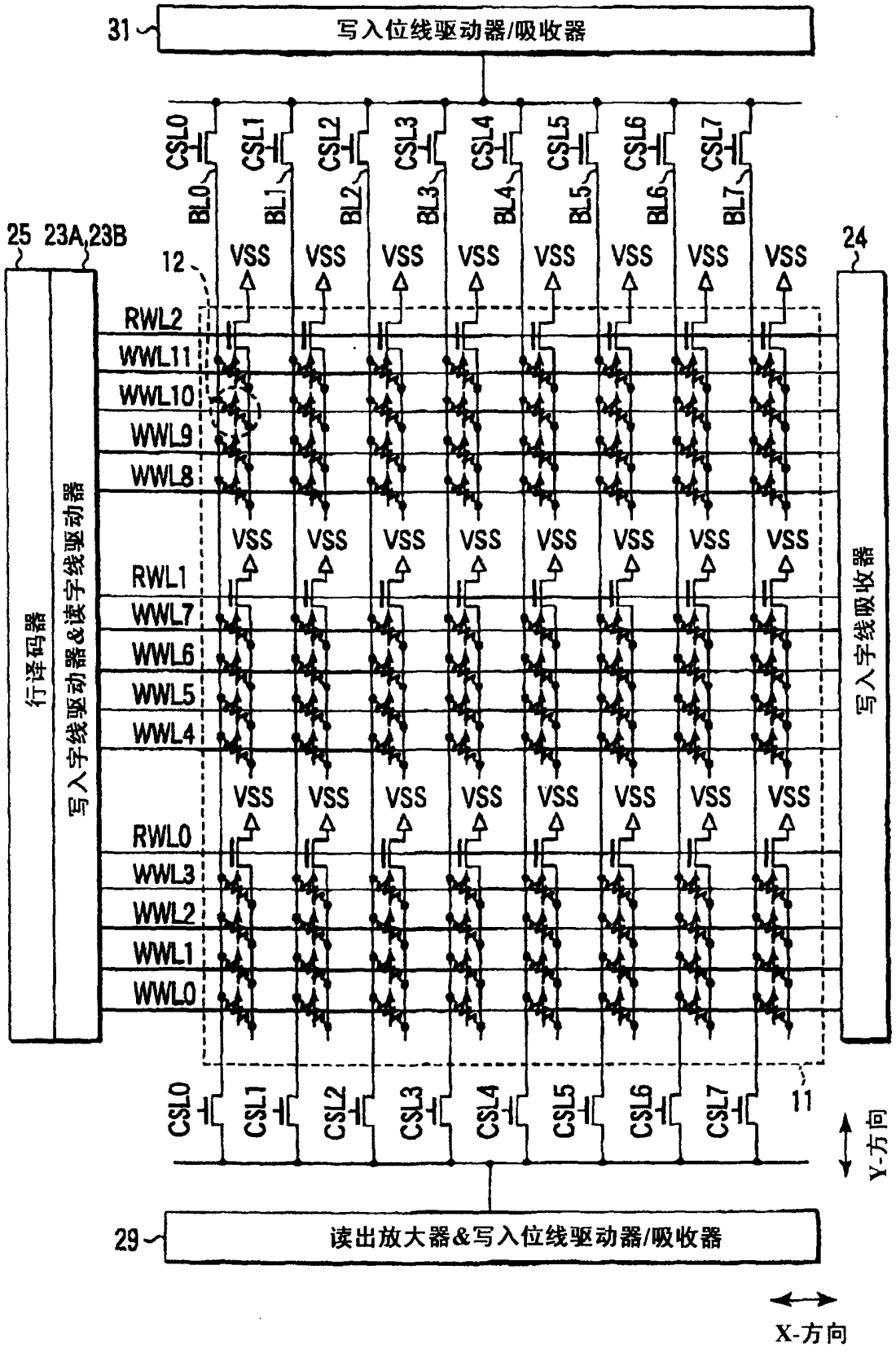

31
写入位线驱动器/吸收器
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
25
23A,23B
12
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
行译码器
写入字线驱动器&读字线驱动器
写入字线吸收器
11
Y-方向
29
读出放大器&写入位线驱动器/吸收器
X-方向

图18

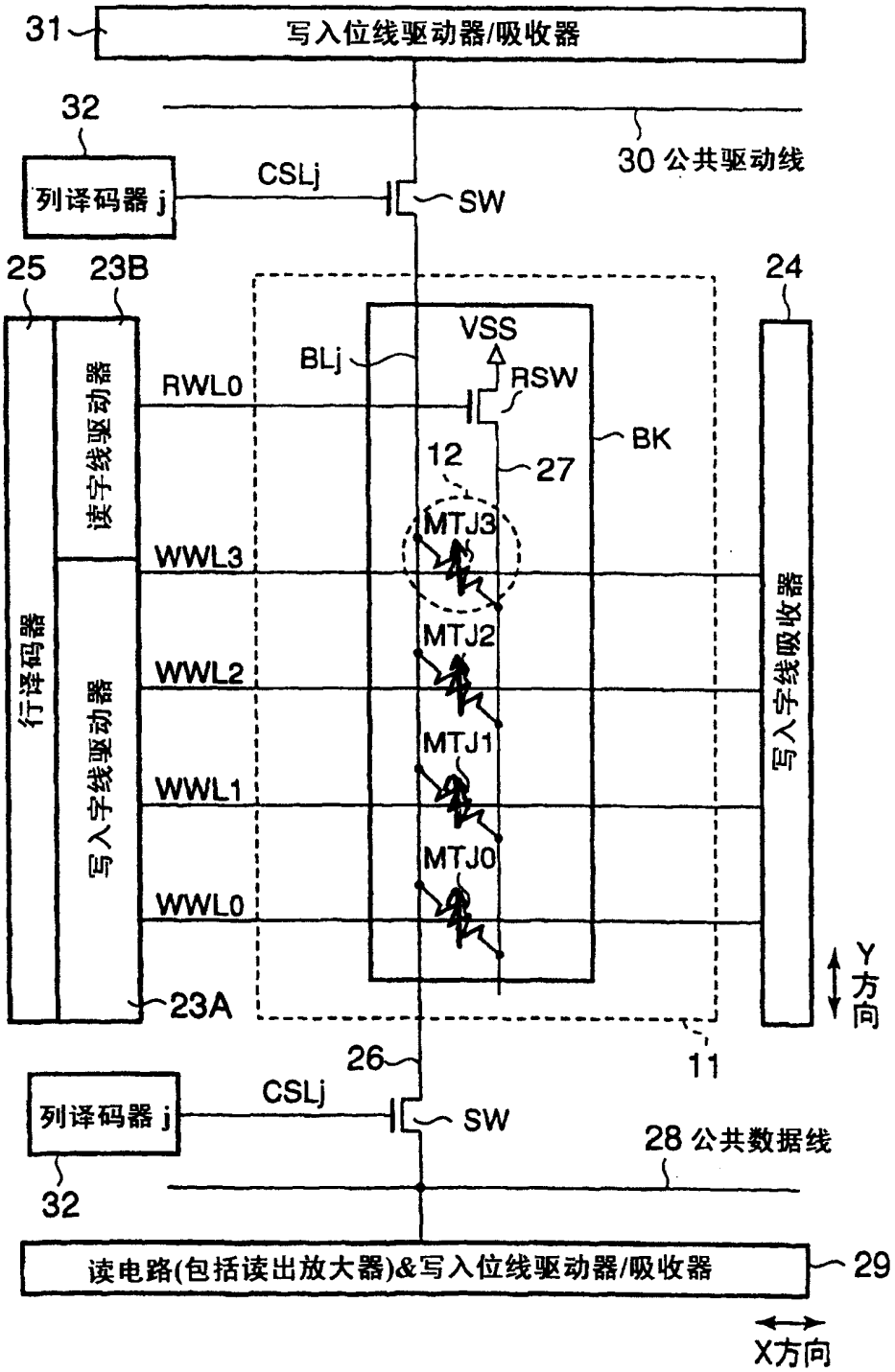
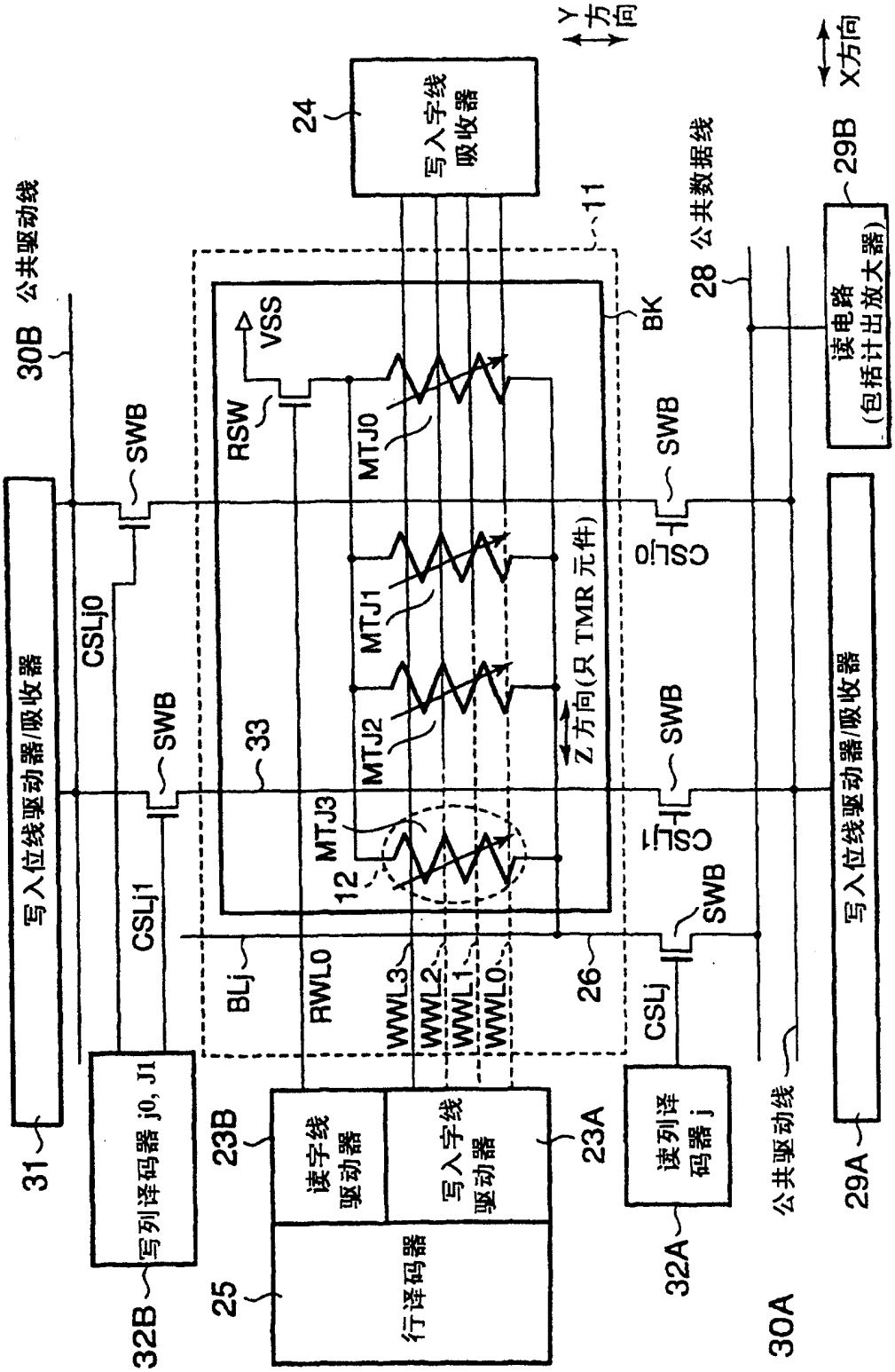

31
写入位线驱动器/吸收器
32
30 公共驱动线
列译码器 j
CSLj
SW
25
23B
24
VSS
BLj
RSW
RWL0
BK
12
27
MTJ3
WWL3
MTJ2
WWL2
MTJ1
WWL1
MTJ0
WWL0
行译码器
读字线驱动器
写入字线驱动器
写入字线吸收器
23A
Y方向
26
11
列译码器 j
CSLj
SW
28 公共数据线
32
读电路(包括读出放大器)&写入位线驱动器/吸收器
29
X方向

图19



写入位线驱动器/吸收器
31
30B 公共驱动线
CSLj0
SWB
CSLj1
写列译码器 j0, J1
32B
23B
读字线驱动器
写入字线驱动器
23A
25
行译码器
BLj
RWL0
WWL3
WWL2
WWL1
WWL0
26
33
12
MTJ3
MTJ2
MTJ1
MTJ0
RSW
VSS
BK
11
24
写入字线吸收器
Y方向
Z方向(只 TMR 元件)
CSLj
读列译码器 j
32A
30A
公共驱动线
28 公共数据线
29B
读电路(包括计出放大器)
X方向
29A
写入位线驱动器/吸收器

图20

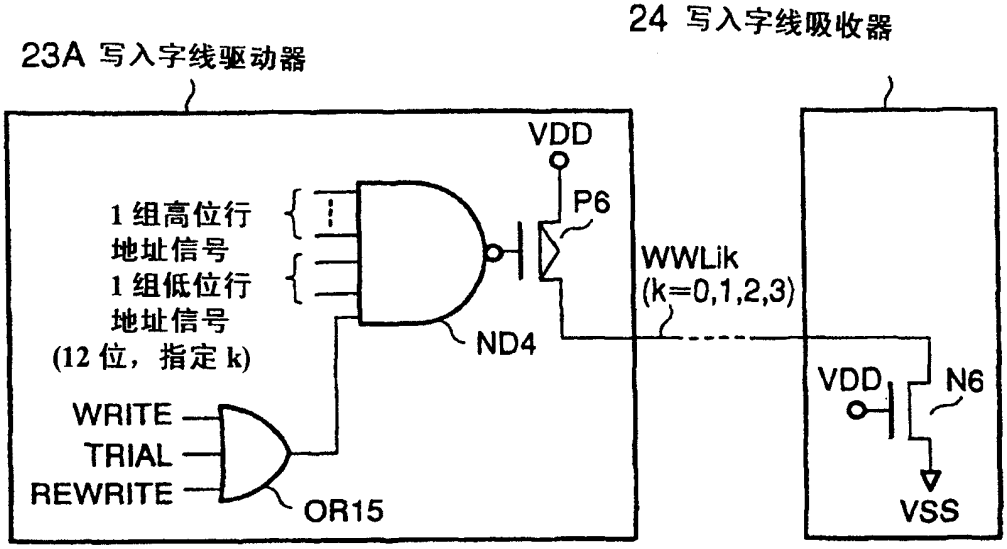

24 写入字线吸收器
23A 写入字线驱动器
VDD
P6
1 组高位行
地址信号
1 组低位行
地址信号
(12 位，指定 k)
WWLik
(k=0,1,2,3)
ND4
VDD
N6
WRITE
TRIAL
REWRITE
OR15
VSS

图21

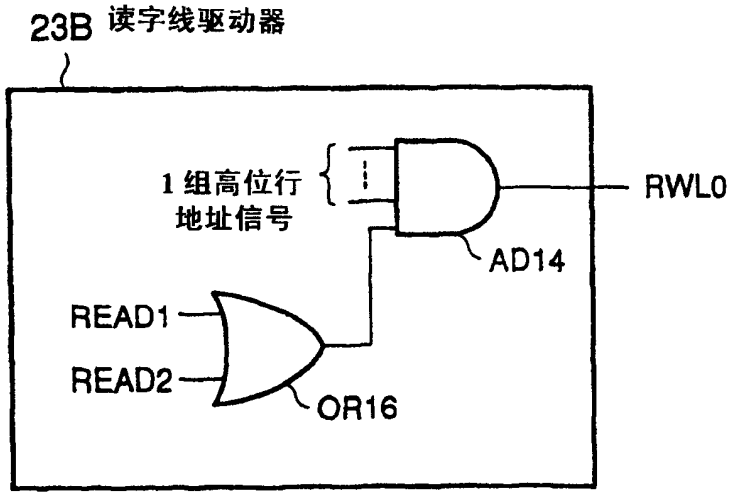

23B 读字线驱动器
1 组高位行
地址信号
RWL0
AD14
READ1
READ2
OR16

图22

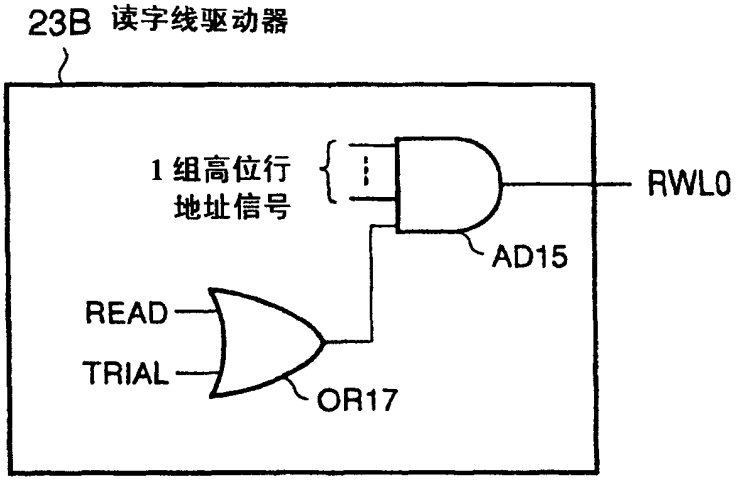

23B 读字线驱动器
1 组高位行
地址信号
AD15
RWL0
READ
TRIAL
OR17

图23

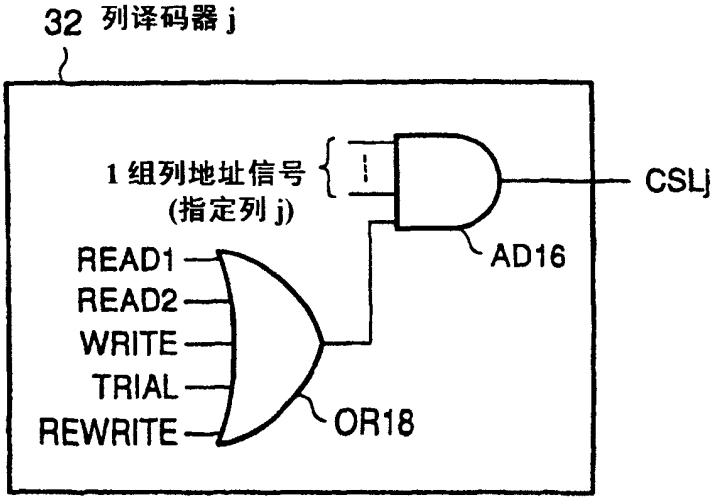

32 列译码器 j
1 组列地址信号
(指定列 j)
AD16
CSLj
READ1
READ2
WRITE
TRIAL
REWRITE
OR18

图24

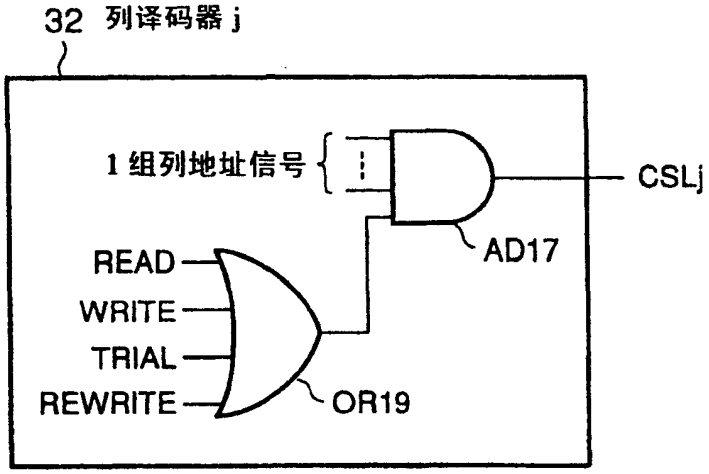

32 列译码器 j
1 组列地址信号
CSLj
AD17
READ
WRITE
TRIAL
REWRITE
OR19

图25

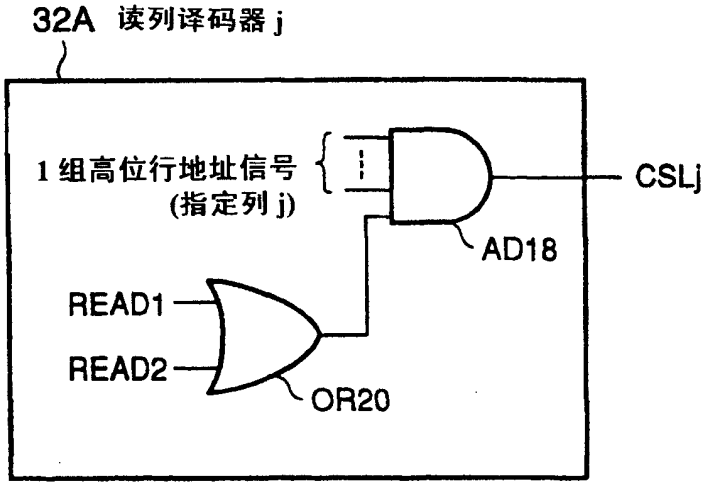

32A 读列译码器 j
1 组高位行地址信号
(指定列 j)
CSLj
AD18
READ1
READ2
OR20

图26

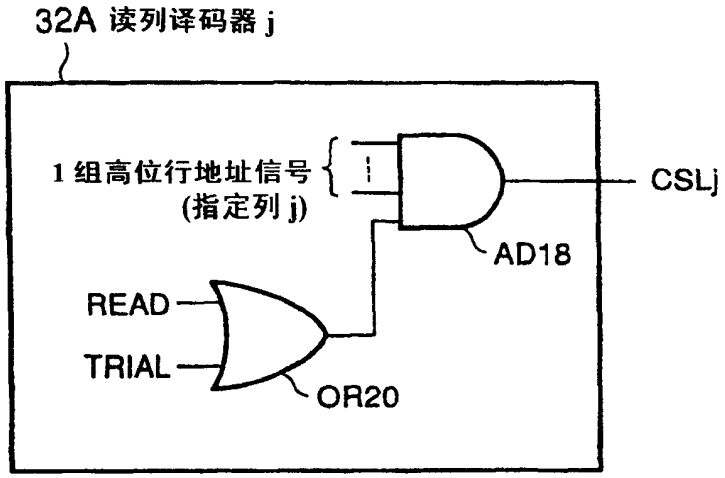

32A 读列译码器 j
1 组高位行地址信号
(指定列 j)
CSLj
AD18
READ
TRIAL
OR20

图27

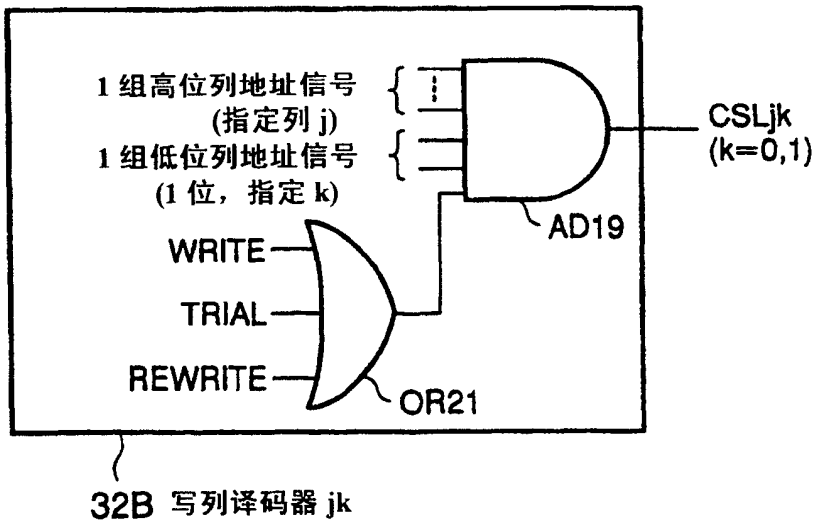

1 组高位列地址信号
(指定列 j)
1 组低位列地址信号
(1 位，指定 k)
CSLjk
(k=0,1)
AD19
WRITE
TRIAL
REWRITE
OR21
32B 写列译码器 jk

图28

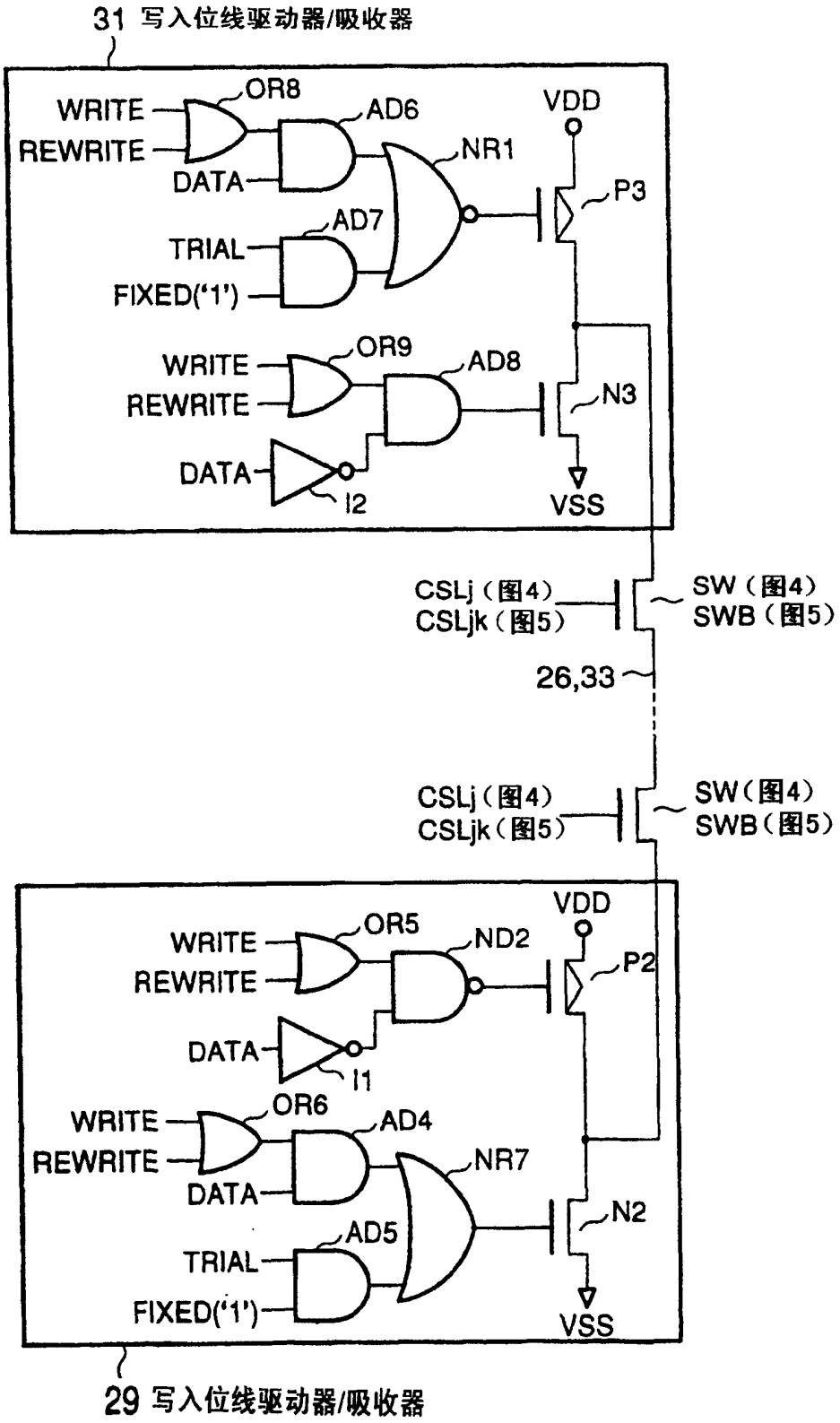

31 写入位线驱动器/吸收器
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
N3
I2
VSS
CSLj（图4）
CSLjk（图5）
SW（图4）
SWB（图5）
26,33
CSLj（图4）
CSLjk（图5）
SW（图4）
SWB（图5）
WRITE
REWRITE
DATA
OR5
ND2
VDD
P2
I1
WRITE
REWRITE
DATA
OR6
AD4
NR7
N2
TRIAL
FIXED('1')
AD5
VSS
29 写入位线驱动器/吸收器

图29

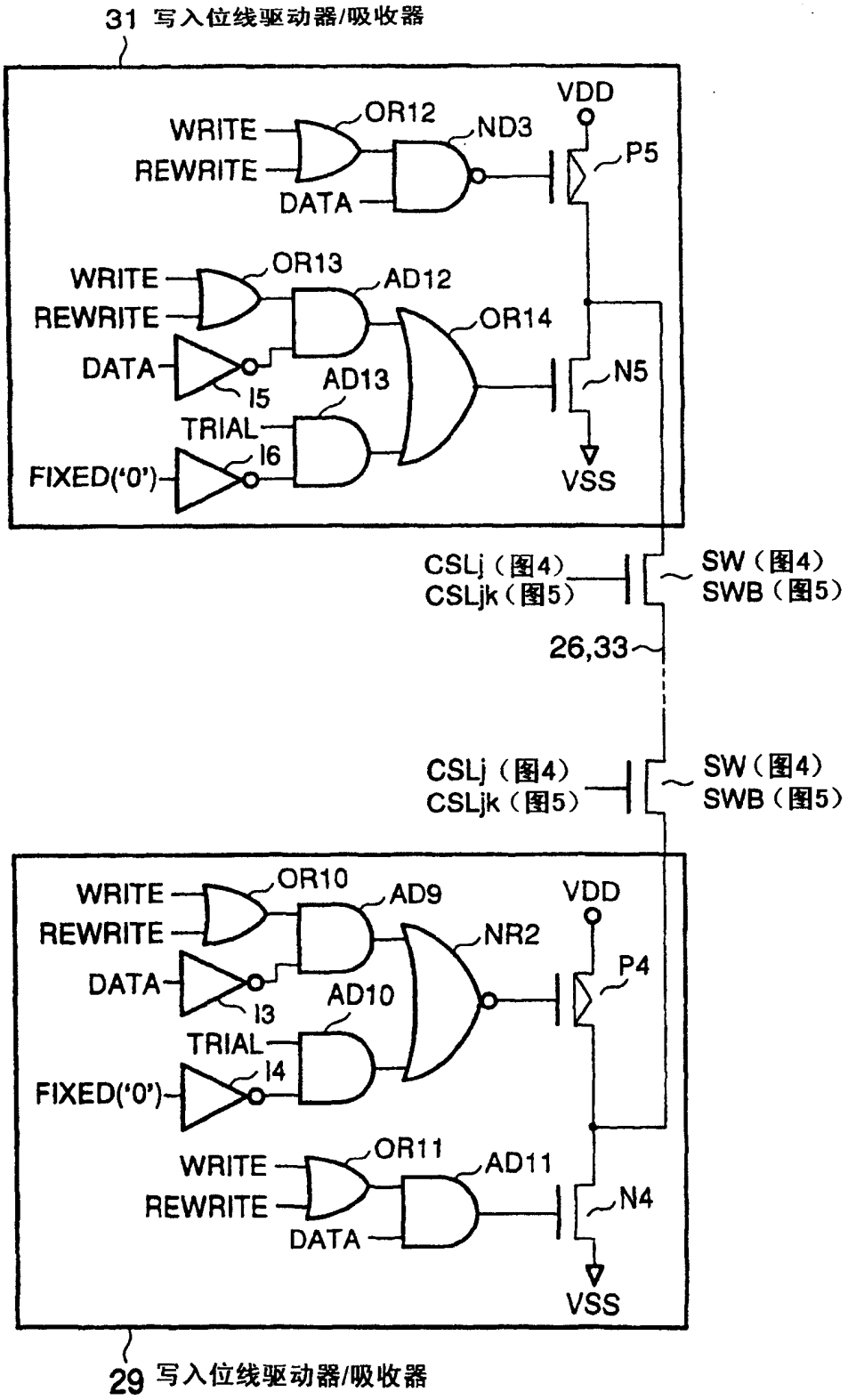

31 写入位线驱动器/吸收器
WRITE
REWRITE
DATA
OR12
ND3
VDD
P5
WRITE
REWRITE
DATA
OR13
AD12
OR14
I5
AD13
N5
TRIAL
FIXED('0')
I6
VSS
CSLj (图4)
CSLjk (图5)
SW (图4)
SWB (图5)
26,33
CSLj (图4)
CSLjk (图5)
SW (图4)
SWB (图5)
WRITE
REWRITE
DATA
OR10
AD9
NR2
VDD
P4
I3
AD10
TRIAL
FIXED('0')
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29 写入位线驱动器/吸收器

图30

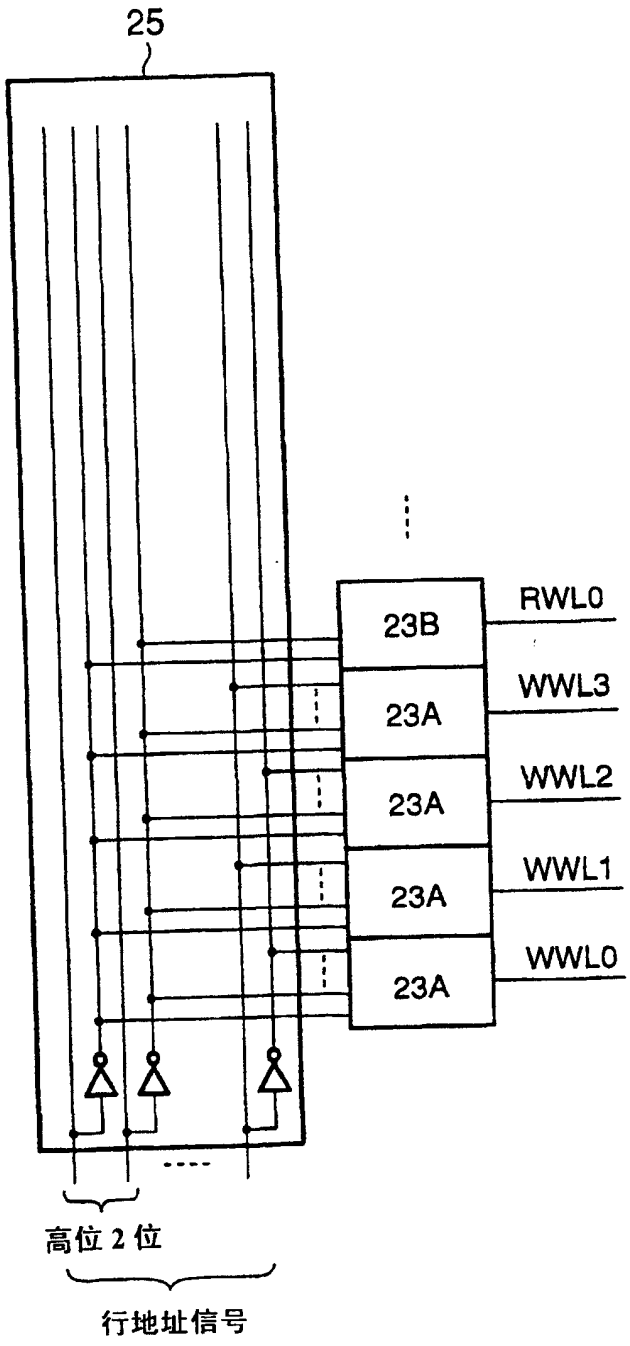


图31

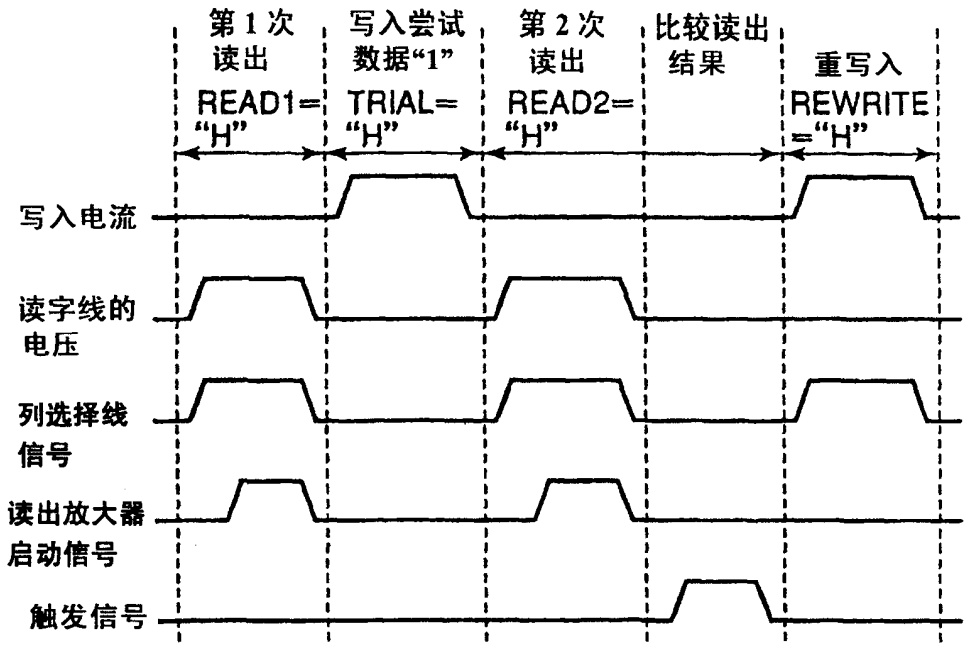

第1次
读出
READ1=
"H"
写入尝试
数据"1"
TRIAL=
"H"
第2次
读出
READ2=
"H"
比较读出
结果
重写入
REWRITE
="H"
写入电流
读字线的
电压
列选择线
信号
读出放大器
启动信号
触发信号

图32

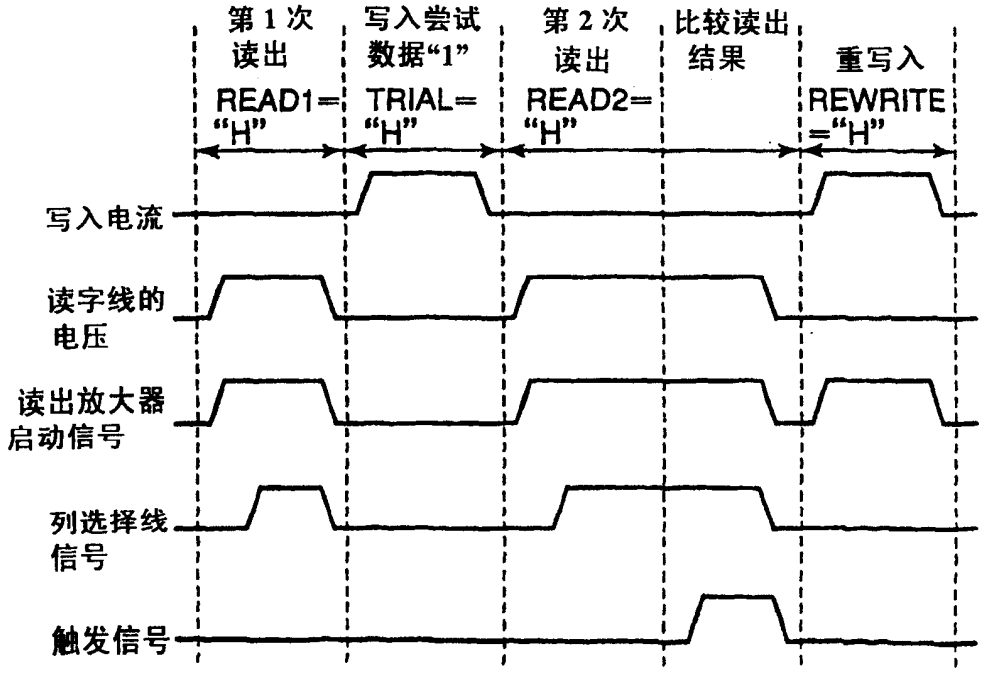

第1次
读出
READ1=
"H"
写入尝试
数据"1"
TRIAL=
"H"
第2次
读出
READ2=
"H"
比较读出
结果
重写入
REWRITE
="H"
写入电流
读字线的
电压
读出放大器
启动信号
列选择线
信号
触发信号

图33

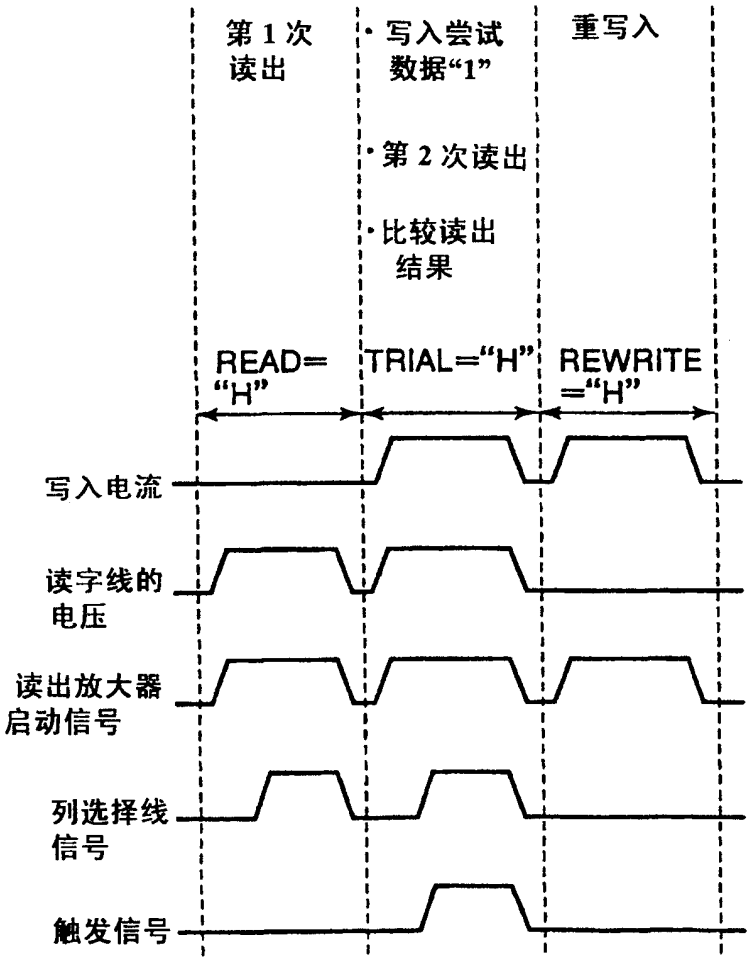

第1次
读出
·写入尝试
数据“1”
重写入
·第2次读出
·比较读出
结果
READ=
“H”
TRIAL=“H”
REWRITE
=“H”
写入电流
读字线的
电压
读出放大器
启动信号
列选择线
信号
触发信号

图34

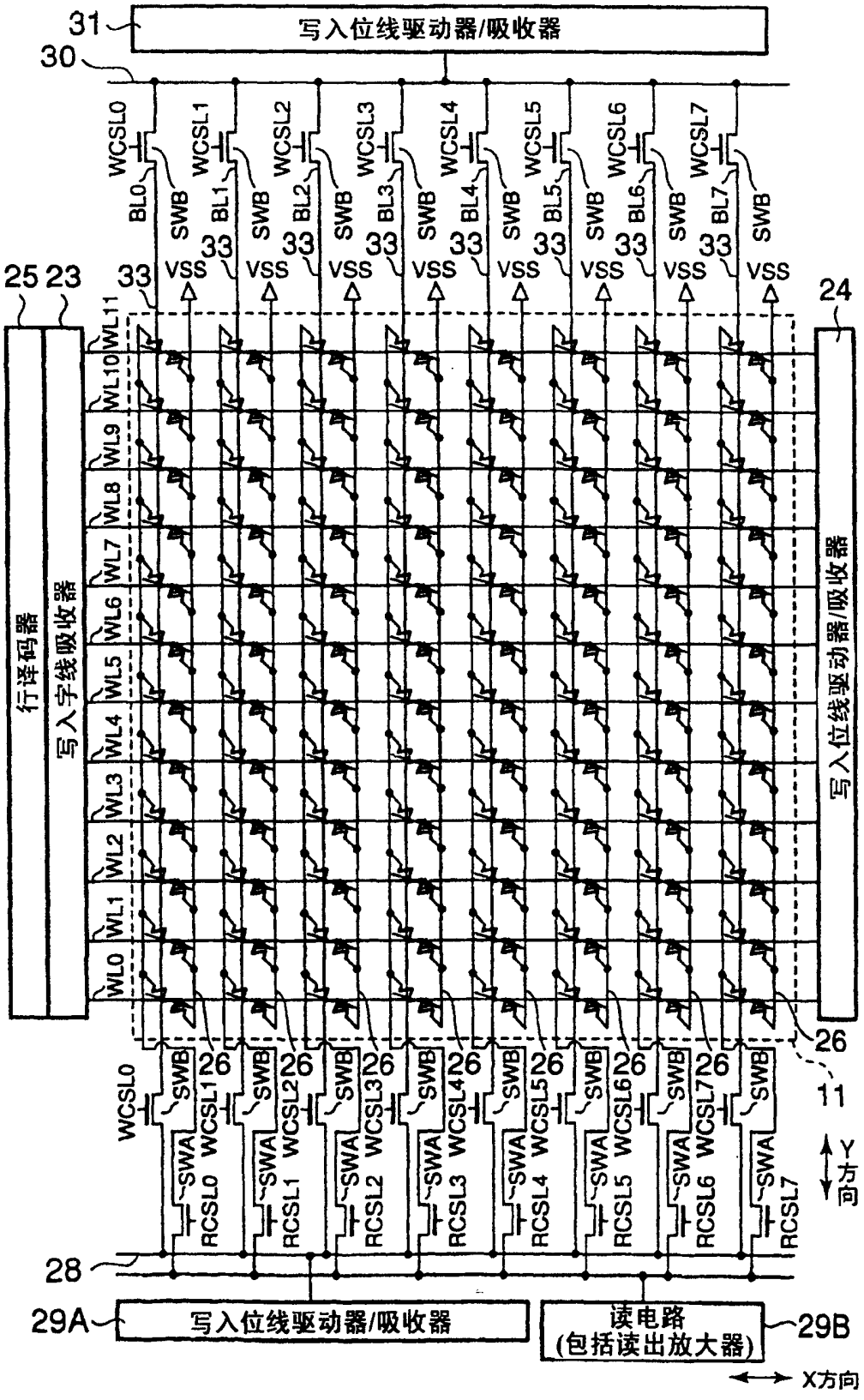

31
写入位线驱动器/吸收器
30
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SWB
33
VSS
25 23
24
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
行译码器
写入字线吸收器
写入位线驱动器/吸收器
26
11
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
Y方向
28
29A
写入位线驱动器/吸收器
读电路
(包括读出放大器)
29B
X方向

图35

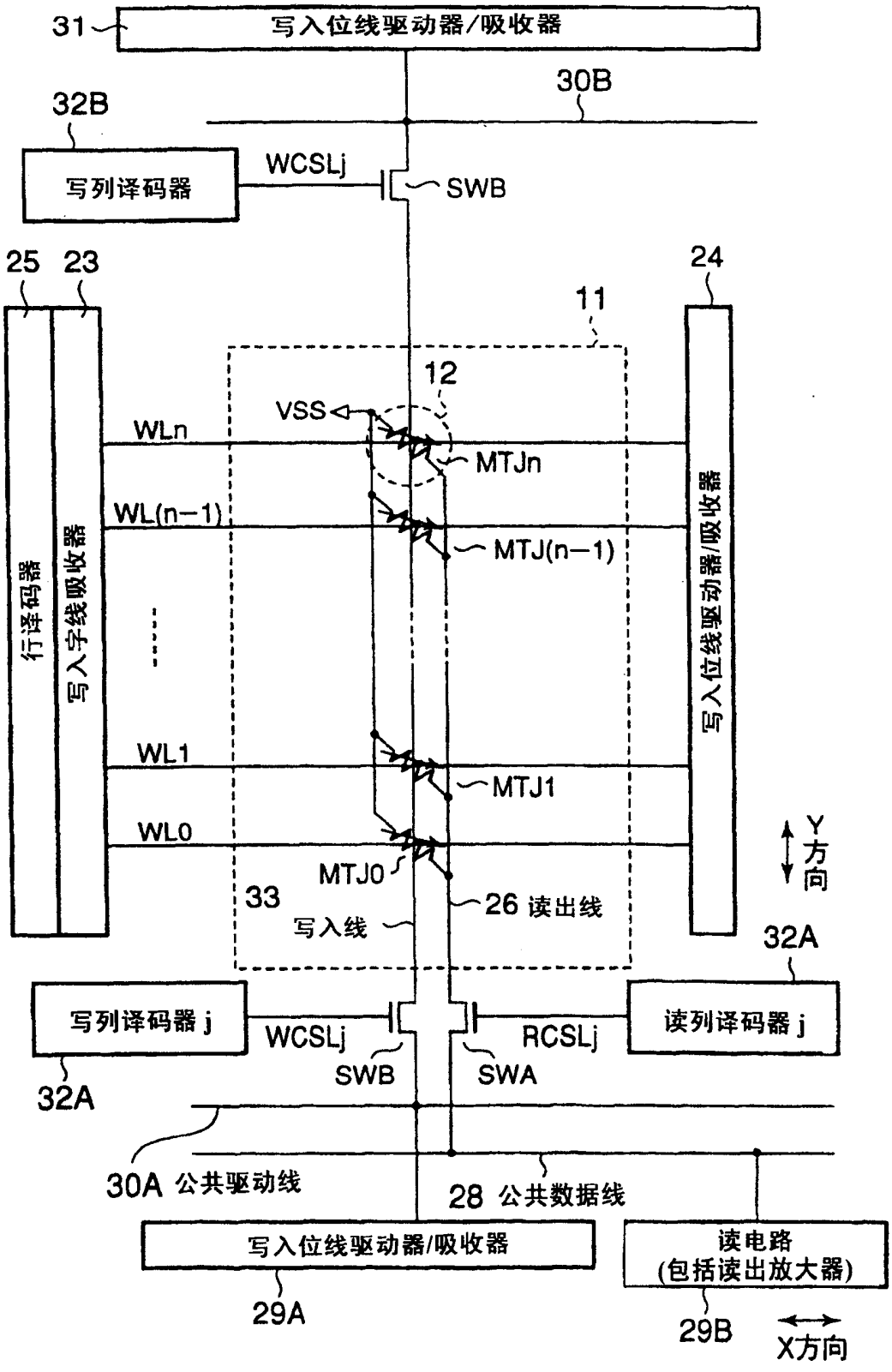

31
写入位线驱动器/吸收器
30B
32B
写列译码器
WCSLj
SWB
25
23
24
11
12
VSS
WLn
MTJn
WL(n−1)
MTJ(n−1)
行译码器
写入字线吸收器
写入位线驱动器/吸收器
WL1
MTJ1
WL0
MTJ0
33
写入线
26 读出线
Y方向
32A
写列译码器 j
WCSLj
RCSLj
读列译码器 j
SWB
SWA
32A
30A 公共驱动线
28 公共数据线
写入位线驱动器/吸收器
读电路
(包括读出放大器)
29A
29B
X方向

图36

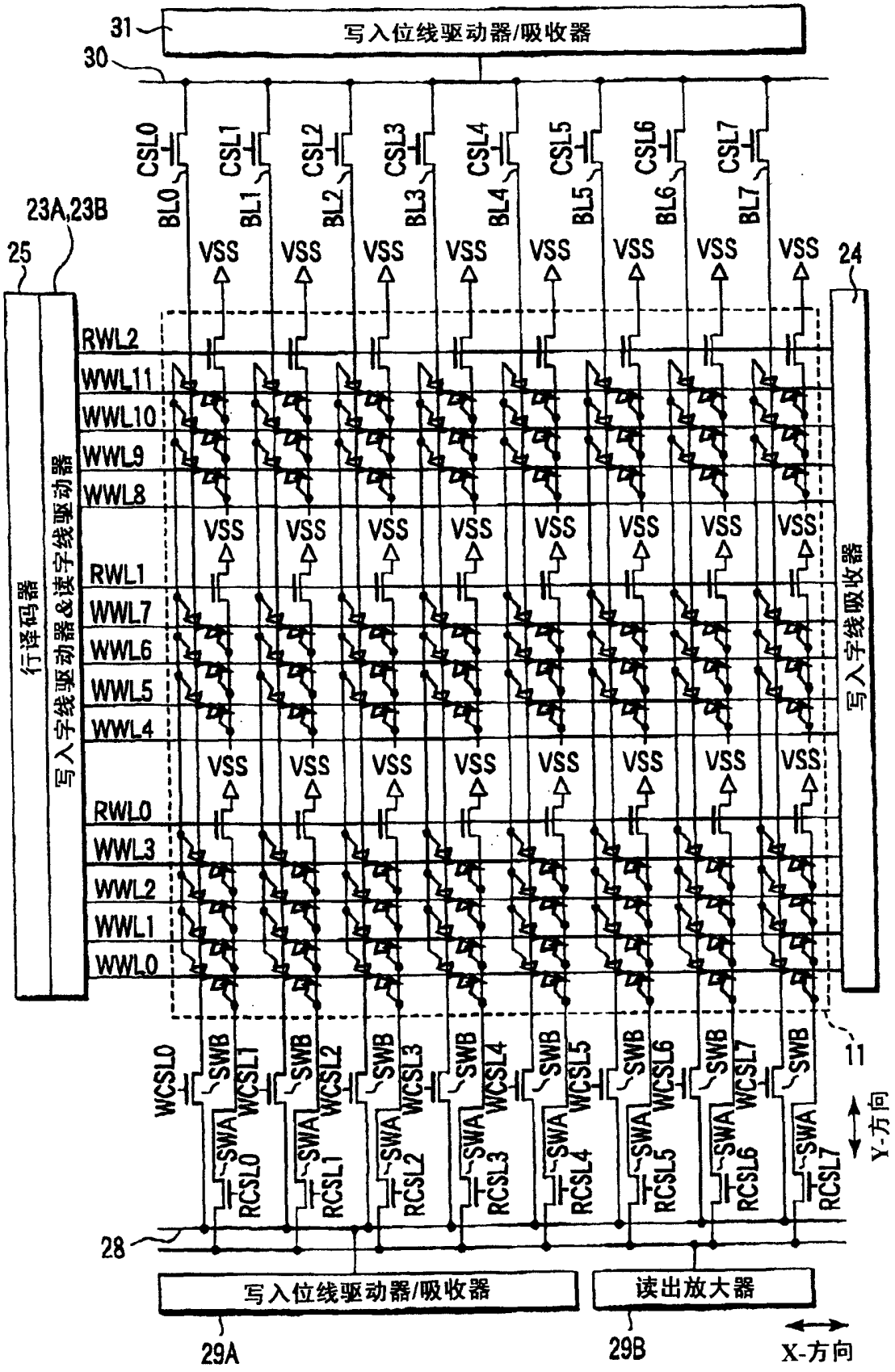

31
写入位线驱动器/吸收器
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
23A,23B
25
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
行译码器
写入字线驱动器&读字线驱动器
写入字线吸收器
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
SWB
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
11
Y-方向
28
写入位线驱动器/吸收器
读出放大器
29A
29B
X-方向

图37

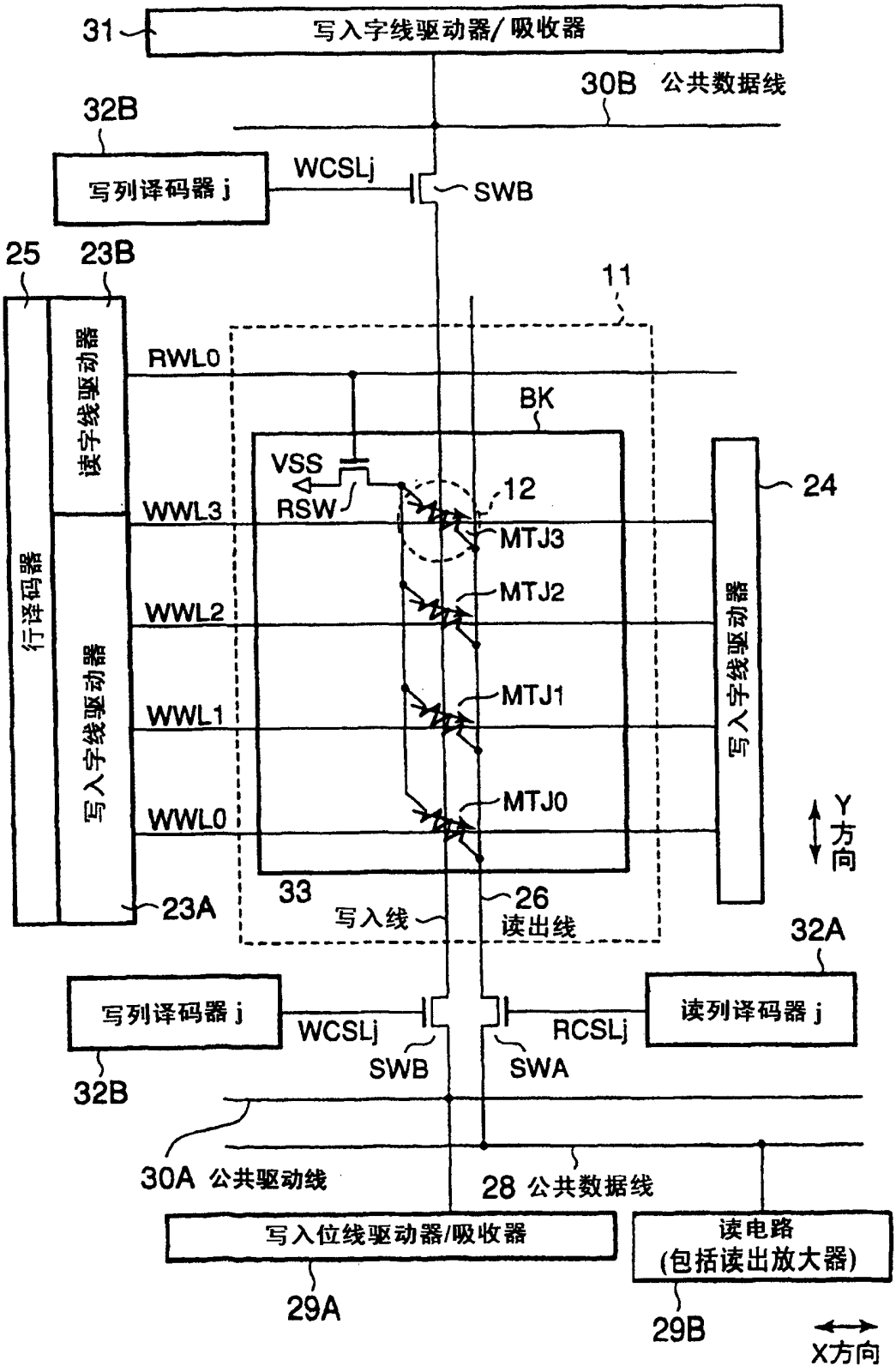

31
写入字线驱动器/吸收器
30B 公共数据线
32B
写列译码器 j
WCSLj
SWB
25
23B
11
读字线驱动器
RWL0
BK
VSS
RSW
12
WWL3
MTJ3
MTJ2
WWL2
MTJ1
WWL1
MTJ0
WWL0
24
写入字线驱动器
行译码器
写入字线驱动器
23A
33
写入线
26
读出线
Y 方向
32A
写列译码器 j
WCSLj
RCSLj
读列译码器 j
SWB
SWA
32B
30A 公共驱动线
28 公共数据线
写入位线驱动器/吸收器
读电路
(包括读出放大器)
29A
29B
X方向

图38

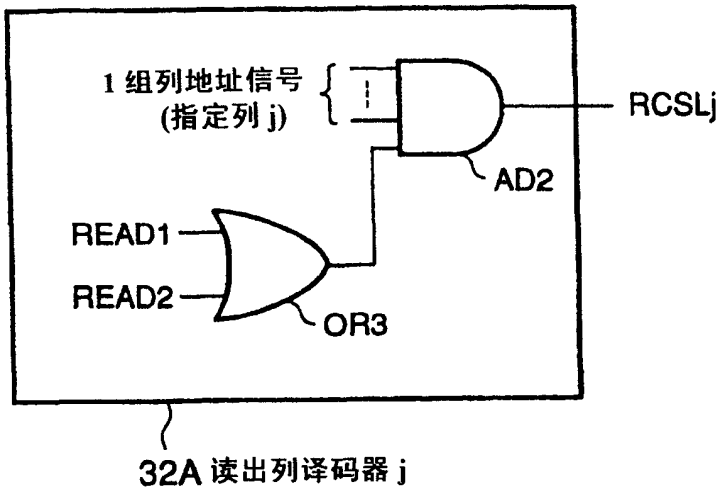

1 组列地址信号
(指定列 j)
RCSLj
AD2
READ1
READ2
OR3
32A 读出列译码器 j

图39

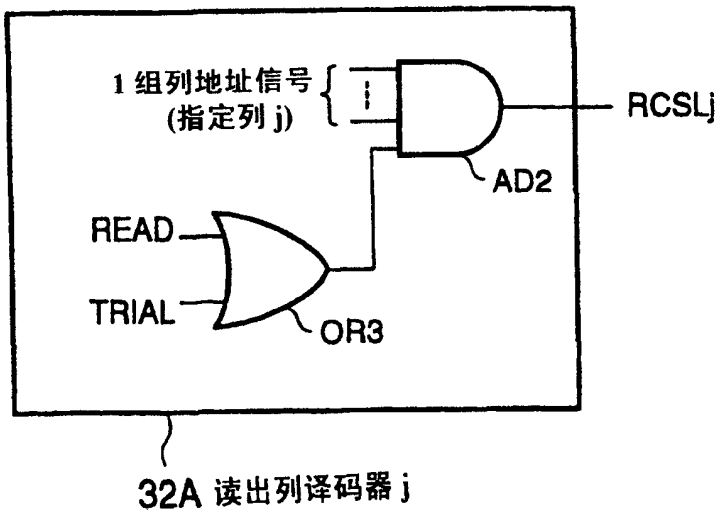

1 组列地址信号
(指定列 j)
RCSLj
AD2
READ
TRIAL
OR3
32A 读出列译码器 j

图 40

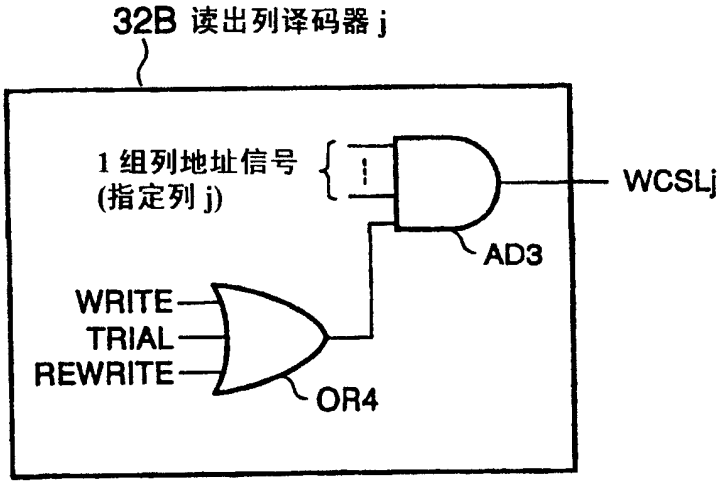


图41

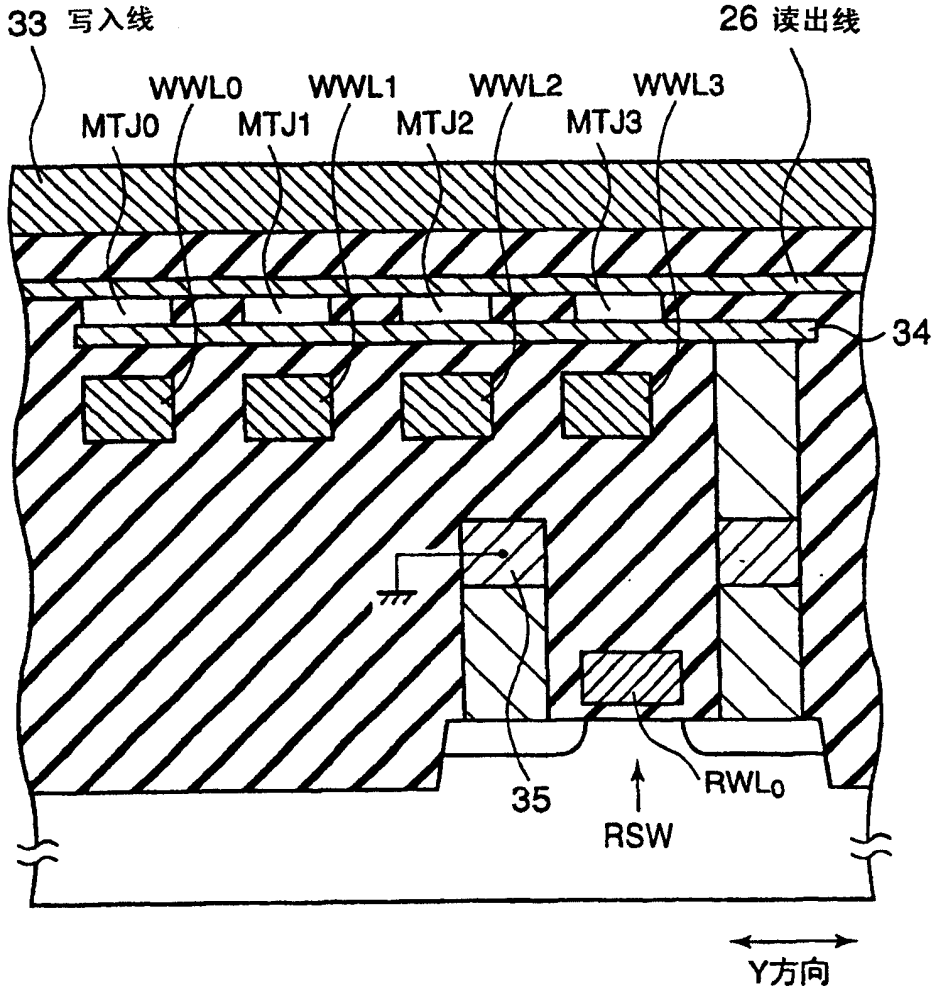

33 写入线
26 读出线
WWL0
WWL1
WWL2
WWL3
MTJ0
MTJ1
MTJ2
MTJ3
34
35
RSW
RWL0
Y方向

图42

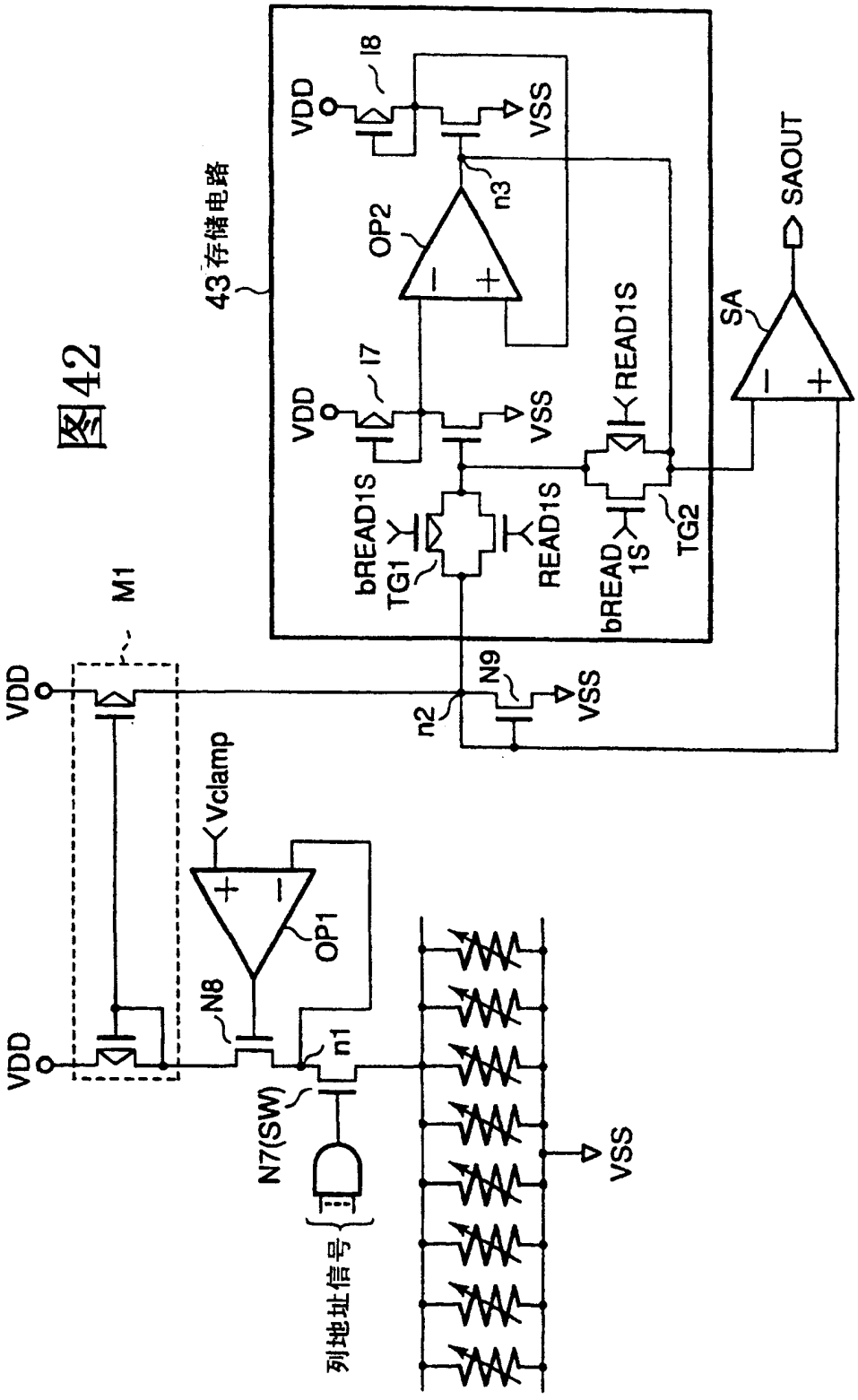

43存储电路
VDD
I8
VSS
n3
OP2
SAOUT
SA
I7
READ1S
bREAD1S
TG1
TG2
bREAD1S
M1
N9
n2
Vclamp
OP1
N8
n1
N7(SW)
列地址信号

图43

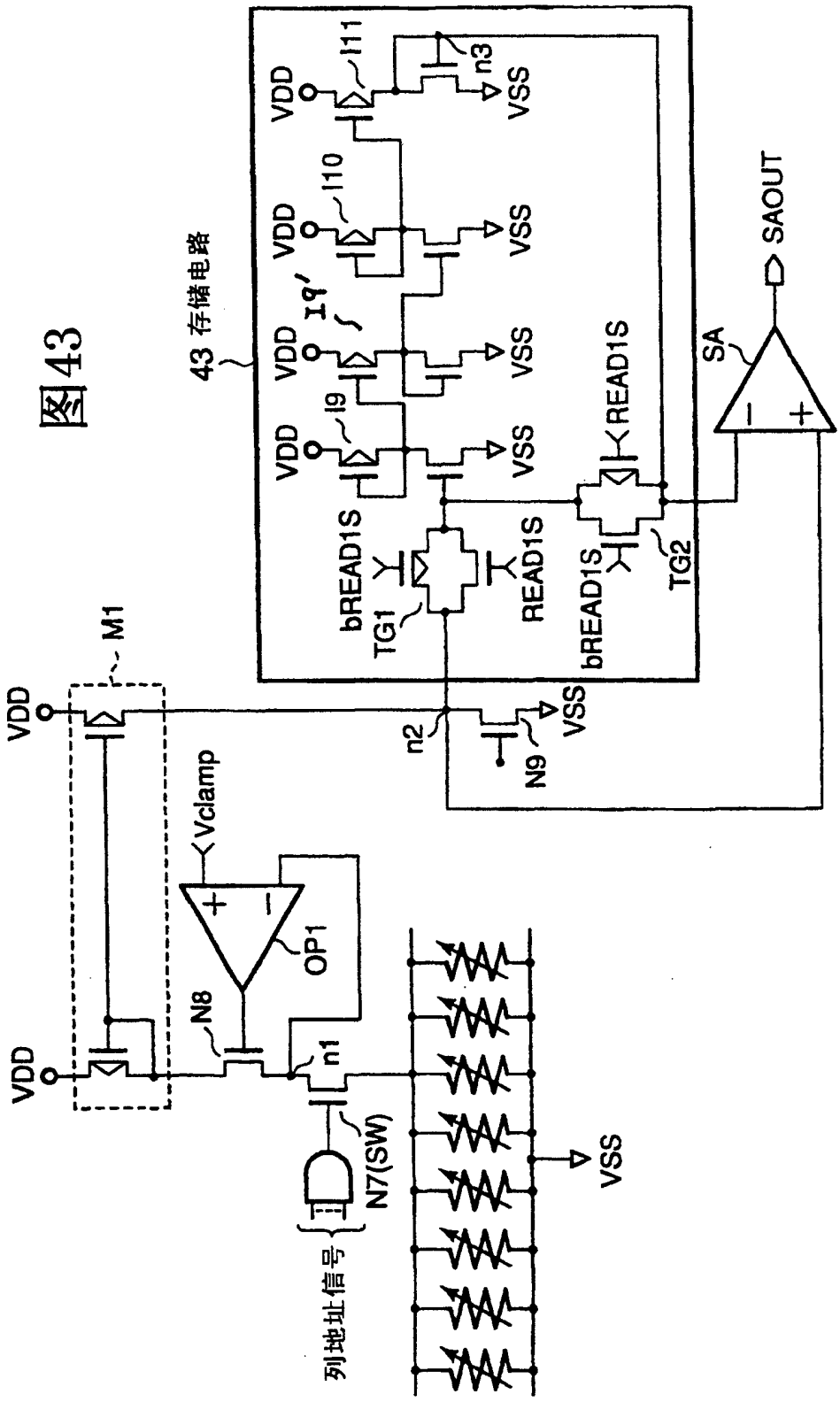

43 存储电路
VDD
I11
n3
VSS
I10
I9'
I9
READ1S
SA
SAOUT
bREAD1S
TG1
TG2
M1
n2
N9
Vclamp
OP1
N8
n1
N7(SW)
列地址信号

图44

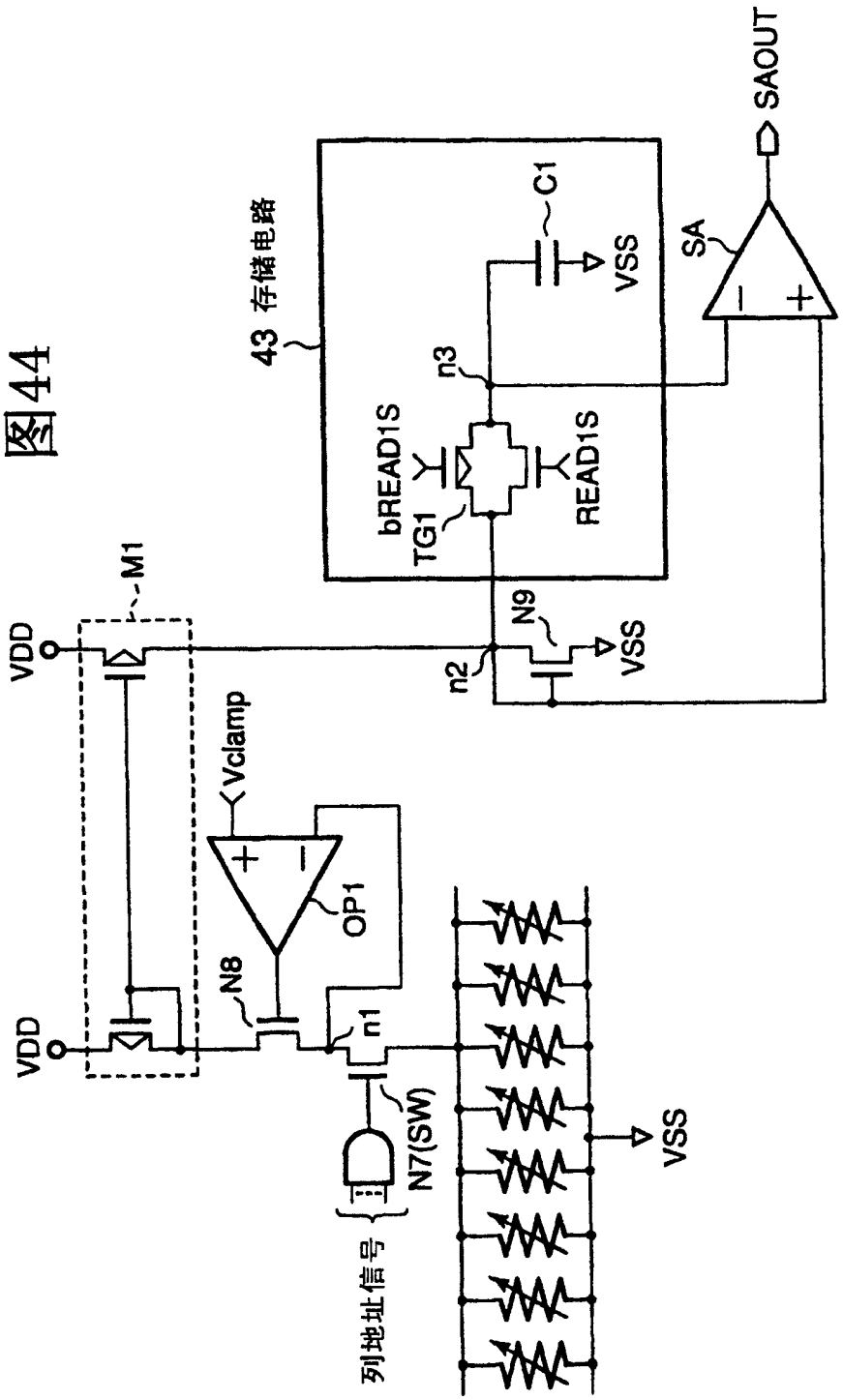

SAOUT
SA
C1
VSS
43 存储电路
n3
bREAD1S
TG1
READ1S
N9
VSS
n2
M1
VDD
Vclamp
OP1
N8
VDD
n1
N7(SW)
VSS
列地址信号

图45

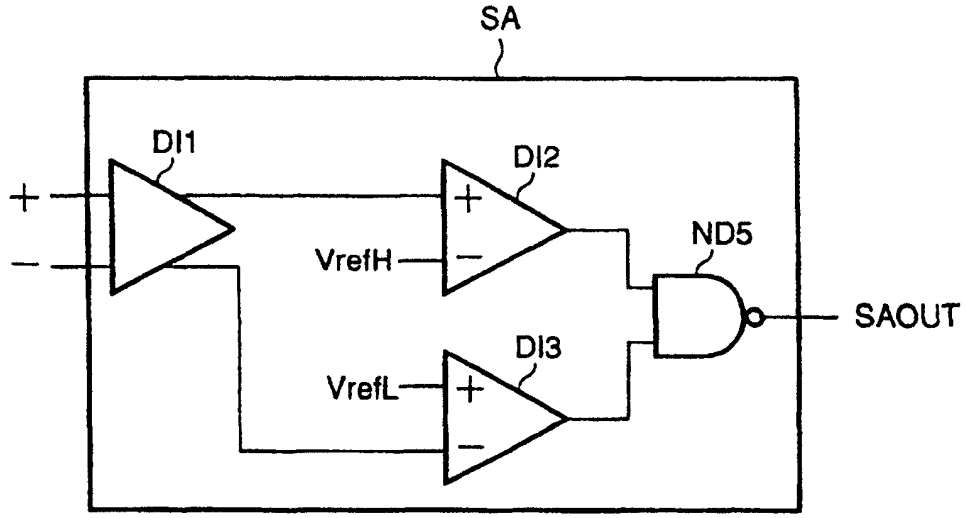

SA
DI1
DI2
ND5
VrefH
SAOUT
DI3
VrefL

图46

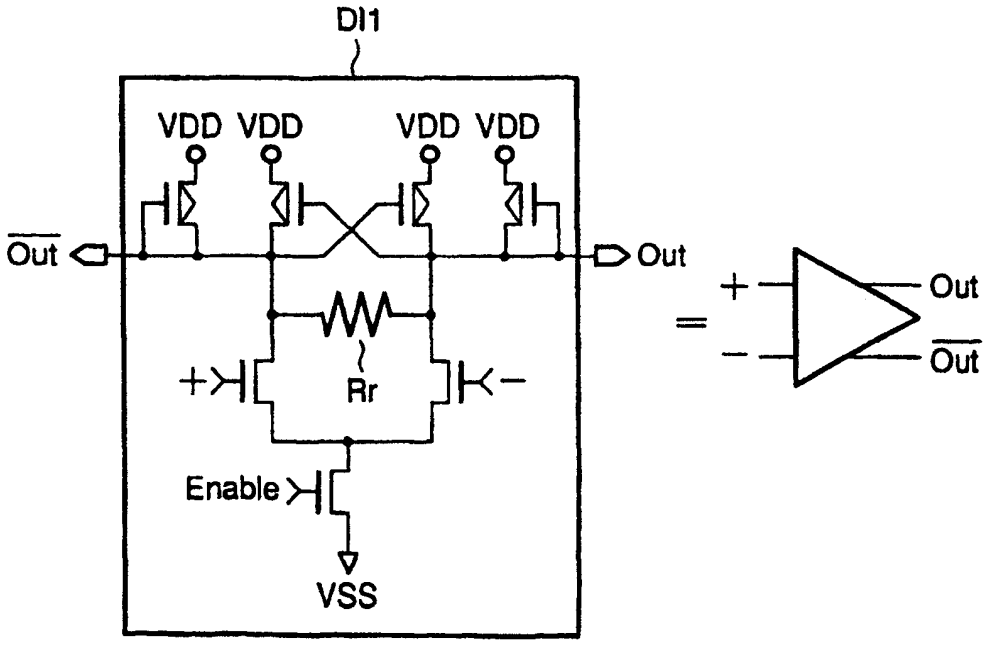

DI1
VDD VDD VDD VDD
Out
Out
Rr
Enable
VSS
Out
Out

图47

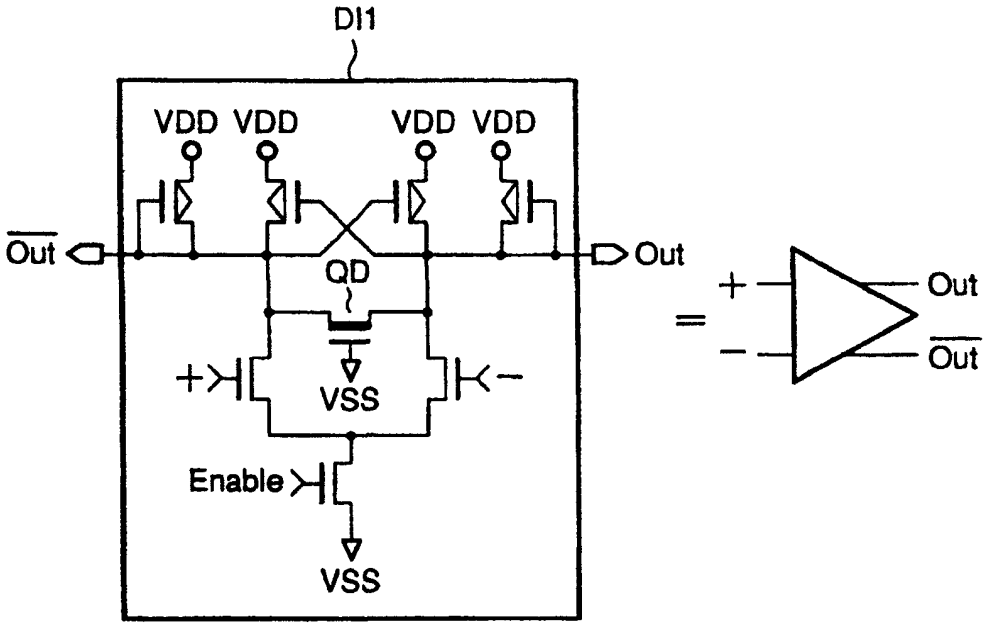

DI1
VDD VDD VDD VDD
Out
Out
QD
VSS
Enable
VSS
=
Out
Out

图48

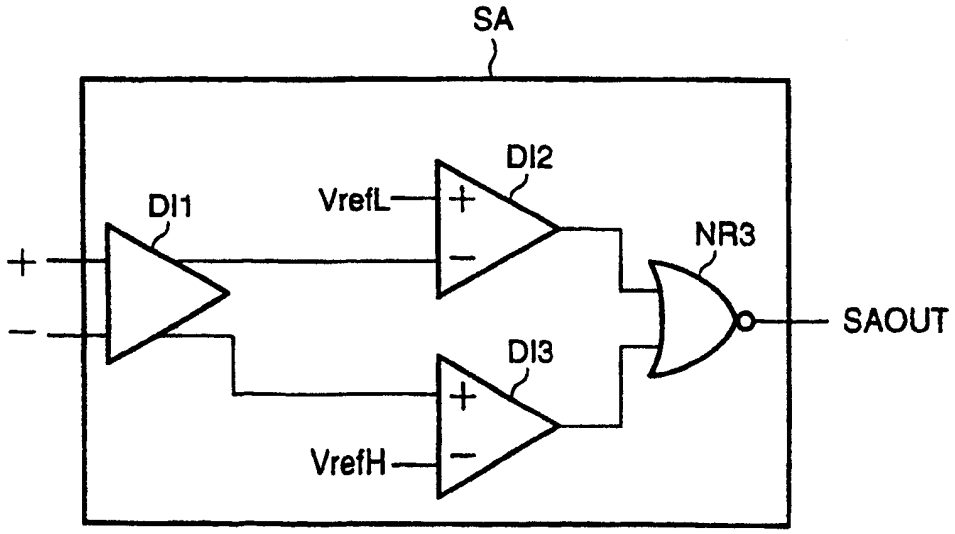

SA
DI1
VrefL
DI2
NR3
SAOUT
DI3
VrefH

图49

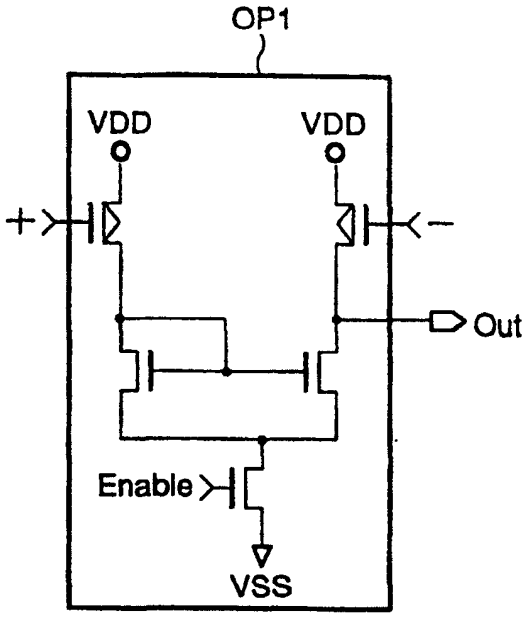


图50

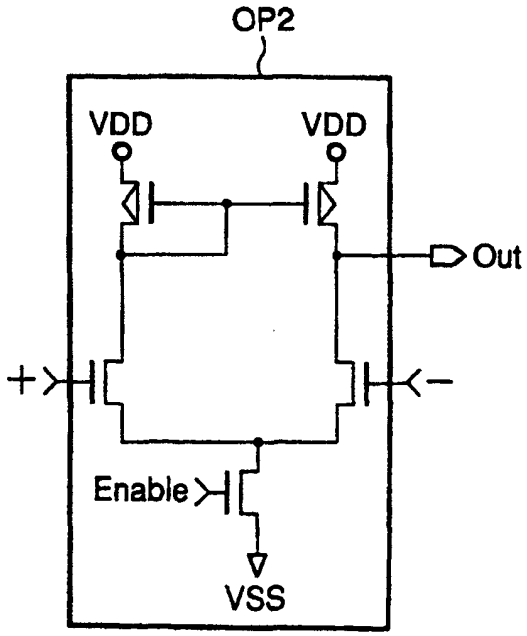


图51

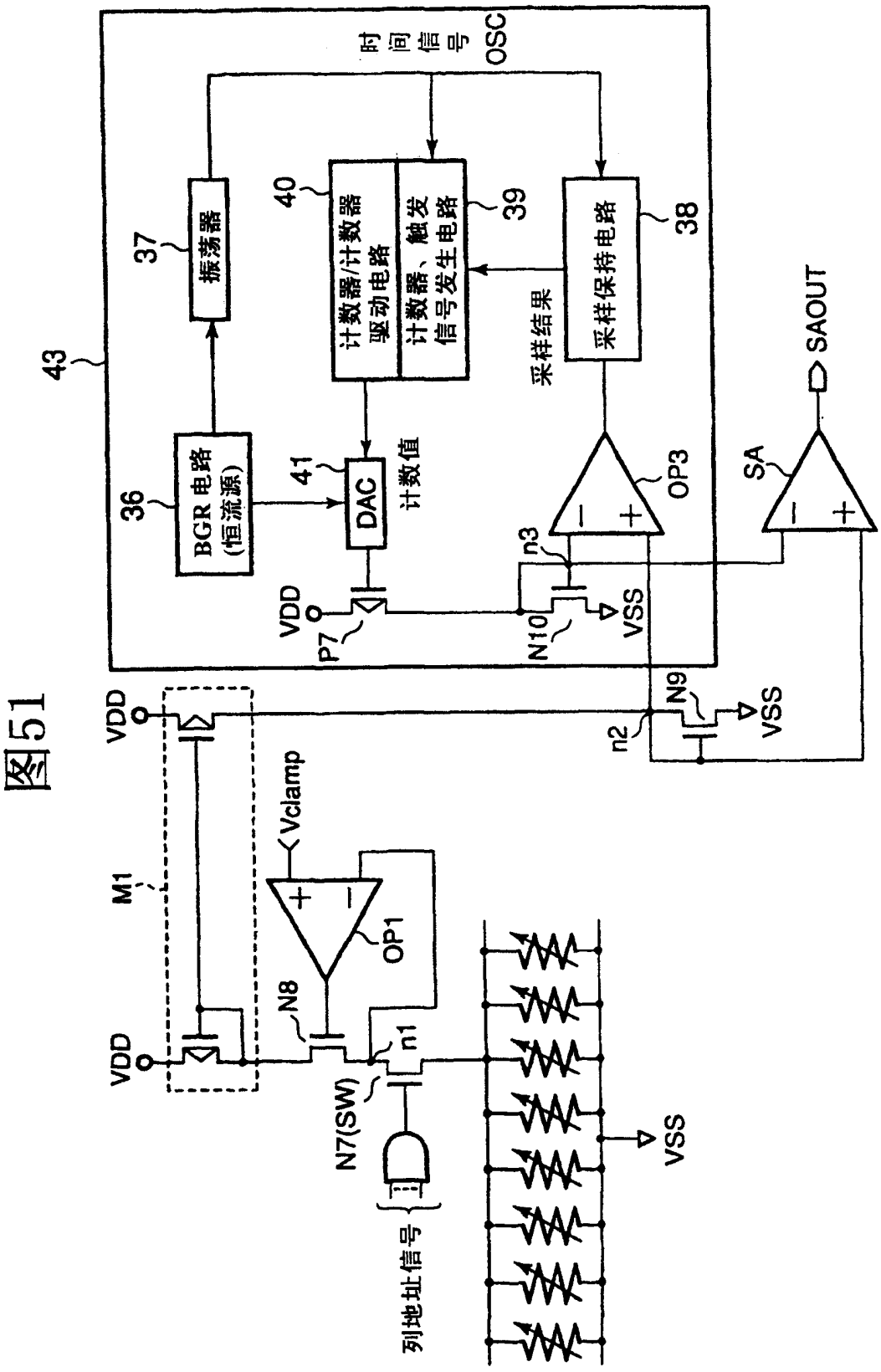

43
时间信号
OSC
37
振荡器
40
计数器/计数器
驱动电路
39
计数器、触发
信号发生电路
38
采样保持电路
采样结果
SAOUT
SA
OP3
36
BGR 电路
(恒流源)
41
DAC
计数值
n3
VDD
P7
N10
VSS
N9
n2
M1
Vclamp
OP1
N8
n1
N7(SW)
列地址信号

图52

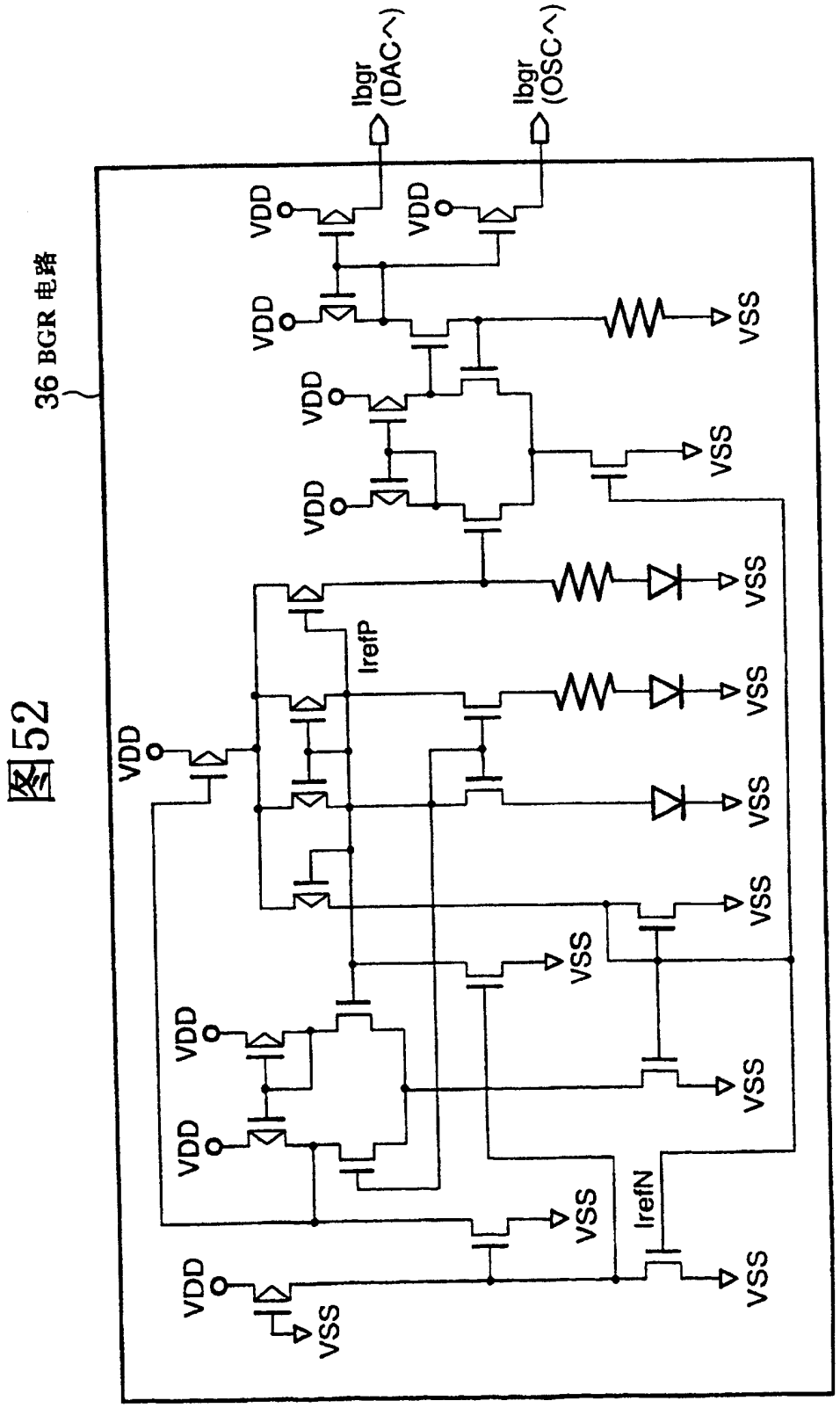


图53

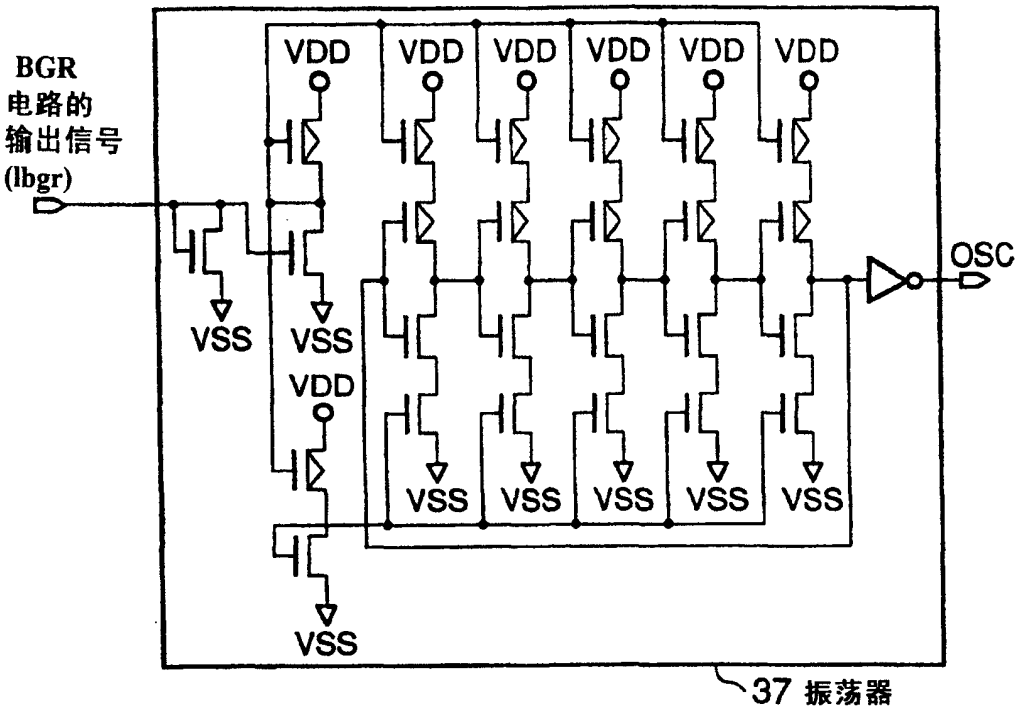

BGR
电路的
输出信号
(lbgr)
VDD
VDD
VDD
VDD
VDD
VDD
VSS
VSS
VDD
VSS
VSS
VSS
VSS
VSS
VSS
OSC
37 振荡器

图54

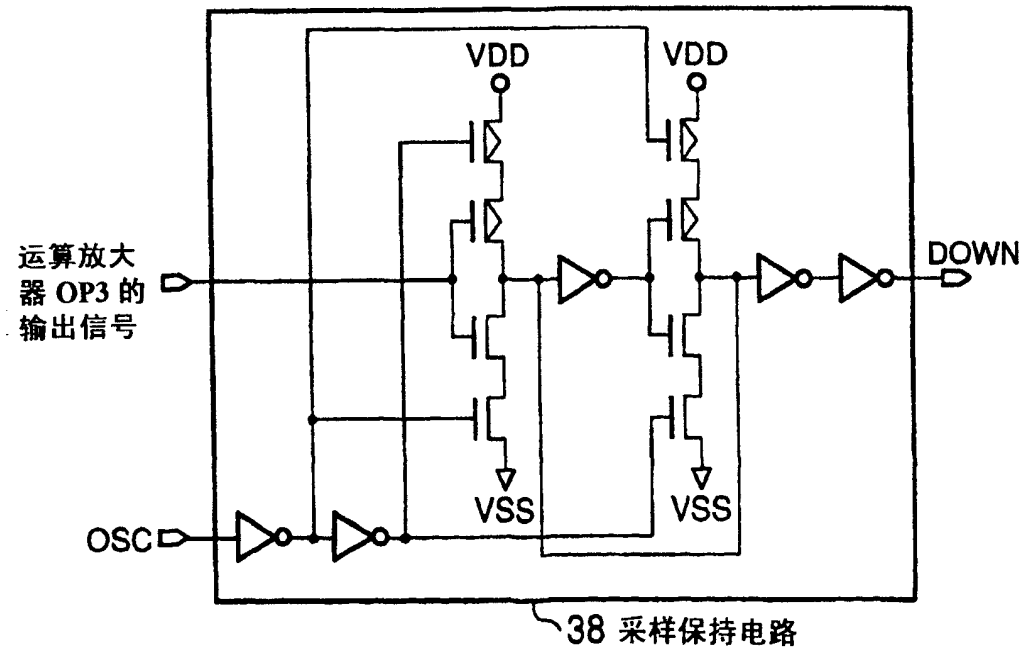

VDD
VDD
运算放大
器 OP3 的
输出信号
DOWN
VSS
VSS
OSC
38 采样保持电路

图55

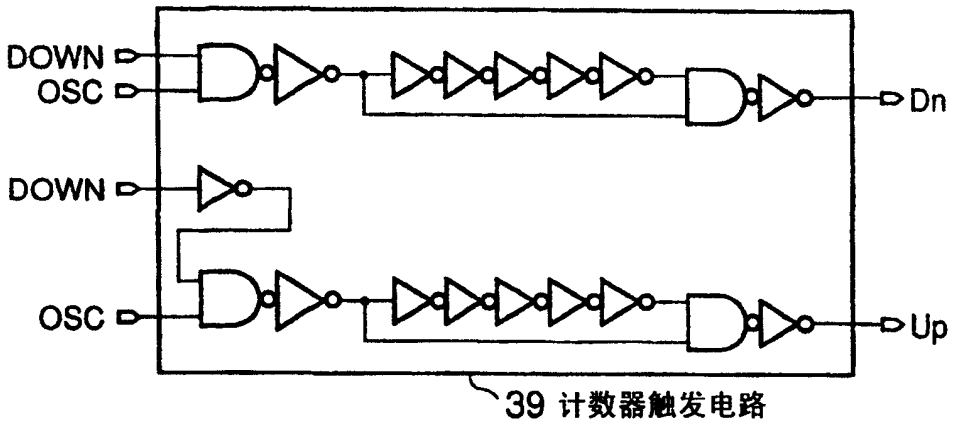

DOWN
OSC
Dn
DOWN
OSC
Up
39 计数器触发电路

图56

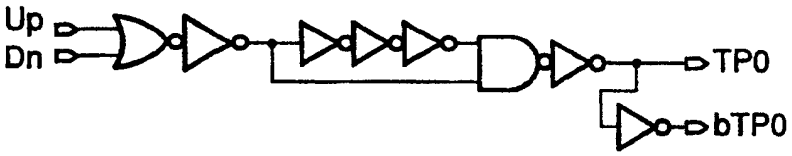

Up
Dn
TP0
bTP0

图57

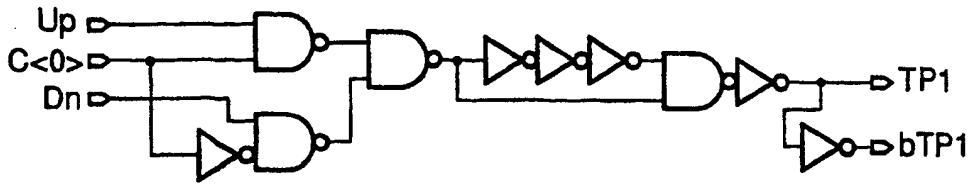

Up
C<0>
Dn
TP1
bTP1

图58

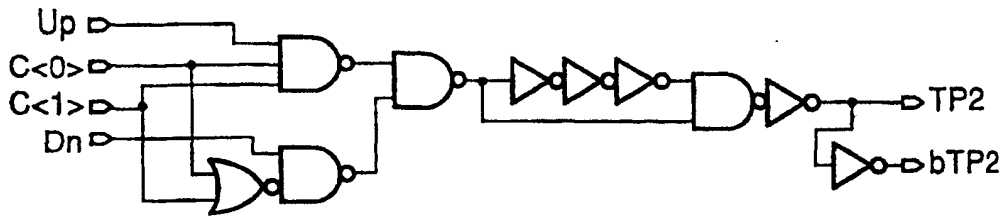

Up
C<0>
C<1>
Dn
TP2
bTP2

图59

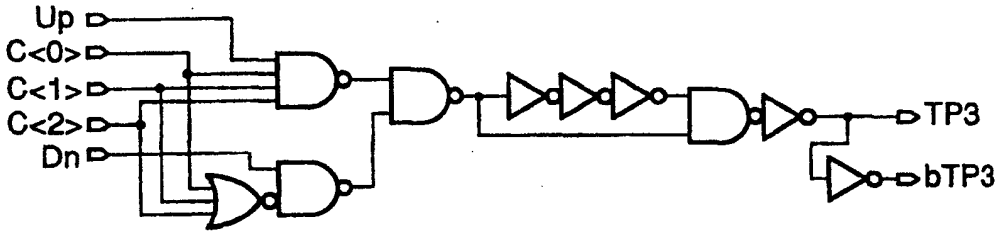

Up
C<0>
C<1>
C<2>
Dn
TP3
bTP3

图60

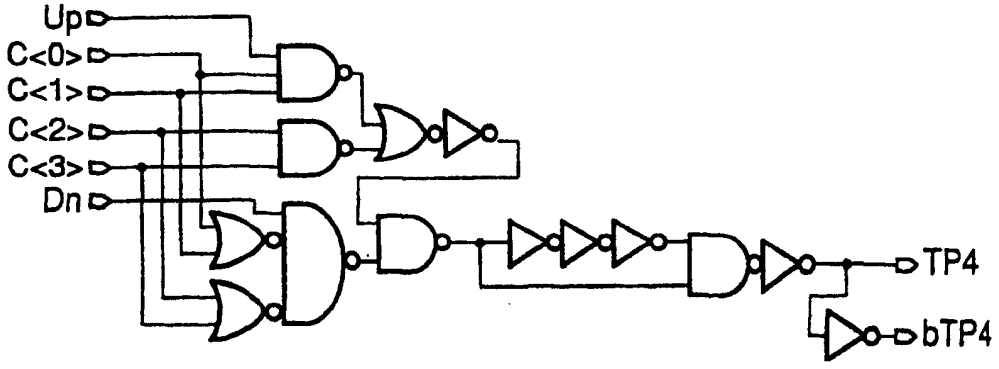

Up
C<0>
C<1>
C<2>
C<3>
Dn
TP4
bTP4

图61

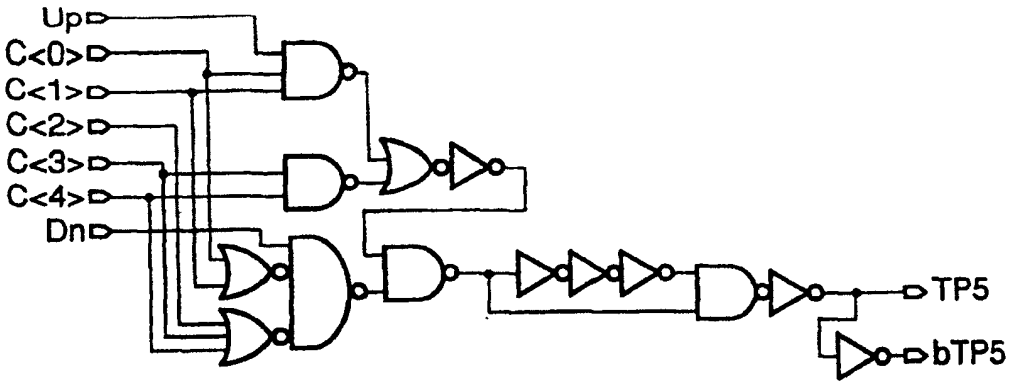

Up
C<0>
C<1>
C<2>
C<3>
C<4>
Dn
TP5
bTP5

图62

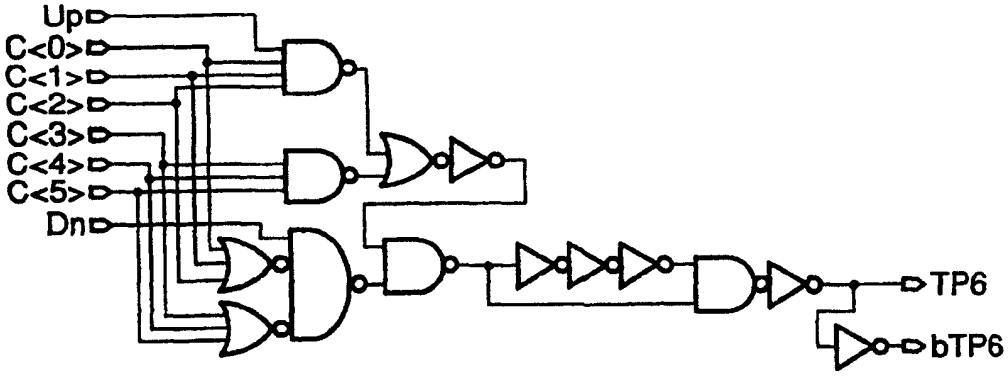

Up
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
Dn
TP6
bTP6

图63

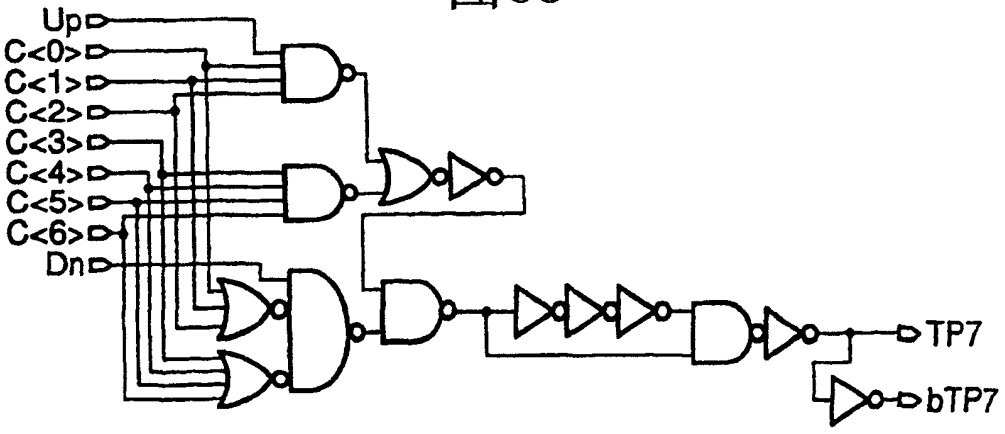

Up
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
C<6>
Dn
TP7
bTP7

图64

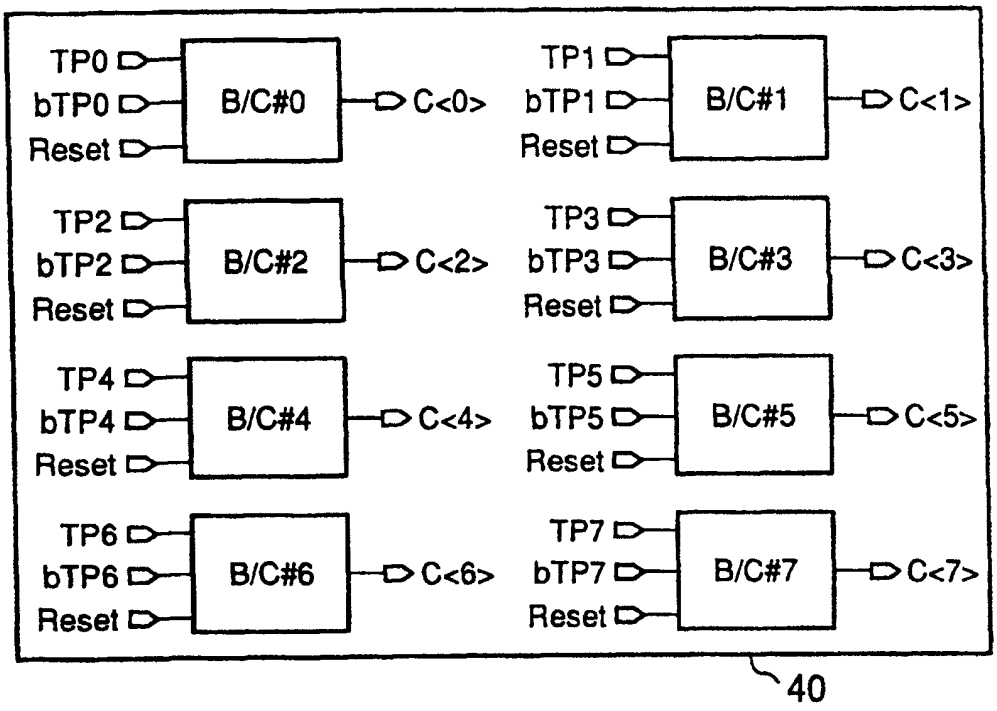

TP0
bTP0
Reset
B/C#0
C<0>
TP1
bTP1
Reset
B/C#1
C<1>
TP2
bTP2
Reset
B/C#2
C<2>
TP3
bTP3
Reset
B/C#3
C<3>
TP4
bTP4
Reset
B/C#4
C<4>
TP5
bTP5
Reset
B/C#5
C<5>
TP6
bTP6
Reset
B/C#6
C<6>
TP7
bTP7
Reset
B/C#7
C<7>
40

图65

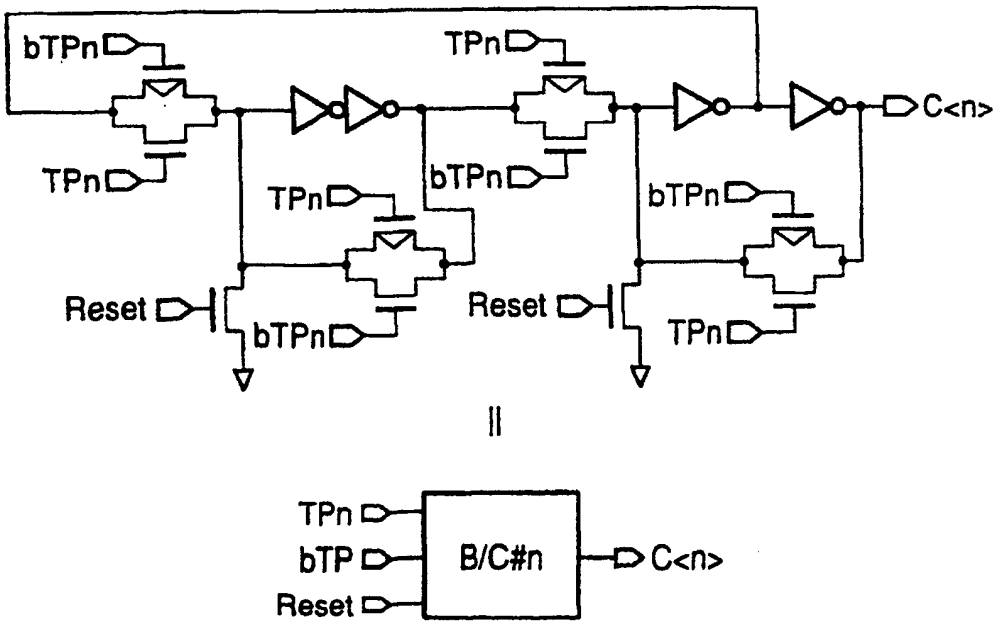
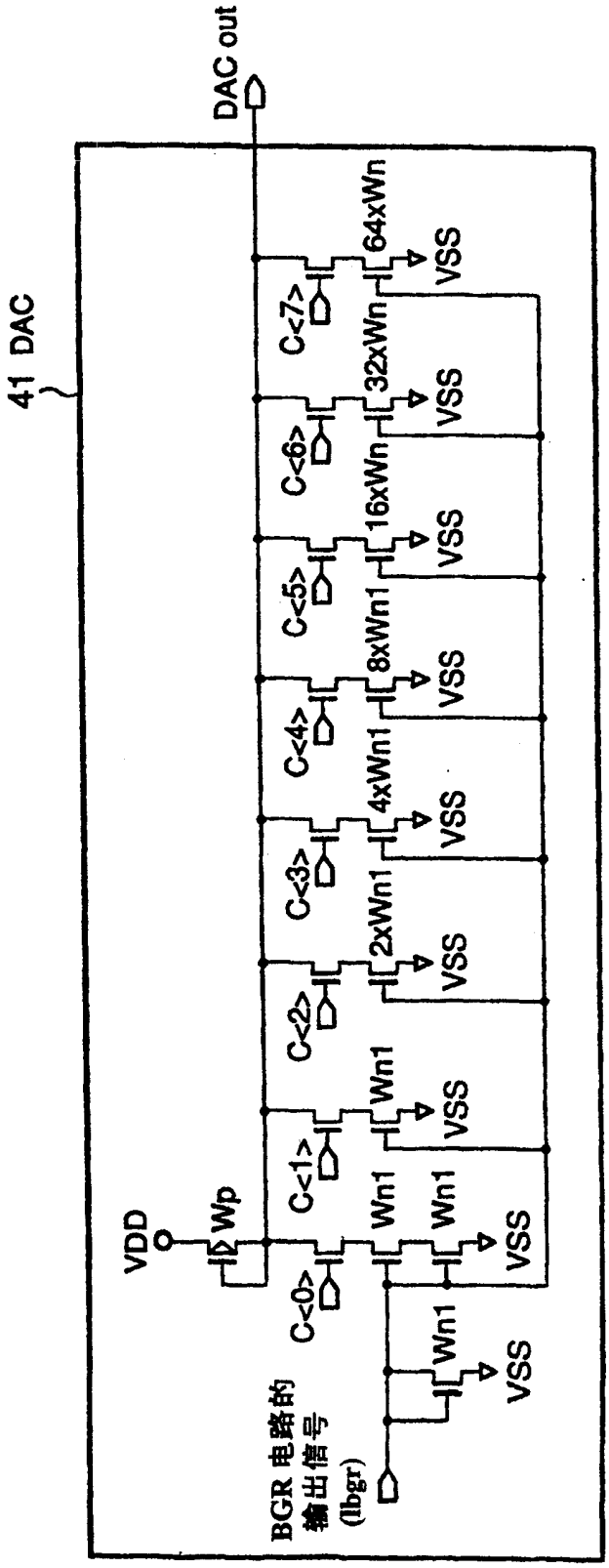

bTPn
TPn
TPn
bTPn
TPn
bTPn
C<n>
Reset
bTPn
Reset
TPn
=
TPn
bTP
Reset
B/C#n
C<n>

图66


DAC out
41 DAC
VDD
Wp
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
C<6>
C<7>
Wn1
2xWn1
4xWn1
8xWn1
16xWn
32xWn
64xWn
VSS
BGR 电路的
输出信号
(Ibgr)

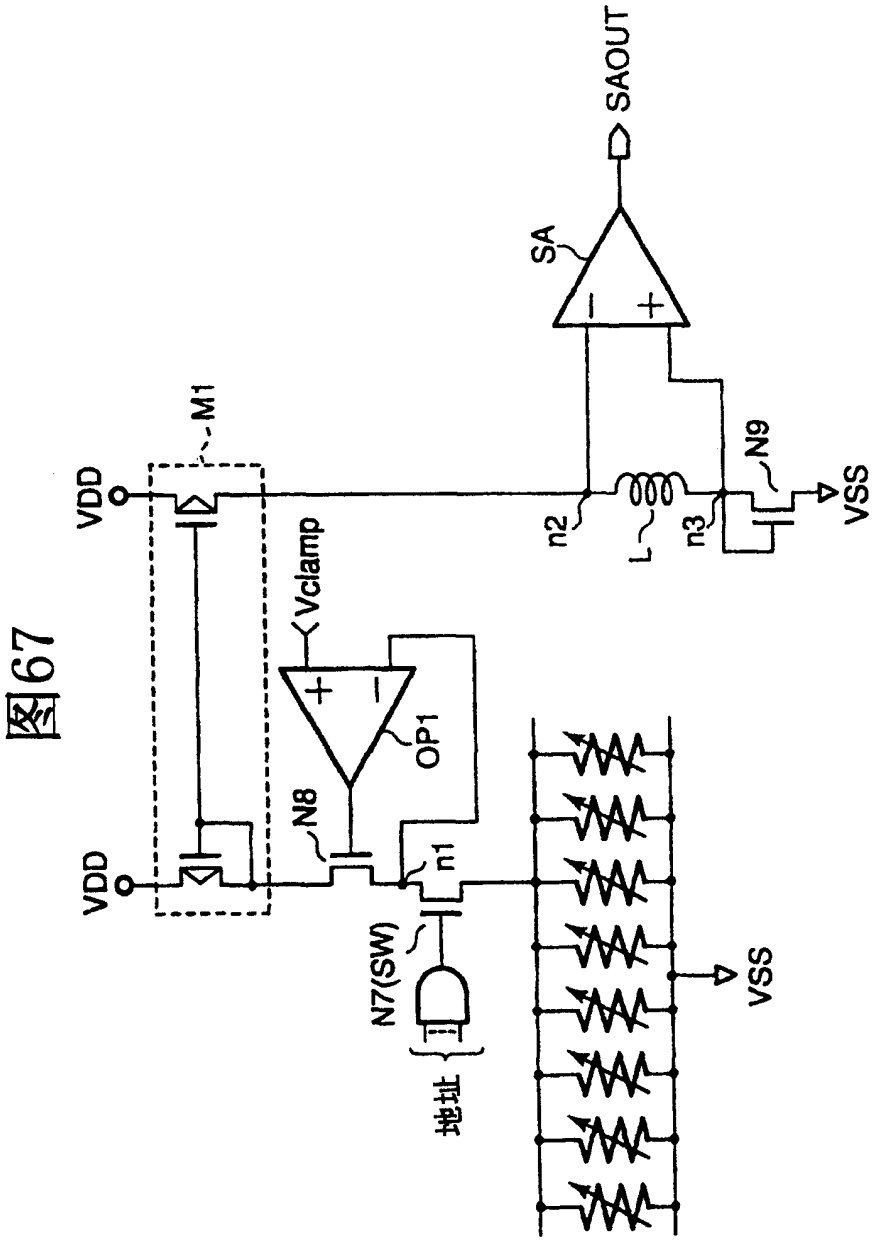


图67

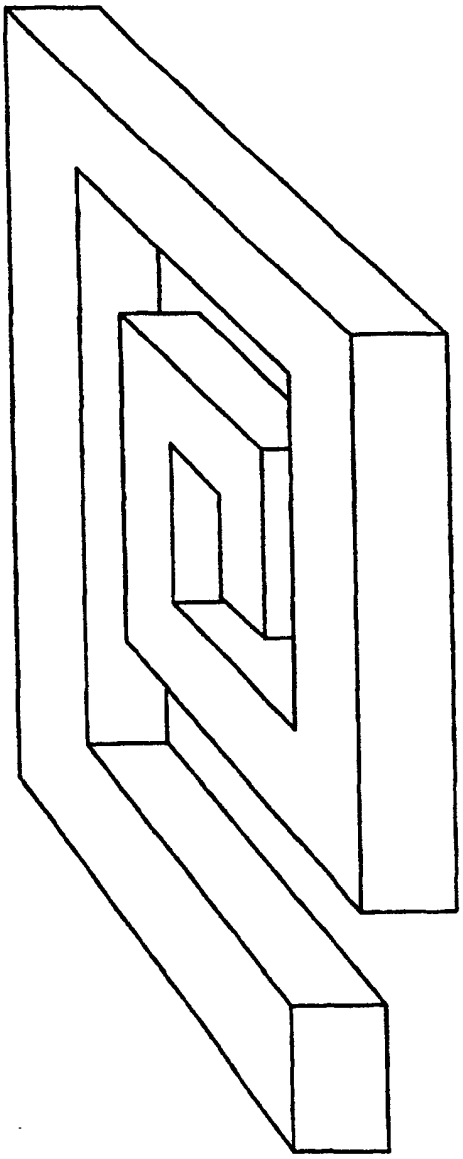


图68

图69

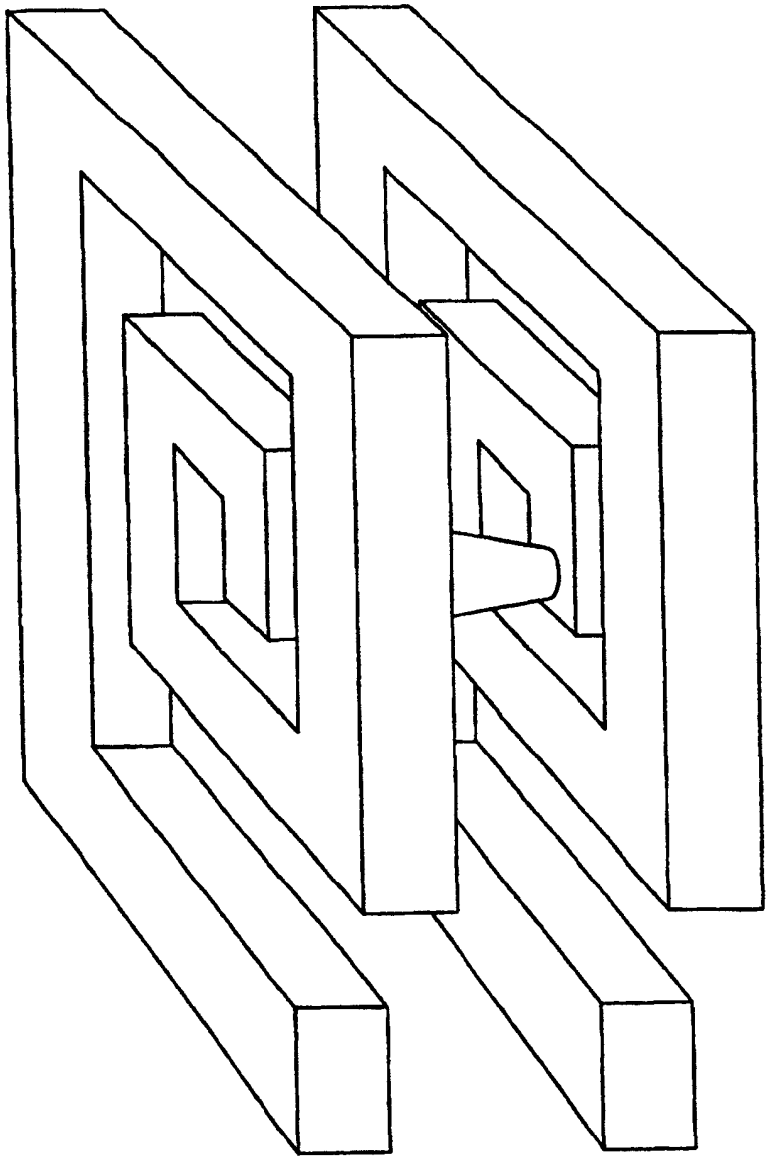


图70

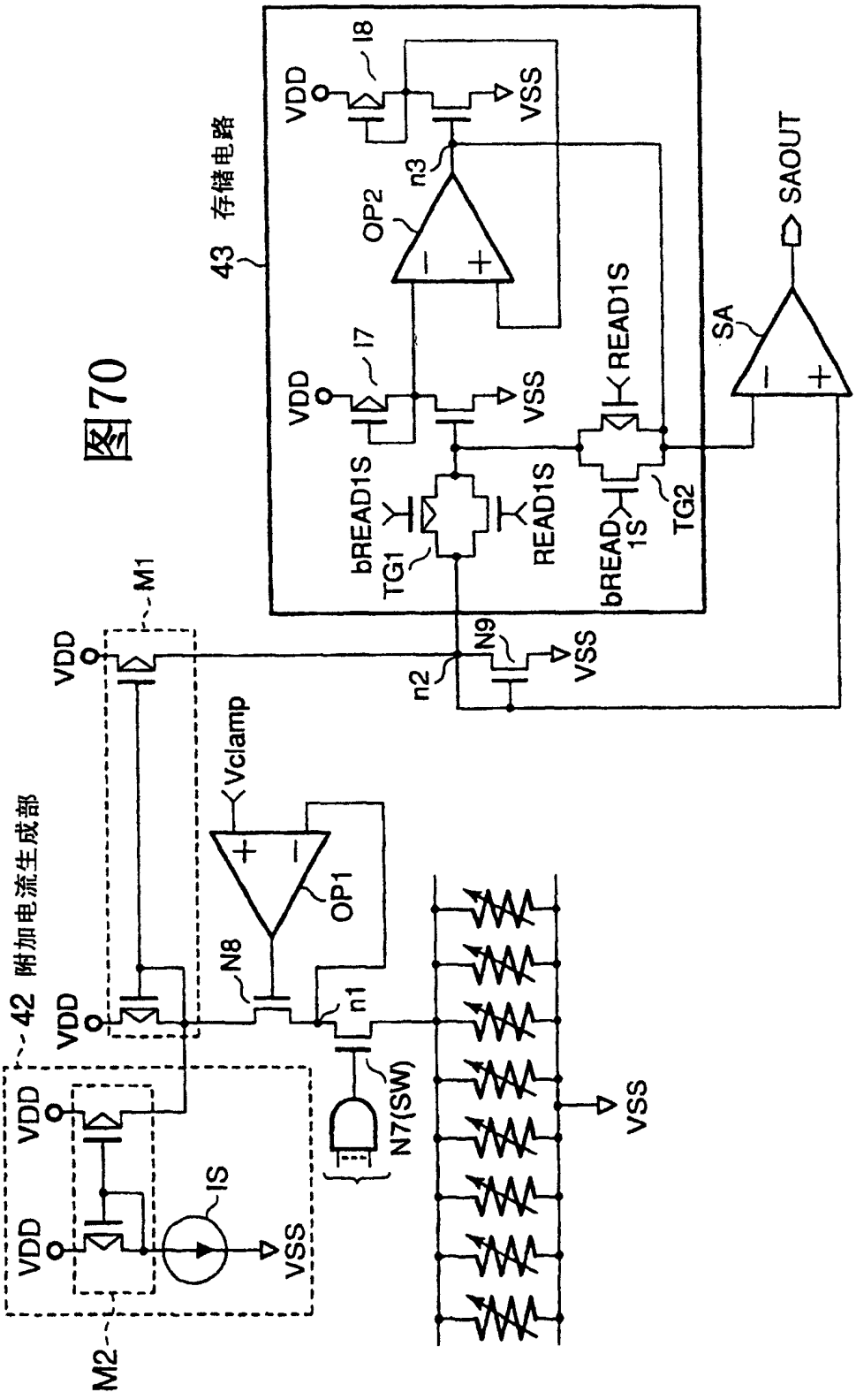

43 存储电路
VDD
I8
VSS
n3
OP2
SAOUT
SA
I7
READ1S
bREAD1S
TG1
TG2
bREAD1S
N9
n2
M1
Vclamp
OP1
N8
n1
42 附加电流生成部
N7(SW)
IS
M2

图71

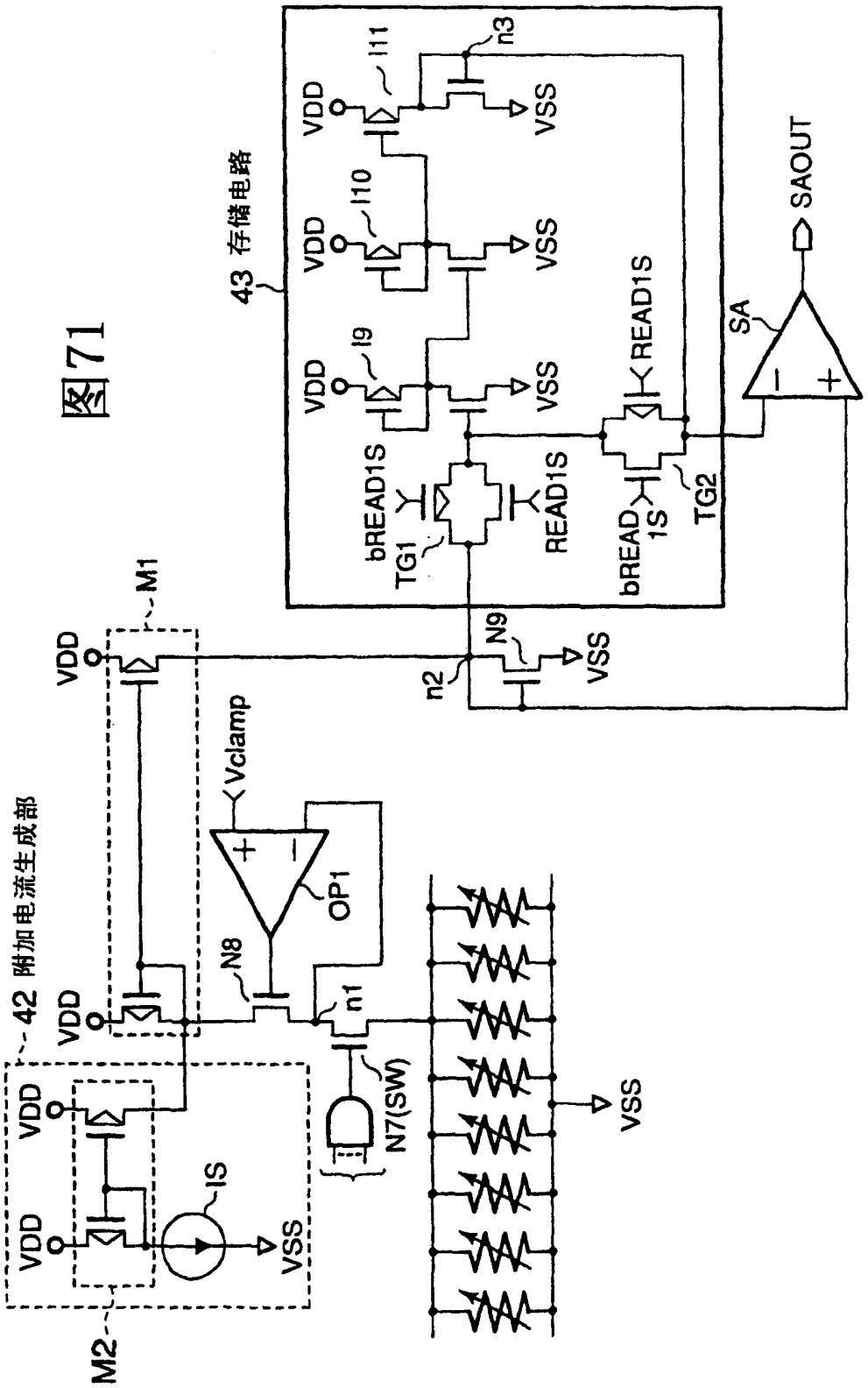

43 存储电路
VDD
VSS
I11
I10
I9
n3
READ1S
bREAD1S
TG1
TG2
SA
SAOUT
M1
N9
n2
Vclamp
OP1
N8
n1
42 附加电流生成部
IS
N7(SW)
M2

图72

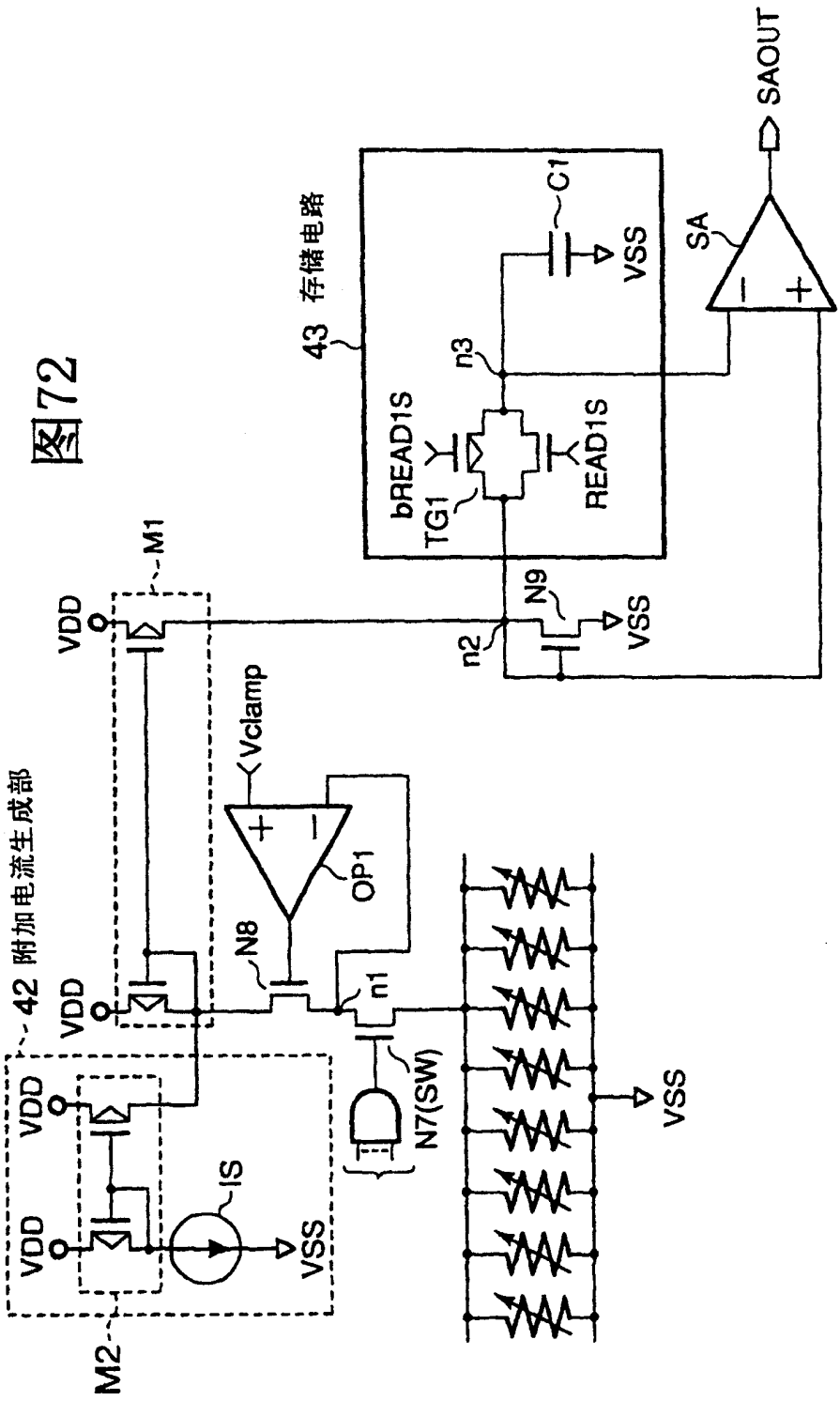

SAOUT
SA
43 存储电路
C1
VSS
n3
bREAD1S
TG1
READ1S
N9
VSS
n2
M1
VDD
Vclamp
OP1
N8
n1
42 附加电流生成部
VDD
VDD
VDD
VDD
IS
VSS
M2
N7(SW)
VSS

图73

