

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月4日(04.06.2020)



(10) 国際公開番号

WO 2020/109923 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) H01L 27/1156 (2017.01)
H01L 27/06 (2006.01) H01L 21/336 (2006.01)
H01L 27/088 (2006.01) H01L 29/788 (2006.01)
H01L 21/8242 (2006.01) H01L 29/792 (2006.01)
H01L 27/108 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/IB2019/059911

(22) 国際出願日: 2019年11月19日(19.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-224814 2018年11月30日(30.11.2018) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷 3 9 8 株式会
社半導体エネルギー研究所内 Kanagawa (JP).

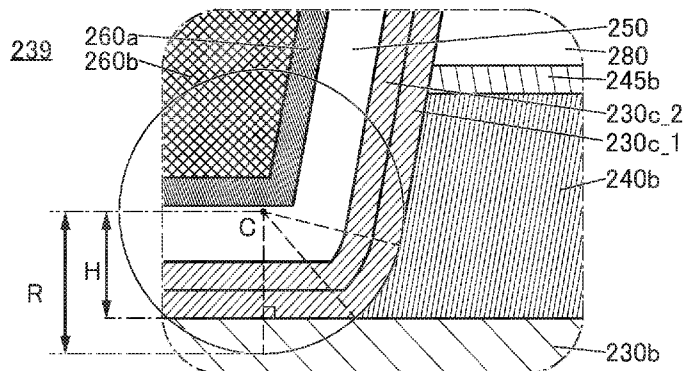
高橋 絵里香 (TAKAHASHI, Erika); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 須
澤 英臣 (SUZAWA, Hideomi); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 笹川 慎
也 (SASAGAWA, Shinya); 〒2430036 神奈川県
厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

図1A



(57) Abstract: Provided is a semiconductor device with good reliability. A first conductor and a second conductor are provided in contact with a first oxide thereon; a first insulator is provided to cover the first oxide, the first conductor, and the second conductor; the first insulator has an opening; the first oxide is exposed on the bottom of the opening; the side surface of the first conductor and the side surface of the second conductor are exposed on the side surface of the opening; in the opening, a second oxide is provided in contact with the first oxide, the side surface of the first conductor, and the second conductor; in the opening, a second insulator is provided through the second oxide; in the opening, a third conductor is provided through the second insulator; and the lower end portions of the side surface of the first conductor and the side surface of the second conductor are in contact with an ellipse or circle having a center above the first oxide.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 信頼性が良好な半導体装置を提供する。第1の導電体、および第2の導電体は第1の酸化物上に接して設けられ、第1の絶縁体は、第1の酸化物、第1の導電体、および第2の導電体を覆って設けられ、第1の絶縁体は、開口部を有し、開口部の底面には、第1の酸化物が露出し、開口部の側面には、第1の導電体の側面、および第2の導電体の側面が露出し、開口部内に、第2の酸化物は、第1の酸化物、第1の導電体の側面、および第2の導電体に接して設けられ、開口部内に、第2の絶縁体は、第2の酸化物を介して設けられ、開口部内に、第3の導電体は、第2の絶縁体を介して設けられ、第1の導電体の側面、および第2の導電体の側面の下端部は、第1の酸化物よりも上方に中心を有する楕円または円に接する。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、および半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、第1の酸化物、第2の酸化物、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、第2の絶縁体、を有する半導体装置において、第1の導電体、および第2の導電体は第1の酸化物上に接して設けられ、第1の絶縁体は、第1の酸化物、第1の導電体、および第2の導電体を覆って設けられ、第1の絶縁体は、開口部を有し、開口部の底面には、第1の酸化物が露出し、開口部の側面には、第1の導電体の側面、および第2の導電体の側面が露出し、開口部内に、第2の酸化物は、第1の酸化物、第1の導電体の側面、および第2の導電体に接して設けられ、開口部内に、第2の絶縁体は、第2の酸化物を介して設けられ、開口部内に、第3の導電体は、第2の絶縁体を介して設けられ、第1の導電体の側面、および第2の導電体の側面の下端部は、第1の酸化物よりも上方に中心を有する楕円または円に接する。

[0011]

本発明の一態様は、第1の酸化物、第2の酸化物、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、第2の絶縁体、を有する半導体装置において、第1の導電体、および第2の導電体は第1の酸化物上に接して設けられ、第1の絶縁体は、第1の酸化物、第1の導電体、および第2の導電体を覆って設けられ、第1の絶縁体は、開口部を有し、開口部の底面には、第1の酸化物が露出し、開口部の側面には、第1の導電体の側面、および第2の導電体の側面が露出し、開口部内に、第2の酸化物は、第1の酸化物、第1の導電体の側面、および第2の導電体に接して設けられ、開口部内に、第2の絶縁体は、第2の酸化物を介して設けられ、開口部内に、第3の導電体は、第2の絶縁体を介して設けられ、第1の導電体の側面、および第2の導電体の側面の下端部は、第1の酸化物よりも上方に曲率中心を有する円弧状の側面を有し、曲率中心から第1の酸化物に対する垂線の長さは、円弧の曲率半径と概略等しい。

[0012]

上記において、円弧状の側面の終端部を接点とした接平面と、第1の酸化物の上面と、がなす2面角は、 $0^\circ < \theta \leq 90^\circ$ である。

[0013]

上記において、第1の導電体の側面上端部、および第2の導電体の側面上端部は、円弧状の側面の終端部を接点とした接平面と、概略一致する。

[0014]

上記において、曲率半径は、第2の酸化物の膜厚と、第2の絶縁体の膜厚との合計膜厚以上である。

[0015]

上記において、第3の導電体の底面と第3の導電体の側面とがなす辺と、曲率中心との水平距離Lが0以下である。

[0016]

上記において、第2の酸化物は、第2の絶縁体よりも、酸素に対するバリア性が高い。

[0017]

上記において、第1の酸化物は、In-Ga-Zn酸化物である。

[0018]

上記において、第2の酸化物は、In-Ga-Zn酸化物である。

発明の効果

[0019]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0020]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0021]

図1A、図1Bは本発明の一態様に係る半導体装置の断面図である。

図2A、図2B、図2Cは本発明の一態様に係る半導体装置の断面図である。

図3A、図3B、図3Cは本発明の一態様に係る半導体装置の上面図および断面図である。

図4A、図4B、図4Cは本発明の一態様に係る半導体装置の上面図および断面図である。

図5は本発明の一態様に係る記憶装置の構成を示す断面図である。

図6は本発明の一態様に係る記憶装置の構成を示す断面図である。

図7は本発明の一態様に係る記憶装置の構成を示す断面図である。

図8A、図8Bは本発明の一態様に係る記憶装置の構成例を示すブロック図および斜視図である。

図9A、図9B、図9C、図9D、図9E、図9F、図9G、図9Hは本発明の一態様に係る記憶装置の構成例を示す回路図である。

図10A、図10Bは本発明の一態様に係る半導体装置の模式図である。

図11A、図11B、図11C、図11D、図11Eは本発明の一態様に係る記憶装置の模式図である。

図12A、図12B、図12C、図12D、図12E、図12F、図12G、図12Hは本発明の

一態様に係る電子機器を示す図である。

図13は実施例に係る導電体の側端部の酸化膜厚を説明する図である。

発明を実施するための形態

[0022]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0023]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0024]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0025]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0026]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0027]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章を開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0028]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なく

とも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0029]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0030]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0031]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0032]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0033]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0034]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。

または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0035]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損が形成される場合がある。

[0036]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0037]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0038]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0039]

本明細書等において、金属酸化物(metal oxide)とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む。)、酸化物半導体(Oxide Semiconductorまたは単にOSともいう。)などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0040]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりのドレイン電流が、室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、または 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

[0041]

(実施の形態 1)

本実施の形態では、本発明の一態様に係るトランジスタを有する半導体装置の一例について説明する。本発明の一態様に係るトランジスタを有する半導体装置は、チャネル形成領域に酸化物半導体を有するトランジスタである。

[0042]

<半導体装置の構成例>

図3は、本発明の一態様に係るトランジスタ200を有する半導体装置の上面図および断面図である。図3Aは、当該半導体装置の上面図である。また、図3B、および図3Cは、当該半導体装置の断面図である。ここで、図3Bは、図3AにA1-A2の一点鎖線で示す部位の断面図である。また、図3Cは、図3AにA3-A4の一点鎖線で示す部位の断面図である。なお、図3Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0043]

また、図3Bに示す、一点鎖線で囲む領域239の拡大図を、図2に示す。

[0044]

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体214、絶縁体216、絶縁体280、絶縁体282、および絶縁体284と、を有する。なお、絶縁体280は、少なくとも、酸化物230と接して設けられる。

[0045]

[トランジスタ200]

図3に示すように、トランジスタ200は、基板（図示せず）の上に配置され、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216の上および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260（導電体260a、および導電体260b）と、酸化物230bの上面の一部と接する導電体240aおよび導電体240bと、導電体240a上の絶縁体245aと、導電体240b上の絶縁体245bと、を有する。

[0046]

なお、導電体260、および導電体205はゲート電極として機能する。導電体240a、および導電体240bは、ソース電極またはドレイン電極として機能する。酸化物230bは、酸化物半導体であり、チャネルが形成される領域を有する。また、絶縁体222、絶縁体224、および絶縁体250はゲート絶縁体として機能する。

[0047]

従って、チャネル形成領域を含む酸化物230bに、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0048]

チャネル形成領域に酸化物半導体を用いたトランジスタ200は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できる。従って、トランジスタ200を、他の構造体上に、積層して形成することが可能となり、高集積型の半導体装置を構成することができる。

[0049]

なお、チャネル形成領域として機能する酸化物半導体は、バンドギャップが2 e V以上、好ましくは2.5 e V以上のものを用いることが好ましい。このように、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

[0050]

酸化物230cは、酸化物230bと同様に、酸化物半導体を用いることができる。従って、酸化物230cにもチャネル形成領域が形成される場合がある。一方、酸化物230cに、酸化物230bよりも、バンドギャップが大きい金属酸化物を用いてもよい。従って、酸化物230cは、ゲート絶縁体として機能する場合がある。

[0051]

また、酸化物230cは、図2に示すように、2層以上の積層構造を有していてもよい。例えば、図2では、酸化物230cの第1の酸化物（酸化物230c__1）と、酸化物230cの第1の酸化物の上に配置された酸化物230cの第2の酸化物（酸化物230c__2）と、を有する。

[0052]

図3に示すトランジスタ200において、少なくとも、酸化物230c、絶縁体250、および導電体260は、絶縁体280が有する開口部内に設ける。従って、当該開口部の底面には、少なくとも酸化物230a、および酸化物230bが露出する。また、当該開口部の側面には、少なくとも導電体240a、および導電体240bの側面が露出する。

[0053]

つまり、絶縁体280が有する開口部の幅が、トランジスタ200のチャネル長の決定に寄与する距離となるため、当該開口部の幅（図3では、導電体240aと導電体240bとの最短距離となる）を、最小加工寸法とすることが好ましい。

[0054]

また、本発明において、酸化物230cに、絶縁体250よりも、酸素の拡散を抑制する機能（以下、バリア性ともいう）を用いることが好ましい。酸化物230cに酸素に対するバリア性を有することで、酸化物230cよりも上方の構造体から拡散する酸素による導電体240の端部の酸化を抑制できる。または、後工程の処理に伴う導電体240の端部の酸化を抑制できる。

[0055]

一方、微細なトランジスタにおいて、導電体240の端部が酸化した場合、チャネル形成領域と、ソース電極またはドレイン電極との間に、高抵抗領域が形成される。従って、トランジスタ200のオン電流、および周波数特性が低下してしまう可能性がある。また、当該高抵抗領域により、トランジスタ200のチャネル長にばらつきが生じる蓋然性が高い。

[0056]

また、絶縁体280に設ける開口部の微細化が進むに伴い、当該開口部の内部に設ける構造体の成膜および加工の難易度が高くなる。例えば、開口部内に、底面と側面とが形成する角部には、ボイドなどの欠陥が生じる場合がある。特に、薄膜の積層構造を設ける場合、上層の被覆性が悪くなり、開口部の内部に形成される膜に欠陥が生じる蓋然性が高くなる。

[0057]

なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、当該不純物、または当該酸素のいずれか一またはすべての拡散を抑制する機能とする。また、水素または酸素の拡散を

抑制する機能を有する膜を、水素または酸素が透過しにくい膜、水素または酸素の透過性が低い膜、水素または酸素に対してバリア性を有する膜、水素または酸素に対するバリア膜などと呼ぶ場合がある。また、バリア膜に導電性を有する場合、当該バリア膜を導電性バリア膜と呼ぶことがある。

[0058]

さらに、絶縁体280が有する開口部の底面に露出した酸化物230bは、チャネル形成領域となる。従って、酸化物230c、および絶縁体250に、欠陥が生じると、チャネル形成領域上のゲート絶縁膜として機能する絶縁体250が不均一となり、トランジスタ間の電気特性のバラつき、信頼性の低下が生じる可能性がある。さらには、ゲート電極として機能する導電体260と半導体として機能する酸化物230bとが導通し、絶縁状態が保てなくなる可能性がある。

[0059]

そこで、絶縁体280が有する開口部内に露出する導電体240の側面の形状を最適化することで、酸化物230cとなる膜、または絶縁体250となる膜を成膜する場合に、被成膜面の傾きがなだらかに変化し、酸化物230cとなる膜、または絶縁体250となる膜に欠陥が生じることを抑制する。つまり、開口部内に設ける膜の被覆性が良好となるように、導電体240bの側面の形状を最適化する。

[0060]

酸化物230cが、導電体240の側面に均一に形成されることで、導電体240の側面の酸化を防止することができる。また、チャネル形成領域上のゲート絶縁体を均一に成膜することができる。従って、複数のトランジスタ200を設ける場合、トランジスタ間のバラつきが少ない半導体装置を提供することができる。また、信頼性が高い半導体装置を提供することができる。

[0061]

具体的には、絶縁体280が有する開口部内に露出する導電体240の側面において、下端部は曲面形状を有する。例えば、導電体240の下端部の側面は、酸化物230bの上方に中心を有する円、または楕円に接することが好ましい。

[0062]

なお、楕円の中心とは、楕円の短軸と長軸の交点とする。また、円の中心とは、円の接線に対する垂線を、円における位置を変えて少なくとも三本以上設けたときの交点をいう。

[0063]

例えば、導電体240bの側面の下端部が、酸化物230bの上方に中心を有する円と接する場合について、図1A、および図2A乃至図2Cを用いて、説明する。なお、図1A、および図2A乃至図2Cは、図3Bに、一点鎖線で囲む領域239の拡大図である。

[0064]

図1Aに示すように、絶縁体280が有する開口部内に露出する導電体240bの側面において、導電体240bの下端部は、酸化物230bよりも上方に中心Cを有し、半径がRである円と接する。つまり、導電体240bの下端部は、曲率半径Rの円弧状の曲線を有する。

[0065]

また、上記構成において、上記円の中心Cから、酸化物230bの上面に対する垂線の長さHは、半径R以下であることが好ましい。つまり、円の半径 $R \geq$ 垂線の長さHが成り立つことが好ましい。なお、円の半径 $R <$ 垂線の長さHとなる場合、導電体240bの下端部に変曲点が形成され、導電体240bよりも上方に形成する膜の被膜性が低下する蓋然性が高くなる。

[0066]

ここで、円の半径 R が、円の中心 C から酸化物230bに対する垂線の長さ H と近似した値（円の半径 $R \approx$ 垂線の長さ H ）となる場合を、図2A乃至図2Cを用いて説明する。

[0067]

例えば、図2A乃至図2Cにおいて、導電体240bの下端部は、酸化物230bよりも上方に曲率中心 C を有し、曲率半径 R である円弧状の曲線を有することが好ましい。また、円の半径 R は、曲率中心 C から酸化物230bに対する垂線の長さ H とほぼ等しい。

[0068]

また、図2A乃至図2Cにおいて、上記円弧状の曲線の終端部を接点とした接平面と、酸化物230bの上面と、がなす2面角の角度 θ （テーパー角の角度 θ ともいう）は、 $0^\circ < \theta \leq 90^\circ$ とする。つまり、導電体240bの側面が、アンダーカット形状とならない範囲とする。

[0069]

絶縁体280が有する開口部内に露出する導電体240bの側面において、下端部が曲面形状を有することで、酸化物230bが有するチャネル形成領域上に形成する膜の被膜性を向上することができる。

[0070]

また、図2A、および図2Bに示すように、絶縁体280が有する開口部内に露出する導電体240bの側面において、上端部は平面でもよい。なお、当該平面の延長した面と、酸化物230bの上面と、がなす2面角の角度は、 0° 以上、テーパー角の角度 θ 以下であればよい。つまり、導電体240bの側面が、アンダーカット形状とならない範囲とする。

[0071]

なお、図2に示すように、導電体240bの側面における上端部の平面を延長した面と、酸化物230bの上面と、がなす2面角の角度が、テーパー角の角度 θ と等しい場合、チャネル長方向の断面図において、上記円弧状の曲線の終端部を接点とした接線と重なる。つまり、曲線の終端部に接する、導電体240bの側面における上端部の平面を含む接平面と、酸化物230bの上面とがなす2面角の角度が θ とである場合、特に、酸化物230c、および絶縁体250を、チャネル形成領域上だけでなく、均一に成膜することができるため、好ましい。

[0072]

また、図2Bに示すように、曲率半径 R が、酸化物230cと絶縁体250との合計膜厚以上の場合（酸化物230cの膜厚を t_{230c} 、絶縁体250の膜厚を t_{250} とすると、 $R \geq t_{230c} + t_{250}$ が成り立つ場合）、導電体260の底面と導電体260の側面とがなす辺と、導電体240bの下端部との水平距離 L は0以下となる。なお、水平距離 L が0よりも小さい、つまりマイナスとなる場合、導電体260の底面と導電体240bの終端部とが重畳する領域を有する。

[0073]

なお、膜の厚さ（ t ）とは、絶縁膜の上面から絶縁膜の下面まで下ろした垂線の長さをいう。

[0074]

従って、 $R \geq t_{230c} + t_{250}$ が成り立つ場合、酸化物230bに生じるチャネル形成領域と、ソース領域またはドレイン領域との間に、高抵抗領域が形成されないため、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。

[0075]

なお、図 2 C に示すように、導電体 2 6 0 の底面と導電体 2 6 0 の側面との接合面が曲面の場合は、導電体 2 6 0 の底面の延長面と、導電体 2 6 0 の側面の延長面が交わる辺と、導電体 2 4 0 b の下端部との水平距離 L が 0 以下となることが好ましい。

[0076]

以上、曲率半径 R が、曲率中心 C から酸化物 2 3 0 b に対する垂線の長さ H と近似した値（円の半径 $R \approx$ 垂線の長さ H）となる場合を説明した。続いて、導電体 2 4 0 b の側面の下端部が、酸化物 2 3 0 b よりも上方に中心を有する楕円と接する場合について、図 1 B を用いて、説明する。

[0077]

図 1 B に示すように、絶縁体 2 8 0 が有する開口部内に露出する導電体 2 4 0 b の側面において、導電体 2 4 0 b の下端部は、酸化物 2 3 0 b よりも上方に中心 C を有し、長半径が R_1 である楕円と接する。つまり、導電体 2 4 0 b の下端部は、楕円弧状の曲線を有する。

[0078]

また、上記構成において、導電体 2 4 0 b の下端部に、変曲点が形成されないことが好ましい。また、導電体 2 4 0 b の側面において、いわゆるアンダーカット形状が形成されないことが好ましい。従って、上記楕円の中心 C から、酸化物 2 3 0 b の上面に対する垂線の長さ H は、少なくとも長半径 R_1 以下であることが好ましい。つまり、楕円の長半径 $R_1 \geq$ 垂線の長さ H が成り立つことが好ましい。

[0079]

以上、導電体 2 4 0 b の側面の下端部が、酸化物 2 3 0 b よりも上方に中心を有する楕円と接する場合について説明した。

[0080]

以上より、絶縁体 2 8 0 が有する開口部内に露出する導電体 2 4 0 の側面の形状を最適化することで、酸化物 2 3 0 c となる膜、または絶縁体 2 5 0 となる膜を成膜する場合に、被成膜面の傾きがなだらかに変化し、酸化物 2 3 0 c となる膜、または絶縁体 2 5 0 となる膜に欠陥が生じることを抑制する。

[0081]

以下では、図 3、および図 4 を用いて、トランジスタ 2 0 0 の詳細な構造について説明する。

[0082]

トランジスタ 2 0 0 は、チャネルが形成される領域を含む酸化物 2 3 0（主に酸化物 2 3 0 b）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0083]

チャネル形成領域に酸化物半導体を用いたトランジスタ 2 0 0 は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できる。従って、トランジスタ 2 0 0 を、他の構造体上に、積層して形成することが可能となり、高集積型の半導体装置を構成することができる。

[0084]

なお、チャネル形成領域として機能する酸化物半導体は、バンドギャップが 2 e V 以上、好ましくは 2.5 e V 以上のものを用いることが好ましい。このように、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

[0085]

具体的には、酸化物半導体として、例えば、 $In-M-Z_n$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物半導体として、 $In-Ga$ 酸化物、 $In-Z_n$ 酸化物を用いてもよい。

[0086]

なお、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となる場合がある。また、酸化物半導体中に、適量値を超えた過剰な酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が変化し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

[0087]

従って、トランジスタに用いる酸化物半導体は、不純物、酸素欠損、および、化学量論的組成を満たす酸素よりも多くの酸素（以下、過剰酸素ともいう）がない、高純度真性な酸化物半導体を用いることが好ましい。

[0088]

また、酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、 In に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 In に対する元素Mの原子数比より大きいことが好ましい。

[0089]

また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0090]

例えば、酸化物230bが $In-Ga-Z_n$ 酸化物の場合、酸化物230aおよび酸化物230cとして、 $In-Ga-Z_n$ 酸化物、 $Ga-Z_n$ 酸化物、酸化ガリウムなどを用いてもよい。

[0091]

また、酸化物230bおよび酸化物230cは、結晶性を有することが好ましい。例えば、後述するCAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。従って、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。また、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるため、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定する。

[0092]

なお、トランジスタ200では、酸化物230が、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230aと酸化物230bの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよいし、酸化物23

0 a、酸化物 2 3 0 b、酸化物 2 3 0 c のそれぞれが積層構造を有していてもよい。

[0093]

例えば、図 1 では、酸化物 2 3 0 c の第 1 の酸化物（酸化物 2 3 0 c __ 1）と、酸化物 2 3 0 c の第 1 の酸化物の上に配置された酸化物 2 3 0 c の第 2 の酸化物（酸化物 2 3 0 c __ 2）と、を有する。

[0094]

例えば、酸化物 2 3 0 c __ 1 は、酸化物 2 3 0 b に用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物 2 3 0 c __ 1 として、In-Ga-Zn 酸化物を用い、酸化物 2 3 0 c __ 2 として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、または酸化ガリウムを用いるとよい。当該構造により、酸化物 2 3 0 b と酸化物 2 3 0 c __ 1 との界面における欠陥準位密度を低くすることができる。

[0095]

また、酸化物 2 3 0 c __ 2 は、酸化物 2 3 0 c __ 1 より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体 2 5 0 と酸化物 2 3 0 c __ 1 との間に酸化物 2 3 0 c __ 2 を設けることで、絶縁体 2 8 0 に含まれる酸素が、絶縁体 2 5 0 に拡散するのを抑制することができる。したがって、当該酸素は、酸化物 2 3 0 c __ 1 を介して、酸化物 2 3 0 b に供給されやすくなる。

[0096]

また、酸化物 2 3 0 c __ 2 に用いる金属酸化物において、主成分である金属元素に対する In の原子数比が、酸化物 2 3 0 c __ 1 に用いる金属酸化物における、主成分である金属元素に対する In の原子数比より小さくすることで、In が絶縁体 2 5 0 側に拡散するのを抑制することができる。絶縁体 2 5 0 は、ゲート絶縁体として機能するため、In が絶縁体 2 5 0 などに混入した場合、トランジスタの特性不良となる。したがって、酸化物 2 3 0 c を積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

[0097]

導電体 2 6 0 は、第 1 のゲート（トップゲートともいう。）電極として機能する。

[0098]

ここで、トランジスタ 2 0 0 は、導電体 2 6 0 を、絶縁体 2 8 0 などに形成されている開口に埋めることで設ける。また、当該開口を設ける工程において、絶縁体 2 8 0 に設ける開口の底部に、導電体 2 4 0 となる導電層の一部が露出する。導電体 2 4 0 となる導電層において、絶縁体 2 8 0 に設けた開口の底部と重畳する領域を除去することで、導電体 2 4 0 a、および導電体 2 4 0 b が形成される。

[0099]

従って、導電体 2 4 0 a の端部と、導電体 2 4 0 b の端部は、開口部の側面と同一面上となる。導電体 2 6 0 を、絶縁体 2 8 0 に設けた開口に、絶縁体 2 5 0 などを介して埋め込むことで、導電体 2 4 0 a と導電体 2 4 0 b との間の領域に、導電体 2 6 0 を位置合わせすることなく自己整合的に配置することができる。

[0100]

また、図 3 B、または図 3 C に示すように、導電体 2 6 0 の上面は、絶縁体 2 5 0 の上面および酸化物 2 3 0 c の上面と略一致している。

[0101]

また、図3Cに示すように、導電体260と酸化物230とが重畳しない領域において、導電体260と絶縁体250とが接する面と絶縁体222の上面に対する最短距離は、酸化物230bと酸化物230aとが接する面と絶縁体222の上面に対する最短距離よりも、短いことが好ましい。つまり、トランジスタ200のチャネル幅方向において、酸化物230bの側面が、少なくとも絶縁体250を介して、導電体260により、覆われている構造を有する。

[0102]

ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界が酸化物230bのチャネル形成領域全体に作用する。従って、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。

[0103]

なお、導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。

[0104]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0105]

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0106]

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0107]

図3では、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0108]

導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する。

[0109]

また、導電体205がゲート電極として機能する場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、

導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0110]

導電体 205 は、酸化物 230、および導電体 260 と、重なるように配置する。また、導電体 205 は、絶縁体 214 または絶縁体 216 に埋め込まれて設けることが好ましい。

[0111]

なお、チャネル幅方向において、導電体 205 は、酸化物 230 におけるチャネル形成領域よりも、大きく設けるとよい。特に、図 3C に示すように、導電体 205 は、酸化物 230 のチャネル幅方向と交差して、延伸していることが好ましい。

[0112]

ここで、酸化物 230 のチャネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第 1 のゲート電極として機能する導電体 260 の電界と、第 2 のゲート電極として機能する導電体 205 の電界によって、酸化物 230 のチャネル形成領域を電氣的に取り囲むことができる。

[0113]

また、図 3 では、導電体 205 を第 1 の導電体と第 2 の導電体とを積層する構成として示しているが、本発明はこれに限られるものではない。例えば、導電体 205 は、単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0114]

ここで、導電体 205 の第 1 の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0115]

導電体 205 の第 1 の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205 の第 2 の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205 の第 1 の導電体としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205 の第 1 の導電体は、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0116]

また、導電体 205 の第 2 の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 の第 2 の導電体を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

[0117]

また、図 3C に示すように、導電体 205 は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体 205 の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体 205 は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導

電体 205 を複数のトランジスタで共有する構成にしてもよい。

[0118]

導電体 240 (導電体 240a、および導電体 240b) は、ソース電極またはドレイン電極として機能する。

[0119]

導電体 240 としては、例えば、 $Ta N_x O_y$ を用いることが好ましい。なお、 $Ta N_x O_y$ はアルミニウムを含んでもよい。また、例えば、窒化チタン、チタンとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0120]

また、導電体 240 上に、バリア層として機能する絶縁体 245 を設けるとよい。

[0121]

絶縁体 245 は、図 3B に示すように、導電体 240 の上面に接することが好ましい。当該構成にすることで、導電体 240 による、絶縁体 280 が有する過剰酸素の吸収を抑制することができる。また、導電体 240 の酸化を抑制することで、トランジスタ 200 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

[0122]

従って、絶縁体 245 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 245 は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。

[0123]

絶縁体 245 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体 245 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0124]

絶縁体 250 は、第 1 のゲート絶縁体として機能する。

[0125]

絶縁体 250 は、酸化物 230c に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0126]

なお、絶縁体 250 を成膜した後に、酸素を含む雰囲気下にて、マイクロ波励起プラズマ処理を行ってもよい。マイクロ波励起プラズマ処理を行うことにより、絶縁体 250 中の、水素、水、または不純物を除去することができる。さらに、マイクロ波励起プラズマ処理を行うことにより、絶縁体 250 の膜質を改質することで、水素、水、または不純物等の拡散を抑制することができる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 250 を介して、水素、水、または不純物が、酸化物 230 へ拡散することを抑制することがで

きる。

[0127]

例えば、固体の酸化シリコンにおける水素原子とシリコン原子の結合エネルギーは3.3 eV、炭素原子とシリコン原子の結合エネルギーは3.4 eV、窒素原子とシリコン原子の結合エネルギーは3.5 eV、である。従って、シリコン原子と結合した水素原子を取り除くには、少なくとも、3.3 eV以上のエネルギーを持つラジカル、またはイオンを、水素原子とシリコン原子との結合部に衝突させることで、水素原子と、シリコン原子との結合を切断することができる。

[0128]

なお、窒素、および炭素などの他の不純物についても、同様に、少なくとも、結合エネルギー以上のエネルギーを持つラジカル、またはイオンを、不純物原子とシリコン原子との結合部に衝突させることで、不純物原子とシリコン原子との結合を切断することができる。

[0129]

ここで、マイクロ波で励起したプラズマにより発生するラジカル、およびイオンとして、酸素原子ラジカル基底状態 $O(^3P)$ 、酸素原子ラジカル第一励起状態 $O(^1D)$ 、および酸素分子の一価のカチオン O_2^+ 等がある。 $O(^3P)$ のエネルギーは、2.42 eV、 $O(^1D)$ のエネルギーは、4.6 eV、である。また、 O_2^+ は電荷をもつために、プラズマ中の電位分布、およびバイアスにより加速されるため、エネルギーは一意に定まらないが、少なくとも、内部エネルギーのみでも、 $O(^1D)$ より高いエネルギーを持つ。

[0130]

つまり、 $O(^1D)$ 、および O_2^+ 等のラジカル、およびイオンは、絶縁体250中の水素、窒素、および炭素原子と、シリコン原子との結合を切断し、シリコン原子と結合した水素、窒素、および炭素を除去することができる。また、マイクロ波励起プラズマ処理を行う際に、基板に加わる熱エネルギー等によっても、水素、窒素、および炭素などの不純物を低減することができる。

[0131]

一方、 $O(^3P)$ は、反応性が低いため、絶縁体250では反応せず、膜中深くまで拡散する。または、 $O(^3P)$ は絶縁体250を介して、酸化物230へと到達し、酸化物230中に拡散する。酸化物230中に拡散した $O(^3P)$ が、水素が入った酸素欠損に近接すると、酸素欠損中の水素は酸素欠損から放出され、代わりに $O(^3P)$ が酸素欠損に入ることによって、酸素欠損は補償される。従って、酸化物230中で、キャリアである電子の生成を抑制することができる。

[0132]

なお、全体のラジカル、およびイオン種に対する $O(^3P)$ の割合は、マイクロ波励起プラズマ処理を、圧力が高い条件で行うことにより、増加する。酸化物230中の酸素欠損を補償するためには、 $O(^3P)$ の割合が多い方が好ましい。従って、マイクロ波励起プラズマ処理は、圧力を133 Pa以上、好ましくは200 Pa、さらに好ましくは400 Pa以上とすればよい。また、酸素流量比($O_2/O_2 + Ar$)が50%以下、好ましくは10%以上30%以下で行うとよい。

[0133]

また、絶縁体250は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上とすればよい。

$0.1^9 \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0134]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給し、酸化物230bのチャネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体250中の水、水素などの不純物濃度は、低減されていることが好ましい。

[0135]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0136]

なお、上記金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、上記金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と上記金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0137]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0138]

また、上記金属酸化物は、第1のゲート電極の一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、上記金属酸化物として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。

[0139]

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0140]

絶縁体222、および絶縁体224は、第2のゲート絶縁体として機能する。

[0141]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0142]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0143]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0144]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0145]

酸化物230と接する絶縁体224は、絶縁体250と同様に、加熱により酸素を脱離することが好ましい。例えば、絶縁体224は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0146]

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0147]

絶縁体214、絶縁体216、絶縁体280、絶縁体282、絶縁体284は層間膜として機能する。

[0148]

絶縁体214は、水、水素などの不純物が、基板側からトランジスタ200に拡散するのを抑制する絶縁性バリア膜として機能することが好ましい。したがって、絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。

[0149]

例えば、絶縁体214として、酸化アルミニウム、窒化シリコンなどを用いることが好ましい。これにより、水、水素などの不純物が、絶縁体214よりも基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体214よりも基板側に、拡散するのを抑制することができる。なお、絶縁体214は、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、酸化アルミニウムと窒化シリコンとの積層としてもよい。

[0150]

また、例えば、絶縁体214として、スパッタリング法を用いて成膜した、窒化シリコンを用いることが好ましい。これにより、絶縁体214中の水素濃度を低くことができ、水、水素などの不純物が、絶縁体214よりも基板側からトランジスタ200側に拡散するのをより抑制することができる。

[0151]

層間膜として機能する絶縁体216は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0152]

また、絶縁体216は、水素濃度が低く、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう。）または加熱により離脱する酸素（以下、過剰酸素ともいう。）を有することが好ましい。

[0153]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物（以下、過剰酸素領域を有する絶縁体材料ともいう）とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0154]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリ

コン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0155]

例えば、絶縁体216として、スパッタリング法を用いて成膜した酸化シリコンを用いることが好ましい。これにより、酸化物230への水素の混入を抑制することができる、または、酸化物230に酸素を供給し、酸化物230中の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

[0156]

なお、絶縁体216を積層構造にしてもよい。例えば、絶縁体216において、少なくとも導電体205の側面と接する部分に、絶縁体214と同様の絶縁体を設ける構成にしてもよい。このような構成にすることで、絶縁体216に含まれる酸素によって、導電体205が酸化するのを抑制することができる。または、導電体205により、絶縁体216に含まれる酸素量が減少するのを抑制することができる。

[0157]

絶縁体280は、絶縁体224、酸化物230、および導電体240上に設けられる。また、絶縁体280の上面は、平坦化されていてもよい。

[0158]

なお、酸化物半導体を用いたトランジスタにおいて、トランジスタを構成する導電体、またはトランジスタと接続するプラグや配線に用いられる導電体に、酸化物半導体の酸素が徐々に吸収され、継時的変化の一つとして、酸素欠損を生じる場合がある。

[0159]

そこで、該トランジスタの酸化物半導体の近傍に、過剰酸素領域を有する構造体を設けることが好ましい。酸化物半導体に生じた酸素欠損に、該過剰酸素領域を有する構造体の過剰酸素を拡散することで、該酸素欠損を補償することができる。

[0160]

具体的には、トランジスタ200の近傍に設けられる層間膜として機能する絶縁体280に、酸素を含む絶縁体を用いる。特に、絶縁体280には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体280には、過剰酸素領域が形成されていることが好ましい。

[0161]

絶縁体280に過剰酸素領域を設けるには、絶縁体280に、酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入し、酸素を過剰に含有する領域を形成する。

[0162]

具体的に、酸素導入処理の一例として、絶縁体280上に、スパッタリング装置を用いて、金属酸化物を積層する方法がある。例えば、絶縁体282を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体282を成膜しながら、絶縁体280に酸素を導入することができる。

[0163]

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0164]

絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。なお、絶縁体280は、2層以上の積層構造を有していてもよい。

[0165]

絶縁体282は、絶縁体214などと同様に、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制する絶縁性バリア膜として機能することが好ましい。また、絶縁体282は、絶縁体214などと同様に、水素濃度が低く、水素の拡散を抑制する機能を有することが好ましい。

[0166]

特に、絶縁体280として、酸化窒化シリコンを用いた場合、絶縁体282として、酸化アルミニウムを用いることが好ましい。酸化窒化シリコン膜上に、スパッタリング法により酸化アルミニウム膜を成膜することで、被成膜物である酸化シリコンに過剰酸素領域を形成することができる。

[0167]

また、酸化アルミニウムは、酸素の拡散を抑制する機能を有する場合がある。特に、酸化窒化シリコンと比較した場合、酸化アルミニウムは、酸素、または、水、水素などの不純物の拡散を抑制する機能を有する。

[0168]

従って、絶縁体282に、酸化アルミニウムを用いることで、水、水素などの不純物が、絶縁体282よりも上方からトランジスタ200側に拡散するのを抑制することができる。

[0169]

また、図3Bに示すように、絶縁体282は、導電体260、絶縁体250、および酸化物230cのそれぞれの上表面と接することが好ましい。これにより、絶縁体284などに含まれる水素などの不純物が、絶縁体250へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

[0170]

絶縁体282の上に、層間膜として機能する絶縁体284を設けることが好ましい。絶縁体284は、絶縁体216などと同様に、誘電率が低いことが好ましい。また、絶縁体284は、絶縁体224などと同様に、膜中の水、水素などの不純物濃度が低減されていることが好ましい。

[0171]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0172]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0173]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0174]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0175]

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0176]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0177]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0178]

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)

層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0179]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0180]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0181]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0182]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0183]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0184]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0185]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

[0186]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、

電気特性が不安定となる場合がある。

[0187]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0188]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0189]

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、EDXを用いた元素分析により得られる上記不純物の濃度を、 $1.0 \text{ atomic\%}$ 以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、 0.10 未満、好ましくは 0.05 未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0190]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0191]

また、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $\text{V}_\text{O}\text{H}$ を形成する場合がある。 $\text{V}_\text{O}\text{H}$ はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。

[0192]

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0193]

つまり、金属酸化物中の $\text{V}_\text{O}\text{H}$ をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 $\text{V}_\text{O}\text{H}$ が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 $\text{V}_\text{O}\text{H}$ などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0194]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半

導体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0195]

特に、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0196]

酸素欠損に水素が入った欠陥 (V_OH) は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0197]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0198]

また、チャネル形成領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0199]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0200]

<半導体装置の変形例>

以下では、図4を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0201]

ここで、図4の(A)は上面図を示す。また、図4Bは図4Aに示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、図4Cは、図4AにA3-A4の一点鎖線で示す部位に対応する断面図である。図4Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0202]

図4に示す半導体装置は、図3に示した半導体装置とは、酸化物230bが積層構造であることが異なる。また、酸化物230cが単層構造であることが異なる。また、絶縁体273、および絶縁体274を有することが異なる。

[0203]

酸化物230bは、2層以上の積層構造を有していてもよい。例えば、図4では、酸化物230bの第1の酸化物と、酸化物230bの第1の酸化物の上に配置された酸化物230bの第2の酸化物と、を有する。

[0204]

具体的には、酸化物230bの第2の酸化物は、酸化物230bの第1の酸化物と、ソース電極またはドレイン電極として機能する導電体240（導電体240aおよび導電体240b）と、の間に設けるとよい。当該構造において、酸化物230bの第2の酸化物は、酸素の透過を抑制する機能を有することが好ましい。

[0205]

従って、ソース電極やドレイン電極として機能する導電体240と酸化物230bの第1の酸化物との間に酸素の透過を抑制する機能を有する酸化物230bの第2の酸化物を配置することで、導電体240と、酸化物230bの第1の酸化物との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。

[0206]

つまり、導電体240と、酸化物230bの第1の酸化物とが接しない構成となるので、導電体240が、酸化物230bの第1の酸化物の酸素を吸収することを抑制できる。導電体240の酸化を防止することで、導電体240の導電率の低下を抑制することができる。

[0207]

酸化物230bの第2の酸化物として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物230bの第2の酸化物は、酸化物230bの第1の酸化物よりも元素Mの濃度が高いことが好ましい。また、酸化物230bの第2の酸化物として、酸化ガリウムを用いてもよい。また、酸化物230bの第2の酸化物として、 $In-M-Zn$ 酸化物等の金属酸化物を用いてもよい。

[0208]

具体的には、酸化物230bの第2の酸化物に用いる金属酸化物において、 In に対する元素Mの原子数比が、酸化物230bの第1の酸化物に用いる金属酸化物における、 In に対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bの第2の酸化物の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは、1nm以上3nm以下である。また、酸化物23

0 b の第 2 の酸化物は、結晶性を有すると好ましい。酸化物 2 3 0 b の第 2 の酸化物が、結晶性を有する場合、酸化物 2 3 0 b の第 1 の酸化物中の酸素の放出を低減することが出来る。例えば、酸化物 2 3 0 b の第 2 の酸化物としては、六方晶などの結晶構造であれば、酸化物 2 3 0 b の第 1 の酸化物中の酸素の放出を抑制できる場合がある。

[0 2 0 9]

また、導電体 2 4 0（導電体 2 4 0 a、および導電体 2 4 0 b）と酸化物 2 3 0 とが接することで、酸化物 2 3 0 中の酸素が導電体 2 4 0 へ拡散し、導電体 2 4 0 が酸化する場合がある。導電体 2 4 0 が酸化することで、導電体 2 4 0 の導電率が低下する蓋然性が高い。なお、酸化物 2 3 0 中の酸素が導電体 2 4 0 へ拡散することを、導電体 2 4 0 が酸化物 2 3 0 中の酸素を吸収する、と言い換えることができる。

[0 2 1 0]

また、酸化物 2 3 0（代表的には酸化物 2 3 0 b）中の酸素が導電体 2 4 0 へ拡散することで、導電体 2 4 0 と酸化物 2 3 0 との間に異層が形成される場合がある。当該異層は、導電体 2 4 0 よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体 2 4 0 と、当該異層と、酸化物 2 3 0 との 3 層構造は、金属－絶縁体－半導体からなる 3 層構造とみなすことができ、MIS（Metal－Insulator－Semiconductor）構造と呼ぶ、または MIS 構造を主としたダイオード接合構造と呼ぶ場合がある。

[0 2 1 1]

また、導電体 2 4 0 の上面と、酸化物 2 3 0 a、酸化物 2 3 0 b、および導電体 2 4 0 の側面とを覆うように、バリア性を有する絶縁体 2 7 3 を設けてもよい。なお、絶縁体 2 7 3 を設ける場合、絶縁体 2 4 5 は必ずしも設けなくともよい。

[0 2 1 2]

例えば、酸化物 2 3 0 の導電体 2 4 0 と重畳する領域は、導電体 2 4 0 の金属元素が添加、または導電体 2 4 0 に酸素が吸収され酸素欠損が生じる。つまり、酸化物 2 3 0 の導電体 2 4 0 と接する面近傍は、局地的に低抵抗化する場合がある。酸化物 2 3 0 と導電体 2 4 0 とが重畳する領域が低抵抗化することで、トランジスタ 2 0 0 のオン電流を向上させることができる。

[0 2 1 3]

一方、絶縁体 2 8 0 が有する過剰酸素は、導電体 2 4 0 と重畳する領域の酸化物 2 3 0 における側面から、酸化物 2 3 0 へと拡散するため、導電体 2 4 0 と重畳する領域の酸化物 2 3 0 に生じた局地的な低抵抗化領域が減少し、トランジスタ 2 0 0 のオン電流が低下する場合がある。

[0 2 1 4]

そこで、絶縁体 2 7 3 を設けることで、導電体 2 4 0 と重畳する領域の酸化物 2 3 0 における側面から、絶縁体 2 8 0 が有する過剰酸素が供給されることを抑制することができる。一方で、絶縁体 2 8 0 が有する過剰酸素は、酸化物 2 3 0 c を介して、酸化物 2 3 0 b のチャネル形成領域へと供給することができる。従って、酸化物 2 3 0 の導電体 2 4 0 と接する面近傍に生じた低抵抗化領域が減少することなく、酸化物 2 3 0 のチャネル形成領域に生じた酸素欠損を、効率よく補償することができる。

[0 2 1 5]

また、絶縁体 2 2 4 が過剰酸素領域を有している場合、酸化物 2 3 0 において、酸化物 2 3 0 a を介して、絶縁体 2 2 4 が有する過剰酸素が酸化物 2 3 0 b へと拡散する。つまり、酸化物 2 3 0

a 側から、過剰酸素を供給することができる。従って、酸化物 230 の導電体 240 と接する面近傍に生じた低抵抗化領域の減少を抑制しながら、酸化物 230 のチャネル形成領域に生じた酸素欠損を、補償することができる。

[0216]

なお、絶縁体 273 は、スパッタリング装置を用いて成膜した酸化アルミニウム膜を用いるとよい。絶縁体 273 として、酸化アルミニウム膜を、酸素ガス雰囲気下で成膜を行うことで、絶縁体 273 を成膜しながら、絶縁体 224 に過剰酸素を導入することができる。

[0217]

また、絶縁体 273 上に絶縁体 274 を設けてもよい。なお、絶縁体 274 は、絶縁体 273 と同様に、酸素の拡散を抑制する機能を有することが好ましい。

[0218]

具体的には、スパッタリング法で成膜した絶縁体 273 は、被膜性が低い。従って、絶縁体 274 は、ALD 法を用いて、成膜することが好ましい。ALD 法は、段差被覆性と、厚さの均一性に優れた膜を成膜できるため、被処理物の形状の影響を受けにくく、良好な段差被覆性を有するためである。

[0219]

なお、＜半導体装置の変形例＞において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、当該項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0220]

以上より、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。また、微細化または高集積化が可能な半導体装置を提供することができる。また、低消費電力の半導体装置を提供することができる。

[0221]

以上、本実施の形態に示す構成、方法などは、他の実施の形態や実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0222]

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 5 および図 6 を用いて説明する。

[0223]

[記憶装置 1]

本発明の一態様である容量素子を使用した、半導体装置（記憶装置）の一例を図 5 に示す。本発明の一態様の半導体装置は、トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 200 の上方に設けられている。容量素子 100、またはトランジスタ 300 は、少なくとも一部がトランジスタ 200 と重畳することが好ましい。これにより、容量素子 100、トランジスタ 200、およびトランジスタ 300 の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。なお、本実施の形態に係る半導体装置は、例えば、CPU (Central Processing Unit) または GPU (Graphics Processing Unit) に代表されるロジック回路、あるいは DRAM (Dynamic Random Access Memory)

またはNVM (Non-Volatile Memory) に代表されるメモリ回路に適用することができる。

[0224]

なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。よって、トランジスタ200、およびトランジスタ200を含む層については、先の実施の形態の記載を参酌することができる。

[0225]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。また、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、高温における電気特性が良好である。例えば、トランジスタ200は、125℃乃至150℃の温度範囲においても良好な電気特性を示す。また、125℃乃至150℃の温度範囲において、トランジスタ200は、トランジスタのオン／オフ比が10桁以上を有する。別言すると、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、トランジスタ特性の一例であるオン電流、周波数特性などが高温になるほど優れた特性を有する。

[0226]

図5に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続され、配線1007はトランジスタ300のゲートと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0227]

図5に示す半導体装置は、トランジスタ200のスイッチングによって、容量素子100の電極の一方に充電された電荷が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。また、トランジスタ200は、ソース、ゲート（トップゲート）、ドレインに加え、バックゲートが設けられた素子である。すなわち、4端子素子であるため、MTJ (Magnetic Tunnel Junction) 特性を利用したMRAM (Magnetoresistive Random Access Memory)、ReRAM (Resistive Random Access Memory)、相変化メモリ (Phase-change memory) などに代表される2端子素子と比較して、入出力の独立制御が簡便に行うことができるといった特徴を有する。また、MRAM、ReRAM、相変化メモリは、情報の書き換えの際に、原子レベルで構造変化が生じる場合がある。一方で図5に示す半導体装置は、情報の書き換えの際にトランジスタ及び容量素子を利用した電子のチャージ、またはディスチャージにより動作するため、繰り返し書き換え耐性に優れ、構造変化も少ないといった特徴を有する。

[0228]

また、図5に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成する

ことができる。この場合、トランジスタ300は、当該メモリセルアレイに接続される読み出し回路、または駆動回路などとして用いることができる。また、図5に示す半導体装置は、上述のようにメモリセルアレイを構成している。図5に示す半導体装置をメモリ素子として用いた場合、例えば、駆動電圧が2.5V、評価環境温度が−40℃乃至85℃の範囲において、200MHz以上の動作周波数を実現することができる。

[0229]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲート電極として機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、ならびにソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0230]

ここで、半導体領域313の上に絶縁体315が配置され、絶縁体315の上に導電体316が配置される。また、同じ層に形成されるトランジスタ300は、素子分離絶縁層として機能する絶縁体312によって、電氣的に分離されている。絶縁体312は、後述する絶縁体326などと同様の絶縁体を用いることができる。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0231]

基板311は、半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0232]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0233]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0234]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0235]

ここで、図5に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0236]

なお、図5に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0237]

また、図5に示すように半導体装置は、トランジスタ300と、トランジスタ200とを、積層して設けている。例えば、トランジスタ300をシリコン系半導体材料で形成し、トランジスタ200を酸化物半導体で形成することができる。このように、図5に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、異なるレイヤーに混載して形成することが可能である。また、図5に示す半導体装置は、シリコン系半導体材料で用いる製造装置と同様のプロセスで作製することが可能であり、高集積化することも可能である。

[0238]

<容量素子>

容量素子100は、絶縁体160上の絶縁体114と、絶縁体114上の絶縁体140と、絶縁体114および絶縁体140に形成された開口の中に配置された導電体110と、導電体110および絶縁体140上の絶縁体130と、絶縁体130上の導電体120と、導電体120および絶縁体130上の絶縁体150と、を有する。ここで、絶縁体114および絶縁体140に形成された開口の中に導電体110、絶縁体130、および導電体120の少なくとも一部が配置される。

[0239]

導電体110は容量素子100の下部電極として機能し、導電体120は容量素子100の上部電極として機能し、絶縁体130は、容量素子100の誘電体として機能する。容量素子100は、絶縁体114および絶縁体140の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0240]

絶縁体114、および絶縁体150は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体140は、絶縁体114の開口を形成するときのエッチングストップとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

[0241]

絶縁体114および絶縁体140に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよい

し、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ 200 の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子 100 とトランジスタ 200 を有する半導体装置の占有面積を低減することができる。

[0242]

導電体 110 は、絶縁体 140、および絶縁体 114 に形成された開口に接して配置される。導電体 110 の上面は、絶縁体 140 の上面と略一致することが好ましい。また、導電体 110 の下面には、絶縁体 160 上に設けられた導電体 152 が接する。導電体 110 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0243]

絶縁体 130 は、導電体 110 および絶縁体 140 を覆うように配置される。例えば、ALD 法または CVD 法などを用いて絶縁体 130 を成膜することが好ましい。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体 130 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0244]

また、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率 (high-k) 材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (high-k) 材料の積層構造を用いてもよい。

[0245]

なお、高誘電率 (high-k) 材料 (高い比誘電率の材料) の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このような high-k 材料を用いることで、絶縁体 130 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 130 を厚くすることにより、導電体 110 と導電体 120 の間に生じるリーク電流を抑制することができる。

[0246]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD 法を用いて成膜した窒化シリコン (SiN_x)、PEALD 法を用いて成膜した酸化シリコン (SiO_x)、ALD 法を用いて成膜した窒化シリコン (SiN_x) の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0247]

導電体 120 は、絶縁体 140 および絶縁体 114 に形成された開口を埋めるように配置される。また、導電体 120 は、導電体 112、および導電体 153 を介して配線 1005 と電氣的に接続

している。導電体１２０は、ＡＬＤ法またはＣＶＤ法などを用いて成膜することが好ましく、例えば、導電体２０５に用いることができる導電体を用いればよい。

[０２４８]

また、トランジスタ２００は、酸化物半導体を用いる構成であるため、容量素子１００との相性が優れている。具体的には、酸化物半導体を用いるトランジスタ２００は、オフ電流が小さいため、容量素子１００と組み合わせて用いることで長期にわたり記憶内容を保持することが可能である。

[０２４９]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[０２５０]

例えば、トランジスタ３００上には、層間膜として、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６が順に積層して設けられている。また、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６には、端子として機能する導電体１５３と電氣的に接続する導電体３２８、および導電体３３０等が埋め込まれている。なお、導電体３２８、および導電体３３０はプラグ、または配線として機能する。

[０２５１]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

[０２５２]

絶縁体３２６、および導電体３３０上に、配線層を設けてもよい。例えば、図５において、絶縁体３５０、絶縁体３５２、および絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、および絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線として機能する。

[０２５３]

絶縁体３５４、および導電体３５６上には、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６が順に積層して設けられている。また、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６には、導電体２１８、及びトランジスタ２００を構成する導電体（導電体２０５）等が埋め込まれている。なお、導電体２１８は、トランジスタ３００と電氣的に接続するプラグ、または配線として機能する。

[０２５４]

また、絶縁体１１４、絶縁体１４０、絶縁体１３０、絶縁体１５０、および絶縁体１５４には、導電体１１２、および容量素子１００を構成する導電体（導電体１２０、導電体１１０）等が埋め込まれている。なお、導電体１１２は、容量素子１００、トランジスタ２００、またはトランジスタ３００と、端子として機能する導電体１５３と、を電氣的に接続するプラグ、または配線として機能する。

[0255]

また、絶縁体154上に導電体153が設けられ、導電体153は、絶縁体156に覆われている。ここで、導電体153は導電体112の上面に接しており、容量素子100、トランジスタ200、またはトランジスタ300の端子として機能する。

[0256]

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0257]

例えば、絶縁体320、絶縁体322、絶縁体326、絶縁体352、絶縁体354、絶縁体212、絶縁体114、絶縁体150、絶縁体156等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。

[0258]

また、導電体152または導電体153の上または下に設けられる絶縁体の抵抗率が $1.0 \times 10^{12} \Omega \text{ cm}$ 以上 $1.0 \times 10^{15} \Omega \text{ cm}$ 以下、好ましくは $5.0 \times 10^{12} \Omega \text{ cm}$ 以上 $1.0 \times 10^{14} \Omega \text{ cm}$ 以下、より好ましくは $1.0 \times 10^{13} \Omega \text{ cm}$ 以上 $5.0 \times 10^{13} \Omega \text{ cm}$ 以下であることが好ましい。導電体152または導電体153の上または下に設けられる絶縁体の抵抗率を上記の範囲にすることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ200、トランジスタ300、容量素子100、および導電体152等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタ、該トランジスタを有する半導体装置の特性不良や静電破壊を抑制することができ、好ましい。このような絶縁体として、窒化シリコン、または窒化酸化シリコンを用いることができる。例えば、絶縁体160または絶縁体154の抵抗率を上記の範囲にすればよい。

[0259]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体324、絶縁体350、絶縁体210等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0260]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタ

ンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0261]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0262]

例えば、導電体328、導電体330、導電体356、導電体218、導電体112、導電体152、導電体153等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0263]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0264]

例えば、図5では、過剰酸素を有する絶縁体280と、導電体248との間に、絶縁体247を設けるとよい。絶縁体247と、絶縁体282とが接して設けられることで、導電体248、およびトランジスタ200が、バリア性を有する絶縁体によって、封止される構造とすることができる。

[0265]

つまり、絶縁体247を設けることで、絶縁体280が有する過剰酸素が、導電体248に吸収されることを抑制することができる。また、絶縁体247を有することで、不純物である水素が、導電体248を介して、トランジスタ200へ拡散することを抑制することができる。

[0266]

ここで、導電体248は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

[0267]

具体的には、絶縁体284、絶縁体282、および絶縁体280の開口の側壁に接して、絶縁体247が設けられ、その側面に接して導電体248が形成されている。当該開口の底部の少なくとも一部には導電体240が位置しており、導電体248が導電体240と接する。

[0268]

導電体 248 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 248 は積層構造としてもよい。なお、トランジスタ 200 では、導電体 248 を、2 層の積層構造として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 248 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。

[0269]

また、導電体 248 を積層構造とする場合、導電体 240 と接し、かつ、絶縁体 280、絶縁体 282、および絶縁体 284 と、絶縁体 247 を介して接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 280 に添加された酸素が導電体 248 に吸収されるのを防ぐことができる。また、絶縁体 284 より上層に含まれる、水、水素などの不純物が、導電体 248 を通じて酸化物 230 に拡散するのを抑制することができる。

[0270]

絶縁体 247 としては、例えば、絶縁体 214 等に用いることができる絶縁体を用いればよい。絶縁体 247 は、絶縁体 280 などに含まれる水、水素などの不純物が、導電体 248 を通じて酸化物 230 に拡散するのを抑制することができる。また、絶縁体 280 に含まれる酸素が導電体 248 に吸収されるのを防ぐことができる。

[0271]

また、図示しないが、導電体 248 の上面に接して配線として機能する導電体 152 を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0272]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。また、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。また、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。また、消費電力が低減された半導体装置を提供することができる。

[0273]

[記憶装置 2]

本発明の一態様である半導体装置を使用した、半導体装置（記憶装置）の一例を図 6 に示す。図 6 に示す半導体装置は、図 5 で示した半導体装置と同様に、トランジスタ 200、トランジスタ 300、および容量素子 100 を有する。ただし、図 6 に示す半導体装置は、容量素子 100 がプレーナ型である点、およびトランジスタ 200 とトランジスタ 300 が電氣的に接続されている点において、図 5 に示す半導体装置と異なる。

[0274]

本発明の一態様の半導体装置は、トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

[0275]

なお、トランジスタ200およびトランジスタ300として、上記のトランジスタ200およびトランジスタ300を用いることができる。よって、トランジスタ200、トランジスタ300、およびこれらを含む層については、上記の記載を参酌することができる。

[0276]

図6に示す半導体装置において、配線2001はトランジスタ300のソースと電氣的に接続され、配線2002はトランジスタ300のドレインと電氣的に接続されている。また、配線2003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線2004はトランジスタ200の第1のゲートと電氣的に接続され、配線2006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線2005は容量素子100の電極の他方と電氣的に接続されている。なお、以下において、トランジスタ300のゲートと、トランジスタ200のソースおよびドレインの他方と、容量素子100の電極の一方と、が接続されたノードをノードFGと呼ぶ場合がある。

[0277]

図6に示す半導体装置は、トランジスタ200のスイッチングによって、トランジスタ300のゲート（ノードFG）の電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

[0278]

また、図6に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0279]

トランジスタ300を含む層は、図5に示す半導体装置と同様の構造を有するので、絶縁体354より下の構造は、上記の記載を参酌することができる。

[0280]

絶縁体354の上に、絶縁体210、絶縁体212、絶縁体214、および絶縁体216が配置される。ここで、絶縁体210は、絶縁体350などと同様に、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0281]

絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218が埋め込まれている。導電体218は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。例えば、導電体218は、トランジスタ300のゲート電極として機能する導電体316と電氣的に接続されている。

[0282]

また、導電体248は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。例えば、導電体248は、トランジスタ200のソースおよびドレインの他方として機能する導電体240bと、容量素子100の電極の一方として機能する導電体110を、導電体248を介して電氣的に接続している。

[0283]

また、プレーナ型の容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130を有する。なお、導電体110、導電体120、および絶縁体130は、上述の記憶装置1で記載したものをを用いることができる。

[0284]

導電体248の上面に接して導電体153および導電体110が設けられる。導電体153は、導電体248の上面に接しており、トランジスタ200またはトランジスタ300の端子として機能する。

[0285]

導電体153および導電体110は絶縁体130に覆われており、絶縁体130を介して導電体110と重なるように導電体120が配置される。さらに、導電体120、および絶縁体130上には、絶縁体114が配置されている。

[0286]

また、図6において、容量素子100として、プレーナ型の容量素子を用いる例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、容量素子100として、図5に示すようなシリンダ型の容量素子100を用いてもよい。

[0287]

[記憶装置3]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図7に示す。図7に示す記憶装置は、図6で示したトランジスタ200、トランジスタ300、および容量素子100を有する半導体装置に加え、トランジスタ400を有している。

[0288]

トランジスタ400は、トランジスタ200の第2のゲート電圧を制御することができる。例えば、トランジスタ400の第1のゲート及び第2のゲートをソースとダイオード接続し、トランジスタ400のソースと、トランジスタ200の第2のゲートを接続する構成とする。当該構成でトランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲートーソース間の電圧および、第2のゲートーソース間の電圧は、0Vになる。トランジスタ400において、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流が非常に小さいため、トランジスタ200およびトランジスタ400に電源供給をしなくても、トランジスタ200の第2のゲートの負電位を長時間維持することができる。これにより、トランジスタ200、およびトランジスタ400を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

[0289]

従って、図7において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ

200のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲート（バックゲート）と電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲート（バックゲート）と電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

[0290]

また、図7に示す記憶装置は、図5及び図6に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1個のトランジスタ400は、複数のトランジスタ200の第2のゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[0291]

<トランジスタ400>

トランジスタ400は、トランジスタ200と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、第1のゲート電極として機能する導電体460（導電体460a、および導電体460b）と、第2のゲート電極として機能する導電体405と、ゲート絶縁層として機能する絶縁体222、絶縁体224、および絶縁体450と、チャンネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する導電体440a、酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する導電体440b、酸化物432a、および酸化物432bと、バリア層として機能する絶縁体445a、および445bと、を有する。

[0292]

トランジスタ400において、導電体405は、導電体205と、同じ層である。酸化物431a、および酸化物432aと、酸化物230aと、同じ層であり、酸化物431b、および酸化物432bと、酸化物230bと、同じ層である。導電体440（導電体440a、および導電体440b）は、導電体240と、同じ層である。絶縁体445（絶縁体445a、および絶縁体445b）は、絶縁体245と、同じ層である。酸化物430cは、酸化物230cと、同じ層である。絶縁体450は、絶縁体250と、同じ層である。導電体460は、導電体260と、同じ層である。

[0293]

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物430cは、酸化物230cとなる酸化膜を加工することで、形成することができる。

[0294]

トランジスタ400の活性層として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧を0Vより大きくし、オフ電流を低減し、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

[0295]

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[0296]

(実施の形態3)

本実施の形態では、図8および図9を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0297]

<記憶装置の構成例>

図8AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0298]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0299]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0300]

コントロールロジック回路1460は、外部からの入力信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0301]

メモリセルアレイ1470は、行列状に配置された、複数個のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメ

メモリセルMCの数などによって決まる。

[0302]

なお、図8Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図8Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0303]

図9に上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0304]

[DOSRAM]

図9A乃至図9Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図9Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0305]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0306]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0307]

ここで、図9Aに示すメモリセル1471は、図5に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量素子100に、配線BILは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に対応している。なお、図5に記載のトランジスタ300は、図8A、および図8Bに示す記憶装置1400の周辺回路1411に設けられるトランジスタに対応する。

[0308]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図9Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図9Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0309]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0310]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0311]

[NOSRAM]

図9D乃至図9Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図9Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0312]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0313]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0314]

ここで、図9Dに示すメモリセル1474は、図6に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線2003に、配線WOLは配線2004に、配線BGLは配線2006に、配線CALは配線2005に、配線RBLは配線2002に、配線SLは配線2001に対応している。

[0315]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図9Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図9Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図9Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0316]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に低くすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0317]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0318]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0319]

また、図9Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図9Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0320]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0321]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0322]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に低くすることができる。

[0323]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0324]

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

[0325]

(実施の形態4)

本実施の形態では、図10を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip : SoC）と呼ぶ場合がある。

[0326]

図10Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0327]

チップ1200には、バンプ（図示しない）が設けられ、図10Bに示すように、プリント基板（Printed Circuit Board : PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0328]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0329]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞ

れ一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、およびGPU 1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU 1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0330]

また、CPU 1211、およびGPU 1212が同一チップに設けられていることで、CPU 1211およびGPU 1212間の配線を短くすることができ、CPU 1211からGPU 1212へのデータ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0331]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0332]

メモリコントローラ1214は、DRAM 1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0333]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0334]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク用の回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0335]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0336]

GPU 1212を有するチップ1200が設けられたPCB 1201、DRAM 1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0337]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いるこ

とが好適である。また、GPU 1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0338]

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

[0339]

（実施の形態5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモ리카ード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図11にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0340]

図11AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0341]

図11BはSDカードの外観の模式図であり、図11Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0342]

図11DはSSDの外観の模式図であり、図11Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントロ

ーラチップ 1 1 5 6 のワークメモリであり、例えば D O S R A M チップを用いればよい。基板 1 1 5 3 の裏面側にもメモリチップ 1 1 5 4 を設けることで、S S D 1 1 5 0 の容量を増やすことができる。基板 1 1 5 3 のメモリチップ 1 1 5 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

[0 3 4 3]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[0 3 4 4]

(実施の形態 6)

本発明の一態様に係る半導体装置は、C P U や G P U などのプロセッサ、またはチップに用いることができる。図 1 2 に、本発明の一態様に係る C P U や G P U などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0 3 4 5]

< 電子機器・システム >

本発明の一態様に係る G P U またはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (D i g i t a l S i g n a g e : 電子看板) 、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る G P U またはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0 3 4 6]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0 3 4 7]

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの) を有していてもよい。

[0 3 4 8]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図 1 2 に、電子機器の例を示す。

[0 3 4 9]

[情報端末]

図 1 2 A には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5 1 0 0 は、筐体 5 1 0 1 と、表示部 5 1 0 2 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 1 0 2 に備えられ、ボタンが筐体 5 1 0 1 に備えられている。

[0350]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0351]

図12Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0352]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

[0353]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図12A、図12Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0354]

[ゲーム機]

図12Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0355]

また、図12Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0356]

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0357]

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

[0358]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0359]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0360]

図12C、図12Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0361]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0362]

図12Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図12Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0363]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0364]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0365]

図12E、図12Fでは、大型コンピュータの一例としてスーパーコンピュータを図示している

が、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0366]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0367]

図12Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図12Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0368]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0369]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0370]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0371]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0372]

[電化製品]

図12Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0373]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵

庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0374]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0375]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0376]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[実施例 1]

[0377]

本実施例では、酸化物半導体を含むトランジスタ 200 を有する半導体装置を作製し、酸化物 230c に相当する酸化物膜の膜厚、および導電体 240 に相当する導電体の酸化膜厚を測定した。

[0378]

また、上記半導体装置は、導電体 240 に相当する導電体において、チャネル形成領域側の側端部の形状が異なる 3 種を作製した。

[0379]

<試料の作製方法>

以下に、トランジスタ 200 を有する半導体装置の作製方法を説明する。

[0380]

まず、酸化物 230a に相当する第 1 の酸化物として、In-Ga-Zn 酸化物をスパッタリング法により、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いて成膜した。続いて、第 1 の酸化物上に、酸化物 230b に相当する第 2 の酸化物として、In-Ga-Zn 酸化物をスパッタリング法により、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用いて成膜した後、In-Ga-Zn 酸化物をスパッタリング法により、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いて成膜することで、2 層の積層構造として形成した。なお、第 1 の酸化物と第 2 の酸化物とは、連続成膜した。

[0381]

続いて、第 2 の酸化物上に、導電体 240 に相当する導電体となる膜として、窒化タンタル膜を成膜した。

[0382]

その後、窒化タンタル膜、第 2 の酸化物、および第 1 の酸化物を加工し、酸化物 230a、酸化物 230b、および窒化タンタル層を形成した。

[0383]

次に、絶縁体 280 に相当する絶縁体を成膜し、CMP 処理を行ない、当該絶縁体を研磨し、当

該絶縁体の表面を平坦化した。

[0384]

ここで、絶縁体280に相当する絶縁体に開口部を形成した。続いて、当該開口部の底面に露出した導電層の一部を除去し、導電体240a、および導電体240bに相当する導電体を形成した。

[0385]

次に、酸化物230cに相当する第3の酸化物となる膜は、2層の積層構造として成膜した。当該第3の酸化物となる膜の第1膜として、In-Ga-Zn酸化物をスパッタリング法により、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用いて成膜した後、当該第3の酸化物となる膜の第2膜として、In-Ga-Zn酸化物をスパッタリング法により、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いて成膜した。

[0386]

なお、当該第3の酸化物となる膜の第1膜の膜厚は、平面に対し、8nm狙いとした。また、当該第3の酸化物となる膜の第2膜の膜厚も、平面に対し、8nm狙いとした。従って、第3の酸化物となる膜の膜厚が、16nmとなるように設定した。

[0387]

次に、絶縁体250に相当する絶縁体となる膜として、酸化窒化シリコン膜を成膜した。

[0388]

次に、絶縁体250となる酸化窒化シリコン膜上に、導電体260aに相当する導電体となる膜、および導電体260bに相当する導電体となる膜を成膜した。

[0389]

続いて、導電体260aに相当する導電体となる膜、および導電体260bに相当する導電体となる膜、絶縁体250に相当する絶縁体となる膜、および酸化物230cに相当する第3の酸化物となる膜を除去し、導電体260に相当する導電体、絶縁体250に相当する絶縁体、および酸化物230cに相当する酸化物を形成した。

[0390]

以上の工程より、酸化物半導体を含むトランジスタ200を有する半導体装置を作製した。

[0391]

<導電体240の側端部の酸化膜厚>

作製した半導体装置に対し、酸化物230cに相当する酸化物が、導電体240bに相当する導電体の側面と接する領域の膜厚、および、同領域において導電体240bが酸化した膜厚と、を測定した。

[0392]

なお、測定は、走査型透過電子顕微鏡 (STEM: Scanning Transmission Electron Microscope) により行った。観察用の装置は日立ハイテクノロジー社製HD-2700を用いた。

[0393]

図13に、実際に酸化物230cに相当する酸化物が成膜された厚み (酸化物230cに相当する酸化物の成膜膜厚) と、導電体240bに相当する導電体の側端部が酸化した厚み (導電体240bに相当する導電体の側端部の酸化膜厚) との関係を示した。

[0394]

図13に示すように、同じ条件により、酸化物230cに相当する膜を成膜した場合でも、被成膜物の形状により、被膜性が異なることがわかった。また、酸化物230cの被膜性が悪いほど、導電体240bに相当する膜の酸化量が増加することがわかった。

[0395]

本実施例は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0396]

100：容量素子、110：導電体、112：導電体、114：絶縁体、120：導電体、130：絶縁体、140：絶縁体、150：絶縁体、152：導電体、153：導電体、154：絶縁体、156：絶縁体、160：絶縁体、200：トランジスタ、205：導電体、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230b：酸化物、230c：酸化物、230c__1：酸化物、230c__2：酸化物、239：領域、240：導電体、240a：導電体、240b：導電体、245：絶縁体、245a：絶縁体、245b：絶縁体、247：絶縁体、248：導電体、250：絶縁体、260：導電体、260a：導電体、260b：導電体、273：絶縁体、274：絶縁体、280：絶縁体、282：絶縁体、284：絶縁体、300：トランジスタ、311：基板、312：絶縁体、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、400：トランジスタ、405：導電体、405a：導電体、405b：導電体、430c：酸化物、431a：酸化物、431b：酸化物、432a：酸化物、432b：酸化物、440：導電体、440a：導電体、440b：導電体、445：絶縁体、445a：絶縁体、445b：絶縁体、450：絶縁体、460：導電体、460a：導電体、460b：導電体、1001：配線、1002：配線、1003：配線、1004：配線、1005：配線、1006：配線、1007：配線、1008：配線、1009：配線、1010：配線、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、1200：チップ、1201：PCB、1202：パンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、1222：フラッシュメモリ、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、1460：コントロールロジック回路、1470：メモリセルアレイ、1471：メモリセル、1472：メモリセル、1473：メモリセル、1474：メモリセル、1475：メモリセル、1476：メモリセル、1477：メモリセル、1478：メモリセル、2001：配線、2002：配線、2003：配線、2004：配線、2005：配線、2006：配線、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型

情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

請求の範囲

[請求項 1]

第 1 の酸化物、第 2 の酸化物、第 1 の導電体、第 2 の導電体、第 3 の導電体、第 1 の絶縁体、第 2 の絶縁体、を有する半導体装置において、

前記第 1 の導電体、および前記第 2 の導電体は前記第 1 の酸化物上に接して設けられ、

前記第 1 の絶縁体は、前記第 1 の酸化物、前記第 1 の導電体、および前記第 2 の導電体を覆って設けられ、

前記第 1 の絶縁体は、開口部を有し、

前記開口部の底面には、前記第 1 の酸化物が露出し、

前記開口部の側面には、前記第 1 の導電体の側面、および前記第 2 の導電体の側面が露出し、

前記開口部内に、前記第 2 の酸化物は、前記第 1 の酸化物、前記第 1 の導電体の側面、および前記第 2 の導電体に接して設けられ、

前記開口部内に、前記第 2 の絶縁体は、前記第 2 の酸化物を介して設けられ、

前記開口部内に、前記第 3 の導電体は、前記第 2 の絶縁体を介して設けられ、

前記第 1 の導電体の側面、および前記第 2 の導電体の側面の下端部は、前記第 1 の酸化物よりも上方に中心を有する楕円または円に接する半導体装置。

[請求項 2]

第 1 の酸化物、第 2 の酸化物、第 1 の導電体、第 2 の導電体、第 3 の導電体、第 1 の絶縁体、第 2 の絶縁体、を有する半導体装置において、

前記第 1 の導電体、および前記第 2 の導電体は前記第 1 の酸化物上に接して設けられ、

前記第 1 の絶縁体は、前記第 1 の酸化物、前記第 1 の導電体、および前記第 2 の導電体を覆って設けられ、

前記第 1 の絶縁体は、開口部を有し、

前記開口部の底面には、前記第 1 の酸化物が露出し、

前記開口部の側面には、前記第 1 の導電体の側面、および前記第 2 の導電体の側面が露出し、

前記開口部内に、前記第 2 の酸化物は、前記第 1 の酸化物、前記第 1 の導電体の側面、および前記第 2 の導電体に接して設けられ、

前記開口部内に、前記第 2 の絶縁体は、前記第 2 の酸化物を介して設けられ、

前記開口部内に、前記第 3 の導電体は、前記第 2 の絶縁体を介して設けられ、

前記第 1 の導電体の側面、および前記第 2 の導電体の側面の下端部は、前記第 1 の酸化物よりも上方に曲率中心を有する円弧状の側面を有し、

前記曲率中心から前記第 1 の酸化物に対する垂線の長さは、前記円弧の曲率半径と概略等しい半導体装置。

[請求項 3]

請求項 2 において、

前記円弧状の側面の終端部を接点とした接平面と、第 1 の酸化物の上面と、がなす 2 面角は、 $0^\circ < \theta \leq 90^\circ$ である半導体装置。

[請求項 4]

請求項 2 または請求項 3 において、

前記第 1 の導電体の側面の上端部、および前記第 2 の導電体の側面の上端部は、前記円弧状の側

面の終端部を接点とした接平面と、概略一致する半導体装置。

[請求項 5]

請求項 2 乃至請求項 4 のいずれか一において、

前記曲率半径は、前記第 2 の酸化物の膜厚と、前記第 2 の絶縁体の膜厚との合計膜厚以上である半導体装置。

[請求項 6]

請求項 2 乃至請求項 5 のいずれか一において、

前記第 3 の導電体の底面と前記第 3 の導電体の側面とがなす辺と、前記曲率中心との水平距離 L が 0 以下である半導体装置。

[請求項 7]

請求項 1 乃至請求項 6 のいずれか一において、

前記第 2 の酸化物は、前記第 2 の絶縁体よりも、酸素に対するバリア性が高い半導体装置。

[請求項 8]

請求項 1 乃至請求項 7 のいずれか一において、

前記第 1 の酸化物は、 In-Ga-Zn 酸化物である半導体装置。

[請求項 9]

請求項 1 乃至請求項 8 のいずれか一において、

前記第 2 の酸化物は、 In-Ga-Zn 酸化物である半導体装置。

図1A

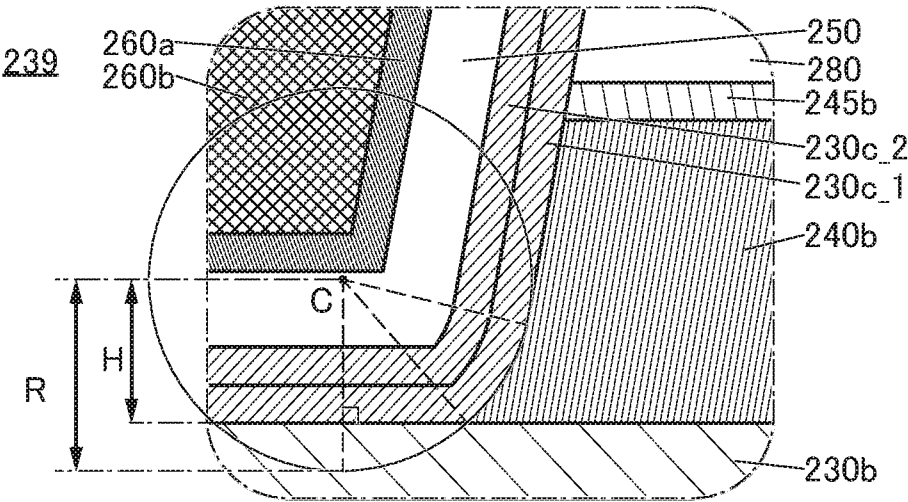
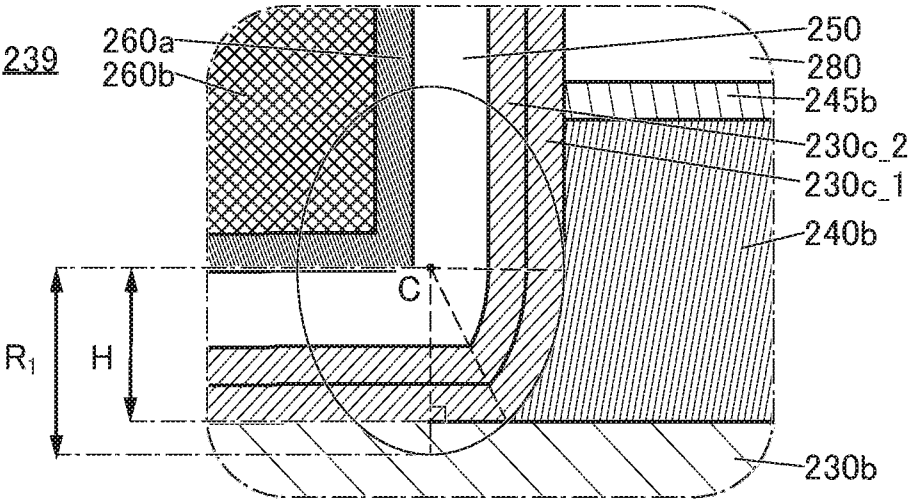


図1B



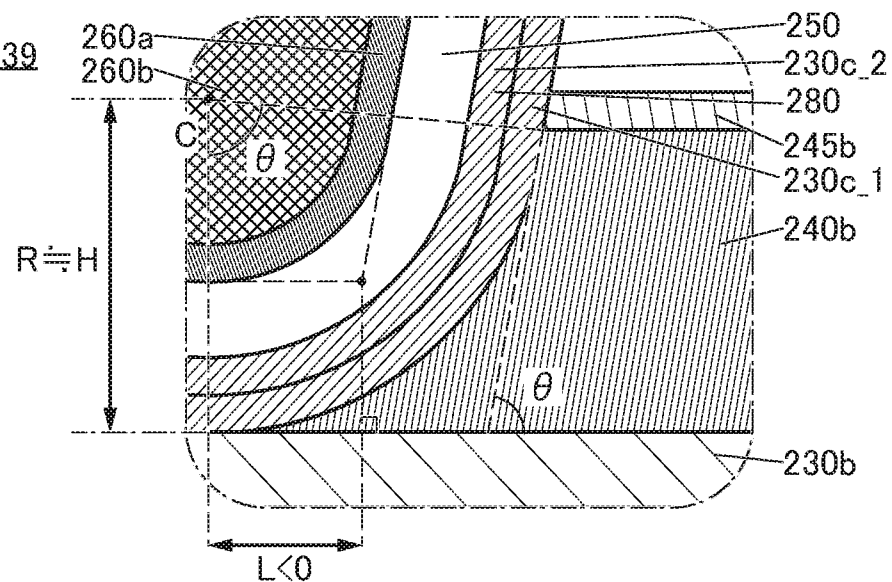
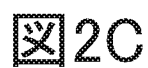
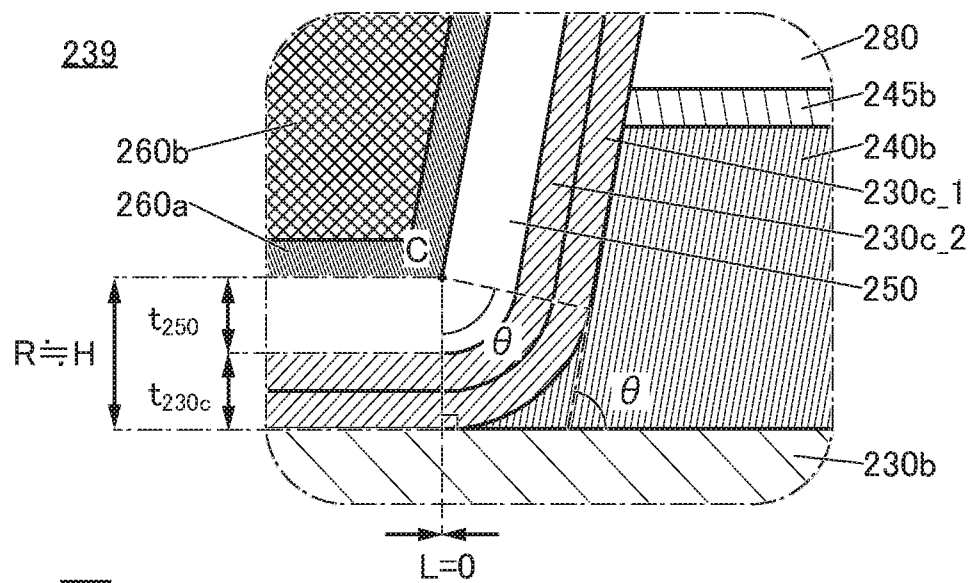
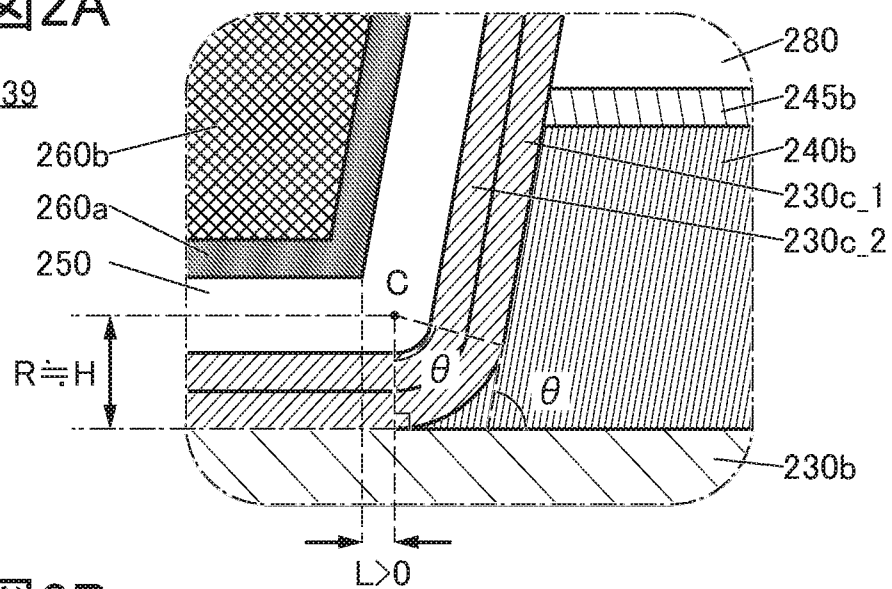


図3A

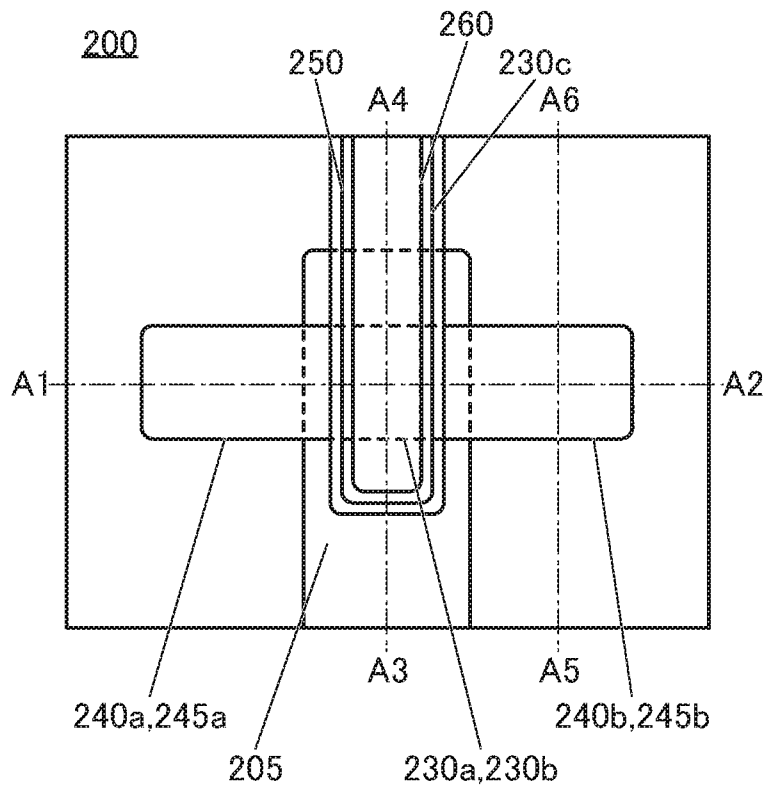


図3C

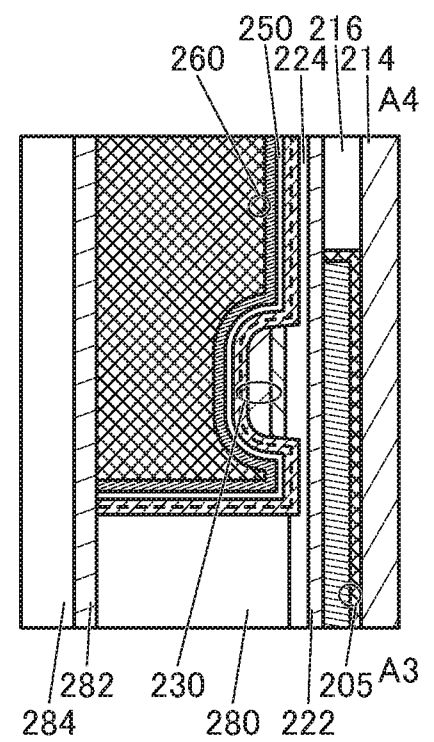


図3B

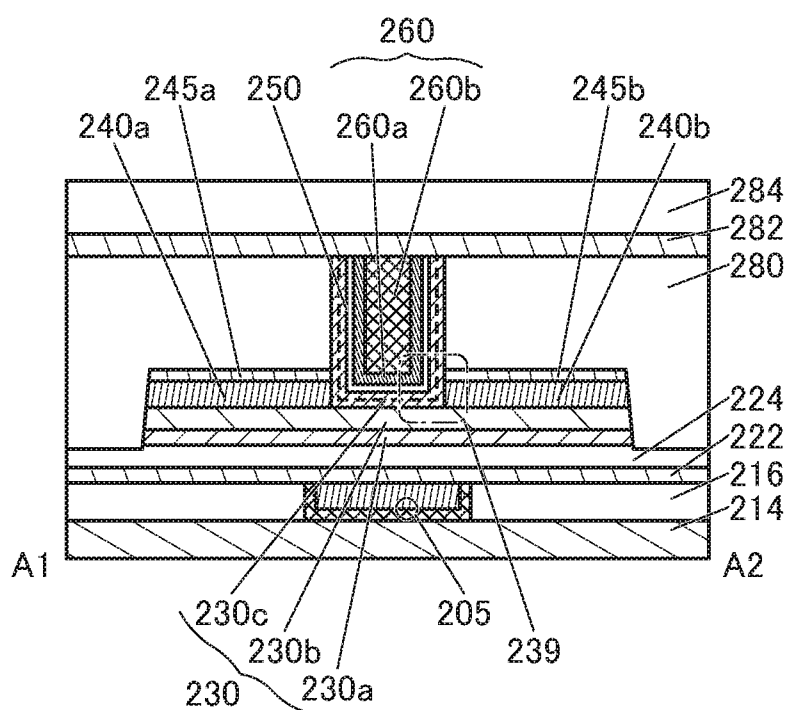


図4A

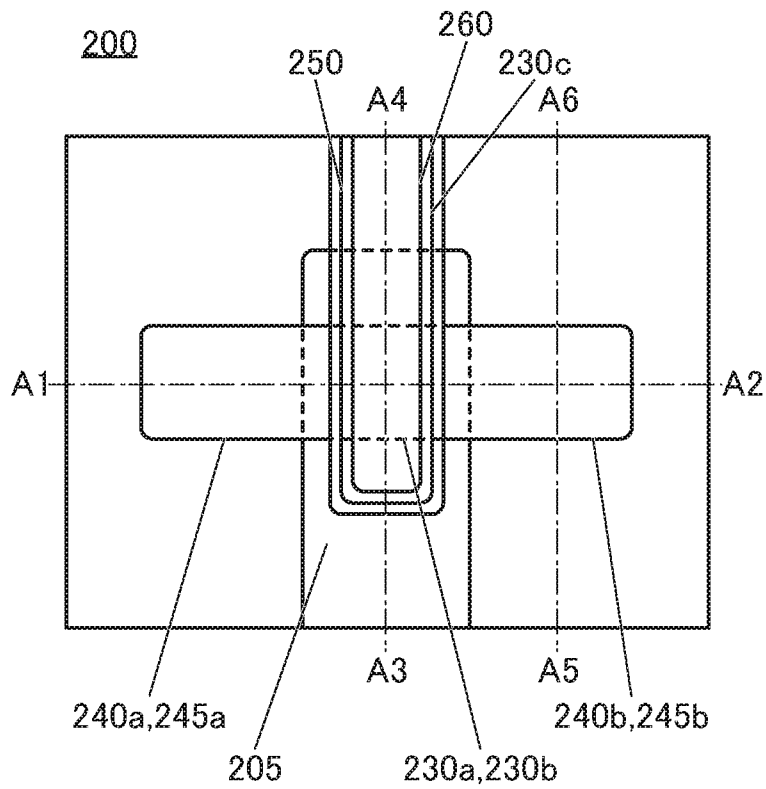


図4C

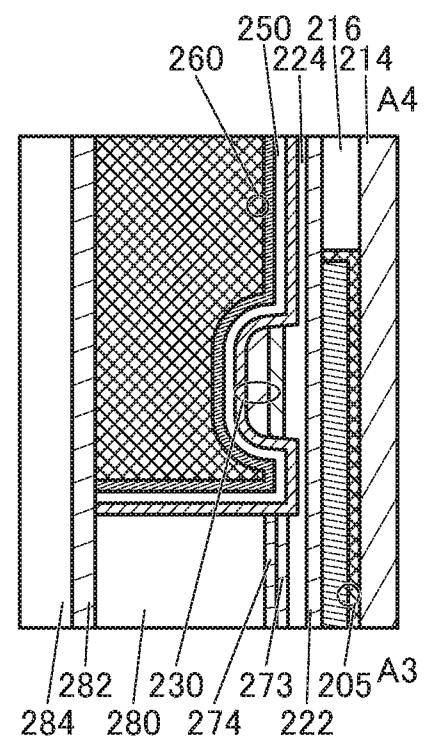
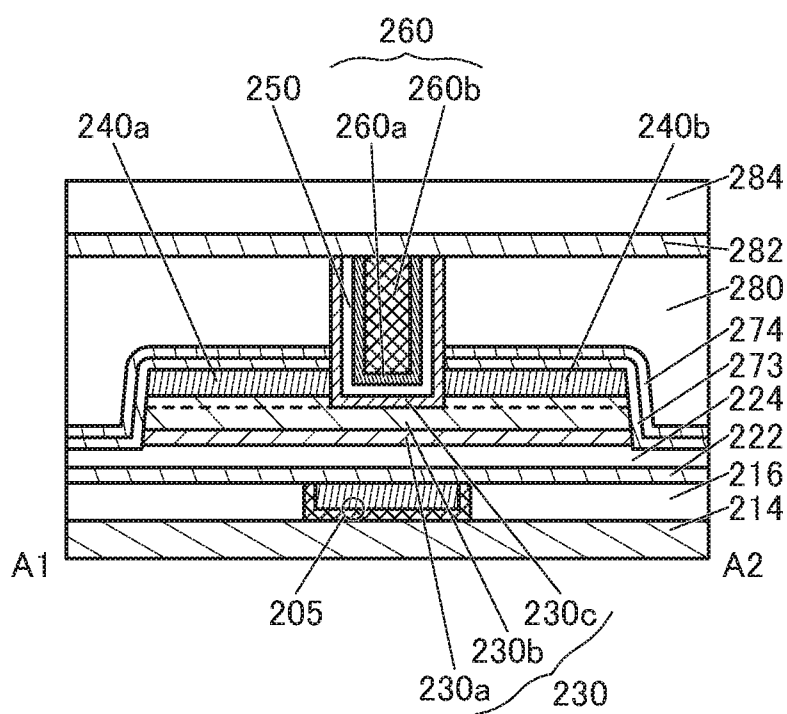
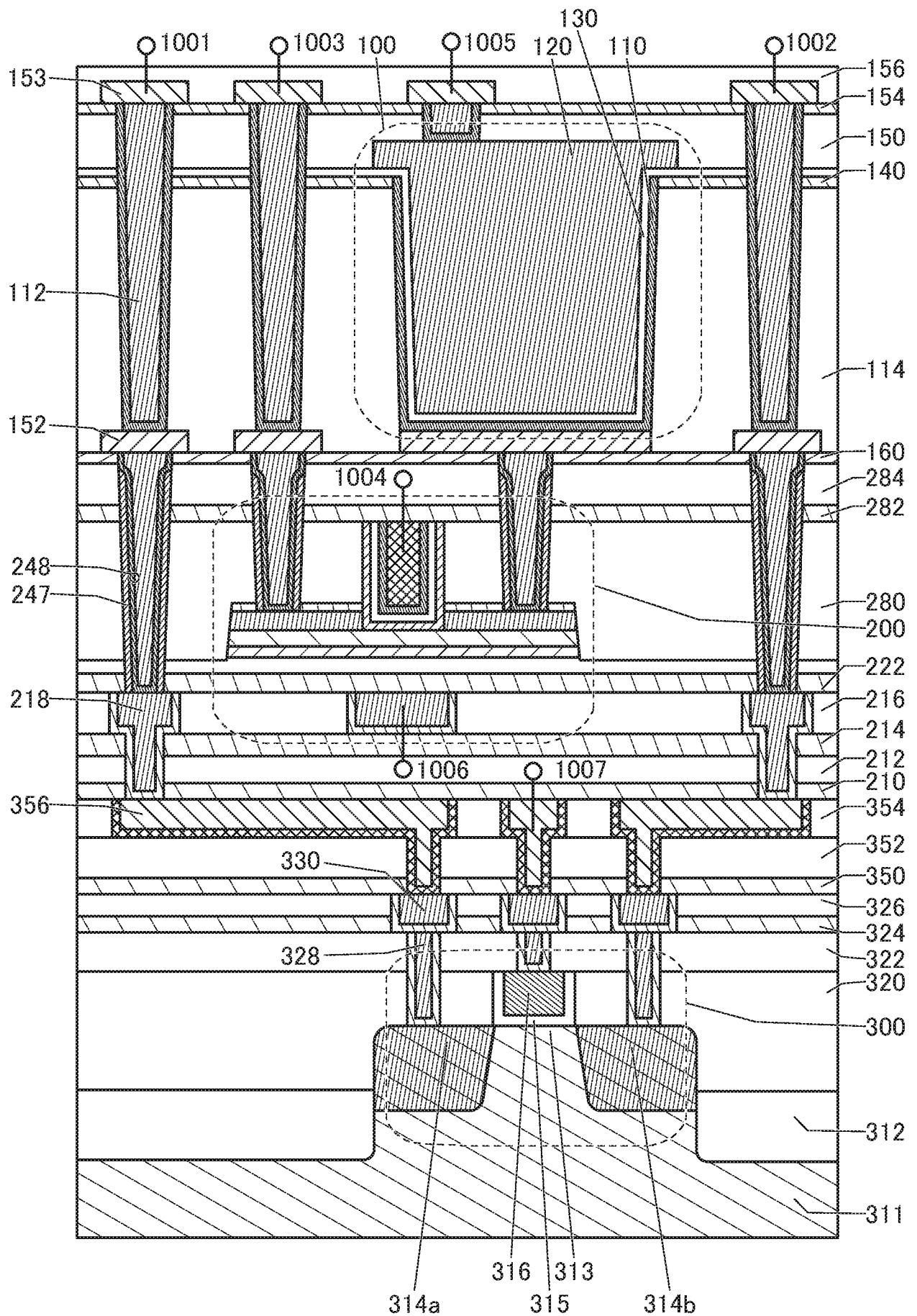
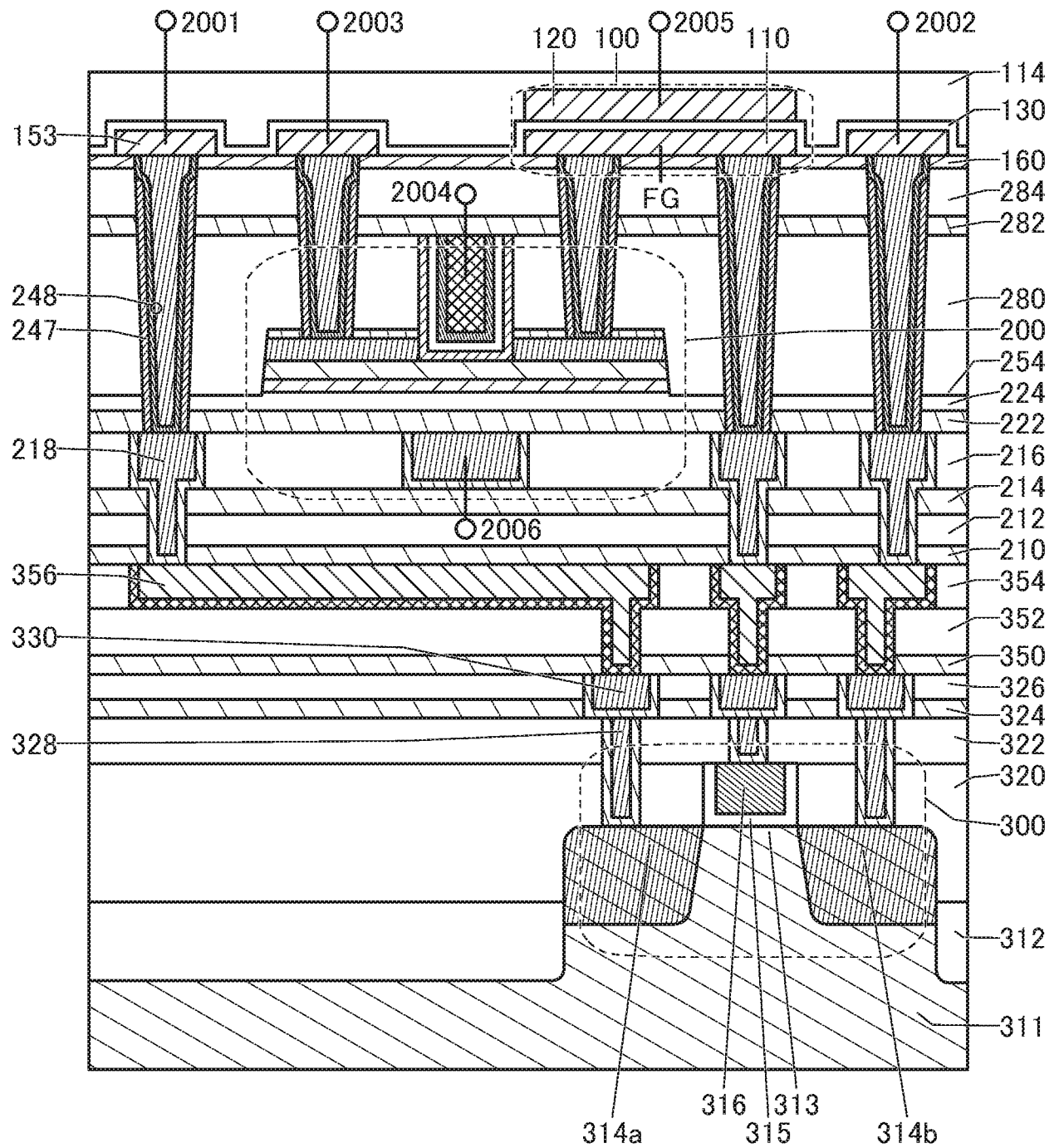


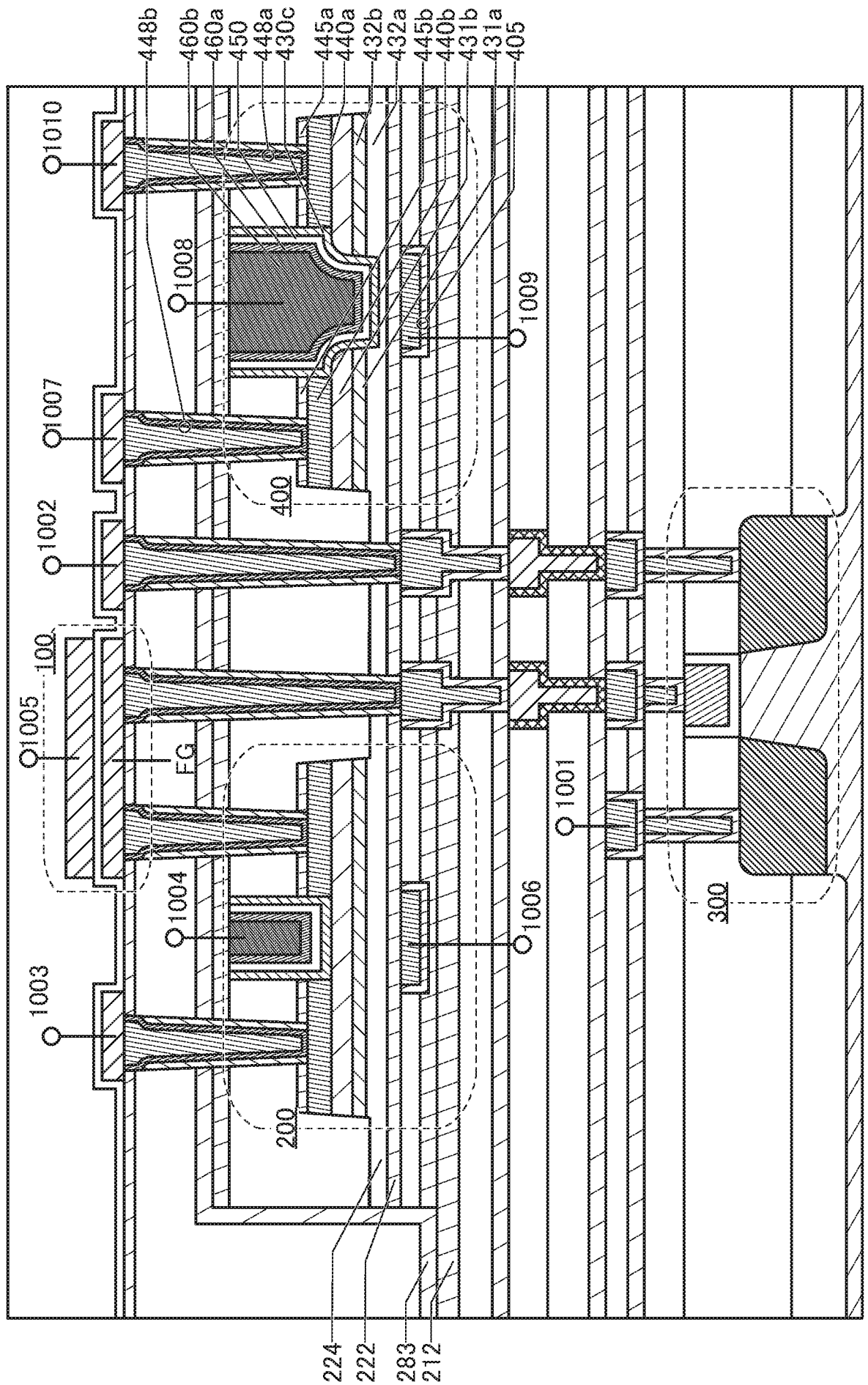
図4B



5/13







8/13

図8A

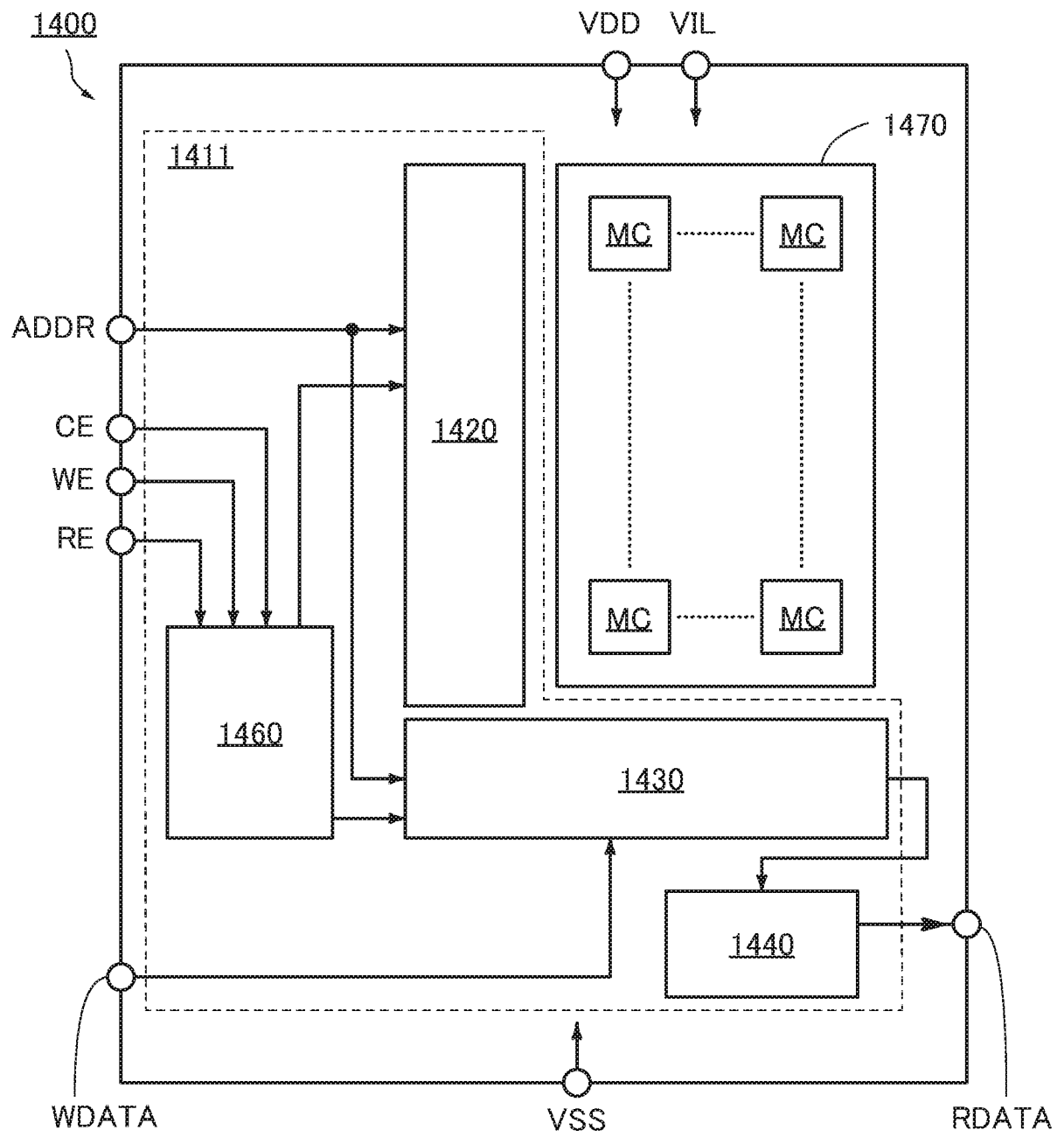


図8B

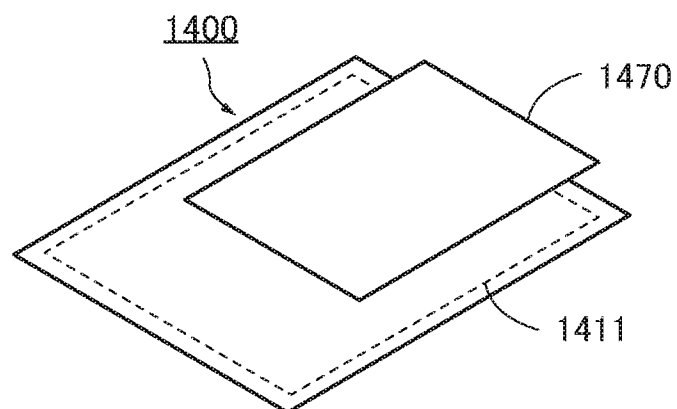


図9A

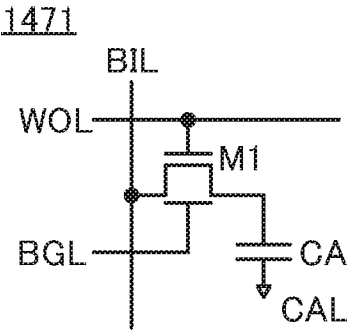


図9B

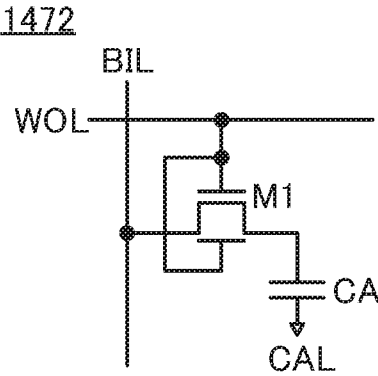


図9C

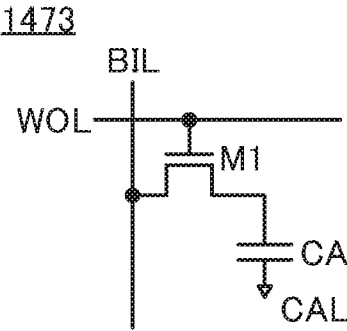


図9D

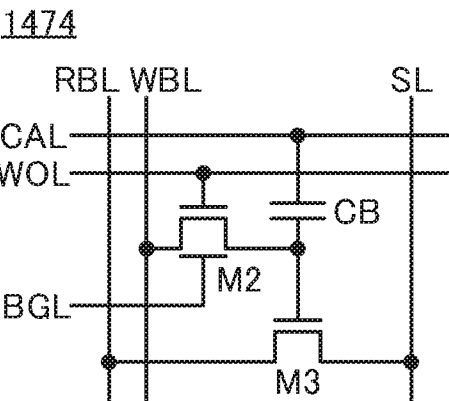


図9E

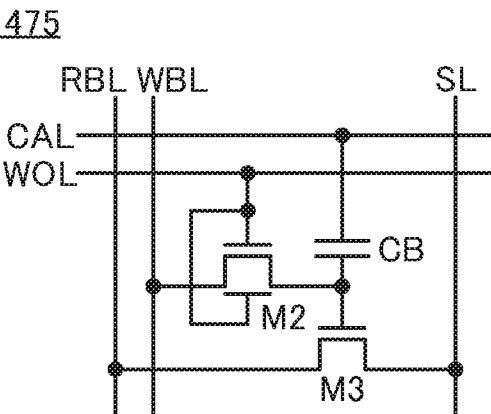


図9F

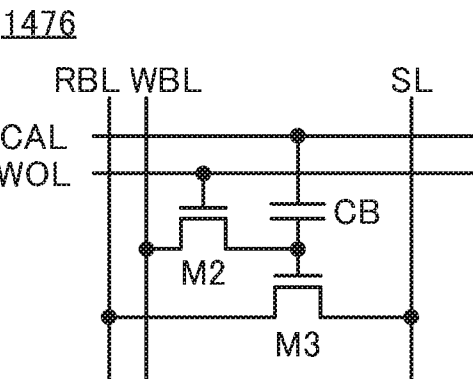


図9G

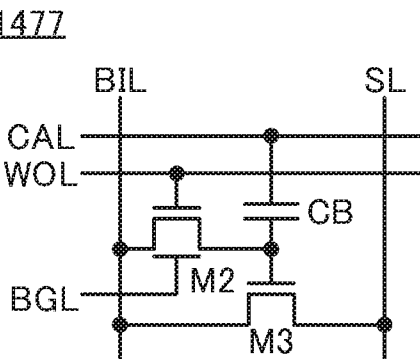


図9H

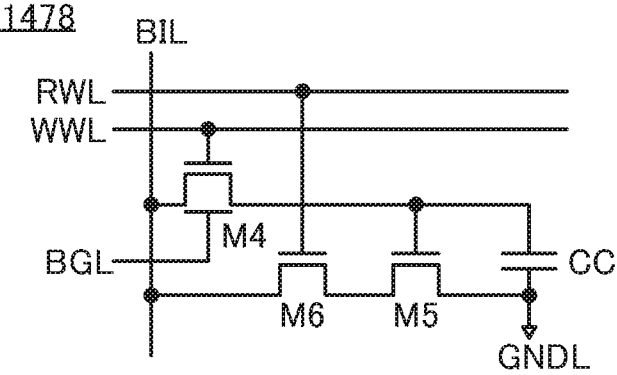


図10A

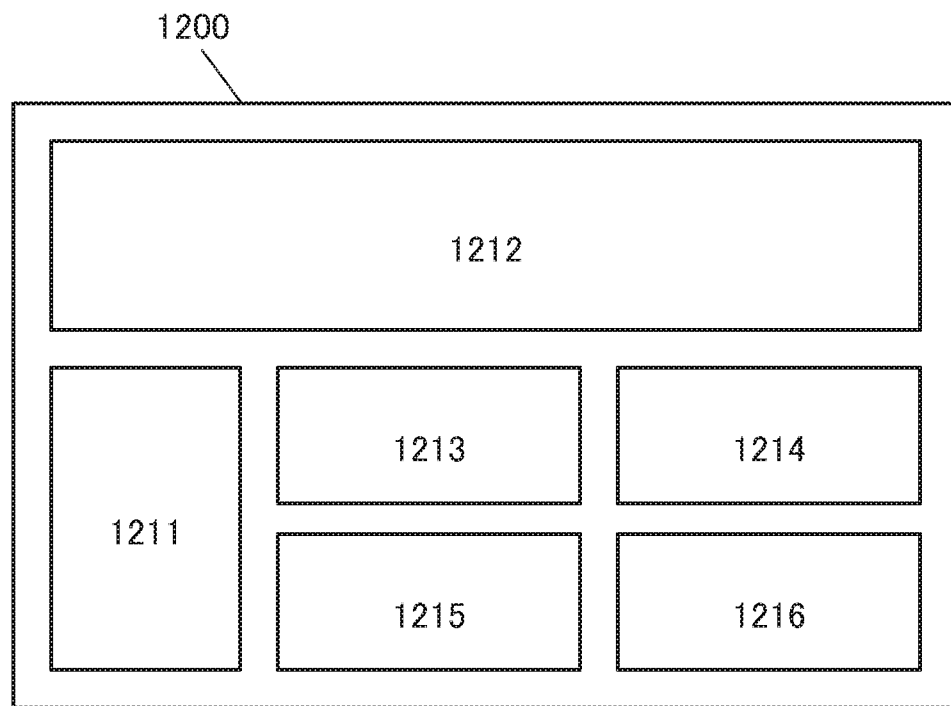
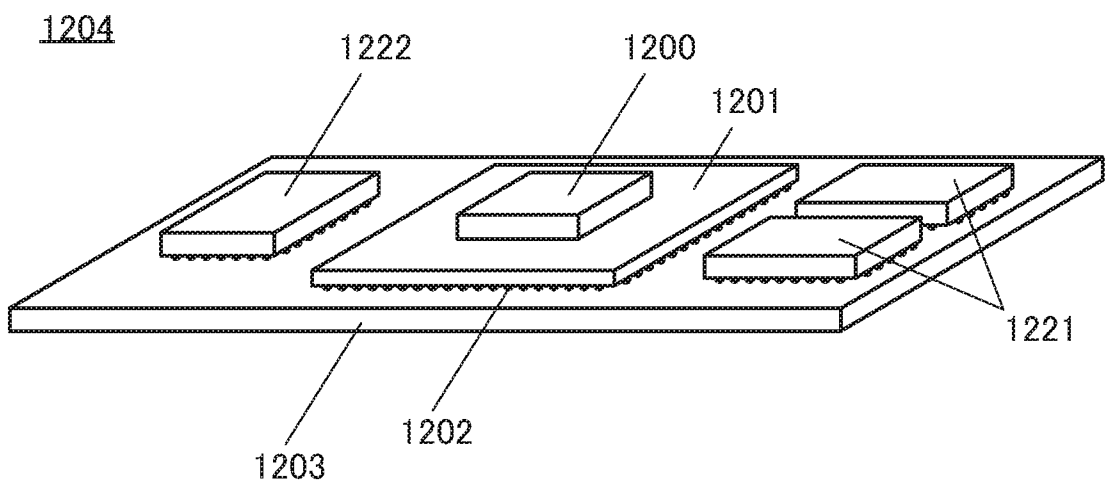


図10B



11/13

図11A

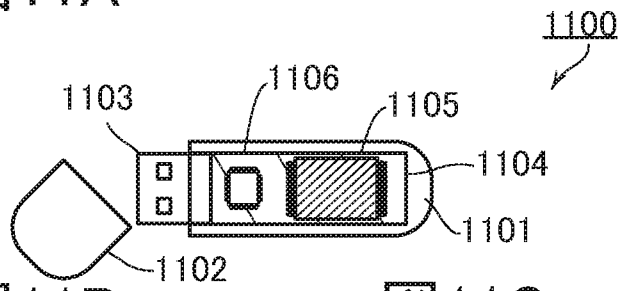


図11B

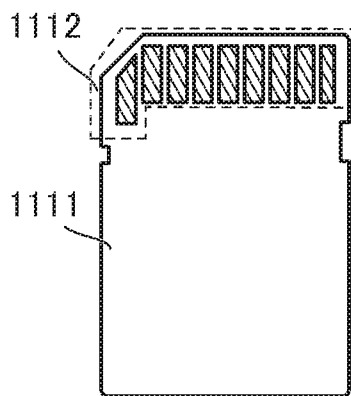


図11C

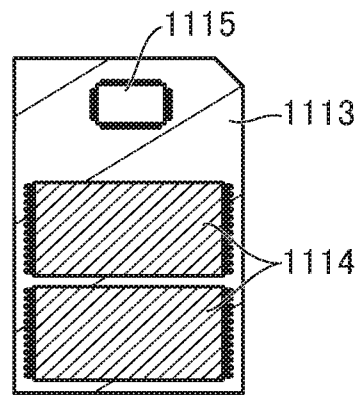


図11D

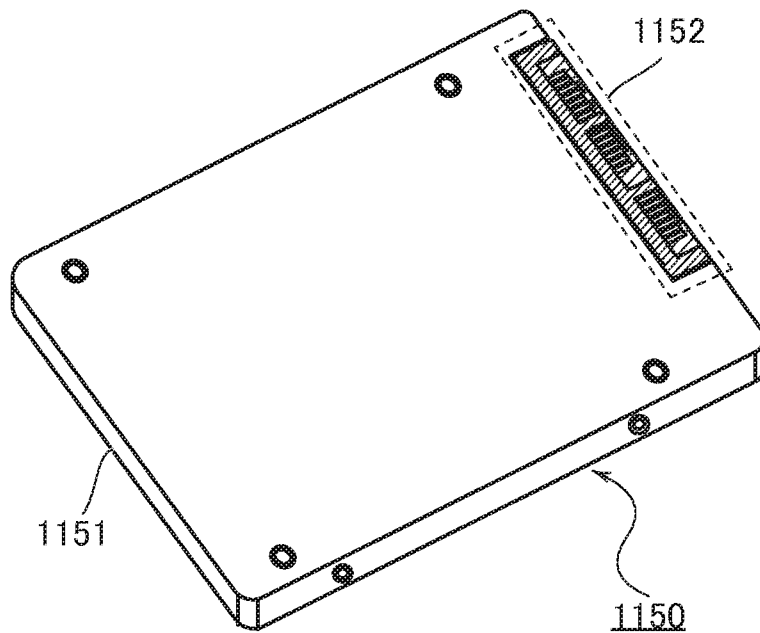
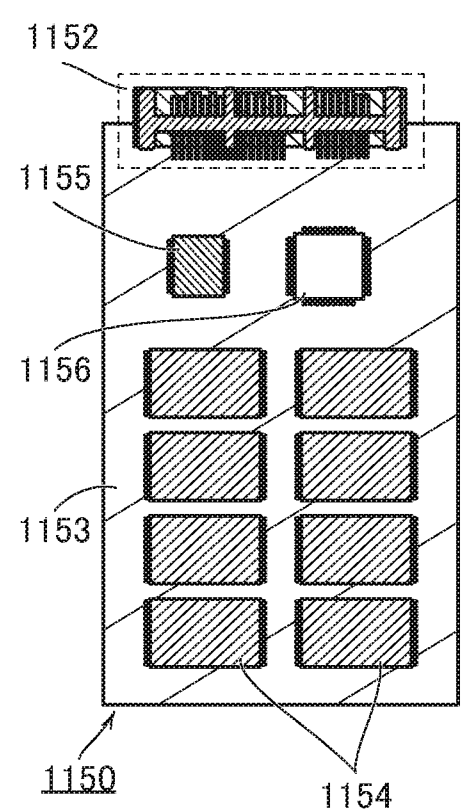


図11E



12/13

图 12A

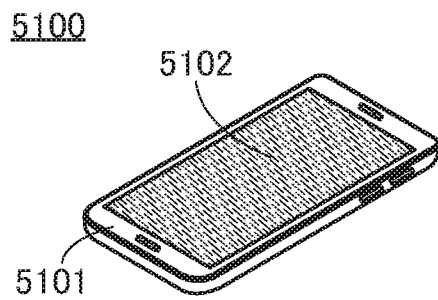


图 12B

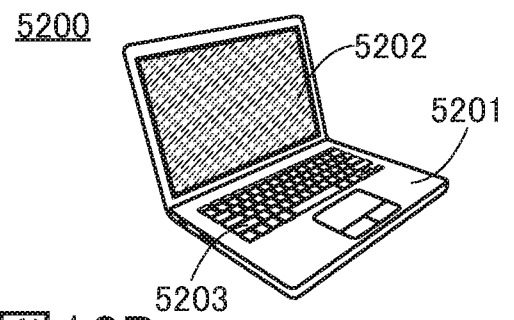


图 12C

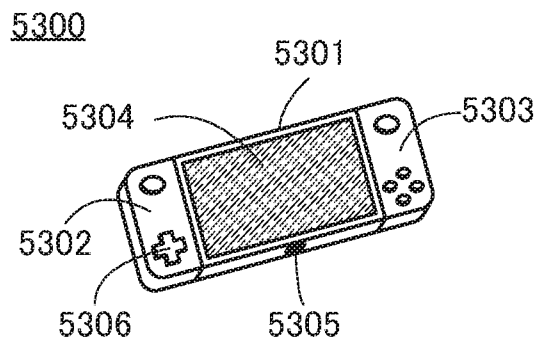


图 12D

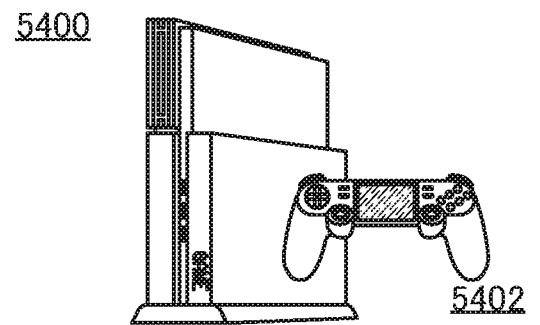


图 12E

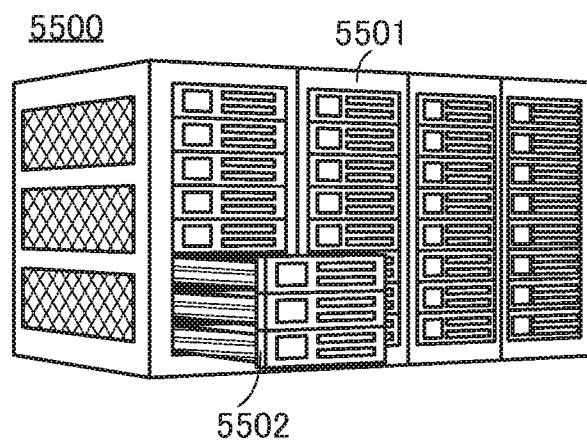


图 12F

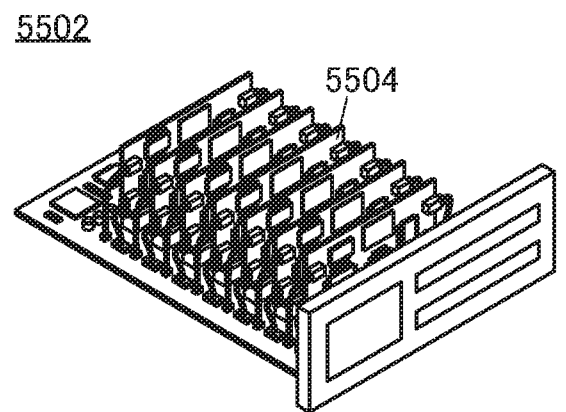


图 12G

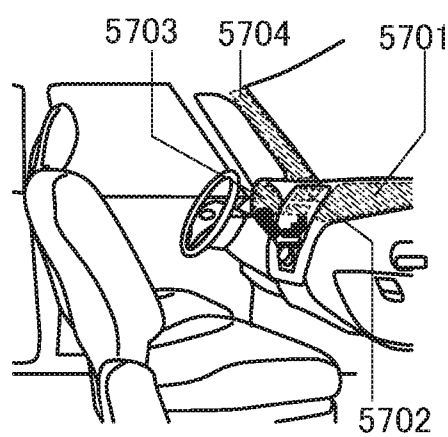


图 12H

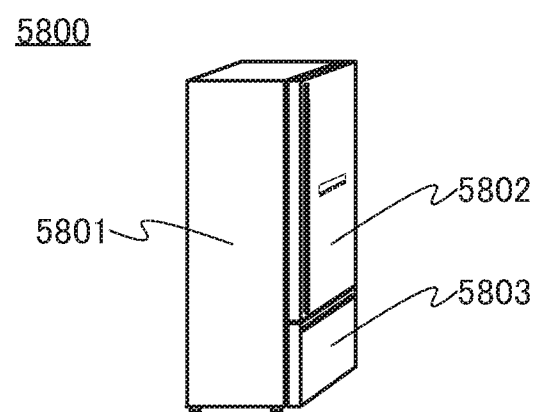
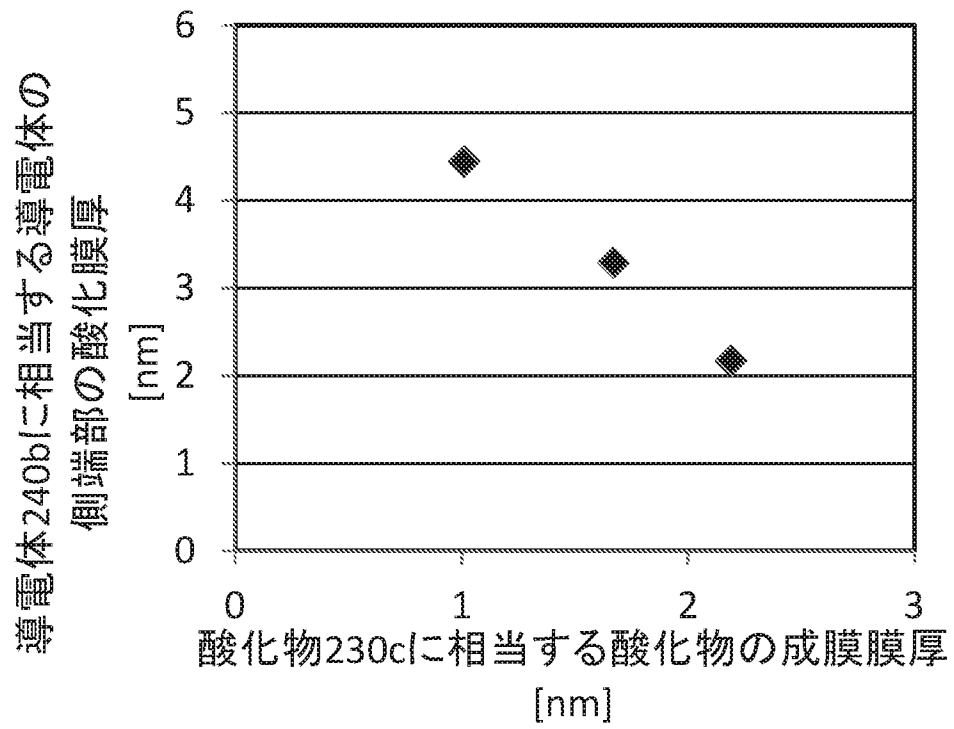


図13

13/13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/059911

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i

FI: H01L29/78 618C; H01L29/78 618B; H01L29/78 617Z; H01L29/78 618E; H01L29/78 617K; H01L27/088 A; H01L27/06 102A; H01L27/088 C; H01L27/088 E; H01L27/088 331E; H01L27/108 321; H01L27/108 671C; H01L27/108 621Z; H01L27/1156; H01L29/78 371

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-167584 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15.09.2016 (2016-09-15) paragraphs [0080]-[0083], [0129]-[0147], fig. 3, 5	1-9
Y	JP 2016-66793 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28.04.2016 (2016-04-28) paragraphs [0077]-[0093], [0126]-[0132], fig. 5, 9, 10	1-9
Y	JP 2010-135780 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17.06.2010 (2010-06-17) paragraphs [0026], [0040], [0312], [0313], fig. 31	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 January 2020 (22.01.2020)

Date of mailing of the international search report
04 February 2020 (04.02.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2019/059911

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2016-167584 A	15 Sep. 2016	US 2016/0260822 A1 paragraphs [0138]- [0140], [0187]- [0205], fig. 3, 5 TW 201707215 A	
JP 2016-66793 A	28 Apr. 2016	US 2016/0087105 A1 paragraphs [0129]- [0135], [0178]- [0184], fig. 5, 9, 10 TW 201612987 A KR 10-2017-0051449 A	
JP 2010-135780 A	17 Jun. 2010	US 2010/0117077 A1 paragraphs [0027], [0041], [0349], [0350], fig. 31 KR 10-2010-0051560 A CN 101740630 A TW 201029187 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i FI: H01L29/78 618C; H01L29/78 618B; H01L29/78 617Z; H01L29/78 618E; H01L29/78 617K; H01L27/088 A; H01L27/06 102A; H01L27/088 C; H01L27/088 E; H01L27/088 331E; H01L27/108 321; H01L27/108 671C; H01L27/108 621Z; H01L27/1156; H01L29/78 371														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2016-167584 A（株式会社半導体エネルギー研究所）15.09.2016（2016 - 09 - 15） 段落0080-0083, 0129-0147, 図3, 5</td> <td>1-9</td> </tr> <tr> <td>Y</td> <td>JP 2016-66793 A（株式会社半導体エネルギー研究所）28.04.2016（2016 - 04 - 28） 段落0077-0093, 0126-0132, 図5, 9, 10</td> <td>1-9</td> </tr> <tr> <td>Y</td> <td>JP 2010-135780 A（株式会社半導体エネルギー研究所）17.06.2010（2010 - 06 - 17） 段落0026, 0040, 0312, 0313, 図31</td> <td>1-9</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2016-167584 A（株式会社半導体エネルギー研究所）15.09.2016（2016 - 09 - 15） 段落0080-0083, 0129-0147, 図3, 5	1-9	Y	JP 2016-66793 A（株式会社半導体エネルギー研究所）28.04.2016（2016 - 04 - 28） 段落0077-0093, 0126-0132, 図5, 9, 10	1-9	Y	JP 2010-135780 A（株式会社半導体エネルギー研究所）17.06.2010（2010 - 06 - 17） 段落0026, 0040, 0312, 0313, 図31	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2016-167584 A（株式会社半導体エネルギー研究所）15.09.2016（2016 - 09 - 15） 段落0080-0083, 0129-0147, 図3, 5	1-9												
Y	JP 2016-66793 A（株式会社半導体エネルギー研究所）28.04.2016（2016 - 04 - 28） 段落0077-0093, 0126-0132, 図5, 9, 10	1-9												
Y	JP 2010-135780 A（株式会社半導体エネルギー研究所）17.06.2010（2010 - 06 - 17） 段落0026, 0040, 0312, 0313, 図31	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日	国際調査報告の発送日													
22.01.2020	04.02.2020													
名称及びあて先	権限のある職員（特許庁審査官）													
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	脇水 佳弘 5F 1592 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2019/059911

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-167584	A	15.09.2016	US 2016/0260822 A1 段落0138-0140, 0187-0205, 図3, 5 TW 201707215 A	
JP	2016-66793	A	28.04.2016	US 2016/0087105 A1 段落0129-0135, 0178-0184, 図5, 9, 10 TW 201612987 A KR 10-2017-0051449 A	
JP	2010-135780	A	17.06.2010	US 2010/0117077 A1 段落0027, 0041, 0349, 0350, 図31 KR 10-2010-0051560 A CN 101740630 A TW 201029187 A	