

(19) 日本国特許庁 (JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-505160

(P2015-505160A)

(43) 公表日 平成27年2月16日 (2015. 2. 16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 G	4 M 1 O 4
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 C	5 F O 4 8
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 D	5 F 1 O 2
H O 1 L 27/092 (2006.01)	H O 1 L 29/80 L	5 F 1 4 O
H O 1 L 21/338 (2006.01)	H O 1 L 29/44 P	
審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

(21) 出願番号	特願2014-546267 (P2014-546267)	(71) 出願人	595020643
(86) (22) 出願日	平成23年12月14日 (2011.12.14)		クゥアルコム・インコーポレイテッド
(85) 翻訳文提出日	平成26年8月11日 (2014.8.11)		QUALCOMM INCORPORATED
(86) 国際出願番号	PCT/CN2011/083934		ED
(87) 国際公開番号	W02013/086693		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開日	平成25年6月20日 (2013.6.20)		121-1714、サン・ディエゴ、モア
			ハウス・ドライブ 5775
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司
最終頁に続く			

(54) 【発明の名称】 低減されたトランジスタリーク電流のためのゲート丸め

(57) 【要約】

トランジスタの実効チャネル長を増加させるために、したがってトランジスタに関連するリーク電流および静的電力消費を低減するために、ゲート丸め製造技法が実装され得る。トランジスタは、ソース領域とドレイン領域とを含む基板領域を備える。トランジスタはまた、主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを含むゲート領域を備えることができる。1つまたは複数のゲート先端の各々は、主ゲート部分の側部に沿った適切な位置において形成される。製造中に、主ゲート領域とゲート先端の各々との間の接合は、対応するゲート丸め領域を形成するために丸め形状をとる。ゲート丸め領域はゲート領域の平均長とトランジスタの実効チャネル長とを増加させる。

【特許請求の範囲】**【請求項 1】**

ソース領域とドレイン領域とを含む基板領域と、

主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを含むゲート領域、ここにおいて、前記1つまたは複数のゲート先端の各々が前記主ゲート部分の端部において形成され、および、ここにおいて、前記1つまたは複数のゲート先端の各々について、対応するゲート丸め部分が前記ゲート先端と前記主ゲート部分との間の接合において形成される、と、
を備えるトランジスタ。

【請求項 2】

前記ゲート領域が、ポリシリコン主ゲート部分と、1つまたは複数のポリシリコンゲート先端と、1つまたは複数の対応するポリシリコンゲート丸め部分とを備えるポリシリコンゲート領域である、請求項1に記載のトランジスタ。

【請求項 3】

前記主ゲート部分が第1の端部と第2の端部とを備え、ここにおいて、前記1つまたは複数のゲート先端の各々が前記主ゲート部分の前記端部のうちの1つにおいて形成され、前記1つまたは複数のゲート先端の各々が、実質的に所定の長さを有し、前記基板領域から実質的に所定の距離において形成される、請求項1に記載のトランジスタ。

【請求項 4】

前記所定の長さおよび前記所定の距離が、ゲート領域製造プロセスと、前記トランジスタを備える集積回路の幾何学的設計レイアウトと、前記トランジスタに関連する最小フィーチャサイズと、前記集積回路に関連する1つまたは複数の設計ルールとのうちの少なくとも1つに基づいて決定される、請求項3に記載のトランジスタ。

【請求項 5】

前記主ゲート部分が第1の端部と第2の端部とを備え、前記1つまたは複数のゲート先端の各々が前記主ゲート部分の前記端部のうちの1つにおいて形成され、ここにおいて、前記1つまたは複数のゲート先端の各々が前記基板領域に実質的に平行である、請求項1に記載のトランジスタ。

【請求項 6】

前記主ゲート部分が、前記基板領域の上に形成された前記主ゲート部分の一部と、第1の端部と、第2の端部と、ここにおいて、前記第1および第2の端部が前記基板領域に実質的に直角に形成され、ここにおいて、前記1つまたは複数のゲート先端が、前記端部のうちの1つにおいて形成され、前記基板領域に実質的に平行であり、および、ここにおいて、前記ゲート領域が、前記基板領域上に形成されたゲート酸化物部分上に形成される、
を備える請求項1に記載のトランジスタ。

【請求項 7】

前記基板領域と前記ゲート領域との間に形成されるゲート酸化物部分をさらに備える、請求項1に記載のトランジスタ。

【請求項 8】

前記主ゲート部分が第1の端部と第2の端部とを備え、ここにおいて、前記1つまたは複数のゲート先端が第1のゲート先端を備え、および、ここにおいて、前記第1のゲート先端が前記主ゲート部分の前記第1の端部において形成される、請求項1に記載のトランジスタ。

【請求項 9】

前記主ゲート部分が第1の端部と第2の端部とを備え、ここにおいて、前記1つまたは複数のゲート先端が第1のゲート先端と第2のゲート先端とを備え、

前記第1のゲート先端と前記第2のゲート先端とが前記主ゲート部分の前記第1の端部において形成されるか、または

前記第1のゲート先端が前記主ゲート部分の前記第1の端部において形成され、前記第2のゲート先端が前記主ゲート部分の前記第2の端部において形成された、請求項1に記

10

20

30

40

50

載のトランジスタ。

【請求項 1 0】

前記主ゲート部分が第 1 の端部と第 2 の端部とを備え、ここにおいて、前記 1 つまたは複数のゲート先端が、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端とを備え、ここにおいて、前記第 1 のゲート先端と前記第 2 のゲート先端とが前記主ゲート部分の前記第 1 の端部において形成され、前記第 3 のゲート先端が前記主ゲート部分の前記第 2 の端部において形成される、請求項 1 に記載のトランジスタ。

【請求項 1 1】

前記主ゲート部分が第 1 の端部と第 2 の端部とを備え、ここにおいて、前記 1 つまたは複数のゲート先端が、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端と、第 4 のゲート先端とを備え、ここにおいて、前記第 1 のゲート先端と前記第 2 のゲート先端とが前記主ゲート部分の前記第 1 の端部において形成され、前記第 3 のゲート先端と前記第 4 のゲート先端とが前記主ゲート部分の前記第 2 の端部において形成される、請求項 1 に記載のトランジスタ。

10

【請求項 1 2】

前記 1 つまたは複数のゲート先端の各々について、前記ゲート先端と前記主ゲート部分との間の前記ゲート丸め領域が、前記トランジスタに関連する実効チャネル長を増加させる前記基板領域の一部分にわたって拡大する、請求項 1 に記載のトランジスタ。

【請求項 1 3】

前記トランジスタに関連する前記実効チャネル長が、前記トランジスタに関連する平均ゲート長であり、ここにおいて、前記平均ゲート長が、前記 1 つまたは複数のゲート丸め部分によって覆われる前記基板領域の第 1 の部分に関連する第 1 のゲート長と、前記 1 つまたは複数のゲート丸め部分によって覆われない前記基板領域の第 2 の部分に関連する第 2 のゲート長とに少なくとも部分的に基づいて計算される、請求項 1 2 に記載のトランジスタ。

20

【請求項 1 4】

前記 1 つまたは複数のゲート先端の各々について、

前記ゲート先端の長さの増加が、前記トランジスタに関連する実効チャネル長を増加させ、

前記ゲート先端と前記基板領域との間の距離の減少が、前記トランジスタに関連する前記実効チャネル長を増加させる、請求項 1 に記載のトランジスタ。

30

【請求項 1 5】

前記トランジスタが金属酸化物半導体電界効果トランジスタ (M O S F E T) である、請求項 1 に記載のトランジスタ。

【請求項 1 6】

ソース領域とドレイン領域とを含む基板領域と、および、

主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを含むゲート領域であって、前記主ゲート部分が第 1 の端部と第 2 の端部とを備え、ここにおいて、前記 1 つまたは複数のゲート先端の各々が前記主ゲート部分の前記端部のうちの 1 つにおいて形成され、ここにおいて、前記 1 つまたは複数のゲート先端の各々が、実質的に所定の長さを有し、前記基板領域から実質的に所定の距離において形成され、および、ここにおいて、前記 1 つまたは複数のゲート先端の各々について、対応するゲート丸め部分が前記ゲート先端と前記主ゲート部分との間の接合において形成される、ゲート領域と

40

を備える金属酸化物半導体電界効果トランジスタ (M O S F E T) 。

【請求項 1 7】

前記 1 つまたは複数のゲート先端の各々が、前記 M O S F E T を備える集積回路の設計レイアウトにおける構成要素間の対応する 1 つまたは複数の空隙内に形成された、請求項 1 6 に記載の M O S F E T 。

【請求項 1 8】

50

前記１つまたは複数のゲート先端の各々の前記長さは、前記ゲート先端がその中に形成された前記空隙の長さに少なくとも部分的に基づいて決定される、請求項１７に記載のＭＯＳＦＥＴ。

【請求項１９】

前記１つまたは複数のゲート先端の各々が前記基板領域までの異なる長さおよび異なる距離に関連する、請求項１６に記載のＭＯＳＦＥＴ。

【請求項２０】

前記主ゲート部分が第１の端部と第２の端部とを備え、ここにおいて、

前記１つまたは複数のゲート先端が第１のゲート先端を備え、および、ここにおいて、前記第１のゲート先端が前記主ゲート部分の前記端部のうちの１つにおいて形成される、
か、

10

前記１つまたは複数のゲート先端が第１のゲート先端と第２のゲート先端とを備え、および、ここにおいて、前記第１のゲート先端が前記主ゲート部分の前記第１の端部において形成され、前記第２のゲート先端が前記主ゲート部分の前記第２の端部において形成される、か、

前記１つまたは複数のゲート先端が、第１のゲート先端と、第２のゲート先端と、第３のゲート先端とを備え、ここにおいて、前記第１のゲート先端と前記第２のゲート先端とが前記主ゲート部分の前記第１の端部において形成され、前記第３のゲート先端が前記主ゲート部分の前記第２の端部において形成されるか、または

前記１つまたは複数のゲート先端が、第１のゲート先端と、第２のゲート先端と、第３のゲート先端と、第４のゲート先端とを備え、ここにおいて、前記第１のゲート先端と前記第２のゲート先端とが前記主ゲート部分の前記第１の端部において形成され、前記第３のゲート先端と前記第４のゲート先端とが前記主ゲート部分の前記第２の端部において形成される、

20

請求項１６に記載のＭＯＳＦＥＴ。

【請求項２１】

複数のトランジスタを備える集積回路であって、前記複数のトランジスタの各々が、ソース領域とドレイン領域とを含む基板領域と、および、

主ゲート部分と、１つまたは複数のゲート先端と、１つまたは複数の対応するゲート丸め部分とを含むゲート領域、ここにおいて、前記１つまたは複数のゲート先端の各々が前記主ゲート部分の端部において形成され、および、ここにおいて、前記１つまたは複数のゲート先端の各々について、対応するゲート丸め部分が前記ゲート先端と前記主ゲート部分との間の接合において形成される、ゲート領域と

30

を備える集積回路。

【請求項２２】

前記複数のトランジスタの各々について、前記トランジスタの前記主ゲート部分が第１の端部と第２の端部とを備え、ここにおいて、前記１つまたは複数のゲート先端の各々が前記主ゲート部分の前記端部のうちの１つにおいて形成され、前記１つまたは複数のゲート先端の各々が、実質的に所定の長さを有し、前記基板領域から実質的に所定の距離において形成される、請求項２１に記載の集積回路。

40

【請求項２３】

前記複数のトランジスタの各々について、前記１つまたは複数のゲート先端の各々が、前記集積回路の設計レイアウトにおける構成要素間の対応する１つまたは複数の空隙内に形成された、請求項２１に記載の集積回路。

【請求項２４】

前記複数のトランジスタの各々について、前記１つまたは複数のゲート先端の各々の前記長さは、前記ゲート先端がその中に形成された前記空隙の長さに少なくとも部分的に基づいて決定される、請求項２３に記載の集積回路。

【請求項２５】

集積回路のトランジスタの基板領域上にゲート酸化物層を形成すること、ここにおいて

50

、前記基板領域がソース領域とドレイン領域とを備える、と、

前記トランジスタの前記ゲート酸化物層上にゲート材料を堆積させることと、

前記トランジスタのゲート領域を形成するために前記トランジスタの前記基板領域から前記ゲート材料と前記対応するゲート酸化物層との一部分を除去すること、ここにおいて、前記ゲート領域が、主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを備え、ここにおいて、前記1つまたは複数のゲート先端の各々が前記主ゲート部分の端部において形成され、ここにおいて、前記1つまたは複数のゲート先端の各々が、実質的に所定の長さを有し、前記基板領域から実質的に所定の距離において形成され、および、ここにおいて、前記1つまたは複数のゲート先端の各々について、対応するゲート丸め部分が前記ゲート先端と前記主ゲート部分との間の接合において形成される、と、
を備える方法。

10

【請求項26】

前記トランジスタのゲート領域を形成するために前記トランジスタの前記基板領域から前記ゲート材料と前記対応するゲート酸化物層との前記一部分を前記除去することが、

前記トランジスタの前記基板領域から前記ゲート材料と前記対応するゲート酸化物層との前記一部分を除去し、前記主ゲート部分と、前記1つまたは複数のゲート先端と、前記1つまたは複数の対応するゲート丸め部分を含む、前記トランジスタの前記ゲート領域を形成するためにゲート製造マスクを適用すること
を備える、請求項25に記載の方法。

20

【請求項27】

前記1つまたは複数のゲート先端の各々が、前記主ゲート部分と、前記集積回路の1つまたは複数の構成要素との間の対応する空隙内に形成された、請求項25に記載の方法。

【請求項28】

前記1つまたは複数のゲート先端の各々について、前記ゲート先端の前記長さは、前記ゲート先端がその中に形成された前記空隙の長さに少なくとも部分的に基づいて決定される、請求項25に記載の方法。

【請求項29】

前記ゲート先端の前記長さの増加が、前記トランジスタに関連する実効チャネル長を増加させ、

30

前記ゲート先端と前記基板領域との間の前記距離の減少が、前記トランジスタに関連する前記実効チャネル長を増加させる
請求項25に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の主題の実施形態は、一般に半導体製造の分野に関し、より詳細には、低減されたトランジスタリーク電流(leakage current)のためのゲート丸め(gate rounding)に関する。

【背景技術】

40

【0002】

金属酸化物半導体電界効果トランジスタ(MOSFET:metal oxide semiconductor field effect transistor)は、一般にリーク電流に関連する。理想的には、MOSFETは、MOSFETがオフ状態にバイアスされるとき(たとえば、MOSFETのゲート端子とソース端子との間にバイアス電圧が印加されないとき)、電流を伝導しない。しかしながら、実際には、MOSFETは、(MOSFETのソース領域とドレイン領域とが実装された)基板を介した、ソース領域とドレイン領域との間の逆バイアスリークのために、リーク電流を生成する。リーク電流は、MOSFETに電力(「静的電力」)を浪費させ得る。いくつかの事例では、静的電力消費が、MOSFETを備える集積回路の総電力消費の30%を占めることがある。静的電力消費は、(特にバッテリー電源式ポータブル

50

電子デバイスにおいて) 不要な熱を生成することがあり、電力を消耗し得る。

【発明の概要】

【0003】

いくつかの実施形態では、トランジスタは、ソース領域とドレイン領域とを含む基板領域を備える。トランジスタはまた、主ゲート部分と、1つまたは複数のゲート先端 (gate tip) と、1つまたは複数の対応するゲート丸め (gate-rounded) 部分とを含むゲート領域を備える。1つまたは複数のゲート先端の各々は主ゲート部分の1つの端部において形成される。1つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【0004】

いくつかの実施形態では、ゲート領域は、ポリシリコン主ゲート部分と、1つまたは複数のポリシリコゲート先端と、1つまたは複数の対応するポリシリコンゲート丸め部分とを備えるポリシリコンゲート領域である。

【0005】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの1つにおいて形成され、1つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。

【0006】

いくつかの実施形態では、所定の長さおよび所定の距離は、ゲート領域製造プロセスと、トランジスタを備える集積回路の幾何学的設計レイアウトと、トランジスタに関連する最小フィーチャ (feature) サイズと、集積回路に関連する1つまたは複数の設計ルールとのうちの少なくとも1つに基づいて決定される。

【0007】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの1つにおいて形成され、1つまたは複数のゲート先端の各々は基板領域に実質的に平行である。

【0008】

いくつかの実施形態では、主ゲート部分は、基板領域の上に形成された主ゲート部分の一部と、第1の端部と、第2の端部とを備える。第1および第2の端部は基板領域に実質的に直角に形成され、1つまたは複数のゲート先端は、端部のうちの1つにおいて形成され、基板領域に実質的に平行である。ゲート領域は、基板領域上に形成されたゲート酸化物部分上に形成される。

【0009】

いくつかの実施形態では、トランジスタは、基板領域とゲート領域との間に形成されたゲート酸化物部分をさらに備える。

【0010】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端は第1のゲート先端を備え、第1のゲート先端は主ゲート部分の第1の端部において形成される。

【0011】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備え、1つまたは複数のゲート先端は第1のゲート先端と第2のゲート先端とを備える。第1のゲート先端と第2のゲート先端とが主ゲート部分の第1の端部において形成されるか、または第1のゲート先端が主ゲート部分の第1の端部において形成され、第2のゲート先端が主ゲート部分の第2の端部において形成される。

【0012】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備え、1つまたは複数のゲート先端は、第1のゲート先端と、第2のゲート先端と、第3のゲート先端とを備える。第1のゲート先端と第2のゲート先端とは主ゲート部分の第1の端部において

10

20

30

40

50

形成され、第 3 のゲート先端は主ゲート部分の第 2 の端部において形成される。

【 0 0 1 3 】

いくつかの実施形態では、主ゲート部分は第 1 の端部と第 2 の端部とを備え、1 つまたは複数のゲート先端は、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端と、第 4 のゲート先端とを備える。第 1 のゲート先端と第 2 のゲート先端とは主ゲート部分の第 1 の端部において形成され、第 3 のゲート先端と第 4 のゲート先端とは主ゲート部分の第 2 の端部において形成される。

【 0 0 1 4 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々について、ゲート先端と主ゲート部分との間のゲート丸め領域は、トランジスタに関連する実効チャネル長を増加させる基板領域の一部分にわたって拡大する。

【 0 0 1 5 】

いくつかの実施形態では、トランジスタに関連する実効チャネル長は、トランジスタに関連する平均ゲート長である。平均ゲート長は、1 つまたは複数のゲート丸め部分によって覆われ覆われる基板領域の第 1 の部分に関連する第 1 のゲート長と、1 つまたは複数のゲート丸め部分によって覆われ覆われない基板領域の第 2 の部分に関連する第 2 のゲート長とに少なくとも部分的に基づいて計算される。

【 0 0 1 6 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々について、ゲート先端の長さの増加が、トランジスタに関連する実効チャネル長を増加させ、ゲート先端と基板領域との間の距離の減少が、トランジスタに関連する実効チャネル長を増加させる。

【 0 0 1 7 】

いくつかの実施形態では、トランジスタは金属酸化物半導体電界効果トランジスタ (MOSFET) である。

【 0 0 1 8 】

いくつかの実施形態では、金属酸化物半導体電界効果トランジスタ (MOSFET) は、ソース領域とドレイン領域とを含む基板領域、および主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを含むゲート領域を備える。主ゲート部分は第 1 の端部と第 2 の端部とを備える。1 つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの 1 つにおいて形成され、1 つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。1 つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【 0 0 1 9 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々は、MOSFET を備える集積回路の設計レイアウトにおける構成要素間の対応する 1 つまたは複数の空隙内に形成される。

【 0 0 2 0 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定される。

【 0 0 2 1 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々は基板領域までの異なる長さおよび異なる距離に関連する。

【 0 0 2 2 】

いくつかの実施形態では、主ゲート部分は第 1 の端部と第 2 の端部とを備える。1 つまたは複数のゲート先端は第 1 のゲート先端を備え、第 1 のゲート先端は主ゲート部分の端部のうちの 1 つにおいて形成されるか、1 つまたは複数のゲート先端は第 1 のゲート先端と第 2 のゲート先端とを備え、第 1 のゲート先端は主ゲート部分の第 1 の端部において形成され、第 2 のゲート先端は主ゲート部分の第 2 の端部において形成されるか、1 つまたは複数のゲート先端は、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端と

10

20

30

40

50

を備え、第 1 のゲート先端と第 2 のゲート先端とは主ゲート部分の第 1 の端部において形成され、第 3 のゲート先端は主ゲート部分の第 2 の端部において形成されるか、または 1 つまたは複数のゲート先端は、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端と、第 4 のゲート先端とを備え、第 1 のゲート先端と第 2 のゲート先端とは主ゲート部分の第 1 の端部において形成され、第 3 のゲート先端と第 4 のゲート先端とは主ゲート部分の第 2 の端部において形成される。

【 0 0 2 3 】

いくつかの実施形態では、集積回路が複数のトランジスタを備え、複数のトランジスタの各々は、ソース領域とドレイン領域とを含む基板領域、および主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを含むゲート領域を備える。1 つまたは複数のゲート先端の各々は主ゲート部分の端部において形成され、1 つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

10

【 0 0 2 4 】

いくつかの実施形態では、複数のトランジスタの各々について、トランジスタの主ゲート部分は第 1 の端部と第 2 の端部とを備える。1 つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの 1 つにおいて形成され、1 つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。

【 0 0 2 5 】

いくつかの実施形態では、複数のトランジスタの各々について、1 つまたは複数のゲート先端の各々は、集積回路の設計レイアウトにおける構成要素間の対応する 1 つまたは複数の空隙内に形成される。

20

【 0 0 2 6 】

いくつかの実施形態では、複数のトランジスタの各々について、1 つまたは複数のゲート先端の各々の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定される。

【 0 0 2 7 】

いくつかの実施形態では、方法が、集積回路のトランジスタの基板領域上にゲート酸化物層を形成することであって、基板領域がソース領域とドレイン領域とを備える、形成することと、トランジスタのゲート酸化物層上にゲート材料を堆積させることと、トランジスタのゲート領域を形成するためにトランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を除去することとを備える。ゲート領域は、主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを備える。1 つまたは複数のゲート先端の各々は主ゲート部分の端部において形成され、1 つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。1 つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

30

【 0 0 2 8 】

いくつかの実施形態では、トランジスタのゲート領域を形成するためにトランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を前記除去することは、トランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を除去し、主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを含む、トランジスタのゲート領域を形成するために、ゲート製造マスクを適用することを備える。

40

【 0 0 2 9 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々は、主ゲート部分と、集積回路の 1 つまたは複数の構成要素との間の対応する空隙内に形成される。

【 0 0 3 0 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々について、ゲート先端の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定

50

される。

【0031】

いくつかの実施形態では、ゲート先端の長さの増加が、トランジスタに関連する実効チャンネル長を増加させ、ゲート先端と基板領域との間の距離の減少が、トランジスタに関連する実効チャンネル長を増加させる。

【0032】

添付の図面を参照することによって、本実施形態はより良く理解され得、多数の目的、特徴、および利点が当業者に明らかになり得る。

【図面の簡単な説明】

【0033】

【図1A】MOSFETによって生成されるリーク電流を最小限に抑えるためにゲート丸めプロセスを採用するMOSFETの例示的な概念図。

【図1B】MOSFETの実効チャンネル長に影響を及ぼすゲート丸めパラメータを含むMOSFETの例示的な概念図。

【図1C】3つのゲート先端を備えるMOSFETの例示的な概念図。

【図1D】4つのゲート先端を備えるMOSFETの例示的な概念図。

【図2A】MOSFETに関連する実効チャンネル長とゲート先端の長さとの間の関係を示す例示的なグラフ。

【図2B】MOSFETに関連する実効チャンネル長と、ゲート先端と基板領域との間の距離との間の関係を示す例示的なグラフ。

【図2C】MOSFETに関連する実効チャンネル長とMOSFETによって生成されるリーク電流との間の関係を示す例示的なグラフ。

【図3】ゲート丸めプロセスを使用して製造されたMOSFETを使用した例示的なインバータレイアウトを示す図。

【図4】ゲート丸めプロセスを含む例示的なトランジスタ製造動作を示す流れ図。

【発明を実施するための形態】

【0034】

以下の説明は、本発明の主題の技法を実施する例示的なシステム、方法、技法、構造、および回路要素を含む。ただし、説明する実施形態は、これらの具体的な詳細なしに実施され得ることを理解されたい。たとえば、例では、MOSFETのゲート領域を製造するためにポリシリコン材料が採用されることに言及するが、他の実施形態では、MOSFETのゲート領域を製造するために他の適切な材料（たとえば、金属）が採用され得る。例では、MOSFETにおけるリーク電力を低減するためのゲート丸め技法について説明するが、他の実施形態では、ゲート丸め技法は、他の適切なトランジスタ（たとえば、接合型電界効果トランジスタ（JFET：junction field effect transistor）など）におけるリーク電流を低減するために適用され得る。他の事例では、説明を不明瞭にしないために、よく知られている構造および技法を詳細に図示していない。

【0035】

MOSFETにおけるリーク電流によって生じる静的電力消費は、（MOSFETを備える）集積回路に供給される電力の不要な消耗をもたらすことがある。さらに、MOSFETのサイズが減少するにつれて、MOSFETによって生成されるリーク電流は増加する。これにより、MOSFETおよび集積回路の静的電力消費が増加することがある。MOSFETによって生成されるリーク電流を低減し、静的電力消費を低減するためのいくつかの既存の技法は、高しきい値MOSFET設計または長チャンネルMOSFET設計を含む。高しきい値MOSFET設計は、製造のために1つまたは複数の追加のマスクを必要とする高しきい値MOSFETを利用することができる。したがって、高しきい値MOSFET設計を実装することは、MOSFET設計および製造のコストを増加させることがある。長チャンネルMOSFET設計は、ゲート領域の長さを増加させることによって、チャンネル長を増加させる（すなわち、MOSFETのソース領域とドレイン領域との間の距離を増加させる）ことを試みる。しかしながら、ゲート領域（およびチャンネル長）の増

10

20

30

40

50

加に適應するために、長チャネルMOSFET設計は、より大きい面積を必要とし得、それにより、コストが増加し、集積回路におけるあまりに多くのダイ面積が利用され得る。

【0036】

MOSFETの実効チャネル長を増加させるために、したがってMOSFETに関連するリーク電流および静的電力消費を低減するために、MOSFET設計および製造においてゲート丸め技法が実装され得る。ゲート丸め技法によれば、従来のMOSFETにおけるゲート領域（「主ゲート領域」）とともに、ポリシリコン（またはゲート領域を構成するために採用される他の材料）の1つまたは複数のセグメントが置かれ得る。主ゲート領域とともに置かれた1つまたは複数のセグメントを、本明細書では「ゲート先端」と呼ぶ。製造中に、主ゲート領域とゲート先端の各々との間の接合は丸め形状（「ゲート丸め領域」）をとる。ゲート丸め領域はMOSFETのゲート領域の平均長を増やし、したがって、MOSFETに関連する実効チャネル長が増加する。MOSFETに関連する実効チャネル長の増加はMOSFETのリーク電流および静的電力消費の減少を引き起こす。MOSFETの実効チャネル長を増加させるためにゲート丸め技法を採用することは、MOSFETを設計および製造することに関連するコストおよび面積を減らすことができる。ゲート丸め技法は、集積回路の設計レイアウトにおける空隙（または空きスペース）内のゲート先端を実装し、したがって、設計レイアウトによって利用される面積の量が増加しないことを保証する。

【0037】

図1Aは、リーク電流を最小限に抑えるためにゲート丸めプロセスを採用するMOSFET100の例示的な概念図（上面図）である。MOSFET100は、基板領域102と、（以下で説明するようにセグメント104、108、110、112、および114によって表される）ゲート領域とを備える。図1Aでは、ゲート領域を表すために、斜めのハッチが使用される。基板領域102はソース領域118とドレイン領域120とを備える。ソース領域118およびドレイン領域120は、基板領域102と比較して、両方とも逆にドーピングされた領域である。NチャネルMOSFETの一例では、ソース領域118およびドレイン領域120は、P型ドーピング半導体基板（たとえば、P型ドーピングシリコン）上のN型ドーピング半導体領域（たとえば、N型ドーピングシリコン）であり得る。ゲート領域は半導体基板層102の上に置かれる。ゲート領域はゲート酸化物層（一般に二酸化ケイ素、図示せず）によって基板領域102から分離される。基板領域102上にあるゲート酸化物層上にゲート領域を作成するために、ポリシリコンまたは別の適切な材料が利用され得る。一般に、ソース領域118とドレイン領域120とは、図1Aに示すようにゲート領域の両側にある。MOSFET100のゲート領域およびソース領域118の両端間に（またはゲート領域およびドレイン領域120の両端間に）電圧が印加されたとき、基板領域102を通してソース領域118からドレイン領域120までチャンネルが作成される。チャンネル長は、ソース領域118とドレイン領域120との間の分離幅であり、一般にゲート領域の長さに等しい。図1Aを参照すると、MOSFETは、現在、MOSFETのゲート領域が「主ゲート領域」104のみを備えるように製造される。したがって、現在の技法を用いて製造されるMOSFETの（図1AにL106として示された）チャンネル長は、一般に主ゲート領域104の幅である。

【0038】

いくつかの実施形態では、ゲート丸めプロセスに従って、主ゲート領域104とともに追加のポリシリコン材料（「ゲート先端」）が置かれ得る。図1Aに示すように、ゲート先端108は主ゲート領域104の1つの端部の左側に置かれ、ゲート先端110は主ゲート領域104の同じ端部の右側に置かれる。主ゲート領域104ならびにゲート先端108および110はともにT字形ゲート領域を形成する。以下でさらに説明するように、ゲート先端108および110は、ゲート先端と基板領域102との間に分離/ギャップがあるように置かれ得る。しかしながら、MOSFETのサブミクロンサイズおよび製造プロセス（たとえば、フォトリソグラフィプロセス）の欠陥のために、主ゲート領域104とゲート先端108および110の各々との間の接合は矩形エッジを有しないことがあ

る。言い換えれば、主ゲート領域 104 とゲート先端 108 および 110 の各々との間の接合は、互いに 90 度でないことがあるが、図 1 A に示すように丸められ得る。主ゲート領域 104 とゲート先端 108 および 110 の各々との間の接合が丸められるこのプロセスを、本明細書では「ゲート丸め」と呼ぶ。図 1 A では、（破線によって示される）ゲート丸め領域 112 は、ゲート先端 108 と主ゲート領域 104 との接合において形成される。同様に、（破線によって示される）ゲート丸め領域 114 は、ゲート先端 110 と主ゲート領域 104 との接合において形成される。したがって、ゲート丸めを使用した製造の後に、MOSFET の実効ゲート領域は、主ゲート領域 104 と、ゲート先端 108 および 110 と、ゲート丸め領域 112 および 114 とを備える。図 1 A に示すように、ゲート丸め領域 112 および 114 は、基板領域 102 の一部分を侵食または覆うことによって、したがって主ゲート領域 104 とゲート先端 108 および 110 との間の接合の近くのゲート領域の長さを増加させることによって、ソース領域 118 とドレイン領域 120 との間のチャネルの実効長を増加させる。ゲート丸め領域 112 および 114 が基板領域 102 のいくつかの部分の覆うので、これらの覆われる部分におけるゲート領域の長さは増加するが、（ゲート丸め領域 112 および 114 によって覆われない）他の部分におけるゲート領域の長さは同じままである。したがって、覆われる部分におけるゲート長の増加のために、ゲート領域の実効長は増加する。ゲート領域の実効長はゲート領域の平均長として計算され得る。一実装形態では、ゲート領域の実効長は、ゲート丸め領域 112 および 114 によって覆われる（すなわち、ゲート長が増加した）部分におけるゲート領域の長さ、ならびにゲート丸め領域 112 および 114 によって覆われない（すなわち、ゲート長さが増加しなかった）他の部分におけるゲート領域の長さの平均として計算され得る。

10

20

【0039】

最大実効チャネル長は、 L_{eff_max} 116 として図 1 A に示されており、基板領域 102 の上にある（ゲート丸めの後の）ゲート領域の最も長い部分であり得る。言い換えれば、図 1 A の MOSFET 100 の上面図を参照すると、最大実効チャネル長 116 は、A）ゲート丸め領域 112 と基板領域 102 との上面図（視覚）交差点と、B）ゲート丸め領域 114 と基板領域 102 との上面図（視覚）交差点との間の近似距離であり得る。

【0040】

図 1 A は、説明を簡単で容易にするために、複数のセグメントに分割されている MOSFET 100 のゲート領域（すなわち、主ゲート領域 104、ゲート先端 108 および 110、ならびにゲート丸め領域 112 および 114）を示していることに留意されたい。実際には、MOSFET 100 のゲート領域は単一の領域として構成される。したがって、主ゲート領域 104 ならびにゲート先端 108 および 110 は、単一の領域として基板領域 102 上のゲート酸化物層上に据え付けられ得る。ゲート丸め領域 112 および 114 は、本明細書で説明するようにフォトリソグラフィプロセス中に形成され得る。

30

【0041】

図 1 B は、MOSFET の実効チャネル長に影響を及ぼすゲート丸めパラメータを含む MOSFET 150 の例示的な概念図である。図 1 B は、基板領域 102 と、（領域 104、110、および 114 によって表される）ゲート領域とを備える MOSFET 150 を示している。図 1 B の MOSFET 150 は、主ゲート領域 104 の 1 つの端部の右側に置かれた単一のゲート先端 110 を備える。したがって、図 1 A を参照しながら上記で説明したように、製造の後に、ゲート先端 110 と主ゲート領域 104 との間の接合は、ゲート丸め領域 114（図 1 B に図示せず）を形成するために丸められる。したがって、図 1 B では、実効ゲート領域は、主ゲート領域 104 と、ゲート先端 110 と、ゲート丸め領域 114 とを備える。図 1 B はまた、MOSFET の実効チャネル長に影響を及ぼすことがあるゲート丸めパラメータを示す。ゲート丸めパラメータは、A）ゲート先端 110 と基板領域 102 との間の距離（ L_2 ）152 と、B）ゲート先端 110 の長さ（ R ）154 とである。

40

【0042】

50

ゲート先端 1 1 0 と基板領域 1 0 2 との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、カスタマイズ可能であり得、製造プロセスと、幾何学的レイアウト制約と、最小フィーチャサイズと、設計ルールと、他のそのような制約とに依存し得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、シミュレーションと他のデータ分析とに基づいて決定され得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、M O S F E T が実装される集積回路のレイアウトに応じて異なり得る。他の実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は複数の集積回路レイアウトにわたって一定のままであり得る。一般に、固有のプロセスばらつき / 物理的ばらつきのために、ゲート先端は、ほぼ所定の長さ 1 5 4 を有することがあり、基板領域 1 0 2 から実質的に所定の距離 1 5 2 において形成され得る。たとえば、ゲート先端と基板領域との間の所定の距離 1 5 2 は 4 0 n m であり得る。いくつかの実装形態では、製造の後に、ゲート先端と基板領域との間の距離は所定の距離（たとえば、4 0 n m）の 0 % から 5 % まで変動し得る。他の実装形態では、製造の後に、ゲート先端と基板領域との間の距離は所定の距離の 5 % から 1 0 % まで変動し得る。別の例として、ゲート先端の所定の長さ 1 5 4 は 6 0 n m であり得る。いくつかの実装形態では、製造の後に、ゲート先端の長さは所定の長さ（たとえば、6 0 n m）の 0 % から 5 % まで変動し得る。ゲート丸め領域 1 1 2 および 1 1 4 は、対応するゲート先端と基板領域 1 0 2 との間のギャップ全体を包含しないことがあることに留意されたい。言い換えれば、ゲート先端は基板領域 1 0 2 から実質的に距離 1 5 2 において最初に堆積され得るが、ゲート丸め領域が主ゲート領域とゲート先端との接合において形成された後、ゲート先端と基板領域 1 0 2 との間の距離 1 5 2 の一部は、対応するゲート丸め領域によって覆われ得る。しかしながら、ゲート先端の端部または概してゲート先端全体は基板領域 1 0 2 からほぼ距離 1 5 2 にとどまる。

10

20

30

40

50

【 0 0 4 3 】

図 2 A ~ 図 2 C でさらに説明するように、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、M O S F E T に関連する実効チャネル長を変更するために変化させられ得る。

【 0 0 4 4 】

図 1 は、2 つのゲート先端 1 0 8 および 1 1 0 と、対応する 2 つのゲート丸め領域 1 1 2 および 1 1 4 とを備える M O S F E T 1 0 0 を示しているが、実施形態はそのように限定されないことに留意されたい。いくつかの実施形態では、M O S F E T は任意の適切な数のゲート先端を備えることができる。たとえば、図 1 B に示すように、M O S F E T 1 5 0 は、逆 L 字形ゲート領域を形成するために主ゲート領域の 1 つの端部の右（または左）側に置かれた 1 つのゲート先端を備えることができる。別の例として、2 つのゲート先端は、逆 T 字形ゲート領域を形成するために主ゲート領域の 1 つの端部の左側および右側に置かれ得る。別の例として、第 1 のゲート先端および第 2 のゲート先端がそれぞれ主ゲート領域の第 1 の端部および第 2 の端部に置かれ得る。別の例として、図 1 C の M O S F E T レイアウト 1 6 0 に示すように、主ゲート領域 1 0 4 とともに 3 つのゲート先端が置かれ得る。図 1 C では、ゲート先端 1 0 8 および 1 1 0 は、（図 1 A を参照しながら説明したように）主ゲート領域 1 0 4 の一方の端部の左側および右側に置かれる。さらに、第 3 のゲート先端 1 6 2 が主ゲート領域 1 0 4 の他方の端部の左側に置かれる。したがって、M O S F E T レイアウト 1 6 0 では、実効ゲート領域は、主ゲート領域 1 0 4 と、ゲート先端 1 0 8、1 1 0、および 1 6 2 と、主ゲート領域とゲート先端の各々との間のゲート丸め領域（図示せず）とを備える。別の例として、図 1 D の M O S F E T レイアウト 1 7 0 によって示されるように、主ゲート領域 1 0 4 とともに 4 つのゲート先端が置かれ得る。図 1 D では、ゲート先端 1 0 8 および 1 1 0 は、（図 1 A を参照しながら説明したように）主ゲート領域 1 0 4 の一方の端部の左側および右側に置かれ、第 3 のゲート先端 1 6 2 は、（図 1 C に示したように）主ゲート領域の他方の端部の左側に置かれる。さらに、第 4 のゲート先端 1 6 4 が主ゲート領域 1 0 4 のその端部の右側に置かれる。したがって、M O S F E T レイアウト 1 7 0 では、実効ゲート領域は、主ゲート領域 1 0 4 と、ゲ

ート先端 108、110、162、および 164 と、対応するゲート丸め領域（図示せず）とを備える。別の例として、集積回路チップ上の利用可能なスペース（たとえば、主ゲート領域 104 と集積回路の他の構成要素との間の空隙）に応じて、他の適切な数のゲート先端が、主ゲート領域 104 の左側および / または右側において（たとえば、一方の端部において、両方の端部において、長さに沿って）置かれ得る。

【0045】

図 2 A は、M O S F E T に関連する実効チャネル長とゲート先端の長さとの間の関係を示す例示的なグラフである。Y 軸は実効チャネル長をマイクロメートル（ μm ）で表すが、X 軸はゲート先端の長さ（R）154 を表す。図 2 A によって示されるように、実効チャネル長はゲート先端の長さ 154 との直接関係を有する。実効チャネル長とゲート先端の長さ 154 との間の関係を決定する際に、ゲート先端と基板領域との間の距離（L2）152 および基板領域 102 の幅は一定であると仮定される。したがって、図 2 A に示すように、ゲート先端の長さ 154 が増加するにつれて、実効チャネル長は増加する。これは、ゲート先端の長さ 154 が増加するにつれて、（ゲート先端と主ゲート領域との接合において）ゲート丸め領域の弧長が増加し、ゲート丸め領域のより大きい部分が基板領域を侵食または覆うからである。これにより、主ゲート領域とゲート先端との間の接合の近くのゲート領域の長さが増加し、ソース領域とドレイン領域との間の実効分離が増加し、M O S F E T の実効チャネル長が増加する。図 2 C を参照しながら説明するように、実効チャネル長の増加は、M O S F E T によって生成されるリーク電流の減少を引き起こす。いくつかの実装形態では、ゲート先端の長さ 154 は、M O S F E T を備える集積回路の設計レイアウトに依存することがある。言い換えれば、ゲート先端の長さ 154 は、ゲート先端が対応する空隙内にあるように、設計レイアウトにおける構成要素間の空隙と同じくらい大きく（または小さく）なり得る。

【0046】

図 2 B は、M O S F E T に関連する実効チャネル長と、ゲート先端と基板領域との間の距離との間の関係を示す例示的なグラフである。Y 軸は実効チャネル長をマイクロメートル（ μm ）で表すが、X 軸はゲート先端と基板領域との間の距離 152 を表す。図 2 B によって示されるように、実効チャネル長はゲート先端と基板領域との間の距離（L2）152 との逆関係を有する。実効チャネル長と距離 L2 152 との間の関係を決定する際に、ゲート先端の長さ 154 および基板領域 102 の幅は一定であると仮定される。したがって、図 2 B に示すように、距離 L2 152 が減少するにつれて、実効チャネル長は増加する。これは、ゲート先端と基板領域との間の距離 154 が減少するにつれて、（ゲート先端と主ゲート領域との接合において）ゲート丸め領域のより大きい部分が基板領域を侵食または覆うからである。これにより、主ゲート領域とゲート先端との間の接合の近くのゲート領域の長さが増加し、ソース領域とドレイン領域との間の実効分離が増加し、M O S F E T の実効チャネル長が増加する。図 2 C を参照しながら説明するように、実効チャネル長の増加は、M O S F E T によって生成されるリーク電流の減少を引き起こす。いくつかの実装形態では、ゲート先端と基板領域との間の距離 152 は、40 nm から 50 nm の範囲内にあるように選択され得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 152 は、製造プロセス、幾何学的レイアウト制約などに応じて選択され得る。たとえば、最小フィーチャサイズが 40 nm である場合、ゲート先端と基板領域との間の距離 152 は、一般に 40 nm 未満でないことがある（ただし、上記で説明したように、製造プロセスによりある程度のばらつきがありうる）。

【0047】

図 2 C は、M O S F E T に関連する実効チャネル長と M O S F E T によって生成されるリーク電流との間の関係を示す例示的なグラフである。Y 軸は、M O S F E T によって生成されるリーク電流の減少率を表すが、X 軸は実効チャネル長をナノメートル（nm）で表す。図 2 C によって示されるように、M O S F E T に関連する実効チャネル長が増加するにつれて、M O S F E T によって生成されるリーク電流は指数関数的に減少する。いくつかの実装形態では、図 2 C のグラフに基づいて、ゲート先端の長さ 154 およびゲート

先端と基板領域との間の距離 152 は、実効チャネル長が 45 nm にほぼ等しいかまたはそれよりも大きくなるように変化させられ得る。いくつかの実装形態では、リーク電流の一定の低減を達成するために必要とされ得る実効チャネル長は、実装される製造プロセスに応じて変動し得る。

【0048】

図3は、ゲート丸めプロセスを使用して製造された MOSFET を使用した例示的なインバータレイアウト 300 の上面図である。インバータレイアウト 300 は、Pチャネル MOSFET (PMOS) 302 と Nチャネル MOSFET (NMOS) 304 とを備える相補型 MOSFET (CMOS) インバータを示している。インバータレイアウト 300 または、電源レール (power supply rail) 306 と接地端子 (または基準電源レール) 340 とを示している。PMOS 302 は、基板領域と、主ゲート領域 312 と、主ゲート領域 312 の1つの端部に置かれたゲート先端 314 および 316 とを備える。PMOS 302 の基板領域はソース領域 346 とドレイン領域 348 とを備える。ソース領域 346 とドレイン領域 348 とは主ゲート領域 312 によって分離される。同様に、NMOS 304 は、基板領域と、主ゲート領域 330 と、主ゲート領域 330 の1つの端部に置かれたゲート先端 336 および 338 とを備える。NMOS 304 の基板領域はソース領域 342 とドレイン領域 344 とを備える。ソース領域 342 とドレイン領域 344 とは主ゲート領域 330 によって分離される。インバータレイアウト 300 では、PMOS 302 と NMOS 304 とは、共通ゲート、共通ドレイン構成において互いに接続される。したがって、図3に示すように、PMOS 302 の主ゲート領域 312 は NMOS 304 の主ゲート領域 330 に結合される。さらに、ゲート先端 320 および 322 も、結合された主ゲート領域の長さに沿った適切な中間位置に置かれる。たとえば、ゲート先端 320 および 322 は、主ゲート領域 312 および 330 の交差部においてまたはその近くに置かれ得る。共通ゲート端子 324 はゲート先端 320 上にある。共通ゲート端子 324 を介して入力信号がインバータに与えられ得る。インバータレイアウト 300 の他の実装形態では、任意の適切な数のゲート先端が主ゲート領域の左側 / 右側に置かれ得ることに留意されたい。さらに、共通ゲート端子は主ゲート領域上のまたはゲート先端上の任意の位置に配置され得る。

【0049】

PMOS 302 のソース領域 346 は金属の接続 308 を介して電源レール 306 に結合され、ソース領域 346 と金属結合 308 との間のジャンクション (junction) 310 は PMOS 302 のソース端子 310 と呼ばれる。PMOS 302 のドレイン領域 348 は金属の接続 326 を介して NMOS 304 のドレイン領域 344 に結合される。PMOS 302 のドレイン領域 348 と金属の接続 326 との間のジャンクション 318 は PMOS 302 のドレイン端子 318 と呼ばれる。NMOS 304 のドレイン領域 344 と金属の接続 326 との間のジャンクション 328 は NMOS 304 のドレイン端子 328 と呼ばれる。出力信号 (すなわち、ゲート端子 324 において与えられる入力信号の反転) は、ドレイン端子 318、ドレイン端子 328、または金属の接続 326 の途中の別の適切な端子において受信され得る。NMOS 304 のソース領域 342 は金属の接続 334 を介して接地端子 340 に結合され、ソース領域 342 と金属結合 334 との間のジャンクション 332 は NMOS 304 のソース端子 332 と呼ばれる。図3に示していないが、製造の後に、主ゲート領域とゲート先端 314、316、320、322、336、および 338 の各々との間の接合は一般に矩形でなく、図1Aを参照しながら上記で示し説明したように、本明細書で説明されるゲート丸め効果により丸められることに留意されたい。製造の後に、MOSFET インバータに関連する実効ゲート領域は、主ゲート領域 312 および 330 と、ゲート先端 314、316、320、322、336、および 338 と、主ゲート領域とゲート先端の各々との間のゲート丸め領域とを備えることができる。

【0050】

図4は、ゲート丸めプロセスを含む例示的なトランジスタ製造工程を示す流れ図 (「フ

ロー」) 400である。フロー400はブロック402において開始する。

【0051】

ブロック402において、製造されるべきトランジスタの基板領域を形成する。一実装形態では、製造システムがトランジスタの基板領域を形成することができる。たとえば、MOSFET100を製造するために、基板領域102は、イオン注入プロセス、イオン拡散プロセス、または別の適切なプロセスを使用して形成され得る。NチャネルMOSFETの場合、基板領域102はp型ドーブ半導体（たとえば、p型ドーブシリコン）であり得る。PチャネルMOSFETの場合、基板領域102はn型ドーブ半導体であり得る。他の実装形態では、トランジスタは接合型FET（JFET）または他の適切なトランジスタであり得ることに留意されたい。フローはブロック404に進む。

10

【0052】

ブロック404において、トランジスタの基板領域上にゲート酸化物層を成長させる。たとえば、製造は、熱酸化プロセスを使用して基板領域102にわたってフィールド酸化物（field oxide）（たとえば、二酸化ケイ素）の層を成長させることができる。次に、フィールド酸化物層は、MOSFETが形成される基板領域102の一部分を曝露するために、（たとえば、フッ化水素（HF）エッチングプロセスまたはフォトエッチングプロセスを使用して）エッチングされ得る。MOSFETが形成される基板領域102の部分（すなわち、ソース領域、ドレイン領域、およびゲート領域）のみからフィールド酸化物をエッチングするために、第1のマスクが採用され得る。次に、（たとえば、熱酸化プロセスを使用して）ゲート酸化物層を成長させることができる。一般に、ゲート酸化物層もフィールド酸化物層（たとえば、二酸化ケイ素）と同じ材料であり得る。しかしながら、ゲート酸化物層の厚さは、一般にフィールド酸化物層の厚さよりもはるかに薄い。フローはブロック406に進む。

20

【0053】

ブロック406において、ゲート酸化物層上にゲート材料を堆積させる。たとえば、製造システムは、化学気相堆積（CVD：chemical vapor deposition）または別の適切な堆積機構を使用して、ゲート酸化物層上に（ポリシリコンとも呼ばれる）多結晶シリコン、アルミニウム、または別の適切なゲート材料を堆積させることができる。ゲート材料は、基板領域全体を覆うゲート酸化物層にわたって堆積され得る。次いで、ゲート領域を形成し、基板領域の他の部分からゲート酸化物とゲート材料とを除去するために、（以下で説明するように）ゲートマスクが使用され得る。フローはブロック408に進む。

30

【0054】

ブロック408において、主ゲート領域と、主ゲート領域に沿った1つまたは複数のゲート先端とを備える適切なゲートマスクを使用してゲート材料をエッチングすることによってゲート領域を形成する。たとえば、製造システムは、ゲート領域を形成するために、ゲートマスクを使用してポリシリコンと対応するゲート酸化物層とをエッチングすることができる。言い換えれば、ゲートマスクは、エッチングされる（または除去される）べきでないポリシリコンのそれらの面積を保護することができる。基板領域上に残っているポリシリコンのこれらの面積（すなわち、除去されないポリシリコンおよびゲート酸化物の面積）はトランジスタのゲート領域を構成する。いくつかの実装形態では、ゲートマスクは、ソース領域およびドレイン領域が形成される基板領域102上のそれらの面積からポリシリコンおよびゲート酸化物をエッチングするために構成され得る。いくつかの実装形態では、ゲートマスクは、それがゲート酸化物（またはMOSFETが形成されない基板領域102のそれらの部分からのフィールド酸化物）を除去しないように構成され得る。ゲートマスクはまた、トランジスタを備える集積回路の設計レイアウトにおける、構成要素間の1つまたは複数の空隙（またはギャップまたは空きスペース）、相互接続などを（たとえば、製造プロセスより前に）識別することによって構成され得る。いくつかの実装形態では、トランジスタの主ゲート領域が設計レイアウト上で識別され得、主ゲート領域に近接（または隣接）する設計レイアウトにおける1つまたは複数の空隙が識別され得る。ゲートマスクは、ゲート先端が対応する空隙内にあるように、主ゲート領域とゲート先

40

50

端とを形成するように、それに応じて設計され得る。

【0055】

いくつかの実装形態では、ポリシリコン（およびゲート酸化物層）は、ゲート先端と主ゲート領域とが互いに直角（90度）であるようにゲートマスクに従ってエッチングされ得る。プロセス制限および物理的制限により、主ゲート領域104は基板領域102に実質的に直角であり得ることを理解されたい。また、プロセス制限/物理的制限により、ゲート先端108および110は、基板領域に実質的に平行であり得、主ゲート領域104に実質的に直角であり得る。たとえば、ゲート先端108および110は基板領域102に完全には平行でないことがあり、完全に平行な位置からの0%~5%偏差を有することがある。他の実装形態では、ゲート先端および主ゲート領域はそれらの接合点において他の適切な角度を有することがある。したがって、ゲート先端は、基板領域102に概して平行であり得るが、ゲート先端と主ゲート領域104との間の接合など、ゲート先端の特定の点（またはセクション）が基板領域102に平行でないことがある。

10

【0056】

主ゲート領域とともに任意の適切な数のゲート先端がエッチングされ得る。たとえば、（図1Aに示した）2つのゲート先端、（図1Bに示した）1つのゲート先端、（図1Cに示した）3つのゲート先端、または（図1Dに示した）4つのゲート先端は主ゲート領域の左側/右側においてエッチングされ得る。いくつかの実装形態では、事前製造分析中に識別された空隙の数にかかわらず、主ゲート領域とともに所定の数のゲート先端のみがエッチングされ得る。他の実装形態では、ゲート先端の数は、事前製造分析中に識別された空隙の数によってのみ制限され得る。図2A~図2Cにおいて上記で説明したように、ゲート先端の長さ154およびゲート先端と基板領域との間の距離152は、トランジスタに関連する実効チャネル長に影響を及ぼすことがある。いくつかの実装形態では、すべてのゲート先端は同じ長さを有し得、基板領域から同じ距離にあり得る。他の実装形態では、ゲート先端のいくつか/すべては、基板領域からの異なる長さおよび/または異なる距離を有し得る。

20

【0057】

製造プロセスのプロセス制限および物理的制限により、各ゲート先端と主ゲート領域との間の接合は、上記で説明したように、実質的に矩形接合から実質的に丸め接合に変化し得る。たとえば、接合は、製造プロセス中にまたは製造プロセスの他のステップ中にトランジスタに熱が加えられた後、実質的に丸め領域に変化し得る。ゲート先端と従来のゲート領域との間の丸め接合を、本明細書ではゲート丸め領域と呼ぶ。上記で説明したように、ゲート丸めプロセスのために、ゲート丸め領域の少なくとも一部分が、主ゲート領域とゲート先端の各々との間の接合の近くのゲート領域の長さを増加させる基板領域を侵食または覆い、したがってトランジスタに関連する実効チャネル長が増加する。実効チャネル長の増加は、トランジスタによって生成されるリーク電流、およびトランジスタに関連する静的電力消費の減少をもたらす。フローはブロック410に進む。

30

【0058】

ブロック410において、トランジスタの基板領域上にソース領域とドレイン領域とを形成する。たとえば、製造システムは、それに応じて基板領域102のエッチングされた部分をドーピングすることによって、基板領域102上にソース領域118とドレイン領域120とを形成することができる。製造システムは、不純物拡散プロセス、イオン注入プロセス、または別の適切なプロセスを使用して、トランジスタの基板領域102上にソース領域とドレイン領域とを形成することができる。たとえば、NチャネルMOSFETの場合、基板領域102はp型ドーピング半導体であり得、ソース領域118およびドレイン領域120は、p型ドーピング基板領域上にn型ドーピングソース領域とn型ドーピングドレイン領域とを形成するために不純物を注入することによって形成され得る。ソース領域、ドレイン領域、およびゲート領域が基板領域上に形成された後、トランジスタ製造プロセスは1つまたは複数の追加のステップを備えることができることに留意されたい。たとえば、基板領域102の表面全体は二酸化ケイ素の絶縁層で覆われ得る。最後に、ソース領域、ドレイン

40

50

領域、およびゲート領域上に金属接点が形成される。トランジスタを集積回路の1つまたは複数の他の構成要素に接続するために金属相互接続が追加される。ブロック408から、フローは終了する。

【0059】

図1A～図4は、実施形態を理解するのを助けるための例であり、実施形態を限定したり、特許請求の範囲を限定したりするために使用されるべきでないことを理解されたい。実施形態は、追加の動作を実行し、より少ない動作を実行し、動作を異なる順序で実行し、動作を並行して実行し、いくつかの動作を別様に実行し得る。本明細書で説明したゲート丸め技法は既存の設計レイアウトに適用され得ることに留意されたい。ゲート丸め技法はまた、MOSFETによって生成されるリーク電流およびそれに関連する静的電力消費をさらに低減するために、MOSFETによって生成されるリーク電流を低減するための既存の技法（たとえば、高しきい値MOSFET設計、長チャネルMOSFET設計など）の拡張として適用され得る。いくつかの実装形態では、MOSFET設計のためのゲート丸め技法は、限定はしないが、標準論理、ドライバ、メモリセル、およびMOSFETを採用する他の集積回路など、様々なタイプの回路において採用され得る。さらに、他の実施形態では、動作のいくつかがトランジスタ製造のために実行される順序は、図4に示した順序とは異なることがあることに留意されたい。

【0060】

本実施形態について、様々な実装形態および活用を参照しながら説明したが、これらの実施形態は例示的なものであり、本発明の主題の範囲はそれらに限定されないことを理解されよう。概して、本明細書で説明した低減されたトランジスタリーク電流のためのゲート丸め技法は、任意の1つまたは複数のハードウェアシステムに一致する設備を用いて実装され得る。多くの変形、修正、追加、および改善が可能である。

【0061】

単一の事例として本明細書で説明した構成要素、動作、または構造について、複数の事例が与えられ得る。最後に、様々な構成要素と、動作と、データストアとの間の境界はいくぶん恣意的であり、特定の動作が、特定の例示的な構成のコンテキストで示されている。機能の他の割振りが想定され、本発明の主題の範囲内に入り得る。概して、例示的な構成において別個の構成要素として提示された構造および機能は、組み合わせられた構造または構成要素として実装され得る。同様に、単一の構成要素として提示された構造および機能は、別個の構成要素として実装され得る。これらおよび他の変形、修正、追加、および改善は、本発明の主題の範囲内に入り得る。

【図 1 A】

図 1A

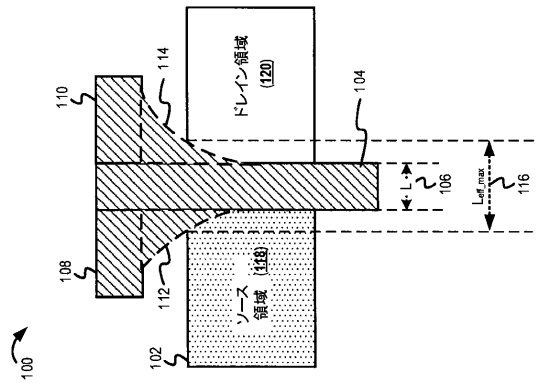


FIG. 1A

【図 1 B】

図 1B

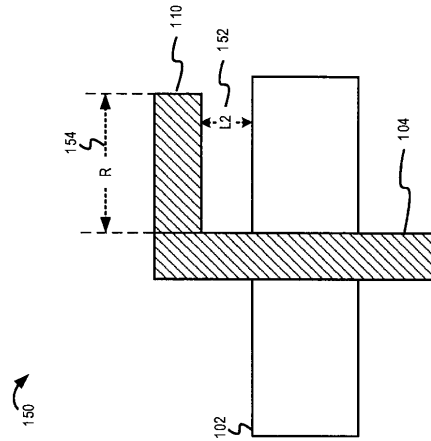


FIG. 1B

【図 1 C】

図 1C

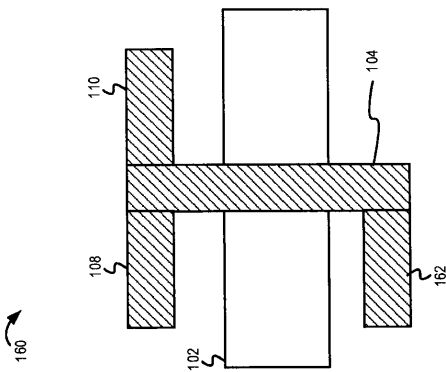


FIG. 1C

【図 1 D】

図 1D

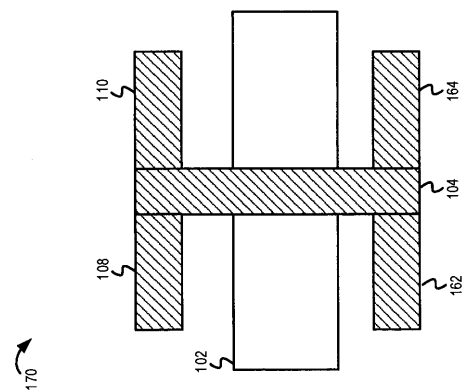


FIG. 1D

【図 2 A】

図 2A

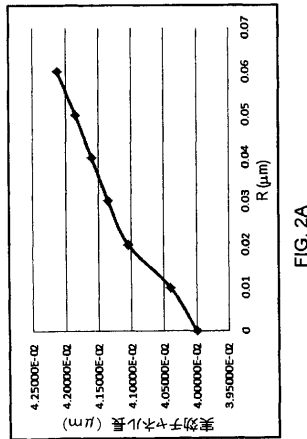


FIG. 2A

【図 2 B】

図 2B

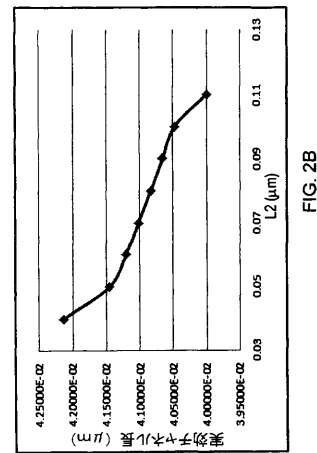


FIG. 2B

【図 2 C】

図 2C

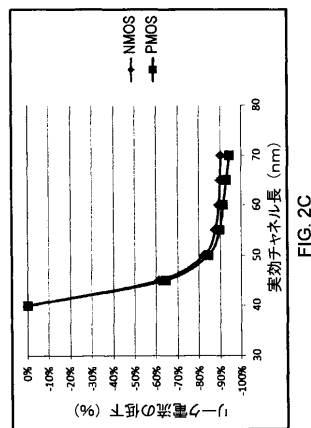


FIG. 2C

【図 3】

図 3

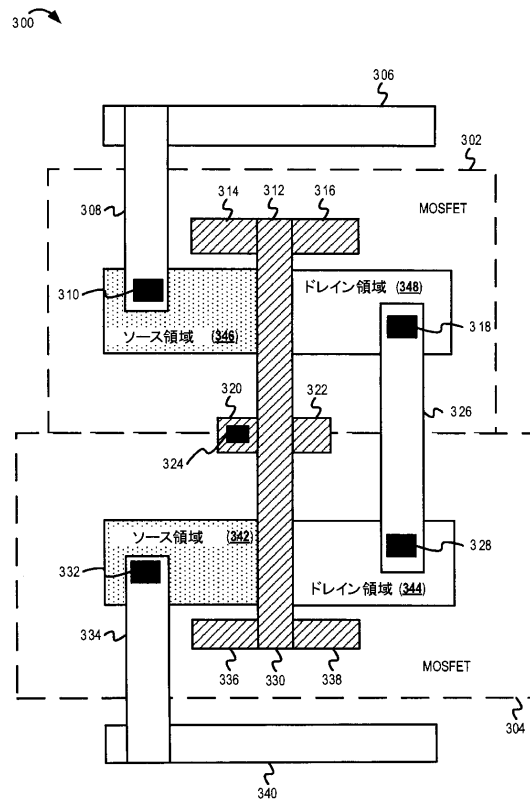


FIG. 3

【図 4】

図 4

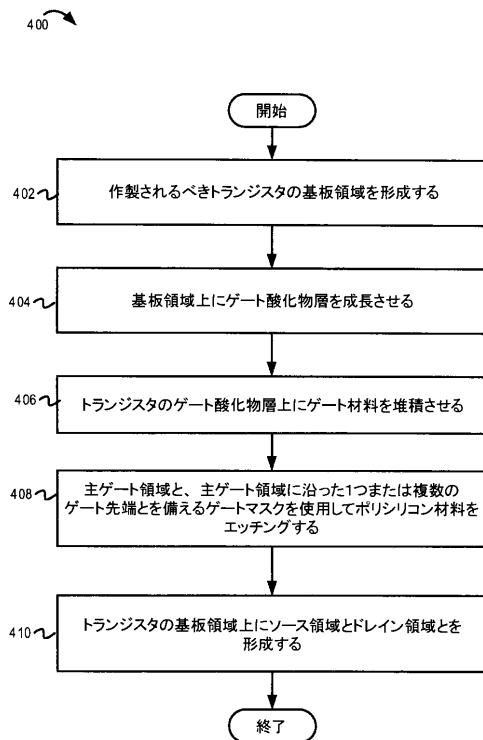


FIG. 4

【手続補正書】

【提出日】平成26年12月4日(2014.12.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明の主題の実施形態は、一般に半導体製造の分野に関し、より詳細には、低減されたトランジスタリーク電流 (leakage current) のためのゲート丸め (gate rounding) に関する。

【背景技術】

【0002】

金属酸化物半導体電界効果トランジスタ (MOSFET: metal oxide semiconductor field effect transistor) は、一般にリーク電流に関連する。理想的には、MOSFETは、MOSFETがオフ状態にバイアスされるとき (たとえば、MOSFETのゲート端子とソース端子との間にバイアス電圧が印加されないとき)、電流を伝導しない。しかしながら、実際には、MOSFETは、(MOSFETのソース領域とドレイン領域とが実装された) 基板を介した、ソース領域とドレイン領域との間の逆バイアスリークのために、リーク電流を生成する。リーク電流は、MOSFETに電力 (「静的電力」) を浪費させ得る。いくつかの事例では、静的電力消費が、MOSFETを備える集積回路の総電力消費の30%を占めることがある。静的電力消費は、(特にバッテリー電源式ポータブル電子デバイスにおいて) 不要な熱を生成することがあり、電力を消耗し得る。

【発明の概要】**【0003】**

いくつかの実施形態では、トランジスタは、ソース領域とドレイン領域とを含む基板領域を備える。トランジスタはまた、主ゲート部分と、1つまたは複数のゲート先端 (gate tip) と、1つまたは複数の対応するゲート丸め (gate-rounded) 部分とを含むゲート領域を備える。1つまたは複数のゲート先端の各々は主ゲート部分の1つの端部において形成される。1つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【0004】

いくつかの実施形態では、ゲート領域は、ポリシリコン主ゲート部分と、1つまたは複数のポリシリコンゲート先端と、1つまたは複数の対応するポリシリコンゲート丸め部分とを備えるポリシリコンゲート領域である。

【0005】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの1つにおいて形成され、1つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。

【0006】

いくつかの実施形態では、所定の長さおよび所定の距離は、ゲート領域製造プロセスと、トランジスタを備える集積回路の幾何学的設計レイアウトと、トランジスタに関連する最小フィーチャ (feature) サイズと、集積回路に関連する1つまたは複数の設計ルールとのうちの少なくとも1つに基づいて決定される。

【0007】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの1つにおいて形成され、1つまたは複数のゲート先端の各々は基板領域に実質的に平行である。

【0008】

いくつかの実施形態では、主ゲート部分は、基板領域の上に形成された主ゲート部分の一部と、第1の端部と、第2の端部とを備える。第1および第2の端部は基板領域に実質的に直角に形成され、1つまたは複数のゲート先端は、端部のうちの1つにおいて形成され、基板領域に実質的に平行である。ゲート領域は、基板領域上に形成されたゲート酸化物部分上に形成される。

【0009】

いくつかの実施形態では、トランジスタは、基板領域とゲート領域との間に形成されたゲート酸化物部分をさらに備える。

【0010】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端は第1のゲート先端を備え、第1のゲート先端は主ゲート部分の第1の端部において形成される。

【0011】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備え、1つまたは複数のゲート先端は第1のゲート先端と第2のゲート先端とを備える。第1のゲート先端と第2のゲート先端とが主ゲート部分の第1の端部において形成されるか、または第1のゲート先端が主ゲート部分の第1の端部において形成され、第2のゲート先端が主ゲート部分の第2の端部において形成される。

【0012】

いくつかの実施形態では、主ゲート部分は第1の端部と第2の端部とを備え、1つまたは複数のゲート先端は、第1のゲート先端と、第2のゲート先端と、第3のゲート先端とを備える。第1のゲート先端と第2のゲート先端とは主ゲート部分の第1の端部において形成され、第3のゲート先端は主ゲート部分の第2の端部において形成される。

【 0 0 1 3 】

いくつかの実施形態では、主ゲート部分は第 1 の端部と第 2 の端部とを備え、1 つまたは複数のゲート先端は、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端と、第 4 のゲート先端とを備える。第 1 のゲート先端と第 2 のゲート先端とは主ゲート部分の第 1 の端部において形成され、第 3 のゲート先端と第 4 のゲート先端とは主ゲート部分の第 2 の端部において形成される。

【 0 0 1 4 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々について、ゲート先端と主ゲート部分との間のゲート丸め領域は、トランジスタに関連する実効チャネル長を増加させる基板領域の一部分にわたって拡大する。

【 0 0 1 5 】

いくつかの実施形態では、トランジスタに関連する実効チャネル長は、トランジスタに関連する平均ゲート長である。平均ゲート長は、1 つまたは複数のゲート丸め部分によって覆われ覆われる基板領域の第 1 の部分に関連する第 1 のゲート長と、1 つまたは複数のゲート丸め部分によって覆われ覆われない基板領域の第 2 の部分に関連する第 2 のゲート長とに少なくとも部分的に基づいて計算される。

【 0 0 1 6 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々について、ゲート先端の長さの増加が、トランジスタに関連する実効チャネル長を増加させ、ゲート先端と基板領域との間の距離の減少が、トランジスタに関連する実効チャネル長を増加させる。

【 0 0 1 7 】

いくつかの実施形態では、トランジスタは金属酸化物半導体電界効果トランジスタ (MOSFET) である。

【 0 0 1 8 】

いくつかの実施形態では、金属酸化物半導体電界効果トランジスタ (MOSFET) は、ソース領域とドレイン領域とを含む基板領域、および主ゲート部分と、1 つまたは複数のゲート先端と、1 つまたは複数の対応するゲート丸め部分とを含むゲート領域を備える。主ゲート部分は第 1 の端部と第 2 の端部とを備える。1 つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの 1 つにおいて形成され、1 つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。1 つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【 0 0 1 9 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々は、MOSFET を備える集積回路の設計レイアウトにおける構成要素間の対応する 1 つまたは複数の空隙内に形成される。

【 0 0 2 0 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定される。

【 0 0 2 1 】

いくつかの実施形態では、1 つまたは複数のゲート先端の各々は基板領域までの異なる長さおよび異なる距離に関連する。

【 0 0 2 2 】

いくつかの実施形態では、主ゲート部分は第 1 の端部と第 2 の端部とを備える。1 つまたは複数のゲート先端は第 1 のゲート先端を備え、第 1 のゲート先端は主ゲート部分の端部のうちの 1 つにおいて形成されるか、1 つまたは複数のゲート先端は第 1 のゲート先端と第 2 のゲート先端とを備え、第 1 のゲート先端は主ゲート部分の第 1 の端部において形成され、第 2 のゲート先端は主ゲート部分の第 2 の端部において形成されるか、1 つまたは複数のゲート先端は、第 1 のゲート先端と、第 2 のゲート先端と、第 3 のゲート先端とを備え、第 1 のゲート先端と第 2 のゲート先端とは主ゲート部分の第 1 の端部において形

成され、第3のゲート先端は主ゲート部分の第2の端部において形成されるか、または1つまたは複数のゲート先端は、第1のゲート先端と、第2のゲート先端と、第3のゲート先端と、第4のゲート先端とを備え、第1のゲート先端と第2のゲート先端とは主ゲート部分の第1の端部において形成され、第3のゲート先端と第4のゲート先端とは主ゲート部分の第2の端部において形成される。

【0023】

いくつかの実施形態では、集積回路が複数のトランジスタを備え、複数のトランジスタの各々は、ソース領域とドレイン領域とを含む基板領域、および主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを含むゲート領域を備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部において形成され、1つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【0024】

いくつかの実施形態では、複数のトランジスタの各々について、トランジスタの主ゲート部分は第1の端部と第2の端部とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部のうちの1つにおいて形成され、1つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。

【0025】

いくつかの実施形態では、複数のトランジスタの各々について、1つまたは複数のゲート先端の各々は、集積回路の設計レイアウトにおける構成要素間の対応する1つまたは複数の空隙内に形成される。

【0026】

いくつかの実施形態では、複数のトランジスタの各々について、1つまたは複数のゲート先端の各々の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定される。

【0027】

いくつかの実施形態では、方法が、集積回路のトランジスタの基板領域上にゲート酸化物層を形成することであって、基板領域がソース領域とドレイン領域とを備える、形成することと、トランジスタのゲート酸化物層上にゲート材料を堆積させることと、トランジスタのゲート領域を形成するためにトランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を除去することとを備える。ゲート領域は、主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを備える。1つまたは複数のゲート先端の各々は主ゲート部分の端部において形成され、1つまたは複数のゲート先端の各々は、実質的に所定の長さを有し、基板領域から実質的に所定の距離において形成される。1つまたは複数のゲート先端の各々について、対応するゲート丸め部分がゲート先端と主ゲート部分との間の接合において形成される。

【0028】

いくつかの実施形態では、トランジスタのゲート領域を形成するためにトランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を前記除去することは、トランジスタの基板領域からゲート材料と対応するゲート酸化物層との一部分を除去し、主ゲート部分と、1つまたは複数のゲート先端と、1つまたは複数の対応するゲート丸め部分とを含む、トランジスタのゲート領域を形成するために、ゲート製造マスクを適用することを備える。

【0029】

いくつかの実施形態では、1つまたは複数のゲート先端の各々は、主ゲート部分と、集積回路の1つまたは複数の構成要素との間の対応する空隙内に形成される。

【0030】

いくつかの実施形態では、1つまたは複数のゲート先端の各々について、ゲート先端の長さは、ゲート先端がその中に形成された空隙の長さに少なくとも部分的に基づいて決定される。

【 0 0 3 1 】

いくつかの実施形態では、ゲート先端の長さの増加が、トランジスタに関連する実効チャンネル長を増加させ、ゲート先端と基板領域との間の距離の減少が、トランジスタに関連する実効チャンネル長を増加させる。

【 0 0 3 2 】

添付の図面を参照することによって、本実施形態はより良く理解され得、多数の目的、特徴、および利点が当業者に明らかになり得る。

【図面の簡単な説明】

【 0 0 3 3 】

【図 1 A】M O S F E T によって生成されるリーク電流を最小限に抑えるためにゲート丸めプロセスを採用するM O S F E T の例示的な概念図。

【図 1 B】M O S F E T の実効チャンネル長に影響を及ぼすゲート丸めパラメータを含むM O S F E T の例示的な概念図。

【図 1 C】3つのゲート先端を備えるM O S F E T の例示的な概念図。

【図 1 D】4つのゲート先端を備えるM O S F E T の例示的な概念図。

【図 2 A】M O S F E T に関連する実効チャンネル長とゲート先端の長さとの間の関係を示す例示的なグラフ。

【図 2 B】M O S F E T に関連する実効チャンネル長と、ゲート先端と基板領域との間の距離との間の関係を示す例示的なグラフ。

【図 2 C】M O S F E T に関連する実効チャンネル長とM O S F E T によって生成されるリーク電流との間の関係を示す例示的なグラフ。

【図 3】ゲート丸めプロセスを使用して製造されたM O S F E T を使用した例示的なインバータレイアウトを示す図。

【図 4】ゲート丸めプロセスを含む例示的なトランジスタ製造動作を示す流れ図。

【発明を実施するための形態】

【 0 0 3 4 】

以下の説明は、本発明の主題の技法を実施する例示的なシステム、方法、技法、構造、および回路要素を含む。ただし、説明する実施形態は、これらの具体的な詳細なしに実施され得ることを理解されたい。たとえば、例では、M O S F E T のゲート領域を製造するためにポリシリコン材料が採用されることに言及するが、他の実施形態では、M O S F E T のゲート領域を製造するために他の適切な材料（たとえば、金属）が採用され得る。例では、M O S F E T におけるリーク電力を低減するためのゲート丸め技法について説明するが、他の実施形態では、ゲート丸め技法は、他の適切なトランジスタ（たとえば、接合型電界効果トランジスタ（J F E T : junction field effect transistor）など）におけるリーク電流を低減するために適用され得る。他の事例では、説明を不明瞭にしないために、よく知られている構造および技法を詳細に図示していない。

【 0 0 3 5 】

M O S F E T におけるリーク電流によって生じる静的電力消費は、（M O S F E T を備える）集積回路に供給される電力の不要な消耗をもたらすことがある。さらに、M O S F E T のサイズが減少するにつれて、M O S F E T によって生成されるリーク電流は増加する。これにより、M O S F E T および集積回路の静的電力消費が増加することがある。M O S F E T によって生成されるリーク電流を低減し、静的電力消費を低減するためのいくつかの既存の技法は、高しきい値M O S F E T 設計または長チャンネルM O S F E T 設計を含む。高しきい値M O S F E T 設計は、製造のために1つまたは複数の追加のマスクを必要とする高しきい値M O S F E T を利用することができる。したがって、高しきい値M O S F E T 設計を実装することは、M O S F E T 設計および製造のコストを増加させることがある。長チャンネルM O S F E T 設計は、ゲート領域の長さを増加させることによって、チャンネル長を増加させる（すなわち、M O S F E T のソース領域とドレイン領域との間の距離を増加させる）ことを試みる。しかしながら、ゲート領域（およびチャンネル長）の増加に適應するために、長チャンネルM O S F E T 設計は、より大きい面積を必要とし得、そ

れにより、コストが増加し、集積回路におけるあまりに多くのダイ面積が利用され得る。

【0036】

MOSFETの実効チャネル長を増加させるために、したがってMOSFETに関連するリーク電流および静的電力消費を低減するために、MOSFET設計および製造においてゲート丸め技法が実装され得る。ゲート丸め技法によれば、従来のMOSFETにおけるゲート領域（「主ゲート領域」）とともに、ポリシリコン（またはゲート領域を構成するために採用される他の材料）の1つまたは複数のセグメントが置かれ得る。主ゲート領域とともに置かれた1つまたは複数のセグメントを、本明細書では「ゲート先端」と呼ぶ。製造中に、主ゲート領域とゲート先端の各々との間の接合は丸め形状（「ゲート丸め領域」）をとる。ゲート丸め領域はMOSFETのゲート領域の平均長を増やし、したがって、MOSFETに関連する実効チャネル長が増加する。MOSFETに関連する実効チャネル長の増加はMOSFETのリーク電流および静的電力消費の減少を引き起こす。MOSFETの実効チャネル長を増加させるためにゲート丸め技法を採用することは、MOSFETを設計および製造することに関連するコストおよび面積を減らすことができる。ゲート丸め技法は、集積回路の設計レイアウトにおける空隙（または空きスペース）内のゲート先端を実装し、したがって、設計レイアウトによって利用される面積の量が増加しないことを保証する。

【0037】

図1Aは、リーク電流を最小限に抑えるためにゲート丸めプロセスを採用するMOSFET100の例示的な概念図（上面図）である。MOSFET100は、基板領域102と、（以下で説明するようにセグメント104、108、110、112、および114によって表される）ゲート領域とを備える。図1Aでは、ゲート領域を表すために、斜めのハッチが使用される。基板領域102はソース領域118とドレイン領域120とを備える。ソース領域118およびドレイン領域120は、基板領域102と比較して、両方とも逆にドーピングされた領域である。NチャネルMOSFETの一例では、ソース領域118およびドレイン領域120は、P型ドーピング半導体基板（たとえば、P型ドーピングシリコン）上のN型ドーピング半導体領域（たとえば、N型ドーピングシリコン）であり得る。ゲート領域は半導体基板層102の上に置かれる。ゲート領域はゲート酸化物層（一般に二酸化ケイ素、図示せず）によって基板領域102から分離される。基板領域102上にあるゲート酸化物層上にゲート領域を作成するために、ポリシリコンまたは別の適切な材料が利用され得る。一般に、ソース領域118とドレイン領域120とは、図1Aに示すようにゲート領域の両側にある。MOSFET100のゲート領域およびソース領域118の両端間に（またはゲート領域およびドレイン領域120の両端間に）電圧が印加されたとき、基板領域102を通してソース領域118からドレイン領域120までチャンネルが作成される。チャンネル長は、ソース領域118とドレイン領域120との間の分離幅であり、一般にゲート領域の長さに等しい。図1Aを参照すると、MOSFETは、現在、MOSFETのゲート領域が「主ゲート領域」104のみを備えるように製造される。したがって、現在の技法を用いて製造されるMOSFETの（図1AにL106として示された）チャンネル長は、一般に主ゲート領域104の幅である。

【0038】

いくつかの実施形態では、ゲート丸めプロセスに従って、主ゲート領域104とともに追加のポリシリコン材料（「ゲート先端」）が置かれ得る。図1Aに示すように、ゲート先端108は主ゲート領域104の1つの端部の左側に置かれ、ゲート先端110は主ゲート領域104の同じ端部の右側に置かれる。主ゲート領域104ならびにゲート先端108および110はともにT字形ゲート領域を形成する。以下でさらに説明するように、ゲート先端108および110は、ゲート先端と基板領域102との間に分離/ギャップがあるように置かれ得る。しかしながら、MOSFETのサブミクロンサイズおよび製造プロセス（たとえば、フォトリソグラフィプロセス）の欠陥のために、主ゲート領域104とゲート先端108および110の各々との間の接合は矩形エッジを有しないことがある。言い換えれば、主ゲート領域104とゲート先端108および110の各々との間の

接合は、互いに90度でないことがあるが、図1Aに示すように丸められ得る。主ゲート領域104とゲート先端108および110の各々との間の接合が丸められるこのプロセスを、本明細書では「ゲート丸め」と呼ぶ。図1Aでは、(破線によって示される)ゲート丸め領域112は、ゲート先端108と主ゲート領域104との接合において形成される。同様に、(破線によって示される)ゲート丸め領域114は、ゲート先端110と主ゲート領域104との接合において形成される。したがって、ゲート丸めを使用した製造の後に、MOSFETの実効ゲート領域は、主ゲート領域104と、ゲート先端108および110と、ゲート丸め領域112および114とを備える。図1Aに示すように、ゲート丸め領域112および114は、基板領域102の一部分を侵食または覆うことによって、したがって主ゲート領域104とゲート先端108および110との間の接合の近くのゲート領域の長さを増加させることによって、ソース領域118とドレイン領域120との間のチャンネルの実効長を増加させる。ゲート丸め領域112および114が基板領域102のいくつかの部分の覆うので、これらの覆われる部分におけるゲート領域の長さは増加するが、(ゲート丸め領域112および114によって覆われない)他の部分におけるゲート領域の長さは同じままである。したがって、覆われる部分におけるゲート長の増加のために、ゲート領域の実効長は増加する。ゲート領域の実効長はゲート領域の平均長として計算され得る。一実装形態では、ゲート領域の実効長は、ゲート丸め領域112および114によって覆われる(すなわち、ゲート長が増加した)部分におけるゲート領域の長さ、ならびにゲート丸め領域112および114によって覆われない(すなわち、ゲート長が増加しなかった)他の部分におけるゲート領域の長さの平均として計算され得る。

【0039】

最大実効チャンネル長は、 L_{eff_max} 116として図1Aに示されており、基板領域102の上にある(ゲート丸めの後の)ゲート領域の最も長い部分であり得る。言い換えれば、図1AのMOSFET 100の上面図を参照すると、最大実効チャンネル長116は、A)ゲート丸め領域112と基板領域102との上面図(視覚)交差点と、B)ゲート丸め領域114と基板領域102との上面図(視覚)交差点との間の近似距離であり得る。

【0040】

図1Aは、説明を簡単で容易にするために、複数のセグメントに分割されているMOSFET 100のゲート領域(すなわち、主ゲート領域104、ゲート先端108および110、ならびにゲート丸め領域112および114)を示していることに留意されたい。実際には、MOSFET 100のゲート領域は単一の領域として構成される。したがって、主ゲート領域104ならびにゲート先端108および110は、単一の領域として基板領域102上のゲート酸化物層上に据え付けられ得る。ゲート丸め領域112および114は、本明細書で説明するようにフォトリソグラフィプロセス中に形成され得る。

【0041】

図1Bは、MOSFETの実効チャンネル長に影響を及ぼすゲート丸めパラメータを含むMOSFET 150の例示的な概念図である。図1Bは、基板領域102と、(領域104、110、および114によって表される)ゲート領域とを備えるMOSFET 150を示している。図1BのMOSFET 150は、主ゲート領域104の1つの端部の右側に置かれた単一のゲート先端110を備える。したがって、図1Aを参照しながら上記で説明したように、製造の後に、ゲート先端110と主ゲート領域104との間の接合は、ゲート丸め領域114(図1Bに図示せず)を形成するために丸められる。したがって、図1Bでは、実効ゲート領域は、主ゲート領域104と、ゲート先端110と、ゲート丸め領域114とを備える。図1Bはまた、MOSFETの実効チャンネル長に影響を及ぼすことがあるゲート丸めパラメータを示す。ゲート丸めパラメータは、A)ゲート先端110と基板領域102との間の距離(L_2) 152と、B)ゲート先端110の長さ(R) 154とである。

【0042】

ゲート先端110と基板領域102との間の距離152およびゲート先端の長さ154

は、カスタマイズ可能であり得、製造プロセスと、幾何学的レイアウト制約と、最小フィーチャサイズと、設計ルールと、他のそのような制約とに依存し得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、シミュレーションと他のデータ分析とに基づいて決定され得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、M O S F E T が実装される集積回路のレイアウトに応じて異なり得る。他の実装形態では、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は複数の集積回路レイアウトにわたって一定のままであり得る。一般に、固有のプロセスばらつき / 物理的ばらつきのために、ゲート先端は、ほぼ所定の長さ 1 5 4 を有することがあり、基板領域 1 0 2 から実質的に所定の距離 1 5 2 において形成され得る。たとえば、ゲート先端と基板領域との間の所定の距離 1 5 2 は 4 0 n m であり得る。いくつかの実装形態では、製造の後に、ゲート先端と基板領域との間の距離は所定の距離（たとえば、4 0 n m）の 0 % から 5 % まで変動し得る。他の実装形態では、製造の後に、ゲート先端と基板領域との間の距離は所定の距離の 5 % から 1 0 % まで変動し得る。別の例として、ゲート先端の所定の長さ 1 5 4 は 6 0 n m であり得る。いくつかの実装形態では、製造の後に、ゲート先端の長さは所定の長さ（たとえば、6 0 n m）の 0 % から 5 % まで変動し得る。ゲート丸め領域 1 1 2 および 1 1 4 は、対応するゲート先端と基板領域 1 0 2 との間のギャップ全体を包含しないことがあることに留意されたい。言い換えれば、ゲート先端は基板領域 1 0 2 から実質的に距離 1 5 2 において最初に堆積され得るが、ゲート丸め領域が主ゲート領域とゲート先端との接合において形成された後、ゲート先端と基板領域 1 0 2 との間の距離 1 5 2 の一部は、対応するゲート丸め領域によって覆われ得る。しかしながら、ゲート先端の端部または概してゲート先端全体は基板領域 1 0 2 からほぼ距離 1 5 2 にとどまる。

【 0 0 4 3 】

図 2 A ~ 図 2 C でさらに説明するように、ゲート先端と基板領域との間の距離 1 5 2 およびゲート先端の長さ 1 5 4 は、M O S F E T に関連する実効チャネル長を変更するために変化させられ得る。

【 0 0 4 4 】

図 1 は、2 つのゲート先端 1 0 8 および 1 1 0 と、対応する 2 つのゲート丸め領域 1 1 2 および 1 1 4 とを備える M O S F E T 1 0 0 を示しているが、実施形態はそのように限定されないことに留意されたい。いくつかの実施形態では、M O S F E T は任意の適切な数のゲート先端を備えることができる。たとえば、図 1 B に示すように、M O S F E T 1 5 0 は、逆 L 字形ゲート領域を形成するために主ゲート領域の 1 つの端部の右（または左）側に置かれた 1 つのゲート先端を備えることができる。別の例として、2 つのゲート先端は、逆 T 字形ゲート領域を形成するために主ゲート領域の 1 つの端部の左側および右側に置かれ得る。別の例として、第 1 のゲート先端および第 2 のゲート先端がそれぞれ主ゲート領域の第 1 の端部および第 2 の端部に置かれ得る。別の例として、図 1 C の M O S F E T レイアウト 1 6 0 に示すように、主ゲート領域 1 0 4 とともに 3 つのゲート先端が置かれ得る。図 1 C では、ゲート先端 1 0 8 および 1 1 0 は、（図 1 A を参照しながら説明したように）主ゲート領域 1 0 4 の一方の端部の左側および右側に置かれる。さらに、第 3 のゲート先端 1 6 2 が主ゲート領域 1 0 4 の他方の端部の左側に置かれる。したがって、M O S F E T レイアウト 1 6 0 では、実効ゲート領域は、主ゲート領域 1 0 4 と、ゲート先端 1 0 8、1 1 0、および 1 6 2 と、主ゲート領域とゲート先端の各々との間のゲート丸め領域（図示せず）とを備える。別の例として、図 1 D の M O S F E T レイアウト 1 7 0 によって示されるように、主ゲート領域 1 0 4 とともに 4 つのゲート先端が置かれ得る。図 1 D では、ゲート先端 1 0 8 および 1 1 0 は、（図 1 A を参照しながら説明したように）主ゲート領域 1 0 4 の一方の端部の左側および右側に置かれ、第 3 のゲート先端 1 6 2 は、（図 1 C に示したように）主ゲート領域の他方の端部の左側に置かれる。さらに、第 4 のゲート先端 1 6 4 が主ゲート領域 1 0 4 のその端部の右側に置かれる。したがって、M O S F E T レイアウト 1 7 0 では、実効ゲート領域は、主ゲート領域 1 0 4 と、ゲート先端 1 0 8、1 1 0、1 6 2、および 1 6 4 と、対応するゲート丸め領域（図示せず）

）とを備える。別の例として、集積回路チップ上の利用可能なスペース（たとえば、主ゲート領域 104 と集積回路の他の構成要素との間の空隙）に応じて、他の適切な数のゲート先端が、主ゲート領域 104 の左側および / または右側において（たとえば、一方の端部において、両方の端部において、長さに沿って）置かれ得る。

【0045】

図 2 A は、M O S F E T に関連する実効チャネル長とゲート先端の長さとの間の関係を示す例示的なグラフである。Y 軸は実効チャネル長をマイクロメートル (μm) で表すが、X 軸はゲート先端の長さ (R) 154 を表す。図 2 A によって示されるように、実効チャネル長はゲート先端の長さ 154 との直接関係を有する。実効チャネル長とゲート先端の長さ 154 との間の関係を決定する際に、ゲート先端と基板領域との間の距離 ($L2$) 152 および基板領域 102 の幅は一定であると仮定される。したがって、図 2 A に示すように、ゲート先端の長さ 154 が増加するにつれて、実効チャネル長は増加する。これは、ゲート先端の長さ 154 が増加するにつれて、（ゲート先端と主ゲート領域との接合において）ゲート丸め領域の弧長が増加し、ゲート丸め領域のより大きい部分が基板領域を侵食または覆うからである。これにより、主ゲート領域とゲート先端との間の接合の近くのゲート領域の長さが増加し、ソース領域とドレイン領域との間の実効分離が増加し、M O S F E T の実効チャネル長が増加する。図 2 C を参照しながら説明するように、実効チャネル長の増加は、M O S F E T によって生成されるリーク電流の減少を引き起こす。いくつかの実装形態では、ゲート先端の長さ 154 は、M O S F E T を備える集積回路の設計レイアウトに依存することがある。言い換えれば、ゲート先端の長さ 154 は、ゲート先端が対応する空隙内にあるように、設計レイアウトにおける構成要素間の空隙と同じくらい大きく（または小さく）なり得る。

【0046】

図 2 B は、M O S F E T に関連する実効チャネル長と、ゲート先端と基板領域との間の距離との間の関係を示す例示的なグラフである。Y 軸は実効チャネル長をマイクロメートル (μm) で表すが、X 軸はゲート先端と基板領域との間の距離 152 を表す。図 2 B によって示されるように、実効チャネル長はゲート先端と基板領域との間の距離 ($L2$) 152 との逆関係を有する。実効チャネル長と距離 $L2$ 152 との間の関係を決定する際に、ゲート先端の長さ 154 および基板領域 102 の幅は一定であると仮定される。したがって、図 2 B に示すように、距離 $L2$ 152 が減少するにつれて、実効チャネル長は増加する。これは、ゲート先端と基板領域との間の距離 152 が減少するにつれて、（ゲート先端と主ゲート領域との接合において）ゲート丸め領域のより大きい部分が基板領域を侵食または覆うからである。これにより、主ゲート領域とゲート先端との間の接合の近くのゲート領域の長さが増加し、ソース領域とドレイン領域との間の実効分離が増加し、M O S F E T の実効チャネル長が増加する。図 2 C を参照しながら説明するように、実効チャネル長の増加は、M O S F E T によって生成されるリーク電流の減少を引き起こす。いくつかの実装形態では、ゲート先端と基板領域との間の距離 152 は、40 nm から 50 nm の範囲内にあるように選択され得る。いくつかの実装形態では、ゲート先端と基板領域との間の距離 152 は、製造プロセス、幾何学的レイアウト制約などに応じて選択され得る。たとえば、最小フィーチャサイズが 40 nm である場合、ゲート先端と基板領域との間の距離 152 は、一般に 40 nm 未満でないことがある（ただし、上記で説明したように、製造プロセスによりある程度のばらつきがありうる）。

【0047】

図 2 C は、M O S F E T に関連する実効チャネル長と M O S F E T によって生成されるリーク電流との間の関係を示す例示的なグラフである。Y 軸は、M O S F E T によって生成されるリーク電流の減少率を表すが、X 軸は実効チャネル長をナノメートル (nm) で表す。図 2 C によって示されるように、M O S F E T に関連する実効チャネル長が増加するにつれて、M O S F E T によって生成されるリーク電流は指数関数的に減少する。いくつかの実装形態では、図 2 C のグラフに基づいて、ゲート先端の長さ 154 およびゲート先端と基板領域との間の距離 152 は、実効チャネル長が 45 nm にほぼ等しいかまたは

それよりも大きくなるように変化させられ得る。いくつかの実装形態では、リーク電流の一定の低減を達成するために必要とされ得る実効チャネル長は、実装される製造プロセスに応じて変動し得る。

【0048】

図3は、ゲート丸めプロセスを使用して製造されたMOSFETを使用した例示的なインバータレイアウト300の上面図である。インバータレイアウト300は、PチャネルMOSFET (PMOS) 302とNチャネルMOSFET (NMOS) 304とを備える相補型MOSFET (CMOS) インバータを示している。インバータレイアウト300または、電源レール (power supply rail) 306と接地端子 (または基準電源レール) 340とを示している。PMOS 302は、基板領域と、主ゲート領域312と、主ゲート領域312の1つの端部に置かれたゲート先端314および316とを備える。PMOS 302の基板領域はソース領域346とドレイン領域348とを備える。ソース領域346とドレイン領域348とは主ゲート領域312によって分離される。同様に、NMOS 304は、基板領域と、主ゲート領域330と、主ゲート領域330の1つの端部に置かれたゲート先端336および338とを備える。NMOS 304の基板領域はソース領域342とドレイン領域344とを備える。ソース領域342とドレイン領域344とは主ゲート領域330によって分離される。インバータレイアウト300では、PMOS 302とNMOS 304とは、共通ゲート、共通ドレイン構成において互いに接続される。したがって、図3に示すように、PMOS 302の主ゲート領域312はNMOS 304の主ゲート領域330に結合される。さらに、ゲート先端320および322も、結合された主ゲート領域の長さに沿った適切な中間位置に置かれる。たとえば、ゲート先端320および322は、主ゲート領域312および330の交差部においてまたはその近くに置かれ得る。共通ゲート端子324はゲート先端320上にある。共通ゲート端子324を介して入力信号がインバータに与えられ得る。インバータレイアウト300の他の実装形態では、任意の適切な数のゲート先端が主ゲート領域の左側/右側に置かれ得ることに留意されたい。さらに、共通ゲート端子は主ゲート領域上のまたはゲート先端上の任意の位置に配置され得る。

【0049】

PMOS 302のソース領域346は金属の接続308を介して電源レール306に結合され、ソース領域346と金属結合308との間のジャンクション (junction) 310はPMOS 302のソース端子310と呼ばれる。PMOS 302のドレイン領域348は金属の接続326を介してNMOS 304のドレイン領域344に結合される。PMOS 302のドレイン領域348と金属の接続326との間のジャンクション318はPMOS 302のドレイン端子318と呼ばれる。NMOS 304のドレイン領域344と金属の接続326との間のジャンクション328はNMOS 304のドレイン端子328と呼ばれる。出力信号 (すなわち、ゲート端子324において与えられる入力信号の反転) は、ドレイン端子318、ドレイン端子328、または金属の接続326の途中の別の適切な端子において受信され得る。NMOS 304のソース領域342は金属の接続334を介して接地端子340に結合され、ソース領域342と金属結合334との間のジャンクション332はNMOS 304のソース端子332と呼ばれる。図3に示していないが、製造の後に、主ゲート領域とゲート先端314、316、320、322、336、および338の各々との間の接合は一般に矩形でなく、図1Aを参照しながら上記で示し説明したように、本明細書で説明されるゲート丸め効果により丸められることに留意されたい。製造の後に、MOSFETインバータに関連する実効ゲート領域は、主ゲート領域312および330と、ゲート先端314、316、320、322、336、および338と、主ゲート領域とゲート先端の各々との間のゲート丸め領域とを備えることができる。

【0050】

図4は、ゲート丸めプロセスを含む例示的なトランジスタ製造工程を示す流れ図 (「フロー」) 400である。フロー400はブロック402において開始する。

【 0 0 5 1 】

ブロック 4 0 2 において、製造されるべきトランジスタの基板領域を形成する。一実装形態では、製造システムがトランジスタの基板領域を形成することができる。たとえば、M O S F E T 1 0 0 を製造するために、基板領域 1 0 2 は、イオン注入プロセス、イオン拡散プロセス、または別の適切なプロセスを使用して形成され得る。N チャネル M O S F E T の場合、基板領域 1 0 2 は p 型ドープ半導体（たとえば、p 型ドープシリコン）であり得る。P チャネル M O S F E T の場合、基板領域 1 0 2 は n 型ドープ半導体であり得る。他の実装形態では、トランジスタは接合型 F E T (J F E T) または他の適切なトランジスタであり得ることに留意されたい。フローはブロック 4 0 4 に進む。

【 0 0 5 2 】

ブロック 4 0 4 において、トランジスタの基板領域上にゲート酸化物層を成長させる。たとえば、製造は、熱酸化プロセスを使用して基板領域 1 0 2 にわたってフィールド酸化物 (field oxide) (たとえば、二酸化ケイ素) の層を成長させることができる。次に、フィールド酸化物層は、M O S F E T が形成される基板領域 1 0 2 の一部分を曝露するために、(たとえば、フッ化水素 (H F) エッチングプロセスまたはフォトエッチングプロセスを使用して) エッチングされ得る。M O S F E T が形成される基板領域 1 0 2 の部分 (すなわち、ソース領域、ドレイン領域、およびゲート領域) のみからフィールド酸化物をエッチングするために、第 1 のマスクが採用され得る。次に、(たとえば、熱酸化プロセスを使用して) ゲート酸化物層を成長させることができる。一般に、ゲート酸化物層もフィールド酸化物層 (たとえば、二酸化ケイ素) と同じ材料であり得る。しかしながら、ゲート酸化物層の厚さは、一般にフィールド酸化物層の厚さよりもはるかに薄い。フローはブロック 4 0 6 に進む。

【 0 0 5 3 】

ブロック 4 0 6 において、ゲート酸化物層上にゲート材料を堆積させる。たとえば、製造システムは、化学気相堆積 (C V D : chemical vapor deposition) または別の適切な堆積機構を使用して、ゲート酸化物層上に (ポリシリコンとも呼ばれる) 多結晶シリコン、アルミニウム、または別の適切なゲート材料を堆積させることができる。ゲート材料は、基板領域全体を覆うゲート酸化物層にわたって堆積され得る。次いで、ゲート領域を形成し、基板領域の他の部分からゲート酸化物とゲート材料とを除去するために、(以下で説明するように) ゲートマスクが使用され得る。フローはブロック 4 0 8 に進む。

【 0 0 5 4 】

ブロック 4 0 8 において、主ゲート領域と、主ゲート領域に沿った 1 つまたは複数のゲート先端とを備える適切なゲートマスクを使用してゲート材料をエッチングすることによってゲート領域を形成する。たとえば、製造システムは、ゲート領域を形成するために、ゲートマスクを使用してポリシリコンと対応するゲート酸化物層とをエッチングすることができる。言い換えれば、ゲートマスクは、エッチングされる (または除去される) べきでないポリシリコンのそれらの面積を保護することができる。基板領域上に残っているポリシリコンのこれらの面積 (すなわち、除去されないポリシリコンおよびゲート酸化物の面積) はトランジスタのゲート領域を構成する。いくつかの実装形態では、ゲートマスクは、ソース領域およびドレイン領域が形成される基板領域 1 0 2 上のそれらの面積からポリシリコンおよびゲート酸化物をエッチングするために構成され得る。いくつかの実装形態では、ゲートマスクは、それがゲート酸化物 (または M O S F E T が形成されない基板領域 1 0 2 のそれらの部分からのフィールド酸化物) を除去しないように構成され得る。ゲートマスクはまた、トランジスタを備える集積回路の設計レイアウトにおける、構成要素間の 1 つまたは複数の空隙 (またはギャップまたは空きスペース)、相互接続などを (たとえば、製造プロセスより前に) 識別することによって構成され得る。いくつかの実装形態では、トランジスタの主ゲート領域が設計レイアウト上で識別され得、主ゲート領域に近接 (または隣接) する設計レイアウトにおける 1 つまたは複数の空隙が識別され得る。ゲートマスクは、ゲート先端が対応する空隙内にあるように、主ゲート領域とゲート先端とを形成するように、それに応じて設計され得る。

【 0 0 5 5 】

いくつかの実装形態では、ポリシリコン（およびゲート酸化物層）は、ゲート先端と主ゲート領域とが互いに直角（90度）であるようにゲートマスクに従ってエッチングされ得る。プロセス制限および物理的制限により、主ゲート領域104は基板領域102に実質的に直角であり得ることを理解されたい。また、プロセス制限/物理的制限により、ゲート先端108および110は、基板領域に実質的に平行であり得、主ゲート領域104に実質的に直角であり得る。たとえば、ゲート先端108および110は基板領域102に完全には平行でないことがあり、完全に平行な位置からの0%~5%偏差を有することがある。他の実装形態では、ゲート先端および主ゲート領域はそれらの接合点において他の適切な角度を有することがある。したがって、ゲート先端は、基板領域102に概して平行であり得るが、ゲート先端と主ゲート領域104との間の接合など、ゲート先端の特定の点（またはセクション）が基板領域102に平行でないことがある。

【 0 0 5 6 】

主ゲート領域とともに任意の適切な数のゲート先端がエッチングされ得る。たとえば、（図1Aに示した）2つのゲート先端、（図1Bに示した）1つのゲート先端、（図1Cに示した）3つのゲート先端、または（図1Dに示した）4つのゲート先端は主ゲート領域の左側/右側においてエッチングされ得る。いくつかの実装形態では、事前製造分析中に識別された空隙の数にかかわらず、主ゲート領域とともに所定の数のゲート先端のみがエッチングされ得る。他の実装形態では、ゲート先端の数は、事前製造分析中に識別された空隙の数によってのみ制限され得る。図2A~図2Cにおいて上記で説明したように、ゲート先端の長さ154およびゲート先端と基板領域との間の距離152は、トランジスタに関連する実効チャネル長に影響を及ぼすことがある。いくつかの実装形態では、すべてのゲート先端は同じ長さを有し得、基板領域から同じ距離にあり得る。他の実装形態では、ゲート先端のいくつか/すべては、基板領域からの異なる長さおよび/または異なる距離を有し得る。

【 0 0 5 7 】

製造プロセスのプロセス制限および物理的制限により、各ゲート先端と主ゲート領域との間の接合は、上記で説明したように、実質的に矩形接合から実質的に丸め接合に変化し得る。たとえば、接合は、製造プロセス中にまたは製造プロセスの他のステップ中にトランジスタに熱が加えられた後、実質的に丸め領域に変化し得る。ゲート先端と従来のゲート領域との間の丸め接合を、本明細書ではゲート丸め領域と呼ぶ。上記で説明したように、ゲート丸めプロセスのために、ゲート丸め領域の少なくとも一部分が、主ゲート領域とゲート先端の各々との間の接合の近くのゲート領域の長さを増加させる基板領域を侵食または覆い、したがってトランジスタに関連する実効チャネル長が増加する。実効チャネル長の増加は、トランジスタによって生成されるリーク電流、およびトランジスタに関連する静的電力消費の減少をもたらす。フローはブロック410に進む。

【 0 0 5 8 】

ブロック410において、トランジスタの基板領域上にソース領域とドレイン領域とを形成する。たとえば、製造システムは、それに応じて基板領域102のエッチングされた部分をドーピングすることによって、基板領域102上にソース領域118とドレイン領域120とを形成することができる。製造システムは、不純物拡散プロセス、イオン注入プロセス、または別の適切なプロセスを使用して、トランジスタの基板領域102上にソース領域とドレイン領域とを形成することができる。たとえば、NチャネルMOSFETの場合、基板領域102はp型ドーピング半導体であり得、ソース領域118およびドレイン領域120は、p型ドーピング基板領域上にn型ドーピングソース領域とn型ドーピングドレイン領域とを形成するために不純物を注入することによって形成され得る。ソース領域、ドレイン領域、およびゲート領域が基板領域上に形成された後、トランジスタ製造プロセスは1つまたは複数の追加のステップを備えることができることに留意されたい。たとえば、基板領域102の表面全体は二酸化ケイ素の絶縁層で覆われ得る。最後に、ソース領域、ドレイン領域、およびゲート領域上に金属接点形成される。トランジスタを集積回路の1つまた

は複数の他の構成要素に接続するために金属相互接続が追加される。ブロック 4 1 0 から、フローは終了する。

【 0 0 5 9 】

図 1 A ~ 図 4 は、実施形態を理解するのを助けるための例であり、実施形態を限定したり、特許請求の範囲を限定したりするために使用されるべきでないことを理解されたい。実施形態は、追加の動作を実行し、より少ない動作を実行し、動作を異なる順序で実行し、動作を並行して実行し、いくつかの動作を別様に実行し得る。本明細書で説明したゲート丸め技法は既存の設計レイアウトに適用され得ることに留意されたい。ゲート丸め技法はまた、M O S F E T によって生成されるリーク電流およびそれに関連する静的電力消費をさらに低減するために、M O S F E T によって生成されるリーク電流を低減するための既存の技法（たとえば、高しきい値 M O S F E T 設計、長チャネル M O S F E T 設計など）の拡張として適用され得る。いくつかの実装形態では、M O S F E T 設計のためのゲート丸め技法は、限定はしないが、標準論理、ドライバ、メモリセル、および M O S F E T を採用する他の集積回路など、様々なタイプの回路において採用され得る。さらに、他の実施形態では、動作のいくつかがトランジスタ製造のために実行される順序は、図 4 に示した順序とは異なることがあることに留意されたい。

【 0 0 6 0 】

本実施形態について、様々な実装形態および活用を参照しながら説明したが、これらの実施形態は例示的なものであり、本発明の主題の範囲はそれらに限定されないことを理解されよう。概して、本明細書で説明した低減されたトランジスタリーク電流のためのゲート丸め技法は、任意の 1 つまたは複数のハードウェアシステムに一致する設備を用いて実装され得る。多くの変形、修正、追加、および改善が可能である。

【 0 0 6 1 】

単一の事例として本明細書で説明した構成要素、動作、または構造について、複数の事例が与えられ得る。最後に、様々な構成要素と、動作と、データストアとの間の境界はいくぶん恣意的であり、特定の動作が、特定の例示的な構成のコンテキストで示されている。機能の他の割振りが想定され、本発明の主題の範囲内に入り得る。概して、例示的な構成において別個の構成要素として提示された構造および機能は、組み合わせられた構造または構成要素として実装され得る。同様に、単一の構成要素として提示された構造および機能は、別個の構成要素として実装され得る。これらおよび他の変形、修正、追加、および改善は、本発明の主題の範囲内に入り得る。

【 国际調查報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/083934

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPODOC: GATE+, TIP, END, ROUND+, ARC, BODY, PORTION

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN1516287A (TAIWAN INTEGRATED CIRCUIT MFR CO LTD) 28 Jul2004(28.07.2004) The whole document	1-29
A	US2002130354A1 (NATIONAL INST. OF ADVANCED IND. SCIENCE AND TECHNOLOGY) 19 Sep.2002(19.09.2002) The whole document	1-29

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 Sep. 2012(04.09.2012)Date of mailing of the international search report
18 Oct. 2012 (18.10.2012)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451Authorized officer
WANG Yan
Telephone No. (86-10)62411537

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/083934

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN1516287A	28.07.2004	CN1310337C	11.04.2007
US2002130354A1	19.09.2002	FR2822293A1	20.09.2002
		JP2002270850A	20.09.2002
		JP2002270851A	20.09.2002
		FR2825834A1	13.12.2002
		US6630388B2	07.10.2003
		JP3543117B2	14.07.2004

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/083934

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/812 (2006.01)
H 0 1 L 29/41 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, T J, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, R O, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, H U, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100158805
 弁理士 井関 守三

(74)代理人 100179062
 弁理士 井上 正

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(72)発明者 カイ、ヤンフェイ
 中華人民共和国、シャンハイ 2 0 0 0 1 6、プツオ・ディストリクト、ジョンタン・ロード、レ
 ーン 1 0 0、ナンバー 1 6 4、ルーム 2 0 0 2

(72)発明者 リ、ジ
 中華人民共和国、シャンハイ 2 0 0 1 2 9、ブドン・ニュー・エリア、チャン・ダオ・ロード、
 レーン 8 2 5、ナンバー 1 7、ルーム 5 0 2

F ターム(参考) 4M104 AA01 BB01 BB02 CC05 DD43 EE03 EE15 FF11 GG09

5F048 AB01 AB03 AC03 BA01 BB01 BB05 BB09 BG11

5F102 GB01 GC01 GD01 GD10 GL03

5F140 AA24 AB03 AC01 BA01 BC06 BE14 BF01 BF04 BF05 BF51

BG28 BG37 BK12 BK13 CB01 CB10 CC03 CE11