



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월14일
(11) 등록번호 10-1263048
(24) 등록일자 2013년05월03일

(51) 국제특허분류(Int. C1..)
G11C 11/15 (2006.01) H01L 27/105 (2006.01)
(21) 출원번호 10-2007-0017550
(22) 출원일자 2007년02월21일
심사청구일자 2011년12월09일
(65) 공개번호 10-2007-0111958
(43) 공개일자 2007년11월22일
(30) 우선권주장
JP-P-2006-00138429 2006년05월18일 일본(JP)

(56) 선행기술조사문현

JP2007-134207 A
JP2007-123637 A
US07286395 B1
JP2003-123463 A

전체 청구항 수 : 총 17 항

(54) 발명의 명칭 반도체 장치

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고
(72) 발명자
가와하라 다까유끼
일본 도쿄도 치요다구 마루노우찌 1초메 6-1 가부
시키가이샤 히타치세이사쿠쇼 지적재산권본부 내
다께무라 리이찌로
일본 도쿄도 치요다구 마루노우찌 1초메 6-1 가부
시키가이샤 히타치세이사쿠쇼 지적재산권본부 내
(뒷면에 계속)

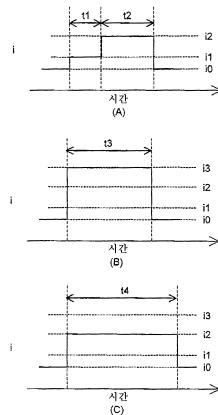
(74) 대리인
구영창, 이중희, 장수길

심사관 : 윤혜숙

(57) 요 약

스핀 주입 자화 반전을 이용한 메모리에서, 고속 동작 시의 저전류 재기입 동작을 실현하고, 메모리 셀마다의 변동을 억제하여, 읽어냄 디스터브를 억제한다. 재기입 전에 약한 펄스를 공급하여 스핀의 상태를 불안정하게 하여, 재기입 전류를 저감한다. 재기입 전류가 펄스 폭에 의해 비선형으로 커지는 영역에서 읽어냄을 행하여, 디스터브를 억제한다. 또한, 비트선 전하로 주입 스핀량을 일정하게 한 구동 방법에 의해 변동을 억제한다.

대 표 도 - 도2



(72) 발명자

이또 겐찌

일본 도쿄도 지요다구 마루노우찌 1쵸메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내

다까하시 히로마사

일본 도쿄도 지요다구 마루노우찌 1쵸메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내

특허청구의 범위

청구항 1

복수의 워드선과,

상기 워드선과 교차하는 방향으로 배선되는 복수의 비트선과,

상기 워드선과 상기 비트선의 소정의 교점에 배치되는 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀의 각각은, 고정층과 터널막과 자유층을 적층하여 얹어지는 터널 자기 저항 소자와, 그 게이트가 상기 워드선에 접속되고, 그 드레인이나 상기 터널 자기 저항 소자의 일단에 접속되는 MOSFET를 갖고,

상기 고정층은, 상기 터널막에 인접하여 배치되며 전자 스픻의 방향이 소정의 방향으로 고정되고,

상기 자유층은, 상기 터널막의 고정층에 인접하는 면에 대향하는 면에 인접하여 배치되며, 전자 스픻의 방향이 상기 고정층에 대하여 평행 상태, 반평행 상태 중 어느 하나를 취하고,

상기 자유층의 스픻은, 스픻 주입 자화 반전(spin transfer torque)을 이용하여 정보를 기입하고,

상기 터널 자기 저항 소자에 정보의 일부를 기입하는 기입 동작 시에, 상기 터널 자기 저항 소자에 제1 전류를 흘린 후, 상기 제1 전류보다 큰 제2 전류를 흘리는 반도체 장치.

청구항 2

제1항에 있어서,

상기 터널 자기 저항 소자에 상기 제1 전류를 흘릴 때의 워드선에 인가하는 전압은, 상기 터널 자기 저항 소자에 상기 제2 전류를 흘릴 때의 워드선에 인가하는 전압보다 작은 반도체 장치.

청구항 3

제1항에 있어서,

상기 터널 자기 저항 소자에 상기 제1 전류를 흘릴 때의 비트선에 인가하는 전압은, 상기 터널 자기 저항 소자에 상기 제2 전류를 흘릴 때의 비트선에 인가하는 전압보다 작은 반도체 장치.

청구항 4

복수의 워드선과,

상기 워드선과 교차하는 방향으로 배선되는 복수의 비트선과,

상기 워드선과 상기 비트선의 소정의 교점에 배치되는 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀의 각각은, 터널막과 고정층과 자유층을 갖는 터널 자기 저항 소자와, 그 게이트가 상기 워드선에 접속되고, 그 드레인이나 상기 터널 자기 저항 소자의 상기 고정층측에 접속되는 MOSFET를 갖고,

상기 고정층은, 상기 터널막에 인접하여 배치되며 전자 스픻의 방향이 소정의 방향으로 고정되고,

상기 자유층은, 상기 터널막의 고정층에 인접하는 면에 대향하는 면에 인접하여 배치되며, 전자 스픻의 방향이 상기 고정층에 대하여 평행 상태, 반평행 상태 중 어느 하나를 취하고,

상기 자유층의 스픻은, 스픻 주입 자화 반전을 이용하여 정보를 재기입하고,

읽어냄 동작 시에 메모리 셀에 흘리는 전류의 시간은, 재기입 동작 시에 메모리 셀에 흘리는 전류의 시간보다도 짧고, 양 전류값은 동일한 정도인 반도체 장치.

청구항 5

제4항에 있어서,

상기 재기입 동작 전에 재기입에 필요한 전류보다도 약한 전류를 흘리는 반도체 장치.

청구항 6

제4항에 있어서,

상기 읽어냄 동작 시에는, 비트선 전압을 소스 팔로우 모드에서 일정하게 유지하는 반도체 장치.

청구항 7

워드선과,

상기 워드선과 교차하는 방향으로 배선되는 비트선과,

상기 워드선과 상기 비트선의 소정의 교점에 배치되는 메모리 셀과,

상기 비트선에 접속되는 제1 스위치와,

상기 제1 스위치에 접속되는 제1 용량과,

상기 제1 용량과 제1 전위 사이에 접속되는 제2 스위치를 포함하고,

상기 메모리 셀은, 고정층과 터널막과 자유층을 적층하여 얻어지는 터널 자기 저항 소자와, 그 게이트가 상기 워드선에 접속되고, 그 드레인이 상기 터널 자기 저항 소자의 상기 고정층측에 접속되는 MOSFET를 갖고,

상기 고정층은, 상기 터널막에 인접하여 배치되며 전자 스피in의 방향이 소정의 방향으로 고정되고,

상기 자유층은, 상기 터널막의 고정층에 인접하는 면에 대향하는 면에 인접하여 배치되며, 전자 스피in의 방향이 상기 고정층에 대하여 평행 상태, 반평행 상태 중 어느 하나를 취하고,

상기 자유층의 스피in은, 스피in 주입 자화 반전을 이용하여 정보를 재기입하고,

상기 메모리 셀을 재기입할 때에, 상기 제2 스위치를 온으로 하여, 상기 제1 용량에 충전한 후, 상기 제2 스위치를 오프로 하고, 상기 제1 스위치를 온으로 하는 것으로 상기 제1 용량에 충전된 전하를 상기 메모리 셀에 흘리는 반도체 장치.

청구항 8

제7항에 있어서,

상기 비트선에 접속되는 제3 스위치와,

상기 제3 스위치에 접속되고, 상기 제1 용량보다 작은 제2 용량과,

상기 제2 용량과 상기 제1 전위 사이에 접속되는 제4 스위치를 더 포함하고,

상기 제1 스위치를 온으로 하기 전에, 상기 제4 스위치를 온으로 하여, 상기 제2 용량에 충전한 후, 상기 제3 스위치를 온으로 하여, 상기 제2 캐패시터에 충전된 전하를 상기 메모리 셀에 흘리는 반도체 장치.

청구항 9

제7항에 있어서,

상기 제1 용량은, 상기 비트선의 기생 용량인 반도체 장치.

청구항 10

워드선과,

상기 워드선과 교차하는 방향으로 배선되는 비트선과,

상기 워드선과 상기 비트선의 교점에 배치되는 메모리 셀을 포함하고,

상기 메모리 셀은, 터널막과 고정층과 자유층을 갖는 터널 자기 저항 소자와, 그 게이트가 상기 워드선에 접속되고, 그 드레인이 상기 터널 자기 저항 소자의 상기 고정층측에 접속되는 MOSFET를 갖고,

상기 고정층은, 상기 터널막에 인접하여 배치되며 전자 스피in의 방향이 소정의 방향으로 고정되고,

상기 자유층은, 상기 터널막의 고정층에 인접하는 면에 대향하는 면에 인접하여 배치되며, 전자 스피in의 방향이 상기 고정층에 대하여 평행 상태, 반평행 상태 중 어느 하나를 취하고,

상기 자유층의 스픈은, 스픈 주입 자화 반전을 이용하여 정보를 재기입하고,

상기 워드선과 평행하게 금속 배선이 상기 자유층의 근방에 배치되고, 재기입 동작 전에 그 금속 배선에 전류를 흘려 상기 자유층에 영향을 주는 자장을 발생시키는 반도체 장치.

청구항 11

워드선과,

상기 워드선과 교차하는 방향으로 배선되는 비트선과,

상기 워드선과 상기 비트선의 교점에 배치되는 메모리 셀을 포함하고,

상기 메모리 셀은, 터널막과 고정층과 자유층을 갖는 터널 자기 저항 소자와, 그 게이트가 상기 워드선에 접속되고, 그 드레인이나 상기 터널 자기 저항 소자의 상기 고정층측에 접속되는 MOSFET를 갖고,

상기 고정층은, 상기 터널막에 인접하여 배치되며 전자 스픈의 방향이 소정의 방향으로 고정되고,

상기 자유층은, 상기 터널막의 고정층에 인접하는 면에 대향하는 면에 인접하여 배치되며, 전자 스픈의 방향이 상기 고정층에 대하여 평행 상태, 반평행 상태 중 어느 하나를 취하고,

상기 자유층의 스픈은, 스픈 주입 자화 반전을 이용하여 정보를 재기입하고,

재기입 동작 전에, 상기 비트선에 전류를 흘려 상기 자유층에 영향을 주는 자장을 발생시키는 반도체 장치.

청구항 12

복수의 워드선과,

상기 복수의 워드선과 교차하는 제1 비트선과,

상기 복수의 워드선과 상기 제1 비트선의 교점에 배치되는 복수의 메모리 셀과,

상기 복수의 메모리 셀로부터의 읽어냄 동작 시에 상기 복수의 메모리 셀 중 하나로부터 정보를 읽어내도록 제1 전압을 공급하는 읽어냄 전압 공급 회로와,

상기 복수의 메모리 셀에의 재기입 동작 시에 상기 복수의 메모리 셀 중 하나에 정보를 재기입하도록 상기 제1 전압을 공급하는 기입 전압 공급 회로

를 포함하고,

상기 복수의 메모리 셀의 각각은, 터널막과 고정층과 자유층을 갖는 터널 자기 저항 소자와, 그 게이트가 상기 복수의 워드선 중 대응하는 하나에 접속되는 MOSFET를 갖고,

상기 터널막은, 상기 고정층과 상기 자유층 사이에 배치되고,

상기 자유층의 스픈은, 스픈 주입 자화 반전을 이용하여 정보를 재기입하고,

상기 복수의 메모리 셀로부터의 읽어냄 동작 시에 상기 터널 자기 저항 소자에 흘리는 전류의 시간은, 상기 복수의 메모리 셀에의 재기입 동작 시에 상기 터널 자기 저항 소자에 흘리는 전류의 시간 보다도 짧은 반도체 장치.

청구항 13

제12항에 있어서,

상기 복수의 메모리 셀에의 재기입 동작 시에, 상기 기입 전압 공급 회로는 상기 복수의 메모리 셀 중 하나에 상기 제1 전압보다 작은 제2 전압을 공급하고, 그 후 상기 복수의 메모리 셀 중 하나에 상기 제1 전압을 공급하는 반도체 장치.

청구항 14

제12항에 있어서,

상기 제1 비트선을 통해 상기 복수의 메모리 셀 중 하나로부터 읽어냄 신호를 증폭하는 센스 앰프와,

상기 센스 앰프와 상기 제1 비트선 사이에 접속되며, N형 MOSFET인 제1 MOSFET를 더 포함하고,
상기 제1 MOSFET는 상기 복수의 메모리 셀 중 하나로부터 읽어냄 신호를 상기 센스 앰프에 전달할 때에 소스 팔
로우 모드를 동작시키는 반도체 장치.

청구항 15

제14항에 있어서,

상기 센스 앰프는 상기 제1 MOSFET가 오프 상태로 설정된 후에 활성화되는 반도체 장치.

청구항 16

제14항에 있어서,

상기 센스 앰프에 접속된 노드의 기생 용량은 상기 제1 비트선의 기생 용량보다 작은 반도체 장치.

청구항 17

제12항에 있어서,

상기 고정층, 상기 터널막, 및 상기 자유층은 상기 MOSFET와 상기 제1 비트선 사이에 적층되고,

상기 고정층은 상기 MOSFET측에 배치되고 상기 자유층은 상기 제1 비트선측에 배치되는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0057] [특허문헌 1] 특개 2005-116923호 공보

[0058] [비특허문헌 1] 2005 International Electron Device Meeting Technical Digest Papers pp.473-476

발명이 속하는 기술 및 그 분야의 종래기술

[0059] 본 발명은, 반도체 장치에 관한 것으로, 특히 자기 저항 변화를 이용한 메모리 셀의 기입 제어 방법에 관한 것이다.

[0060] 불휘발성 메모리 중에서, 자기 저항 변화를 이용한 MRAM(Magnetoresistive Random Access Memory)은, 고속 동작이 가능한 RAM으로서의 가능성이 있다. 종래의 MRAM의 셀 구성은, 1개의 터널 자기 저항 소자 TMR과 읽어냄 용의 선택 트랜지스터 MCT, 기입 워드선 WWL과 비트선 BL, 소스선 SL로 이루어진다. 도 30에 도시한 바와 같이, 터널 자기 저항 소자 TMR에는, 적어도 2개의 자성층이 있고, 하나는, 스핀의 방향이 고정되어 있는 고정층 PL, 다른쪽은 스핀의 방향이 고정층에 대하여, 평행 상태, 반평행 상태의 2상태를 취하는 자유층 FL로 이루어진다. 정보의 기억은, 이 자유층의 스핀의 방향에 의해 기억하고, 터널 자기 저항 소자의 전기 저항이 반평행 상태에서 고저항 상태로 되고 평행 상태에서 저저항 상태로 된다. 읽어냄 동작에서는, 터널 자기 저항 소자 TMR의 저항의 대소를 판독한다. 한편, 재기입 동작에서는, 기입 워드선 WWL과 비트선 BL에 전류를 흘리고, 그때에 터널 자기 저항 소자 TMR에서 여기하는 합성 자장에 의해, 자유층의 스핀의 방향을 제어한다. 그러나, 이 재기입 방식에서는, 터널 자기 저항 소자 TMR이 미세화됨과 함께, 재기입에 필요한 자장의 크기가 커지게 되기 때문에, 기입 워드선과 비트선에 흘리는 전류도 커지게 되는 문제가 있다. 그에 대하여, 비특허문헌 1에서 소개되어 있는 터널 자기 저항 소자 TMR에 수직으로 전류를 흘림으로써 자유층의 스핀의 방향을 바꾸는 스핀 주입 자화 반전 기술을 이용한 MRAM(Spin RAM)이 보고되어 있다. 이 재기입 방식은, 도 31에 도시한 바와 같이, 고정층, 터널막, 자유층에 수직 방향의 전류에 의해, 자유층의 스핀의 방향을 제어할 수 있다. 그 때문에, 재기입에 필요한 전류가 터널 자기 저항 소자 TMR의 크기에 비례하기 때문에, 미세화와 함께 재기입 전류를 저감할 수 있어, 스케일러빌리티의 점에서 우수하다.

발명이 이루고자 하는 기술적 과제

- [0061] 그러나, 스핀 주입형 MRAM에서도, 현재의 재기입에 필요 전류 밀도(임계 전류)는, $1 \times 10^6 \sim 10^7 \text{ A/cm}^2$ 필요하고, 이를 $50\text{nm} \times 100\text{nm}$ 의 소자로 생각한 경우에는, $50\mu\text{A}$ 의 전류가 필요로 되어, 최소 가공 치수의 MOS 트랜지스터에서 구동할 수 있는 전류와 동일한 레벨이다.
- [0062] 한편, 우리들은 검토 중에, 이 재기입에 필요 전류 밀도(임계 전류)는, 기입 시간(재기입 폴스 폭)의 함수이고 짧은 기입 시간에서 충분히 스핀의 방향을 반전시키기 위해서는 보다 큰 전류가 필요한 것을 발견했다. 즉, 스핀 주입형 MRAM의 경우, 스케일러빌리티가 양호하고, 또한, 고속으로 기입하는 점에서 우수하지만, 고속으로 기입하는 경우에는, 큰 전류를 흘리기 위한 큰 MOS 트랜지스터가 필요하게 되고, 반대로 면적을 작게 하기 위해 작은 MOS 트랜지스터를 이용하는 경우에는, 고속으로 기입할 수 없다.
- [0063] 또한, 스핀 주입형 MRAM은, 스케일러빌리티가 우수하여 미세화할 수 있다. 그러나, 미세화를 진행시키면 메모리 셀마다 제조 변동이 커지고, 기입 전류는 메모리 셀마다 변동되게 된다. 그 때문에, 기입 시에 메모리 셀에 흘리는 전류의 변동을 저감할 필요가 있다.
- [0064] 또한, 스핀 주입형 MRAM에서는, 기입과 읽어냄이란, 흘리는 전류량이 서로 다를 뿐이다. 이 때문에, 읽어냄에 의한 오기입의 우려가 있다. 이를 피하기 위한 리드 디스터브의 저감이 필요하다.

발명의 구성 및 작용

- [0065] 상기 과제를 해결하기 위해 본원 명세서에 개시되는 주된 발명은 이하와 같다.
- [0066] 첫째, 스핀 주입형 MRAM의 기입 동작 시에서, 터널 자기 저항 소자에 제1 전류를 흘린 후, 제1 전류보다 큰 제2 전류를 흘린다.
- [0067] 둘째, 스핀 주입형 MRAM의 읽어냄 시에, 메모리 셀에 흘리는 전류의 시간은, 재기입 동작 시보다도 짧고, 전류 값은 동일한 정도로 한다.
- [0068] 셋째, 스핀 주입형 MRAM의 기입 동작 시에, 용량에 충전한 전하를 흘린다.
- [0069] 넷째, 스핀 주입형 MRAM의 기입 동작 시에, 기입 보조선을 이용하여 자장을 발생시켜, 터널 자기 저항 소자에 영향을 준다.
- [0070] 다섯째, 스핀 주입형 MRAM의 기입 동작 전에, 비트선에 전류를 흘려 자장을 발생시켜, 터널 자기 저항 소자에 영향을 준다.
- [0071] <실시예>
- [0072] 본 발명의 제1 실시예를 도 1과 도 2를 이용하여 설명한다. 본 구성의 메모리 셀 SC는, n형 MOS 트랜지스터 M1과 터널 자기 저항 소자 T1로 구성하고 있고, 비트선 BL과 소스선 SL에 도면과 같이 접속되고, M1의 게이트를 제어하는 것이 워드선 W이다. 터널 자기 저항 소자 T1은 도 30에서 TMR로서 이미 설명한 바와 같이, 적어도 2개의 자성층이 있고, 하나는, 스핀의 방향이 고정되어 있는 고정층 PL, 다른쪽은 스핀의 방향이 고정층에 대하여, 평행 상태, 반평행 상태의 2상태를 취하는 자유층 FL로 이루어진다. 정보의 기억은, 이 자유층의 스핀의 방향에 의해 기억하고, 터널 자기 저항 소자의 전기 저항이 반평행 상태에서 고저항 상태로 되고 평행 상태에서 저저항 상태로 된다. 워드선이 선택되면, T1과 M1에, BL측이 SL측보다 고전위이면 도면의 i의 방향으로 전류가 흐르고, 또한, SL측이 BL측보다 고전위이면 반대의 방향에 전류가 흐른다. 이것에 대응하여 도 31에서 이미 설명한 바와 같이 스핀의 방향을 제어할 수 있어, 이것에 대응한 정보를 기입할 수 있다.
- [0073] 본 구성의 특징을, 도 2의 (A)에 도시한다. 전류 i의 값을, 횡축을 시간으로서 나타내고 있다. 즉, 비선택 시의 전류값은, i_0 (값으로서는 예를 들면, $0\mu\text{A}$)이지만, 최초의 t_1 의 시간의 전류값은 i_1 , 계속되는 t_2 의 시간의 전류값은 i_2 이고, i_1 은 i_2 보다도 작다고 하는 특징을 갖는다. 또한, 본 명세서에서는, 최초의 약한 전류 i_1 을 공급하는 동작을 프리펄스라고 부르기로 한다. 이것과 비교하여, 프리펄스를 공급하지 않는 경우에는, 도 2의 (B)에 도시한 바와 같이, 재기입 동작 시간 t_3 동안 일정한 전류 i_3 을 흘리는 경우, 이 i_3 은, i_2 보다도 큰 값으로 되게 된다. 또한, 도 2의 (C)에 도시한 바와 같이 흘리는 전류를 i_2 와 동일하게 하였다고 해도, 재기입 동작 시간 t_4 는 t_2 보다도 길어지게 된다. 이와 같은 현상이 발생하는 이유로서는, 최초의 약한 전류 i_1 에 의해, 자유층의 스핀이 요람되어, 방향이 변화되기 쉬운 상태로 되기 때문이라고 생각된다. 따라서, 한번에 재기입 전류를 흘리는 것보다도, 최초의 약한 전류로 스핀을 변화되기 쉬운 상태로 해 두고 그 후에 본래의 재기입 전

류를 흘린 쪽이, 보다 작은 재기입 전류를 실현할 수 있다. 도 3에, 본 발명을 이용하였을 때의 실험 결과의 모식도를 도시한다. 횡축에 재기입 시간을 취하고, 종축에 재기입에 필요한 전류를 나타내고 있으며, 각각, 원하는 점에서 규격화하고 있기 때문에 단위는 임의로 된다. 이 도면에 도시한 바와 같이, 도 2의 (A)에 도시한 바와 같이 최초에 약한 전류를 공급함으로써(프리펄스 있음), 보다 짧은 시간에 재기입을 행할 수 있다.

[0074] 이상과 같이, 최초에 약한 전류 i1을 공급하고, 그 후, 이것보다도 큰 전류 i2를 공급(도 2의 (A))함으로써, 보다 낮은 전류값으로 재기입을 행할 수 있고, 또한, 고속의 재기입 동작을 실현할 수 있다. 또한, 프리펄스 동작의 후, 본래의 재기입 동작용의 전류를 흘리지 않으면, 메모리 셀의 상태는 최초의 상태로 되돌아가게 되고, 다른 상태로 되는 일은 없다. 또한, 프리펄스는 재기입하는 메모리 셀에만 공급해도 되고, 재기입하지 않는 셀도 포함시켜 동시에 공급해도 된다.

[0075] 도 4에, 본원 발명을 적용한 메모리 어레이를 도시한다. 메모리 셀 SC는 워드 드라이버 WD에 의해 제어되고, 워드선이 W1, W2이고, 각각의 메모리 셀은, MT와 터널 자기 저항 소자 TMR로 구성되어 있고, 비트선 BL과 소스선 SL에 도면과 같이 접속되어 있다. 본 도면에서는, 워드선과 비트선의 절반의 교점에 메모리 셀 SC가 배치되어 있지만, 모든 교점에 배치해도 된다. 센스 앤프 블록 SAB는, 비트선 · 소스선 선택 회로 BLSEL과 비트선의 미소 신호를 증폭하는 센스 앤프 SA, 메모리 셀에 데이터를 기입하기 위한 기입 회로 WA가 배치된다. 도 4에서는, 하나의 센스 앤프 · 기입 회로에 대하여, 4쌍의 비트선 · 소스선 페어가 접속되어 있는 예이지만, 이에 한정되는 것은 아니다. 1쌍의 비트선 · 소스선 페어에 대하여 센스 앤프 · 기입 회로를 접속해도 된다. 그 경우, 면적은 커지게 되지만, 모든 비트선에 대하여 센스 앤프가 접속되기 때문에, 한번에 다량의 데이터를 외부로 출력하는 데에 유리하다. 한편, 4쌍, 혹은 8쌍, 16쌍 등 복수의 비트선 · 소스선 페어에 대하여 1개의 센스 앤프 · 기입 회로를 배치하면, 센스 앤프 · 기입 회로 수를 줄일 수 있기 때문에, 면적을 저감할 수 있는 이점이 있다.

[0076] 도 5는 4쌍의 비트선 · 소스선 페어로부터 비트선 선택 신호 SEL0, SEL1, SEL2, SEL3에 의해, 1쌍의 비트선 · 소스선 쌍을 선택하는 비트선 · 소스선 선택 회로 예이다. 이 회로에는, 또한, 이퀄라이즈 신호 EQ0, EQ1, EQ2, EQ3과 프리차지 신호 PC0, PC1, PC2, PC3에 의해, 비트선과 소스선을 비선택 시에 소정의 전압 Vs로 설정하기 위한 이퀄라이즈 MOS와, 센스 앤프 프리차지 신호 PCSA에 의해, 읽어냄 시에 소정의 읽어냄 전압(VR)으로 설정하는 프리차지 회로도 포함되어 있다. 본 회로는 도 5에 도시한 것에 한정되는 것은 아니다. 마찬가지의 기능을 갖는 것이면, 다른 회로 구성이어도 된다.

[0077] 도 6은, 도 4에 도시한 센스 앤프 SA 및 기입 회로 WA의 구성예를 도시한다. 이 도면에서, 이와 같이 함으로써, 면적의 저감을 도모할 수 있다. 기입 회로는, 우선, LTP와 LTA를 출력으로 하는 인버터 회로 2단으로 구성한 래치 회로가 있다. 이 래치의 정보는, 입출력선 IO로부터의 정보에 따라, 열 선택 신호 Y1 및 제1 기입 제어 신호 WE에 의해, 설정된다. 이 결과의 LTP와 LTA의 값에 의해, 제2 기입 제어 신호 WE1에 의해 이것에 접속된 MOS 트랜ジ스터가 온하면, 비트선 BLSA와 소스선 SLSA가, Vd 또는, Vs와 전기적으로 접속되게 된다. 또한, 비트선 · 소스선 선택 회로 BLSEL에 의해 선택된 비트선 BL, 소스선 SL도 Vd 또는 Vs와 전기적으로 접속된다. 또한, 비트선 BLSA 및 소스 SLSA와 비트선 BL, 소스선 SL은 동일하게 제어되기 때문에, 이하의 설명이 복잡해지는 것을 방지하기 위해, 특별히 언급하지 않는 한, 비트선 BLSA 및 BL은, 동일한 것으로 취급하고, 소스선 SLSA 및 SL은 동일한 것으로서 취급한다. 이 때, 비트선 BL이 Vd에 전기적으로 접속될 때는, 이것은 LTP가 고전위이고 LTA가 저전위인 경우이지만, 소스선 SL은 Vs와 전기적으로 접속된다. 래치 회로의 전위는, 비트선, 소스선에 Vd를 확실하게 공급하기 위해 Vd보다도 높게 설정해 둔다. 읽어냄 시는, 읽어냄 제어 회로 RE1, RE에 의해, 비트선 BL의 신호를 센스 앤프에 취득하여 증폭하거나, 센스 앤프의 신호를 열 선택 신호 Y1로 제어되는 MOS 트랜ジ스터를 통하여 IO에 출력할 수 있다. 이 도 6의 회로 구성은 도 1~도 3에서 설명한 본 발명의 동작을 행할 수 있다.

[0078] 도 7은, 도 4에 도시한 워드 드라이버 WD의 회로 예이다. 본 도면의 워드 드라이버 WD는, 프리펄스를 워드선을 제어함으로써 실현하기 위한 구성을 나타내고 있다. 본 워드 드라이버는, 여기서는 Ai1과 Ai2의 2개를 예로서 나타낸 외부 어드레스에 의해 선택되는 신호(디코드 신호)에 의해 워드선 W1 또는 W2를 선택하는 회로이고, 이 때, Vd1보다 nMOS의 임계값이 낮은 전압과, 이 전압보다도 높고 Vd1과 동일한 전압을 HW를 절환함으로써 워드선에 공급할 수 있다. 즉, 비선택 상태에서는, Ai1과 Ai2, 및 HW는 고레벨이기 때문에, 워드선은 Vs 레벨로 되어 있다. 여기서 Ai1이 선택되어 저레벨로 되면, 이것을 받은 인버터의 출력에 의해 Vd1과 W1 사이에 삽입된 nMOS의 게이트가 Vd1로 된다. 이 때문에, 워드선에는, Vd1보다 nMOS의 임계값이 낮은 전압이 출력된다. 다음으로, HW도 저레벨로 되면, 이번에는, Vd1과 W1 사이에 삽입된 직렬의 2개의 pMOS의 게이트가 저레벨로 되어, 워드선에는 Vd1과 동일한 전압이 출력된다. 이 예와 같이 하면 2종류의 전압을 발생할 수 있게 되어, 발명에 필요한

2종류의 전류값의 전류를 흘리는 동작이 가능하게 된다.

[0079] 도 8에, 도 4~도 7의 회로의 동작예를 도시한다. I0로부터 재기입 데이터를 취득하여, 본 발명의 방법을 이용하여 재기입을 행하는 동작이다. I0는 처음에 저전위이고, 재기입 데이터로서 고전위로 된 것으로 한다. 이것을 Y1과 WE를 고전위로 함으로써 래치에 취득한다. 이 결과, LTP가 저전위로부터 고전위로, LTA가 고전위로부터 저전위로 절환된다. 프리차지 신호 PC 및 이퀄라이즈 신호 EQ는, 이 때 고전위이기 때문에, 비트선 BL과 소스선 SL은 모두 저전위 Vs이다. 또한, WE1이 절환되면, 소스선 SL은 고전위 Vd에, 비트선 BL은 저전위 Vs와 전기적으로 접속 가능한 상태로 되어 있다. 이 후, PC 및 EQ가 저전위로 되어, 비트선 BL과 소스선 SL은 저전위 Vs로부터 전기적으로 분리된다. 이 후, WE1이 고전위로 되어, 소스선 SL은 고전위 Vd에, 비트선 BL은 저전위 Vs와 전기적으로 접속된다. 이 때, 디코드 신호 Ai1이 절환되어, 워드 드라이버 WD1이 동작하여 워드선 W1이 우선 V1의 전위로 된다(프리펄스 동작). 이 V1의 값은, 도 7의 회로도에 도시한 바와 같이, Vd1보다 MOS의 임계값 전압분 낮은 전압으로 되어 있다. 이에 의해, 메모리 셀에는 도 2에 대응한 작은 전류인 i1이 흐르게 된다. 이에 의해, 메모리 셀 중의 스피너 방향을 바꾸기 쉬운 상태로 된다. 이 후, 신호선 HW가 절환된다. 이에 의해, 도 7의 회로도에 도시한 바와 같이, 전압 Vd1로부터 워드선에 pMOS를 통하여 전압이 인가되어, 워드선 W1이 V2(=Vd1)로 보다 높은 전압으로 된다. 메모리 셀에서는 도 2에 대응한 보다 큰 재기입 전류인 i2가 흐르게 된다. 이에 의해 메모리 셀 중의 스피너는 원하는 방향을 향하게 되어, 재기입 동작을 행할 수 있다. 이 때, 워드선에 최초로 V1을 공급하고, 그 후에 V2를 공급하는 동작에 의해, 한번에 워드선에 재기입 동작용 전압을 공급하는 경우보다도, V2는 낮거나, 또는 공급하고 있는 시간을 짧게 할 수 있다(즉, 고속의 재기입을 행할 수 있다). 본 발명은, 이와 같이 재기입 전류의 저감이나, 재기입의 고속화를 행할 수 있는 것이다. 재기입을 종료하면, 워드선을 최초의 저전위로 되돌리고, WE1을 저전위로 하고, 또한, PC를 고전위로 한다. 이에 의해, 비트선 BL과 소스선 SL은 모두 저전위 Vs로 된다.

[0080] 도 9에, 본 발명을 실현하는 때의 기입 회로의 다른 구성예를 나타낸다. 도 6과의 차는, 입출력선을 차동 신호(상보 신호선)로 구성한 점과, Vd와, 비트선 BL 또는 소스선 SL을 접속하는 MOS 트랜지스터를 p형 MOS 트랜지스터로 한 점이다. 우선, 차동 신호로 함으로써, 고속 또한 안정된 읽어냄이 가능하게 된다. 또한, p형 MOS 트랜지스터로 함으로써 래치의 전원 전압은 Vd에서도, Vd의 전위를 비트선 BL 또는 소스선 SL에 공급할 수 있다는 특징이 있다.

[0081] 구체적으로는, 입출력선 I0를 차동 신호로 하기 때문에, 입출력선은, I0와 IOB의 2개이고, 차동의 신호가 이 신호선에 나타난다. 이 때문에, 제1 기입 제어 신호 WE나 읽어냄 제어 신호RE는, 2개의 MOS 트랜지스터를 제어하고 있다. 또한, 센스 앰프의 양단의 출력이 RE로 제어되는 MOS 트랜지스터를 통하여 입출력선은 I0와 IOB와 접속되어 있다. 또한, Vd와, 비트선 BL 또는 소스선 SL을 접속하는 MOS 트랜지스터를 p형 MOS 트랜지스터로 하기 위해 래치의 출력인 LTP와 LTA는, 상술한 바와 같이, Vd와 비트선 BL 또는 소스선 SL을 접속하는 p형 트랜지스터의 게이트에 입력하고 있다. 또한, 제2 기입 제어 신호도 WE1과 이것과 역상인 신호가 나오는 WE1B의 2개로 되고, WE1B에 의해, Vd와 비트선 BL 또는 소스선 SL을 접속하기 위한 다른쪽의 p형 트랜지스터를 제어하고 있다. 동작은, 도 5에 대하여, 차동의 입출력선 I0와 IOB로 되는 것과, WE1 외에 이것과 역상인 신호가 나오는 WE1B가 준비되는 것과, 래치의 출력의 고전위가 Vd의 전위에서 양호한 점만이 서로 다르다. 또한, 본 실시예에서는, 입출력선 I0를 차동 신호선으로 하는 것과 Vd와, 비트선 BL 또는 소스선 SL을 접속하는 MOS 트랜지스터를 p형 MOS 트랜지스터로 하는 것의 양자를 설명하였지만, 적절히 한쪽만을 선택하여 이용해도 되는 것은 물론이다.

[0082] 도 10에, 본 발명을 실현할 때의 기입 회로의 다른 구성예를 도시한다. 이 회로는, 프리펄스의 동작을 행하는데, 워드선의 전압으로 행하는 것이 아니라, 비트선 BL 또는 소스선 SL에서 행하는 것이 특징이다. 이에 의해, 워드선은 도 8에서 설명한 바와 같은 고전위가 2개 있는 구성으로 하지 않고, 후에 나타내는 바와 같이 고전위는 하나이면 된다. 따라서, 워드 드라이버 WD도 도 7에 도시한 바와 같은 회로가 아니라 통상적인 워드 드라이버 WD를 이용할 수 있다. 프리펄스 동작을 비트선·소스선을 구동함으로써 실현하기 위해, 도 10의 회로에서는, 비트선 BL 또는 소스선 SL에, Vd와 Vd2의 2종류의 고전위를 인가할 수 있게 되어 있다. 이 때, Vd2는 Vd 보다도 낮은 전위이다. 프리펄스 동작 시에는, 이 Vd2를 이용하여, 계속되는 재기입 동작 시에 Vd를 이용하는 것이다. 이 때문에, 도 10에 도시한 바와 같이, Vd2와 비트선 BL 또는 소스선 SL은 래치의 출력에 따라, WE1의 신호에 의해 전기적으로 접속하는 구성과 함께, Vd와 비트선 BL 또는 소스선 SL은, 래치의 출력에 따라, WE2의 신호에 의해 전기적으로 접속하는 구성으로 되어 있다.

[0083] 도 11에, 도 10의 회로의 동작예를 도시한다. 도 6의 동작과 다른 점은, WE1의 신호에서, 이 예에서는 소스선 SL에 제1 고전위가 나타나고, 그 후, WE2의 신호에서 제2 고전위가 나타나는 점이다. 이 제1 고전위에 의해 흐르는 전류에 의해 스피너 방향을 변화시키기 쉽고, 다른 표현으로는 반전되기 쉽게 하는 것이다. 또한, 이 예

에서는, 소스선 SL에 이와 같은 전위가 나타나는 예로 하였지만, 비트선 BL의 측에 나타나는 예도 있다. 이것은, 도 31에서 설명한 바와 같이, 재기입은 기입하고자 하는 정보에 따라, 2개의 방향이 있기 때문이다. 이 회로의 동작은 이하와 같이 된다. 이와 같이 동작시킴으로써, 스핀의 방향이 변화되기 쉬운 상태를 만들어 낼 수 있으므로, 재기입 전류의 저감이나 재기입 시간의 단축을 실현할 수 있어, 저전력, 고속으로 된다.

[0084] 본 발명의 제2 실시예를, 도 12를 이용하여 설명한다. 읽어냄 동작과 기입 동작 시에 메모리 셀에 흐르는 전류와 그 폴스의 폭을 보고 있다. 본 발명의 특징은, 읽어냄과 기입의 전류량이 거의 동일하고, 그 폴스 폭이 읽어냄 시가 기입 시에 비해 작은 것이다. 즉, 전류값은 i4로 모두 동일하지만, 읽어냄 시의 폴스 폭 t5와 기입 시 t6과 비교하면, t5는 t6보다도 작다. 이것을 플래시 메모리와 비교하면, 예를 들면 NAND형 플래시 메모리에서는, 메모리 셀마다의 기입 전류는 읽어냄 전류보다도 작고, 또한, 필요한 폴스 폭은, 기입 시쪽이 읽어냄 시보다도 크다. 전류에 의해 배선에 자계를 발생시켜 재기입을 행하는 MRAM에서는, 기입 시의 전류는 크다. 이와 같은 예와는 달리, 본 발명에서는, 도 12와 같은 특징이 있는 읽어냄과 기입을 행한다. 이에 의해, 우리들은 읽어냄 시의 디스터브를 크게 저감할 수 있는 것을 발견하였다. 이것은 읽어냄 시의 폴스 폭이 짧은 것에 의해, 그 인가 시간에 의해 보통 디스터브를 저감시키는 것과 완전히 다른 원리인 것을 발견하였다. 이것을 도 13을 이용하여 설명한다.

[0085] 도 13에, 본 발명의 제2 실시예를 이용하였을 때의 실험 결과의 모식도를 도시한다. 횡축에 재기입 시간을 취하고, 종축에 재기입에 필요한 전류를 나타내고 있다. 또한, 도 3과 마찬가지로 각각 원하는 점에서 규격화하고 있다. 여기서, 읽어냄 디스터브란, 읽어냄 동작에서, 약한 재기입 동작이 발생하게 되어, 기입되어 있는 데이터가 변화되게 되는 현상을 가리킨다. 이 도면에 도시한 바와 같이, 재기입 시간을 짧게 해 가면, 재기입에 필요한 전류는 증가되어 간다. 재기입에 필요한 전류가 증가되는 것은, 저전류로 재기입을 행하는 점에서는 불리하지만, 이것은 동일한 재기입 전류에서는 기입이 발생하기 어렵게 되어 있는 것을 나타내고 있다. 예를 들면, i4라고 하는 전류값에서 살펴보자. 이 때, 재기입 시간을 t6으로 취하면, 이 전류는 재기입에 필요한 전류보다도 충분히 크므로 재기입을 확실하게 실행할 수 있다. 통상적으로, 재기입에 필요한 최저한의 전류로 재기입을 행하지는 않는다. 이것은 메모리 셀에 포함되는 많은 스핀 중에서 재기입을 목표로 한 방향으로 변화되지 않는 스핀이 남게 되기 때문이다. 한편, 이 때, 재기입 시간을 t5로 하여 살펴보자. 이 때는, i4라고 하는 전류값은, 재기입에 필요한 전류보다도 충분히 작다. 이것은 이 전류를 흘려도 재기입이 발생하지 않는 것을 의미한다. 한편 이 영역의 전류에 의해, 메모리 셀의 정보를 판독할 수 있다. 즉, 도 30에서 설명한 바와 같이, 자유층의 스핀의 방향에 의해, 터널 자기 저항 소자의 전기 저항이 서로 달라, 이 저항의 대소를 판독할 수 있다. 이 때, 이 영역의 전류에서는, 기입 동작이 발생하기 어려운 것은 전술한 대로이다. 따라서, 읽어냄을 반복해도 디스터브가 발생하기 어렵게 된다. 이 특징을 이용한 본 발명에 따르면, 도 12와 맞춰 다시 설명하면, 읽어냄도 재기입도 동일한 i4라고 하는 전류값에 의해, 그 폴스 폭을 바꾸는 것만으로 행할 수 있다. 이것은, 재기입 시와 읽어냄 시에, 메모리 셀 인가하는 전압이 동일해도 되어, 간편한 회로 구성을 취하는 것이 가능하게 되어, 저코스트의 반도체 기억 장치를 실현할 수 있다.

[0086] 도 14는, 본 발명의 제2 실시예의 다른 구성예이다. 여기에서는, 읽어냄과 기입에서, 그 최대 전류 i4는 거의 동일한 값이지만, 기입에 프리펄스 동작을 병용하고 있다. 이에 의해, i4를 보다 작은 값으로 할 수 있거나, 재기입 시간 t7을 짧게 취하는 것이 가능하게 된다. 이에 맞춰서, 읽어냄의 폴스 폭 t5나, 공통의 전류인 i4을 선택할 수가 있고, 저전력화나 고속화가 달성되는 것이다. 또한, 도 14는 전류값을 나타내고 있지만, 기입 시와 읽어냄 시에, 비트선에 동일한 전압을 인가함으로써 실현하는 것이 가능하다.

[0087] 도 15는, 짧은 읽어냄 시간에서 고속으로 신호를 증폭하는 구성의 일례이다. 비트선 BL이 센스 앤프와 RE1로 제어되는 MOS 트랜지스터에 의해 접속되어 있고, PC1로 제어되는 MOS 트랜지스터에 의해 비트선 BL은 Vs에 접속되고, PP1로 제어되는 MOS 트랜지스터에 의해 센스 앤프와의 접속 노드 NS는 Vd에 접속되어 있다. 여기서 특징적인 것은, 비트선 BL이 PP1의 신호에 의해 Vd의 전압으로 되어 있는 NS보다도, RE1의 전압보다도 MOS 트랜지스터의 임계값 전압분만큼 낮은 전압으로 클램프되는 것이다. 이 때문에, 메모리 셀을 온시키면, BL보다도 기생 용량이 작은 NS의 전위가 고속으로 변화된다. 이 때문에 이 신호를 바로 센스 앤프에서 증폭하는 것이 가능해져, 메모리 셀은 오프시켜도 된다. 이와 같이 메모리 셀을 온시켜 두는 시간을 짧게 할 수 있는 것이다. 위에서 나타낸 바와 같이 흘리고 있는 시간이 짧을 수록, 기입에 필요한 전류는 커지게 되므로, 이 결과로서 읽어냄 동작에서의 디스터브 내성이 크게 향상된다. 본 구성을 이용하면, 디스터브가 발생하기 어려운 짧은 읽어냄 시간에서도 센스 앤프에서 증폭하는 데에 충분한 신호 전압을 얻을 수 있다. 또한, 마찬가지의 구성을 소스선 SL에 대해서도 구비할 수도 있다. 이상과 같이, 본 실시예의 회로 구성을 채용함으로써, PP1로 제어되는 MOS 트랜지스터는, 소위 소스 팔로우 모드로 되어 있고, 비트선 BL의 전압 변화에 대하여 고속으로 접속 노드 NS의 전

압을 변화시킨다. 이에 의해 고속의 읽어냄 동작이 가능하게 된다.

[0088] 도 16은, 도 15의 회로의 동작예를 도시하는 도면이다. PC1이, 고전위로부터 저전위로 되고, 이 후, PP1이 저전위로 되어 NS는 Vd에 전기적으로 접속된다. 이 상태에서 RE1이 고전위로 되면, RE1이 게이트에 접속된 n형 MOS 트랜지스터에 의해, 비트선 BL은, RE1의 전위보다도 이 n형 MOS 트랜지스터의 임계값 전압분 낮은 전압으로 프리차지된다. 여기서, 워드선 W가 선택되면, 메모리 셀에 전류가 흐른다. 그러나, 비트선은 RE1의 전위보다도 n형 MOS 트랜지스터의 임계값 전압분 낮은 전압으로 클램프된다. 이 결과, 비트선 BL의 기생 용량보다도 NS의 기생 용량은 훨씬 작으므로, NS의 전위가 크게 변화하게 된다. 이 결과, 센스 앰프를 온할 수 있고, 그 전에 RE1을 저전압으로 되돌리고, 또한 워드선을 폐쇄할 수 있다. 따라서, 메모리 셀에 전류를 흘리는 시간을 짧게 할 수 있다. 또한, 본 구성은, 비트선의 큰 기생 용량을 직접 방전하는 경우와 비교하여, 고속으로 동작시키는 것이 가능하게 된다.

[0089] 도 17은, 본 발명의 제3 실시예를 도시하는 도면이다. 이 실시예에서는, 비트선 BL에의 전위를 공급하기 위해, 용량 CS와 이것을 전원 Vd와 접속하기 위한 스위치 S1과 비트선 BL과 접속하기 위한 스위치 S2가 준비되어 있다. 즉, 지금까지는 비트선 BL에 전위를 공급하는 데에, 전원 Vd와 비트선 BL과 스위치에서 연결하는 구성으로 하고 있었다. 이와 같이, 전원과 직접 접속하면, 메모리 셀을 구성하는 MOS 트랜지스터의 성능 등에 의해 흐르는 전류가 메모리 셀마다 변동되게 되는 경우가 있다. 본 실시예에서는 이와 달리, 처음에 스위치 S1을 닫아, 용량 CS를 전원 Vd에 의해 충전한다. 이 후, 스위치 S1을 열고 스위치 S2를 닫아, 용량 CS의 전하에 의해 비트선 BL에 전류를 공급한다. 이 구성을 이용하면, 용량 CS에 축적된 일정한 전하만 이용하기 때문에, 비트선으로부터 메모리 셀에 흐르게 되는 전류의 총량, 전하량의 변동이 작아진다. 이 흐르는 전하의 스펀에 의해, 메모리 셀 중의 상태가 변화되게 되지만, 이 기초로 되는 전하량이 일정한 것은, 메모리 셀마다의 스펀의 변화량도 일치한다. 따라서, 본 실시예를 채용함으로써 변동이 작은 재기입 후의 상태를 만들어 낼 수 있다. 또한, 마찬가지의 구성을 소스선 SL에 대해서도 형성하고, 재기입의 전류의 방향을 바꿈으로써, 필요한 정보를 재기입할 수 있다. 또한, 용량 C는, MOS 캐패시터나 MIM 캐패시터를 이용하여 형성할 수 있다.

[0090] 도 18에, 도 17의 회로의 동작예를 도시한다. 처음에는 스위치 S1과 스위치 S2의 양방이 오프되어 있다(열려 있다). 우선, 스위치 S1이 온한다. 이에 의해, 도면에는 도시되어 있지 않지만, 도 17의 용량 CS가 충전된다. 이것이 끝나면 스위치 S1을 오프하고, 다음으로 스위치 S2를 온한다. 이에 의해, 용량 CS로부터, 전류 i5가 흐른다. 또한, 이 도면에서는 일정한 전류값으로 모식적으로 쓰여져 있지만, 이것에 시간을 곱한 총 전하량이 재기입 후의 상태에 영향을 준다. 본 실시예에서는, 용량 CS에 충전된 값을 기초로 하고 있기 때문에, 재기입 시에 메모리 셀에 흐르는 총 전하량의 변동이 작아진다.

[0091] 도 19는, 본 발명의 제3 실시예의 다른 구성예를 도시하는 도면이다. 이 구성예에서는, CS1과 CS2의 2종류의 용량을 준비하고 있다. 스위치 S1에서 양방의 용량을 Vd로 프리차지하지만, CS1은 S2를 통하여, 비트선 BL과 접속되고, CS2는 S3을 통하여 비트선 BL과 접속된다. 이 구성을 이용하면 프리펄스 동작을 행할 수 있고, 또한 이 때의 스펀의 방향을 변화시키기 쉽게 하기 위한 전류를, CS1의 용량을 변화시킴으로써 달성 가능하게 된다. 또한, 재기입 시에 메모리 셀에 흐르는 총 전하량을 용량 CS1 및 CS2에 충전한 전하를 기초로 하고 있기 때문에, 변동이 작다. 또한, 프리펄스 동작을 행하기 위해, C1의 용량값은, C2의 용량값보다 작게 한다.

[0092] 도 20은, 도 19의 회로의 동작예를 도시하는 것으로, 모두 S1로 CS1과 CS2를 프리차지하고, S2와 S3으로 메모리 셀과 이들의 용량을 접속하여 전류를 메모리 셀에 흘리는 것이다. S2의 펄스 폭은 S3의 펄스 폭보다도 작다. 이에 의해 메모리 셀에 프리펄스 동작을 공급할 수 있어, 스펀의 방향을 바꾸기 쉬운 상태로 할 수 있다. 이후, S3에 의해 재기입 전류(전하)가 공급된다. 또한, 스위치 S2를 온한 후, 스위치 S2가 오프하기 전에 스위치 S3을 온으로 하면, 일시적으로 용량 CS1과 용량 CS2가 동시에 부하로 되기 때문에, 메모리 셀이 전하를 뽑아내는 동작이 지연되게 된다. 따라서, 프리펄스와 재기입 펄스가 중복되지 않도록 제어하면 용량 CS1이 부하로 되지 않기 때문에 메모리 셀은 고속으로 용량 CS2의 전하를 뽑아내는 것이 가능하게 된다. 따라서, 도 20에서는, 프리펄스와 재기입 펄스가 연속하고 있지 않다. 그러나, 그 동안의 시간을 짧게(수ns 정도) 하면, 프리펄스의 효과는 충분히 얻어진다. 또한, 프리펄스와 재기입 펄스가 연속하도록 스위치 S2, S3을 제어해도 된다. 이 경우, 프리펄스로 스펀을 요람한 효과를 최대한으로 활용할 수 있다. 또한, 스위치 S2를 기입 중에 오프 상태로 하면 용량 CS1에 용량 CS2에 축적한 전하의 일부가 잔존하게 되기 때문에, 프리펄스와 재기입 펄스를 연속시키는 경우에는, 스위치 S2는, 기입이 종료된 후에 오프 상태로 하는 것이 좋다.

[0093] 도 21은, 본 발명의 제3 실시예의 다른 구성예를 도시하는 도면이다. 이 예에서 특징적인 것은, 도 17에서 설명한 CS를, 비트선 BL이나 소스선 SL의 기생 용량 CB1이나 CB2로 구성한 것이다. 또한, 이 기생 용량에 미리

충전을 행하는 동작을 실현하기 위해, WEP로 제어되는 MOS 트랜지스터가 설치되어 있다. WED에 의해 비트선 BL 또는 소스선 SL의 전위는 VS로 방전된다. 이에 의해, MOS 캐패시터나 MIM 캐패시터를 형성할 필요는 없어져, 면적을 저감할 수 있다. 또한, 프리펄스 동작을 병용하는 경우에는, 용량 CS1을 기생 용량을 이용하여 형성하고, 용량 CS2를 MOS 캐패시터나 MIM 캐패시터를 이용하여 형성하면 된다. 이 경우, 스위치는, 도 19의 비트선과 용량을 접속하는 스위치 S3만으로 되기 때문에, 프리펄스 동작과 기입 동작을 연속하여 행하게 되어, 프리펄스로 스핀을 요람한 효과를 최대한으로 활용할 수 있다.

[0094] 도 22에, 도 21의 구성예의 동작예를 도시한다. 지금까지 설명한 것과 마찬가지의 동작 후, WEP가 고전위로 된다. 이에 의해 기입 데이터에 의해 지정된 SL이 충전된다. 이 때 이 SL에는 기생 용량이 있다. 이 후, WEP를 저전위로 되돌리고, 워드선을 선택하고, 또한 WED를 고전위로 한다. 이에 의해, 소스선 SL의 기생 용량에 축적되어 있던 전하가 메모리 셀에 흐른다. 소스선(및 비트선)의 용량은 메모리 셀 트랜지스터의 성능보다는, 변동이 작으므로 일정한 전하를 메모리 셀에 흘릴 수 있다.

[0095] 도 23은, 본 발명의 실시예를 실현하는 메모리 셀 어레이의 레이아웃예이다. 메모리 셀의 면적은, 워드선 혹은 비트선의 배선 폭치를 2F로 한 경우 $8F^2$ 이다. 또한, 도 24는 도 23의 A-A'간의 단면도와 주변 회로의 단면도를 도시하고 있다. 도 25는 B-B'간의 단면도, C-C'간의 단면도를 도시하고 있다. 메모리 셀 MC는, 하나의 nMOS 트랜지스터와 터널 자기 저항 TMR로 이루어진다. 워드선 WL은 트랜지스터의 게이트 GP에 접속된다. 게이트 재료는, P형 폴리실리콘이나 P형 폴리실리콘의 상부에 실리사이드 혹은, 텅스텐(W)이 적층되고, 저저항화되어 있다. 메모리 셀 트랜지스터는, p형의 반도체 영역 pWEL 중에 형성된다. p형 반도체 영역 pWEL은, n형 반도체 영역 DWEL 중에 형성되고, 이 DWEL은 P-Sub 상에 형성된다. nMOS 트랜지스터의 확산층 LN의 한쪽에는, 소스선 컨택트 SLC가 배치된다. 소스선 컨택트는, 인접하는 메모리 셀 MC와 공유화하여 소면적화하고 있다. 소스선 컨택트 상에는, 워드선과 직교하는 방향으로 소스선이 배선된다. 소스 컨택트가 배치되지 않는 확산층 LP에는, 터널 자기 저항 TMR에 접속되는 하부 전극 컨택트 BEC가 배치된다. 하부 전극 컨택트 BEC는 터널 자기 저항이 배치되는 하부 전극 BE에 접속된다. 하부 전극 BE 상에는, 복수의 자성체막과 터널막으로 이루어지는 터널 자기 저항 TMR이 배치된다. 터널 자기 저항 TMR에는, 적어도 1층의 터널막 TB와 그 양측에 배치되는 고정층 PL과 자유층 FL이 포함된다. 자성체의 고정층 PL에서는, 내부의 전자의 스핀의 방향이 일정 방향으로 고정되어 있다. 한편, 자성체의 자유층 FL에서는, 내부의 전자의 스핀의 방향이 고정층에 대하여 평행·반평행 상태의 2 상태 중 어느 한쪽의 상태에 있다. 본 구성에서는, 터널막 TB와 하부 전극의 사이에 고정층 PL이 배치되고, 터널 자기 저항 TMR의 상층에 배선되는 비트선 BL과 터널막 TB 사이에 자유층 FL이 배치된다. 비트선은, 워드선과 직교하고, 소스선과 평행하게 배선된다. 터널 자기 저항 TMR은 비트선 배선 방향이 워드선 배선 방향에 비해 긴 장방형 혹은, 타원 형상으로 되어 있다. 이에 의해, 종횡비가 서로 다른 형상으로 함으로써, 자유층의 자화를 고정층 PL에 대하여 평행·반평행 상태 이외의 방향으로 자화되기 어려운 자기적인 이방성이 나타나, 자유층 FL의 스핀 방향의 유지 특성이 양호해지는 이점이 있다.

[0096] 도 26은, 본 발명의 제4 실시예를 나타낸 메모리 셀 어레이의 레이아웃예이다. 도 24에 대응하는 부분만을 도시하고 있다. 본 실시예의 특징은, 하부 전극 BE의 하방에 워드선과 평행하게 달리는 어시스트 워드선 AW를 배치한 것이다. 이 어시스트 워드선 AW에 전류를 흘림으로써 자계를 발생시킬 수 있어, TMR 소자의 동작에 영향을 줄 수 있다.

[0097] 도 27은, 도 26의 단면 구조의 메모리 셀에 대응하는 회로도로서 그린 것이다. 워드선 W와 어시스트 워드선 AW는 평행하게 배치되어 있고, 어시스트 워드선 AW가 이것에 흐르는 전류에 의해 발생하는 자계로 TMR 소자 T1에 영향을 줄 수 있는 것을 화살표에 의해 나타내고 있다. 이 동작예로서 (A)와 (B)에서 도시한 예가 있다. 즉, 최초 (A)와 같이 어시스트 워드선만 온시켜서 전류를 흘린다. 이에 의해 실제로는 발생하는 자계에 의해, T1 내부의 스핀의 방향을 바꾸기 쉬운 상태로 할 수 있다. 계속되는 (B)의 동작에서 이번에는 워드선 W를 온시켜, 재기입 전류를 흘린다. 이미 어시스트 워드선 AW의 동작에 의해 스핀은 반전되기 쉽게 되어 있으므로, 보다 적은 전류로 재기입을 행할 수 있는 것이다. 또한, 어시스트 워드선에 전류를 흘린 것만으로는, 스핀은 반전하기 쉬운 상태로는 되지만, 바로 최초의 상태로 되돌아가게 된다.

[0098] 이러한 동작은 도 26의 구조가 아니라 다른 방법으로 실현할 수 있다. 이것을 본 발명의 제4 실시예의 다른 구성예로서 도 28에 도시한다. 이와 같이, 비트선 BL과 전류원 i0 사이에 스위치 S2를 설치한 구성으로 하면 된다. 이 동작예를 도 29에 도시한다. 우선 (A)에 도시한 바와 같이, S2를 온하고, 전류 i0을 흘린다. 이에 의해 비트선 BL에는 자계가 발생한다. 단면도인 도 24에 따르면, 비트선 BL은 TMR 소자에 접속되도록 배치되어 있다. 따라서, 이 자계에 의해 TMR의 소자는 영향을 받아, 스핀은 반전되기 쉽게 된다. 다음으로, (B)와 같이

스위치 S2를 오프하고, 워드선 W를 활성화함으로써 재기입 전류 i9를 흘린다. (A)의 동작에 의해 스핀은 반전되기 쉽게 되어 있으므로, 보다 적은 전류로 재기입을 행할 수 있다. 또한, (A)의 동작 후, 스위치 S2를 오프한 것만으로는, 바로 TMR의 소자는 원래의 상태로 되돌아가게 된다.

- [0099] 이상, 실시예에 의거하여 본 발명을 설명해 왔지만, 본 발명의 요지를 일탈하지 않는 한 다양한 변경이 가능하다.

발명의 효과

- [0100] 고속 기입, 또는, 안정 동작을 실현할 수 있다.

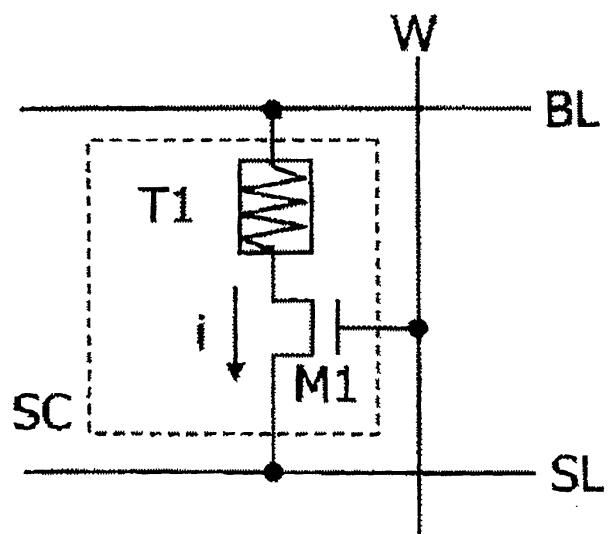
도면의 간단한 설명

- [0001] 도 1은 본 발명의 제1 실시예를 도시하는 도면.
 [0002] 도 2는 본 발명의 제1 실시예의 동작예를 도시하는 도면.
 [0003] 도 3은 본 발명의 제1 실시예를 이용하였을 때의 실험 결과를 도시하는 도면.
 [0004] 도 4는 제1 실시예를 실현할 때의 메모리 어레이의 구성예를 도시하는 도면.
 [0005] 도 5는 도 4의 비트선 · 소스선 선택 회로의 구성예를 도시하는 도면.
 [0006] 도 6은 도 4의 센스 앰프 · 기입 회로의 구성예를 도시하는 도면.
 [0007] 도 7은 도 4의 워드 드라이버의 구성예를 도시하는 도면.
 [0008] 도 8은 도 4 내지 도 7의 회로 동작 과정도를 도시하는 도면.
 [0009] 도 9는 도 6의 센스 앰프 · 기입 회로의 다른 구성예를 도시하는 도면.
 [0010] 도 10은 도 6의 센스 앰프 · 기입 회로의 다른 구성예를 도시하는 도면.
 [0011] 도 11은 도 10에 도시하는 회로의 동작 과정도를 도시하는 도면.
 [0012] 도 12는 본 발명의 제2 실시예를 도시하는 도면.
 [0013] 도 13은 본 발명의 제2 실시예를 이용하였을 때의 실험 결과를 도시하는 도면.
 [0014] 도 14는 본 발명의 제2 실시예의 다른 구성예를 도시하는 도면.
 [0015] 도 15는 본 발명의 제2의 실시예의 다른 구성예를 도시하는 도면.
 [0016] 도 16은 도 15의 구성예의 동작예를 도시하는 도면.
 [0017] 도 17은 본 발명의 제3 실시예를 도시하는 도면.
 [0018] 도 18은 본 발명의 제3 실시예의 동작예를 도시하는 도면.
 [0019] 도 19는 본 발명의 제3 실시예의 다른 구성예를 도시하는 도면.
 [0020] 도 20은 도 19의 구성예의 동작예를 도시하는 도면.
 [0021] 도 21은 본 발명의 제3 실시예의 다른 구성예를 도시하는 도면.
 [0022] 도 22는 도 21의 구성예의 동작예를 도시하는 도면.
 [0023] 도 23은 본 발명의 실시예를 실현하는 메모리 셀 어레이의 레이아웃예를 도시하는 도면.
 [0024] 도 24는 도 23의 A-A'간의 단면도와 주변 회로의 단면도를 도시하는 도면.
 [0025] 도 25는 도 23의 B-B'간의 단면도, C-C'간의 단면도를 도시하는 도면.
 [0026] 도 26은 본 발명의 제4 실시예를 나타낸 메모리 셀 어레이의 레이아웃예를 도시하는 도면.
 [0027] 도 27은 도 26의 단면 구조의 메모리 셀에 대응하는 회로도를 도시하는 도면.
 [0028] 도 28은 본 발명의 제4 실시예의 다른 구성예를 도시하는 도면.

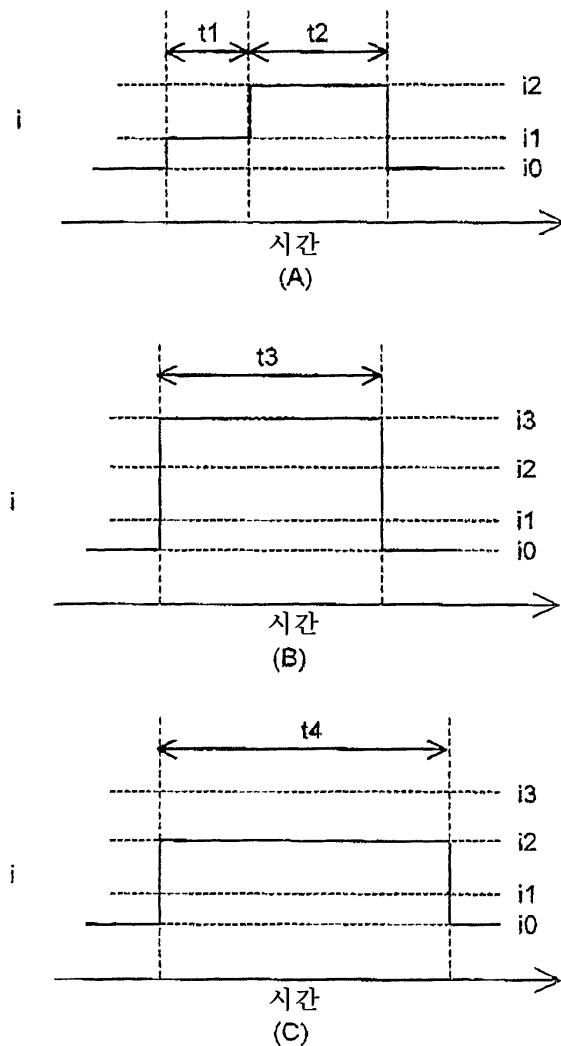
- [0029] 도 29는 도 28의 구성예의 동작예를 도시하는 도면.
- [0030] 도 30은 터널 자기 저항 소자 TMR의 구조예를 도시하는 도면.
- [0031] 도 31은 자유층의 스판의 방향 제어의 설명도.
- [0032] <도면의 주요 부분에 대한 부호의 설명>
- [0033] SC, SC1, SC2, MC: 메모리 셀
- [0034] T1: 터널 자기 저항 소자
- [0035] WE, WE1, WE1B, WE2, WEP, WED: 기입 제어 신호
- [0036] RE, RE1: 읽어냄 제어 신호
- [0037] PC, PC1: 비트선 프리차지 신호
- [0038] IO: 입출력선
- [0039] Y1: 열 선택 신호
- [0040] LTP, LTA: 래치 출력
- [0041] SL: 소스선
- [0042] SLC: 소스선 컨택트
- [0043] BEC: 하부 전극 컨택트
- [0044] BL: 비트선
- [0045] BE: 하부 전극
- [0046] TMR: 터널 자기 저항 소자
- [0047] GP: P형 폴리실리콘 게이트
- [0048] LP: P형 확산층
- [0049] FL: 자유층
- [0050] TB: 터널막
- [0051] PL: 고정층
- [0052] GN: n형 폴리실리콘 게이트
- [0053] LN: n형 확산층
- [0054] PWEL: P형 반도체 영역
- [0055] NWEL: N형 반도체 영역
- [0056] P-Sub: p형 기판

도면

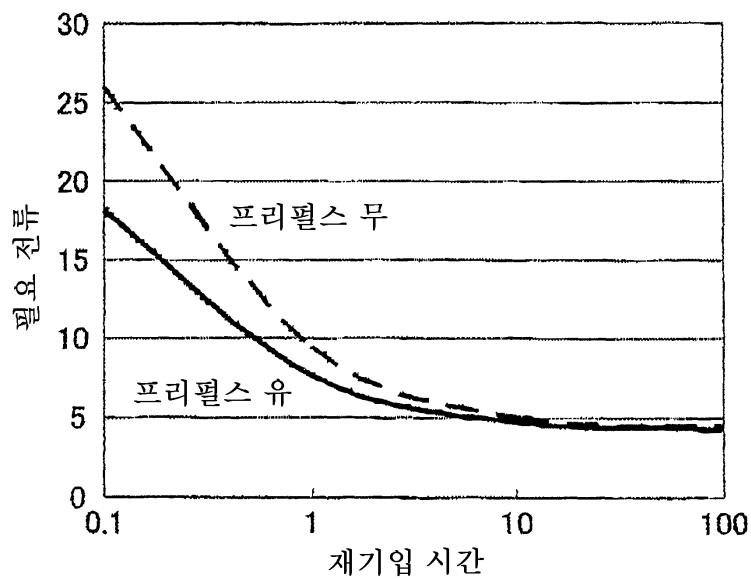
도면1



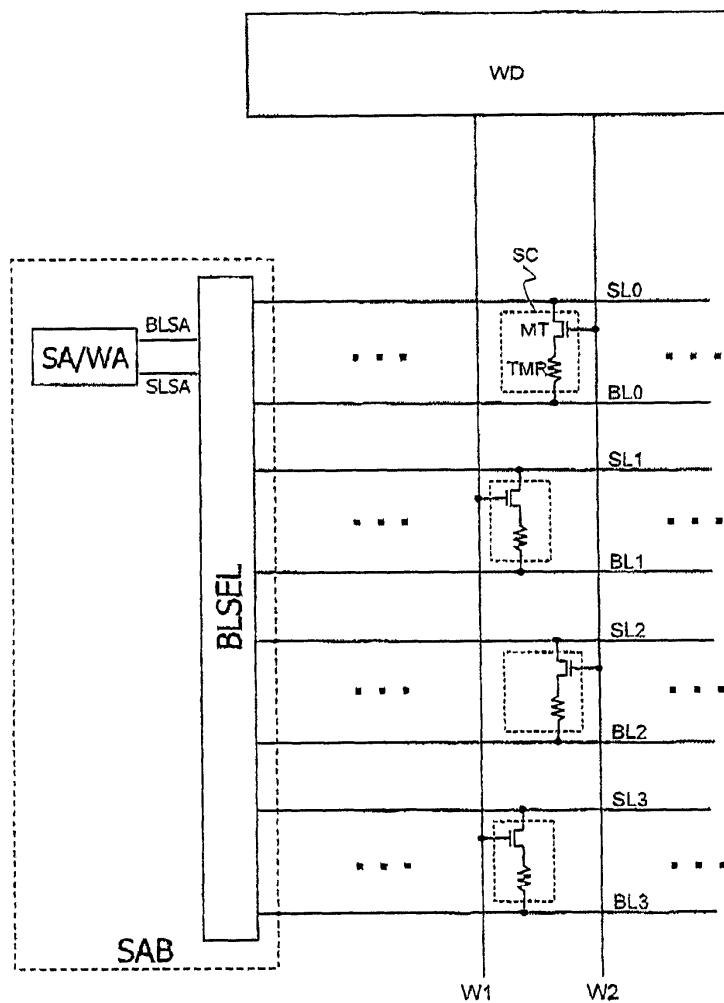
도면2



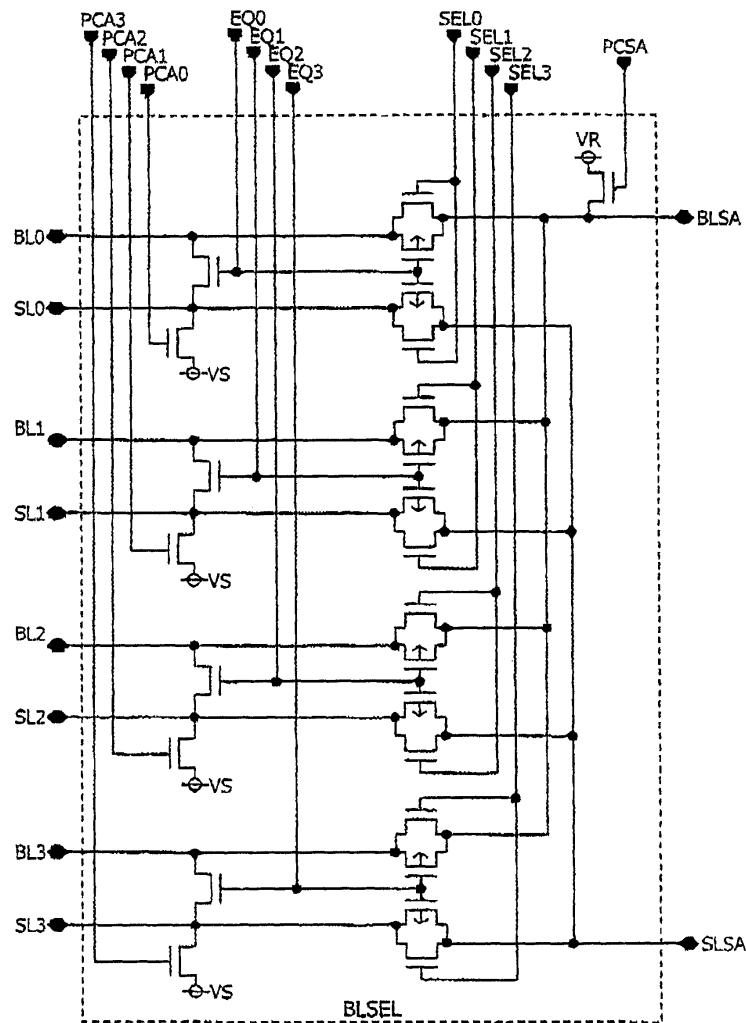
도면3



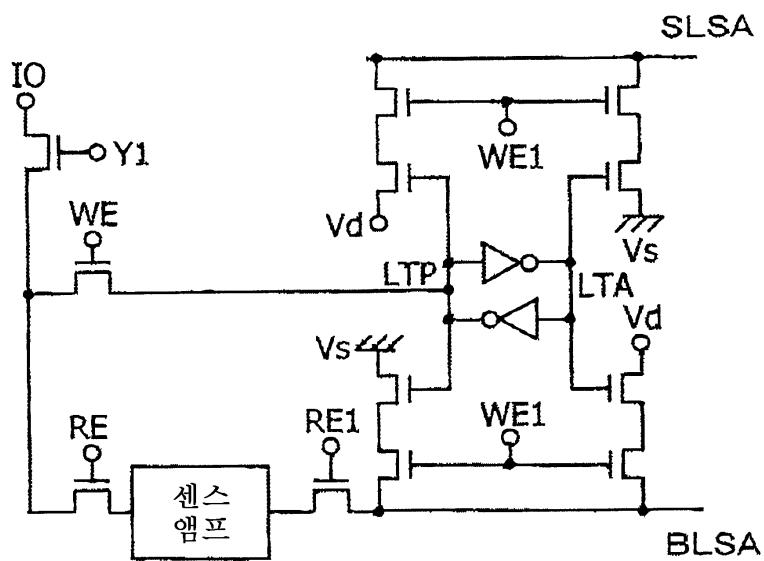
도면4



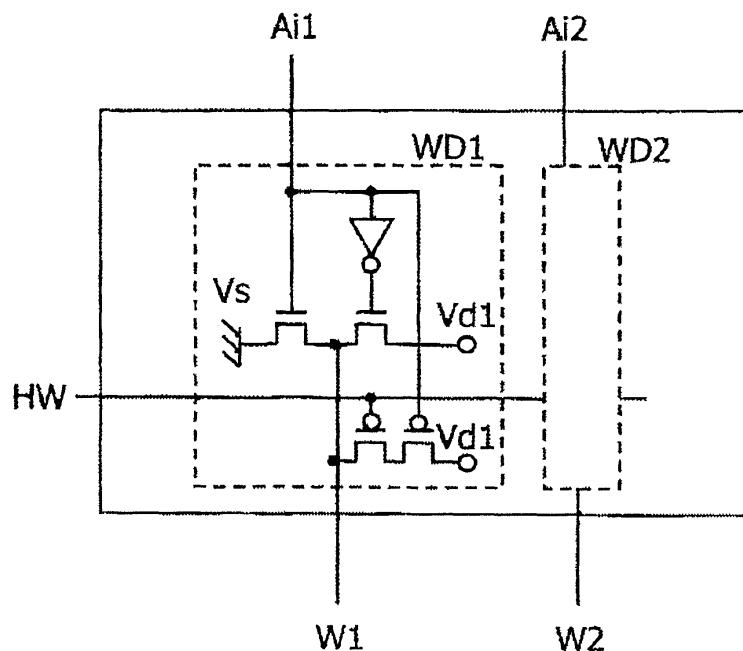
도면5



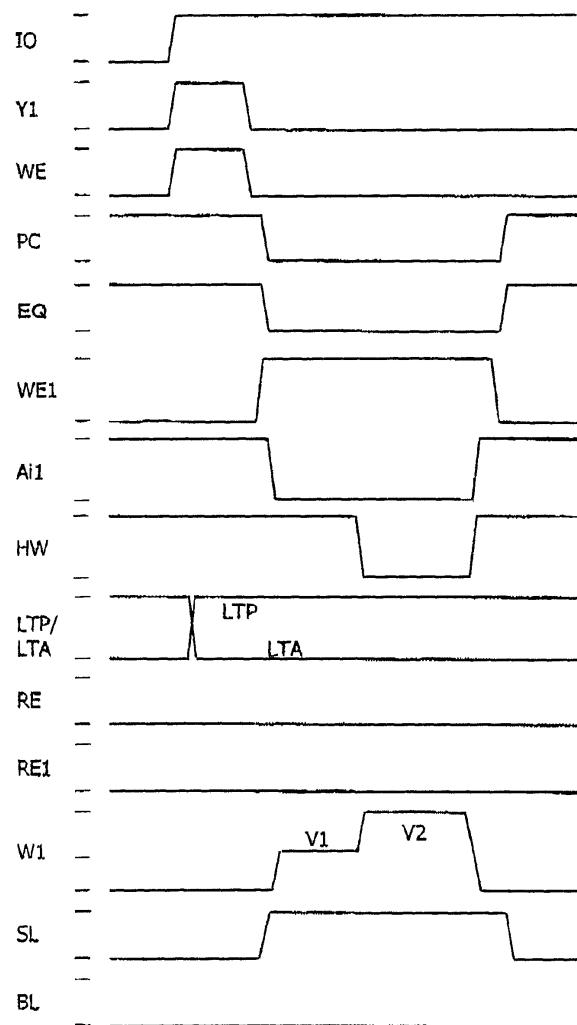
도면6



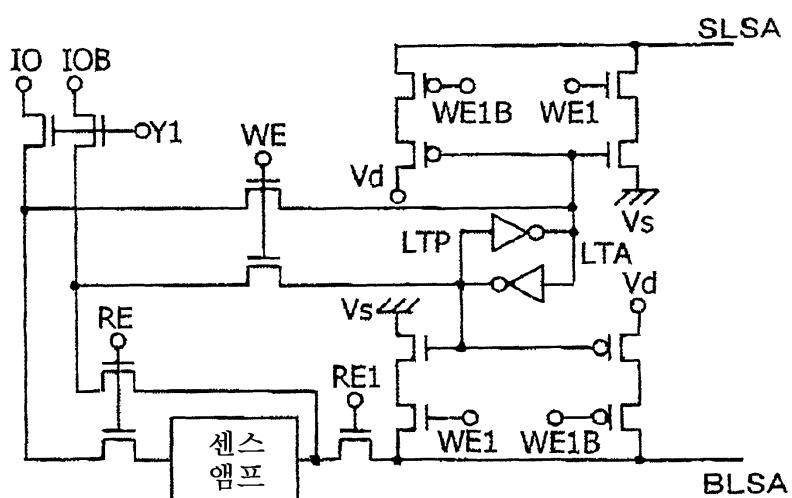
도면7



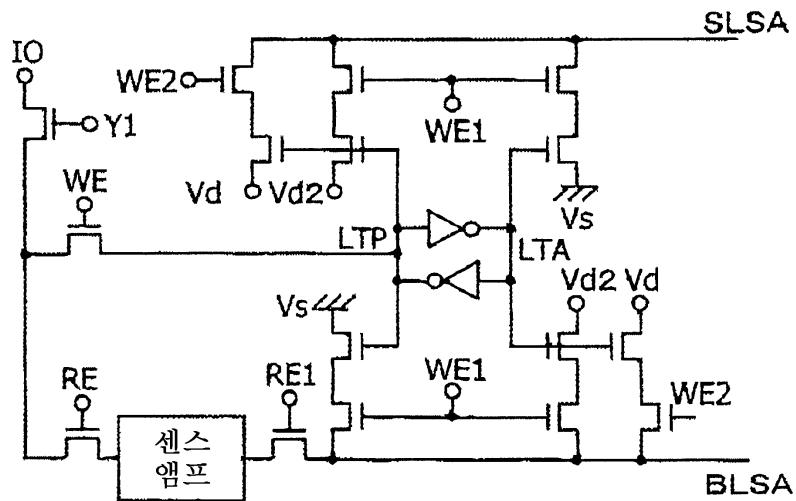
도면8



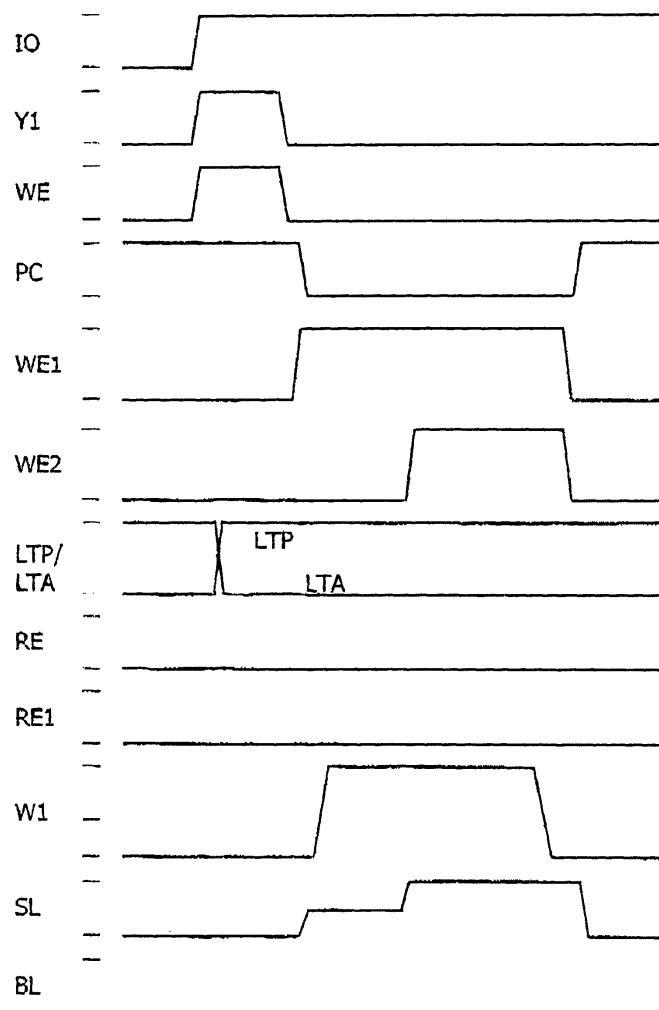
도면9



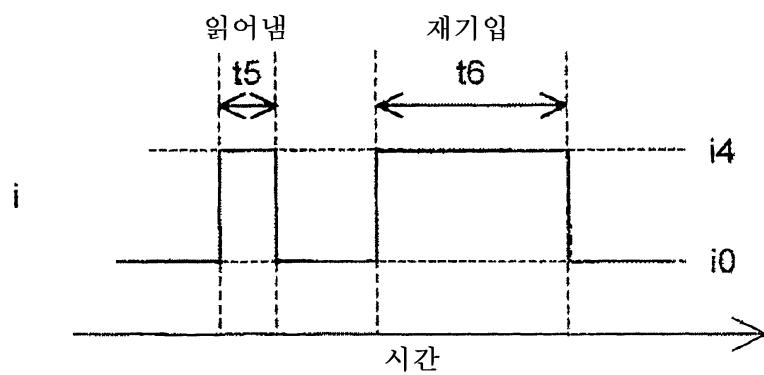
도면10



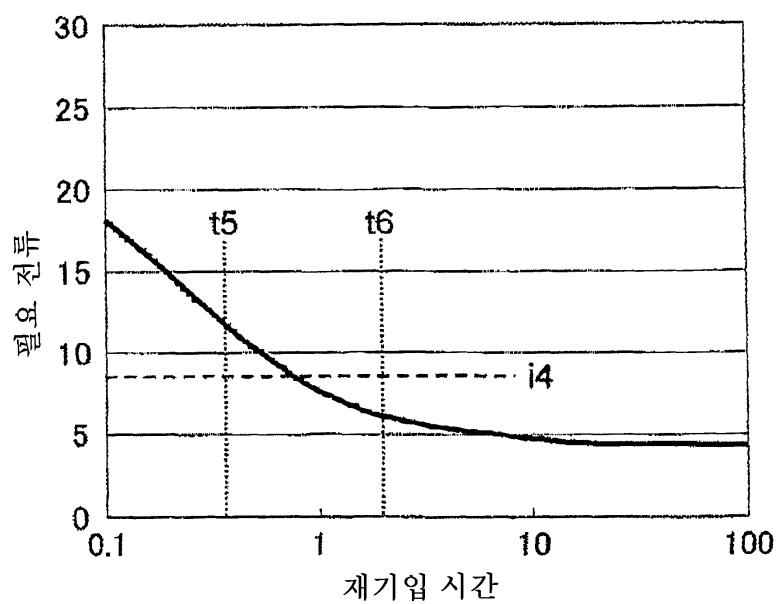
도면11



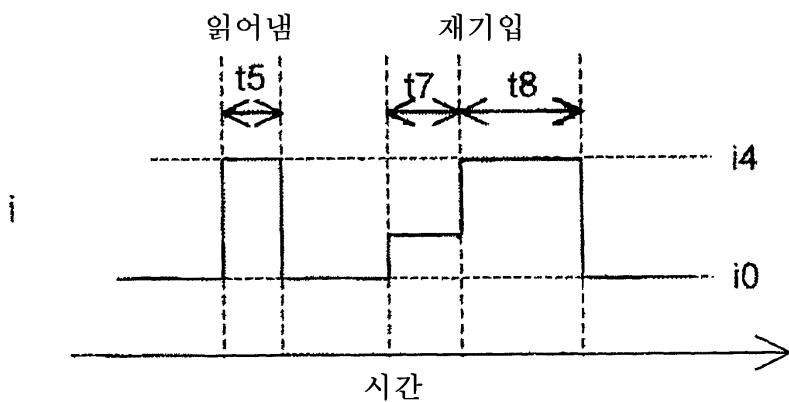
도면12



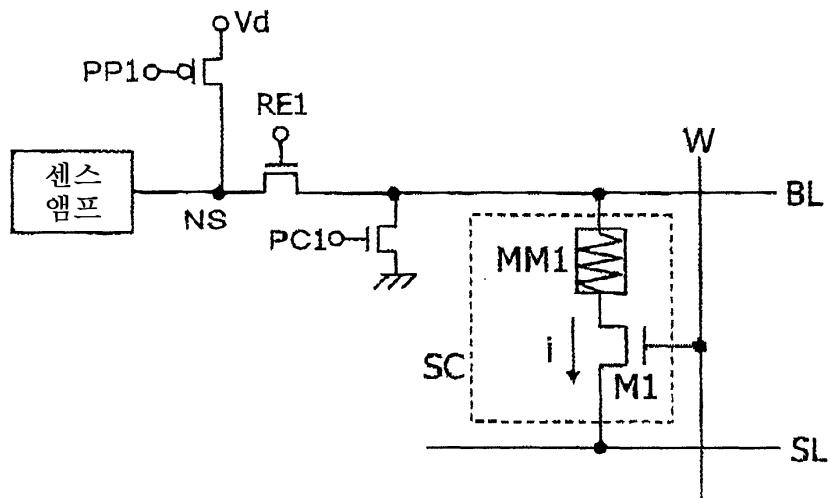
도면13



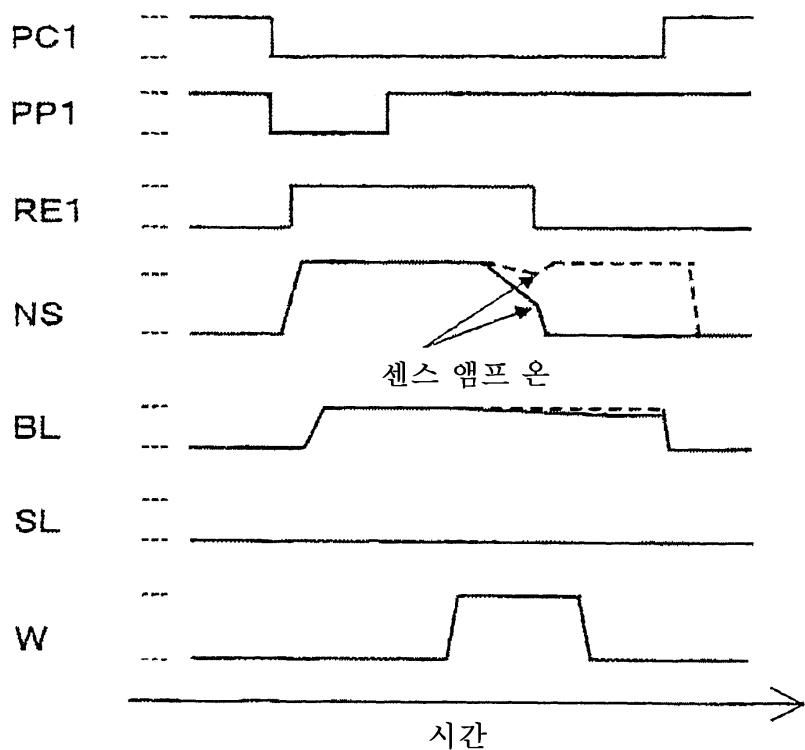
도면14



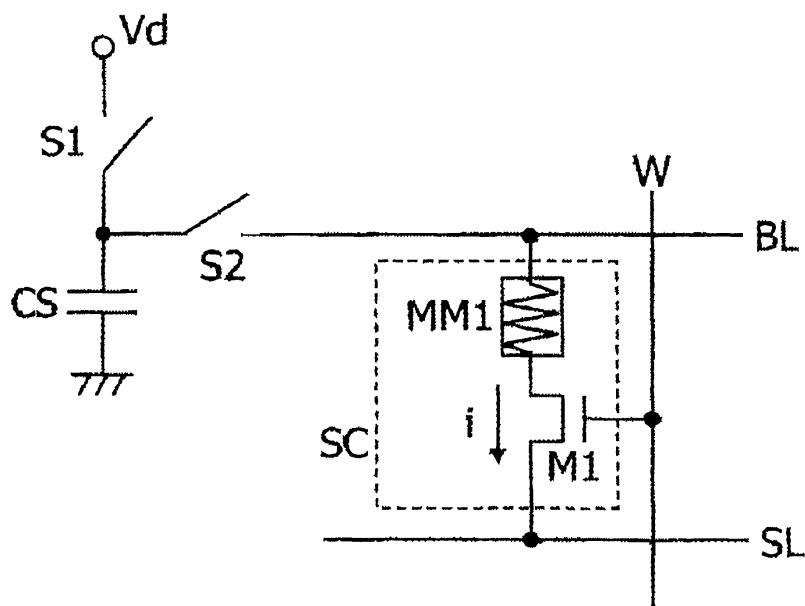
도면15



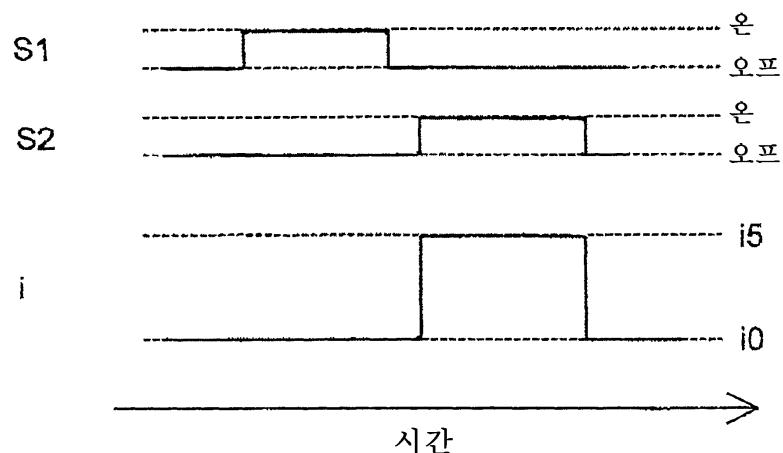
도면16



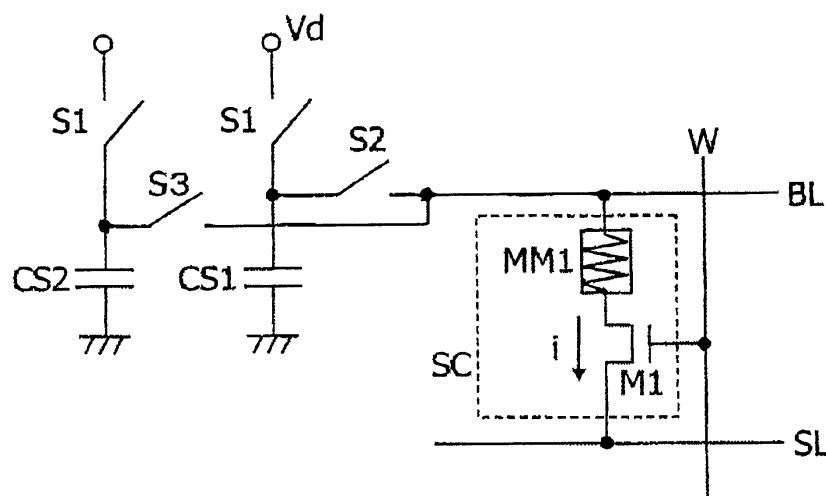
도면17



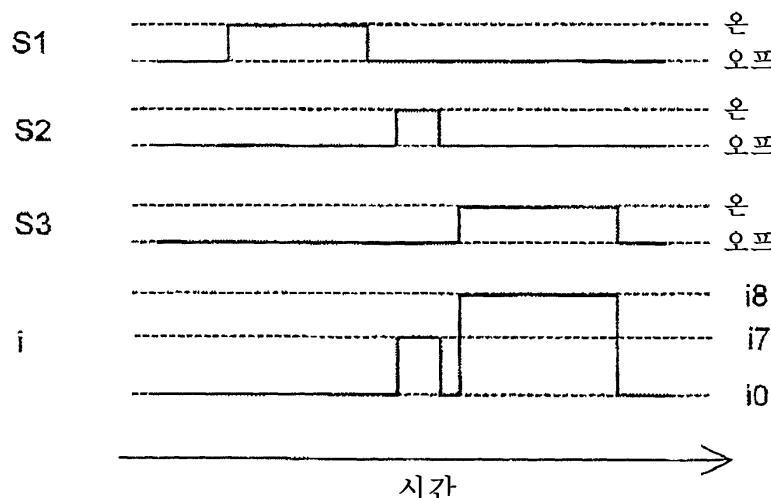
도면18



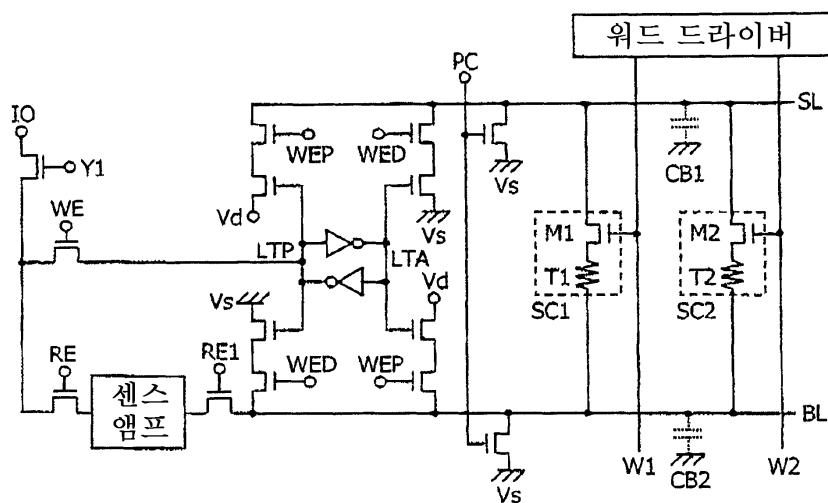
도면19



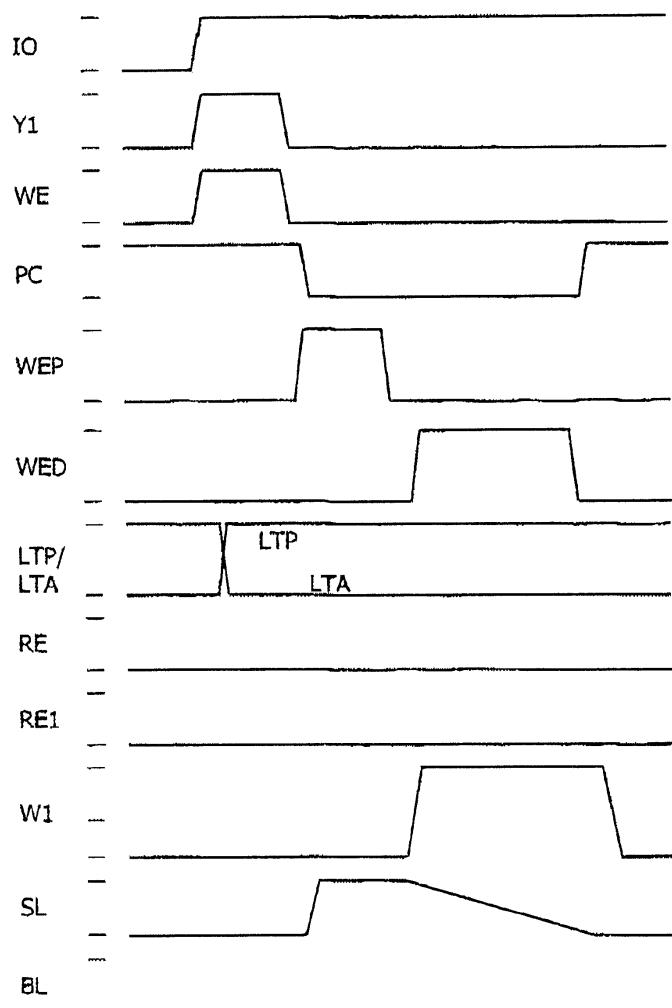
도면20



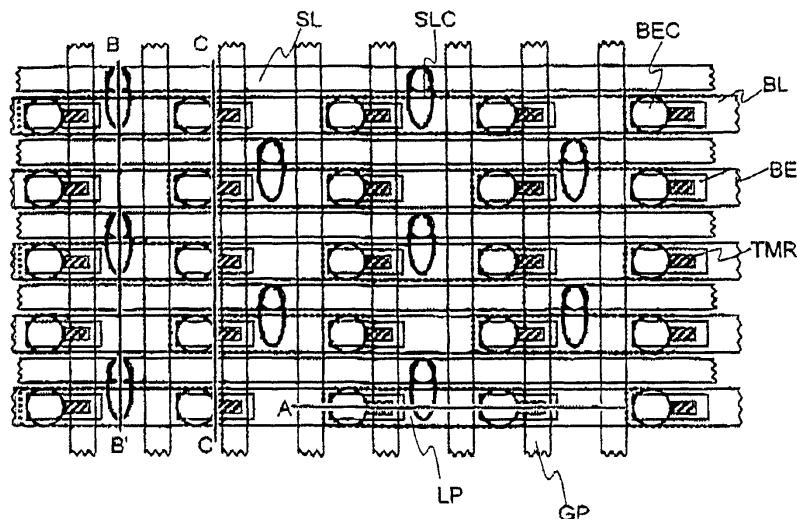
도면21



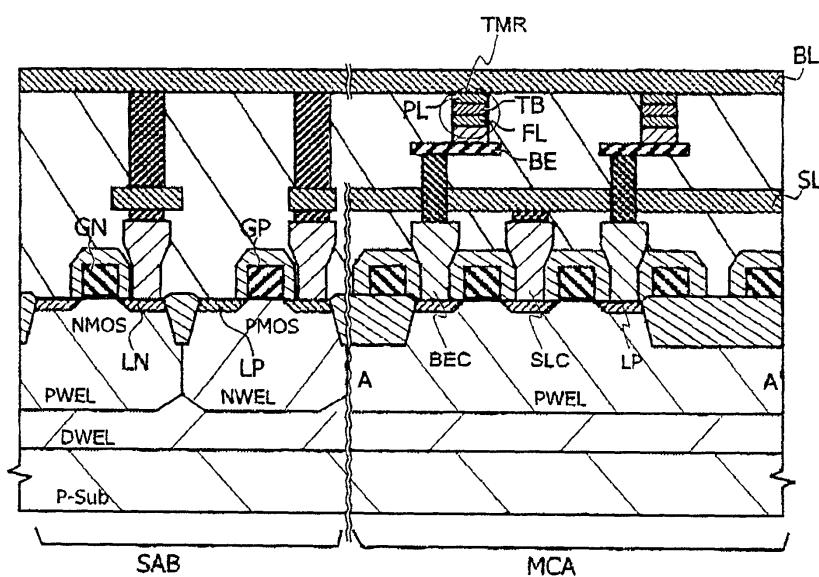
도면22



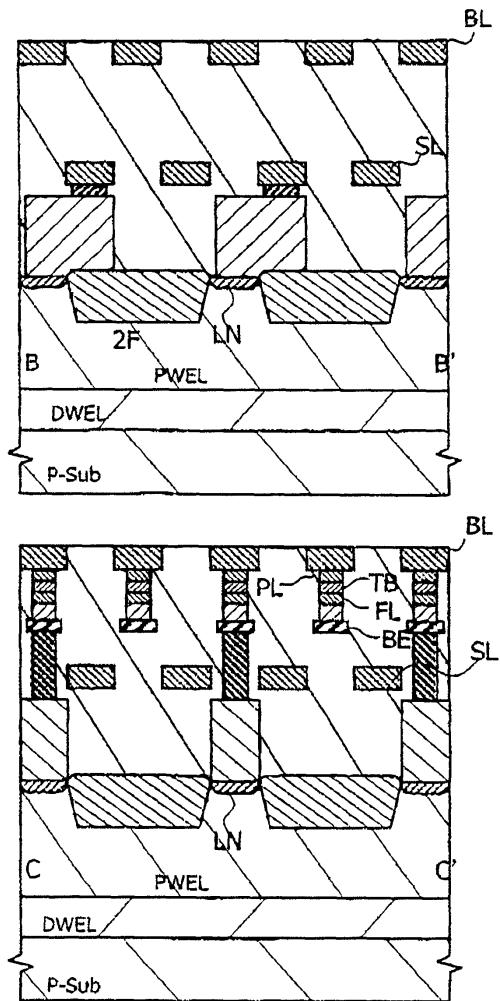
도면23



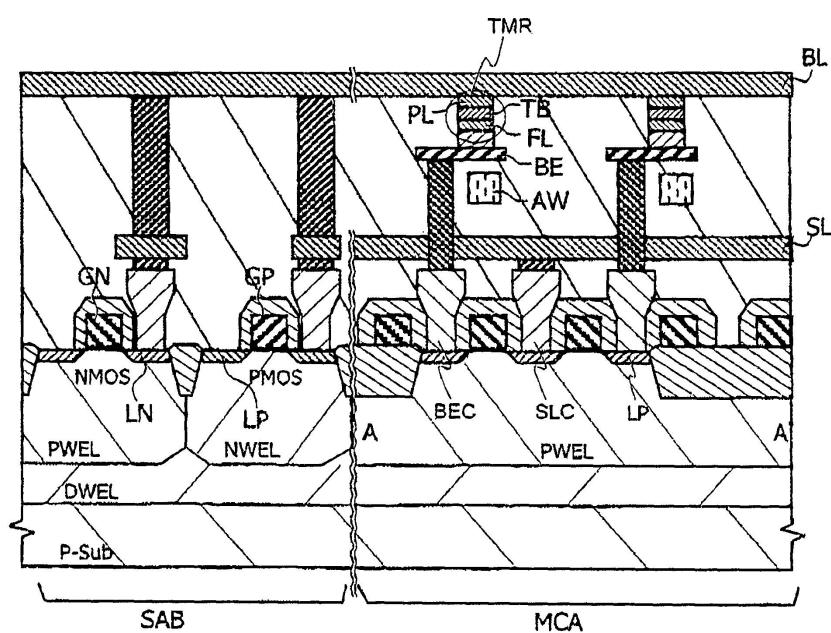
도면24



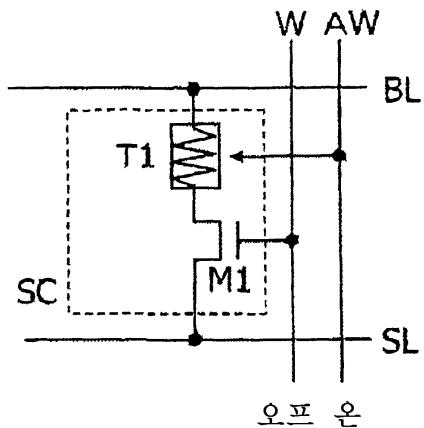
도면25



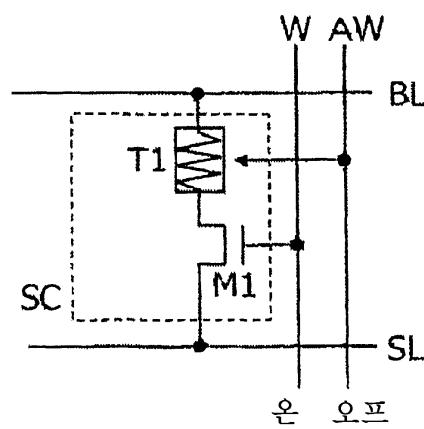
도면26



도면27

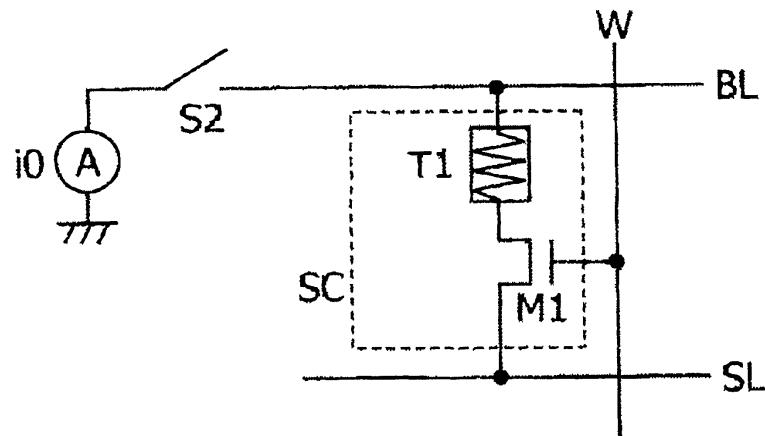


(A)

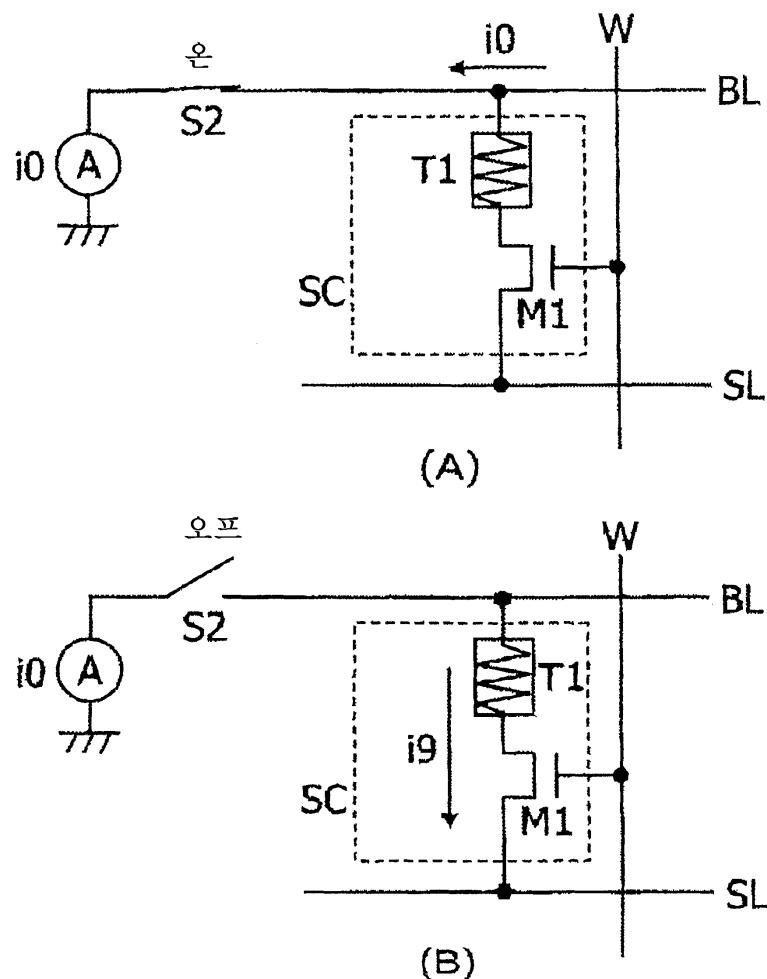


(B)

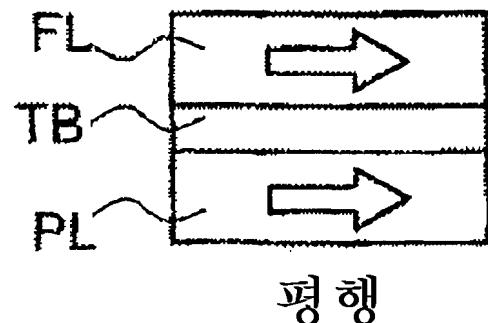
도면28



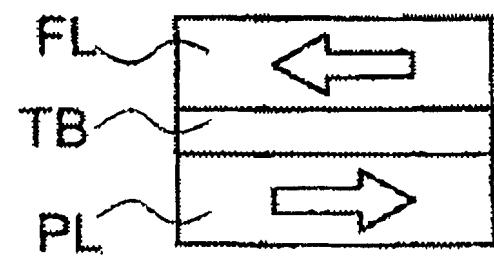
도면29



도면30



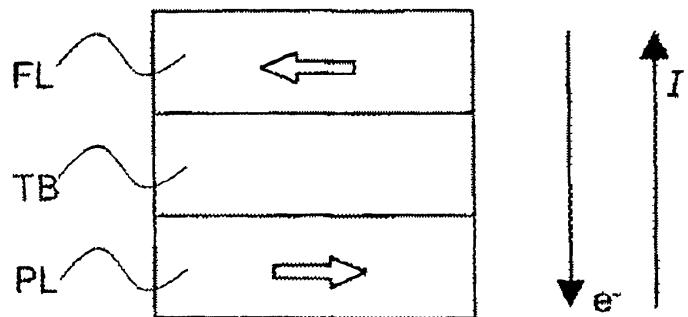
(A)



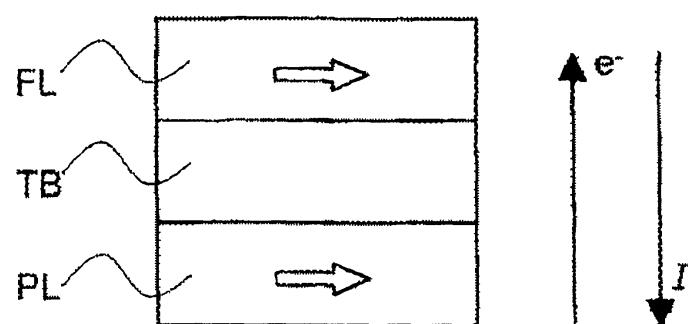
반 평행

(B)

도면31



(A) P → AP



(B) AP → P

【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 17항

【변경전】

상기 비트선

【변경후】

상기 제1 비트선

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 17항

【변경전】

상기 터널층

【변경후】

상기 터널막