

公告本

申請日期	90. 8. 1.
案 號	90118878
類 別	H01K 31/30

A4
C4

497169

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體領域中以氮電漿進行之殘留光阻移除及光阻層去除
	英 文	NH ₃ PLASMA DESCUMMING AND RESIST STRIPPING IN SEMICONDUCTOR APPLICATIONS
二、發明 人	姓 名	1. 謝章麟 2. 陳暉 3. 袁傑 4. 葉雁
	國 籍	1. 美國 2. 中華人民共和國 3. 美國 4. 中華人民共和國
	住、居所	1. 美國加州聖荷西市瑞晶西諾爾大道 1071 號 2. 美國加州聖大克勞拉市杜拉大道 664 號 3. 美國加州聖荷西市幸福庭院 1533 號 4. 美國加州斯拉托加維亞阿里巴大道 13271 號
三、申請人	姓 名 (名稱)	美商·應用材料股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
	代 表 人 姓 名	瓊西 J. 史維尼

第 1 頁

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210×297 公釐)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： , ☒有 ☐無主張優先權

本案已向美國申請專利；申請日：2000 年 8 月 1 日 案號：09/629,329 號

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

發明領域：

本發明係關於一種移除光阻材料之方法，本發明方法可移除一半導體結構中不希望存在於某一位置之光阻材料。在本發明之一實施例中，提供一種移除殘留光阻材料(desumming)之方法，該方法可移除經圖案化(打開窗口)之光阻層下表面處的殘留光阻材料。當一圖案化光阻材料在其下表面上之預設位置發生對位不佳之情形時，另一實施例之方法可移除其下層表面處的該圖案化光阻層。

發明背景：

半導體製程中，經圖案化之一光阻層通常作為圖案化蝕刻一下層材料之模板，該下層材料再作為蝕刻其下方材料層之一硬式罩幕，其中該硬式罩通常為一無機材料(例如：氧化矽、氮化矽、或二者之組成物)。

第1圖所示為一習用半導體結構100，該半導體結構100至少包含(由底部至頂部依序排列)：一矽基材102、形成於該矽基材102上之一有機介電材料層104、形成於該介電材料層104上之一硬式罩幕層106、及經圖案化之一光阻層108。對該光阻層108加以圖案化後，該圖案化之光阻層108與該硬式罩幕層106間之介面處通常仍有“足部”110存在，如第1圖所示。該“足部”110之存在將導致該硬式罩幕層106在被圖案化蝕刻處理時不易精準控制真正當蝕刻的

經濟部智慧財產局員工消費合作社印製

五、發明說明()

區域(及該硬式罩幕層 106 下之有機材料層 104 需加以真正蝕刻之特徵結構處)，其中這些真正當予蝕刻處之邊界正確與否顯得相當關鍵重要。

第 2 圖所示者為一第二習用半導體結構 200，該半導體結構 200 可作為一雙鑲嵌處理中之一中間結構。半導體結構 200 至少包含(由底部至頂部依序排列)：一矽基材 202、蝕刻一有機介電材料層 204 所獲得之一接觸孔 210、一經圖案化之一硬式罩幕層 206、及一第二圖案化光阻層 214，其中該光阻層 214 係於該接觸孔 210 蝕刻形成後再沉積形成之。蝕刻該接觸孔 210 後，移除該第一圖案化光阻層(未顯示)上之所有殘留材料，其中該第一圖案化光阻層用以圖案化該硬式罩幕 206。接繼之，將一光阻添加層 214 沉積並圖案化，以作為一圖案蝕刻該硬式罩幕 206 時之模板，並藉該模板形成接觸孔間連接用之渠溝(僅用於舉例說明，非用以限定此種應用)。然就第 2 圖為例，圖案化該第二光阻層 214 時可能產生錯誤，亦即該第二圖案化光阻層 214 形成之開口 216 不能對準中央開口。由於第 2 圖之半導體結構 200 已投入相當之成本，故不即行將該結構 200 作廢，一般皆以將對位不佳之第二圖案化光阻層 214 移除、並再塗佈一新光阻層的方式使該半導體結構 200 得繼續進行後續製程。

習用技術中，大部份光阻劑係由有機材料所組成，並皆使用氧氣(O_2)形成之電漿移除如第 1 圖(移除殘留光阻材料

五、發明說明()

處理(descumming))所示之“足部”110，並以其剝離一半導體中的對位不佳光阻層，如第2圖(修正處理(reworking))所示。然而，即使基材上被施以一偏壓時，該等 O_2 蝕刻仍屬等向蝕刻。就第1圖中說明之結構言，當該“足部”110被移除時，該經圖案化之光阻層108的圖案臨界尺寸(圖中所示為經放大之示圖)已因等向蝕刻機制而產生變化。再以等向蝕刻對第2圖中說明之結構產生的影響言，有機介電材料層204在往其底部時有底切外形產生，即圖中虛線所顯示之區域218。此外， O_2 蝕刻速度極快，因此不易精準控制該光阻材料量當移除之量(或不慎移除該有機介電層材料)。

因此，一般皆希望提供一種在移除殘留材料時不致造成圖案化光阻層之臨界尺寸改變的方法。此外，一般也希望提供一種在移除對位不佳之圖案化光阻層時不干擾及其下方之有機介電材料層的方法。

圖式簡單說明：

第1圖所示為一習用半導體結構100之示意圖。該半導體結構100至少包含(由頂部至底部依序排列)：一經圖案化之光阻層108、一硬式罩幕層106、一有機介電材料層104及一下層矽基材102；

第2圖所示為一習用“雙鑲嵌”半導體結構200之示意圖。該半導體結構200至少包含(由頂部至底部依序排

五、發明說明()

列)：一第二圖案化光阻層 214、一經圖案化之硬式單幕層 206、蝕刻該硬式單幕層 206 下層之一有機介電材料層 204 所獲得之一接觸孔 210、及一矽基材 202。圖中顯示光阻層 208 之圖案化不正確，即該圖案與該接觸孔 210 呈現對位不佳情形；

第 3 圖所示為執行本發明方法所使用之設備，該設備即為應用材料公司製造之 TPSTM 介電蝕刻處理室(以參照數字 300 表示之)。其中該 TPSTM 處理室 300 至少包含二種電漿功率源，分別為外部線圈 302 及一內部線圈 304 所提供；另一基材偏壓源則施加一偏壓於一基材上；

第 4A 圖所示為習用技術中一初始半導體結構 400 的示意圖，其中該結構 400 中的圖案化光阻層 408 底部具有一“足部” 410，該圖案化光阻層 408 位於一硬式單幕層 406 及一有機低 k 值介電材料層 404 上，且上述材料層皆位於一基材 402 上；

第 4B 圖所示為使用本發明方法移除殘留材料後所獲得之半導體結構 400 的示意圖。

第 4C 圖所示為圖案化蝕刻第 4B 圖之半導體結構 400 中一硬式單幕層 406 所獲得之半導體結構的示意圖；

第 4D 圖所示為蝕刻第 4C 圖之半導體結構 400 中一低介電常數層 404 而產生一接觸孔 412 所獲得之半導體結構

五、發明說明()

的示意圖；

第4E圖所示為在第4D圖之半導體結構400中沉積一第二光阻層414所獲得之半導體結構的示意圖；

第4F圖所示為圖案化第4E圖之半導體結構400中該光阻層414所獲得之半導體結構的示意圖。其中，該第二光阻層414之開口原本設計成與係下方之接觸孔412對準，但該第二光阻層414與該接觸孔412實際上呈現對位不佳之情形；

第4G圖所示為剝離第4F圖之半導體結構400中該第二光阻層414所獲得之半導體結構示意圖，其中剝離步驟係以本發明方法為之；

第4H圖所示為在第4G圖之半導體結構400中沉積一第三光阻層416所獲得之半導體結構的示意圖；

第4I圖所示為圖案化第4H圖之半導體結構400中該光阻層416所獲得之半導體結構示意圖，其中經圖案化之硬式罩幕層406上具有一“足部”418，且該接觸孔底部及側壁處仍有殘留光阻材料420；

第4J圖所示為本發明方法移除第4I圖之半導體結構400中殘留光阻材料所獲得之半導體結構的示意圖；

第4K圖所示為第二圖案化蝕刻第4J圖之半導體結構400中硬式罩幕層406所獲得之半導體結構的示意圖；及

第4L圖所示為蝕刻第4K圖之半導體結構400中該有機低k

五、發明說明 ()

值介電材料層 404 成一渠溝 422 所獲得之半導體結構的示意圖，該溝渠 422 被蝕刻至一預定深度“A”。

圖號對照說明：

- | | |
|------------------|--------------|
| 100 半導體結構 | 102 矽基材 |
| 104 有機介電材料層 | 106 硬式罩幕層 |
| 108 圖案化之光阻層 | 110 足部 |
| 200 半導體結構 | 202 矽基材 |
| 204 有機介電材料 | 206 硬式罩幕層 |
| 210 接觸孔 | 214 第二圖案化光阻層 |
| 216 開口 | 218 底切 |
| 300 IPS™ 介電蝕刻處理室 | 302 外部線圈 |
| 304 內部線圈 | 306 偏壓功率源 |
| 308 基材支撐平台 | 400 半導體結構 |
| 402 基材 | 404 介電材料層 |
| 406 硬式罩幕層 | 408 圖案化之光阻層 |
| 410 足部 | 412 接觸孔 |
| 414 第二光阻層 | 416 第三光阻層 |
| 418 足部 | 420 殘留光阻材料 |
| 422 渠溝 | |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

發明詳細說明：

本發明所揭露者為一種移除半導體結構中殘留材料之方法，本發明方法能在光阻層圖案化後移除某些不該出現光阻處之殘留光阻材料。一實施例中，一基材進行移除殘留光阻材料處理，其中該基材至少包含(由頂部至底部依序排列)：一圖案化之光阻層、一下層硬式罩幕層、一有機介電材料層(通常為一低介電常數(k)材料)、及一下層矽基材。對於殘餘的光阻層，一般希望能將其從該硬式罩幕材料層表面處移除，其中殘留材料係位於該圖案之開口區域中。

本發明方法至少包含暴露該半導體結構於一電漿環境之步驟，其中該電漿係由至少包含氮氣之一氣體源所產生，該氣體源至少包含 50% 以上之氮氣。本發明方法移除殘留材料時，典型上施加 -100V ~ -1000V 之偏壓於一基材上；使用一 IPS™ 介電蝕刻處理室；並施加一約為 100W ~ 400W 之基材偏壓功率，以獲得該基材偏壓。

該硬式罩幕層典型上至少包含氧化矽、氮化矽、或上述材料組成之混合物。該有機低介電常數(k)材料典型上由下列群組中選擇之：聚亞芳基醚(Poly(arylene)ethers)、聚亞芳基醚噁唑(Poly(arylene)ether oxazoles)、氟化聚(亞芳基)醚(Fluorinated poly(arylene)ethers)、聚對二甲苯基-N(Parylene-N)、聚對二甲苯基-F(Parylene-F)、聚對二甲苯基-AF(Parylene-AF)、聚對二甲苯基-AF4 (Parylene-AF4)、聚

五、發明說明()

醯亞胺 (Polyimides)、聚萘 - N (Polynaphthalene-N)、聚萘 - F (Polynaphthalene-F)、全氟環丁烯 (Perfluorocyclobutene)、聚四氟乙烯 (Polytetrafluoroethylene)、聚苯基 - 喹噁啉 (Polyphenyl-Quinoxalines)、聚苯並噁唑 (Polybenzoxazoles)、聚四氫化茛 (Polyindane)、聚雙環庚烯 (Polynorborene)、聚苯乙烯 (Polystyrene)、聚苯基氧化物 (Polyphenyleneoxide)、聚乙烯 (Polyethylene)、聚丙烯 (Polypropylene)、 α -碳、SILK™、BCB、FPI、FLARE 2.0、及上述材料之混合物。

另外，本發明也揭露一種剝離半導體結構中對位不佳之圖案化光阻材料的方法。本發明一實施例中，一基材進行該剝離光阻材料處理，其中該基材至少包含(由頂部至底部依序排列)：一對位不佳之圖案化光阻層；一下層硬式罩幕層；一有機介電材料層(通常為一低介電常數(k)材料)，該介電材料層具有一接觸孔或其它蝕刻特徵結構；及一下層基材。從光阻層下層結構處將該經圖案化光阻層移除時，一般希望該有機介電材料蝕刻層及該介電材料層下之基材受到的影響或破壞減至最小。

本發明方法至少包含暴露該半導體結構於一電漿環境的步驟，其中該電漿係由至少包含氮氣之一氣體源所產生，該氣體源至少包含 50% 以上之氮氣。本發明方法移除殘留材料時，典型上施加 -100V ~ -1000V 之偏壓於一基材上；使用一 IPS™ 介電蝕刻處理室；並施加一約為 100W ~ 400W 之基材

五、發明說明 ()

偏壓功率，以獲得該基材偏壓。

該硬式罩幕層典型上至少包含氧化矽、氮化矽、或上述材料組成之混合物。該有機低介電常數(k)材料典型上由下列群組中選擇之：聚亞芳基醚(Poly(arylene)ethers)、聚亞芳基醚噁唑(Poly(arylene)ether oxazoles)、氟化聚(亞芳基)醚(Fluorinated poly(arylene)ethers)、聚對二甲苯基-N(Parylene-N)、聚對二甲苯基-F(Parylene-F)、聚對二甲苯基-AF(Parylene-AF)、聚對二甲苯基-AF4(Parylene-AF4)、聚醯亞胺(Polyimides)、聚萘-N(Polynaphthalene-N)、聚萘-F(Polynaphthalene-F)、全氟環丁烯(Perfluoro-cyclobutene)、聚四氟乙烯(Polytetrafluoroethylene)、聚苯基-喹噁啉(Polyphenyl-Quinoxalines)、聚苯並噁唑(Polybenzoxazoles)、聚四氫化茛(Polyindane)、聚雙環庚烯(Polynorborene)、聚苯乙烯(Polystyrene)、聚苯基氧化物(Polyphenyleneoxide)、聚乙烯(Polyethylene)、聚丙烯(Polypropylene)、 α -碳、SILK™、BCB、FPI、FLARE 2.0、及上述材料之混合物。

本發明方法移除半導體結構中殘餘材料及剝離半導體結構中的光阻材料時，不會造成下層之有機層的損傷，其中該有機層至少包含有機介電層，特別為有機低介電常數(k)之介電常料層。大部分光阻劑皆為有機材料，因而移除殘餘光阻材料或為重新修正光阻層之對位而剝離光阻層時，結構中其它有機材料層很難不受到影響。本發明提供克服上述難題

五、發明說明()

之方法。當圖案化蝕刻該硬式罩幕層、並隨後蝕刻一有機介電材料之特徵結構時，本發明方法皆能提供優異之臨界尺寸控制能力。

本發明方法尤其適用於半導體結構中特徵區域尺寸小至0.13微米者。

在本發明較佳實施例的詳細說明前，應當特別注意者為，本說明書及申請範圍中所提及之“一”及“該”係包含複數個參照對象(referent)，本說明書內容另有說明者則屬例外。此外，“基材”所指者至少包含半導體材料、玻璃、陶瓷、高分子材料、及應用於半導體工業之其它材料。

I. 執行本發明之一設備

第3圖所示為用以執行本發明方法之一設備的示意圖，該設備為IPS™介電蝕刻處理室(以參考符號300表示之)係購自美國應用材料公司。該IPS™介電蝕刻處理室300至少包含二種電漿功率源，該電漿功率源係由一外部線圈302(通常頻率調至 $2.0 \pm 0.1\text{MHz}$)及一內部線圈304所提供(通常頻率調至 $2.3 \pm 0.1\text{MHz}$)，該等線圈302,304皆位於該處理室300外部。置放一基材(通常為一矽晶圓)於一陶瓷靜電吸盤(基材支撐平台)308上。使用一偏壓功率源306(通常調至 $1.7 \pm 0.2\text{MHz}$)，以施加一偏壓至該基材支撐平台308。

本發明所揭露之方法所倚賴實施的設備以能對該電漿源

五、發明說明()

及該基材偏壓源加以獨立控制者為佳。

II. 本發明用以移除殘留光阻材料及剝離光阻材料之方法

請參閱第 4A 圖。圖中顯示為本發明方法所應用之一典型半導體結構 400 的示意圖。其中，該半導體結構 400 至少包含(由頂部至底部依序排列)：一圖案化之光阻層 408、一硬式罩幕層 406、一有機低介電常數(k)之介電材料層 404，及上述材料層皆形成於其上之一基材 402，該基材典型上為矽或氮化矽材料。

該有機低 k 值介電材料可為任何含碳或含氫之低 k 值介電材料，該材料包含(僅用於舉例說明，非限定包含)：聚亞芳基醚 (Poly(arylene)ethers)、聚亞芳基醚噁唑 (Poly(arylene)ether oxazoles)、氟化聚(亞芳基)醚 (Fluorinated poly(arylene)ethers)、聚對二甲苯基-N (Parylene-N)、聚對二甲苯基-F (Parylene-F)、聚對二甲苯基-AF (Parylene-AF)、聚對二甲苯基-AF4 (Parylene-AF4)、聚醯亞胺 (Polyimides)、聚萘-N (Polynaphthalene-N)、聚萘-F (Polynaphthalene-F)、全氟環丁烯 (Perfluorocyclobutene)、聚四氟乙烯 (Polytetrafluoroethylene)、聚苯基-喹噁啉 (Polyphenyl-Quinoxalines)、聚苯並噁唑 (Polybenzoxazoles)、聚四氫化茛 (Polyindane)、聚雙環庚烯 (Polynorborene)、聚苯乙烯 (Polystyrene)、聚苯基氧化物 (Polyphenyleneoxide)、聚乙烯

五、發明說明()

(Polyethylene)、聚丙烯(Polypropylene)、 α -碳、SILK™、BCB、FPI、FLARE 2.0、及上述任何材料組成之混合物，其中該材料之介電常數(k)值為低於二氧化矽者。但在實際應用上，該“有機低k值介電材料”係採用碳基及氫基介電材料，且其介電常數(“k”)值以低於4.0為佳。

該低k值介電材料係以各種習知技術沉積於一基材上，端視採用之特定低k值介電材料而定。典型上，該低k值介電材料層404沉積厚度約為7000~11000埃。

該硬式罩幕層406通常為氧化矽、氮化矽材料、或上述材料之混合物，但也可為碳化矽或氧氮矽化物。該硬式罩幕層406係以各種習知技術沉積於該低k值介電材料層404上，端視採用之特定硬式罩幕材料而定。典型上，該硬式罩幕層406沉積厚度約為1000~2000埃。

在該硬式罩幕層406上沉積有一光阻層408，該光阻層408可為任何習知之適用光阻材料，且其厚度及其圖案化方法端視採用之光阻材料而定。以特徵結構尺寸小於約0.25微米之圖案而言，該光阻層通常為DUV光阻材料，該DUV光阻層可購自JSR或Shipley公司。上述“特徵結構”係指(非僅限定為)內連線、接觸洞、介電孔、溝渠、及在基材表面上的其它結構。上述“特徵結構尺寸”典型上係指一特徵結構之最小尺寸。用以產生一小於0.25微米之特徵結構尺寸之典型DUV光阻層的厚度約為4000~10000埃。

五、發明說明()

圖案化該光阻層後，該圖案化之光阻層 408 與該硬式單幕層 406 間介面處經常有一“足部” 410 形成，如第 4A 圖所示。對此，本發明提供一移除殘留材料之方法，該方法足以移除如第 4A 圖所示半導體結構之“足部” 410。

本發明用以移除第 4A 圖所示之半導體結構中殘留材料方法包含暴露該結構於一電漿中一短時間(通常約為 15~60 秒鐘)的步驟，其中該電漿係由一氣體源所產生，該氣體源至少包含氨氣(NH_3)。雖然該氣體源也可包含其它惰性氣體(例如：氫氣、氮氣、或氬氣)或氮氣，但氨氣以外的其它氣體顯得較不適用於一些場合中，因為其它氣體傾向於降低殘留材料之移除速率。當該電漿氣體源包含其它氣體時，其它氣體之體積流率應小於總氣體流率的 50%。以該 IPSTM 設備而言，典型的總氣體流率約為 200 sccm，其中該其它氣體流率約小於 100 sccm。

移除殘留材料處理時，通常使用 -100V~-1000V 之適度偏壓施加於基材上，用以將電漿內的高能量物種導向基材處，藉以非等向方式移除該圖案化光阻層 408 底部之“足部” 410。在第 3 圖所示之 IPSTM 介電蝕刻處理室(美商應用材料公司所生產)或一等效裝置中，施加一 100~400 瓦特之偏壓功率於一基材上，其中該偏壓功率用以產生一預設之基材偏壓值。典型移除殘留材料之處理時間約為 15~60 秒鐘，端視該施加之基材偏壓而定。舉例而言，採用一較高偏壓功

五、發明說明()

率時，移除殘留材料所需之處理時間通常少於採用一較低偏壓功率者。第 1 表格所示為本發明用以移除一半導體結構中殘留材料之方法時的一般適用製程條件。

第 1 表格 移除殘留材料及剝離光阻材料之較佳製程條件

製程參數	製程條件範圍	較佳製程條件	更佳製程條件
氮氣流率(sccm)	50~200	75~150	75~125
氮氣流率(sccm)	0~100	0~50	0~50
氬氣流率(sccm)	0~100	0~50	0
氬氣流率(sccm)	0~100	0~50	0
電漿源功率-外部 (瓦特)	600~2000	600~1500	600~1200
電漿源功率-內部 (瓦特)	100~1200	200~1000	200~800
基材偏壓功率 (瓦特)	100~1000	100~800	100~600
處理室壓力 (毫拖耳)	5~60	5~40	5~40
基材溫度(°C)	-15~+15	-15~+15	-15~+15

第 4B 圖所示為使用本發明移除殘留材料之方法所獲得之半導體結構的示意圖。移除殘留材料處理後，圖案化光阻層 408 以作為圖案化蝕刻該硬式罩幕層 406 的一模板，此處理步驟所獲得之半導體結構如第 4C 圖所示。蝕刻硬式罩幕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

層 406 的圖案蝕刻得以各種習知技術為之，端視採用之特定硬式罩幕材料而定。當該硬式罩幕層 406 為氧化矽材料者，所採用之典型電漿源氣體則至少包含一反應蝕刻材料(例如：一含氟化合物)。此外，上述電漿源氣體也可包含一含氯之化合物及/或習用之各類惰性氣體。進行蝕刻處理時，總氣體流率通常約為 300 sccm；其它製程條件至少包含：1200~2000 瓦特之電漿源功率(外部)、500~1000 瓦特之電漿源功率(內部)、800~1800 瓦特之基材偏壓功率、5~60 毫托耳之處理室壓力、-15~+15℃之基材溫度、及 30 秒鐘之典型蝕刻時間(對厚度為 2000 埃之氧化矽硬式罩幕層而言)。

圖案化蝕刻該硬式罩幕層 406 後，蝕刻該有機低 k 值介電材料層 404 以形成一接觸孔 412，如第 4D 圖所示。該有機低 k 值介電材料的蝕刻方法係採用最適用於蝕刻該特定介電材料者。蝕刻一有機低 k 值介電材料 SILK™ 或 FLARE™ 層以得到一接觸洞之典型製程條件如下：50~300 sccm 之電漿源氣體流率，其中該電漿源氣體至少包含該項技術中較常用之反應蝕刻材料，該電漿源氣體至少包含氧氣、含氟化合物、含氯化合物及含溴化合物之一者。一般而言，一化學惰性氣體通常與氧氣或含鹵素源之氣體蝕刻物種結合使用。此外，該有機低 k 值介電材料也可使用一氫/氮基電漿源氣體進行蝕刻。其中，該氫/氮基電漿源氣體至少包含氮氣、氫氣、氮氣或上述氣體所組成之反應蝕刻物種。此外，元件

五、發明說明()

之導電層材料不為銅金屬時，可使用一羥胺作為反應蝕刻物種。再者，可將一化學惰性氣體與該反應蝕刻物種相互結合使用。典型上，氫及氮基電漿源之總氣體流率為約 50sccm ~ 約 300 sccm。其它製程條如下：800~1200 瓦特之電漿源功率(外部)、300~600 瓦特之電漿源功率(內部)、300~600 瓦特之基材偏壓功率、5~40 毫托耳之處理室壓力及 -15℃ 之基材溫度。採用氫及氮基電漿源以進行蝕刻時，該蝕刻電漿屬於高密度電漿，其電漿密度以至少大於 5×10^{10} 個電子/立方公分者為佳。以蝕刻厚度為 8000 埃之 SILK™ 或 FLARE™ 層而言，所需之蝕刻時間約為 90 秒鐘。蝕刻該接觸孔 412 後，使用習知技術以一導電材料(例如：鋁或銅)填充至該該接觸孔 412 中；或在導電材料填充步驟前，對該半導體結構作進一步處理(例如：一雙鑲嵌結構所需之處理)。在形成一雙鑲嵌結構之一方法中，沉積一第二光阻層 414 於該半導體結構 400 上，如第 4E 圖所示。接續使用習知技術以圖案化該第二光阻層 414，端視所採用之特定光阻材料而定。該第二光阻層 414 中圖案與下層之預金屬化結構(例如：一接觸孔 412)間可能有不慎錯誤對位情事，其對位示意說明如第 4F 圖所示。

此時，製備如第 4F 圖所示之結構已投入諸多成本，一般希望對該結構再重新處理，亦即再沉積該第二光阻層 412，且再圖案化該光阻材料。

五、發明說明()

此外，本發明還提供一種剝離一對位不佳之圖案化光阻層的方法。本發明之剝離方法至少包含下列步驟：暴露該半導體結構於一電漿環境中，其中該電漿係由一氣體源所產生，該電漿源至少包含氮氣(NH_3)。剝離光阻材料之典型製程參數列於上述之第1表格中。本發明方法在採用如第1表格中所示之製程參數時，所獲得之光阻移除速率約為2000~6000埃/分鐘；該光阻剝離處理之最佳處理時間則依據該光阻層414之沉積厚度加以計算之。

第4G圖所示為本發明剝離該第二光阻層之方法所獲得的半導體結構400的示意圖。隨後，一第三光阻層416沉積於該半導體結構400上，如第4H圖所示。

接繼之，使用習知技術以圖案化該第三光阻層416，端視採用之特定光阻材料而定。第4I圖所示為該圖案化光阻層416經過一精確對位所獲得之半導體結構400的示意圖。其中該圖案化光阻層416與該硬式罩幕層406間之介面處具有足部418，殘留光阻材料420也可能存在於該接觸孔412側壁上及底部處。

接著，依據本發明方法執行一第二移除殘留材料處理。該移除殘留材料處理之典型製程參數列於上述第1表格中。該第二移除殘留材料處理用以移除該足部418及位於該接觸孔412側壁上及底部處之殘留光阻材料420。第4J圖所示為執行該第二移除殘留材料處理後所得之半導體結構400

五、發明說明()

的示意圖。

接繼之，圖案化蝕刻該硬式罩幕層 406，並以該經圖案化之光阻層作為一模板。圖案化蝕刻一氧化矽硬式罩幕層所採用之典型製程條件已於上述說明。第 4K 圖所示為第二圖案化蝕刻該硬式罩幕層 406 後所獲得之半導體結構 400 的示意圖。

第二圖案化蝕刻該硬式罩幕層 406 之後，蝕刻該有機低 k 值介電材料層 404 至一預設深度“A”以形成一渠溝 422，如第 4L 圖所示。該有機低 k 值介電材料的蝕刻得以各習知方法為之。其中蝕刻該有機低 k 值介電材料層 404 而成一渠溝 422 時所採用之典型製程條件，如同先前說明蝕刻接觸孔 412 所參考之製程條件者。

接繼之，使用習知技術以填充一導電材料(例如：鋁或銅)至該渠溝 422 及下層之接觸孔 412。另外，若結構為更複雜結構，則進一步針對該結構加以處理之。

上述說明為本發明用以移除及剝離光阻材料之方法，該方法可使其下層之有機層(例如：該有機介電層)的損害降至最低。當圖案化蝕刻該硬式罩幕層、及接續蝕刻該有機低 k 值介電材料中特徵結構時，本發明方法也可提供一優異之臨界尺寸控制能力。

本發明方法特別適用於具有特徵結構尺寸小至 0.13 微米的半導體結構。

五、發明說明()

上述說明僅為本發明之較佳實施例，非用以限定本發明範圍，熟習該項技術者利用這些實施例加以變動，其不脫離在所附專利範圍所言明之範圍，本發明之範圍當以後述的專利申請範圍為基準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

白

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱：)

半導體領域中以氮電漿進行之殘留光阻移除及光阻層去除

本發明係揭露一種移除光阻材料之方法，本發明方法可將一半導體結構中不希望存在於某一位置之光阻材料進行移除。在一實施例中，揭露一種移除殘留光阻材料(desumming)之方法，可移除經圖案化而殘留於不希望存在於某一區域之光阻材料。在本發明另一實施例中，剝離一半導體基材表面處之對位不佳的圖案化光阻材料。更特定言之，該方法至少包含將該半導體結構暴露至一電漿中的步驟，其中該電漿係由至少包含氮氣之一氣體源所產生。上述二種方法中的基材皆加施以一偏壓，用以產生非等向性蝕刻機制。在移除殘留光

英文發明摘要 (發明之名稱：)

NH₃ PLASMA DESCUMMING AND RESIST STRIPPING
IN SEMICONDUCTOR APPLICATIONS

In general, the present disclosure pertains to a method for removing photoresist from locations on a semiconductor structure where its presence is undesired. In one embodiment, a method is disclosed for descumming residual photoresist material from areas where it is not desired after patterning of the photoresist. In another embodiment, a misaligned patterned photoresist is stripped from a semiconductor substrate surface. In particular, the method comprises exposing the semiconductor structure to a plasma generated from a source gas comprising NH₃. A substrate bias voltage is utilized in both methods in order to produce anisotropic etching. In the descumming embodiment, the critical dimensions of the patterned

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

阻材料之實施例中，經圖案化之光阻層臨界尺寸得以維持不變。在剝離光阻材料之實施例中，一圖案化光阻材料被移除時，其下層有機介電材料暴出部位不致受到負面影響。

英文發明摘要 (發明之名稱：)

photoresist are maintained. In the photoresist stripping embodiment, a patterned photoresist is removed without adversely affecting a partially exposed underlying layer of an organic dielectric.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種移除一半導體結構中殘留有機材料之方法，其中該半導體結構至少包含一經圖案化之光阻層；該移除方法時並不會對該圖案化之光阻層的臨界尺寸造成損傷；該方法係藉由一電漿蝕刻材料接觸該半導體結構而完成，其中該電漿蝕刻材料之化學反應電漿物種係由氨氣(NH₃)所產生。
2. 如申請專利範圍第 1 項所述之方法，其中上述圖案化光阻層下層為一硬式罩幕層，其中該硬式罩幕層至少包含氧化矽、氮化矽、或上述材料組成之混合物。
3. 如申請專利範圍第 1 項所述之方法，其中上述氨氣至少包含產生該電漿之一氣體源的 50%(體積分率)以上。
4. 如申請專利範圍第 1 項所述之方法，上述移除有機材料步驟時，一基材偏壓施加於該半導體結構上，且該施加基材偏壓約為-100 伏特~-1000 伏特。
5. 如申請專利範圍第 1 項所述之方法，上述移除有機材料步驟時，施加偏壓於該基材之功率為約為 100 瓦特~400 瓦特。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

- 6. 如申請專利範圍第 2 項所述之方法，其中上述硬式罩幕層並未進行圖案化處理。
- 7. 如申請專利範圍第 2 項所述之方法，其中上述硬式罩幕層進行圖案化處理，且該硬式罩幕層之下層為一有機介電材料層。
- 8. 如申請專利範圍第 7 項所述之方法，其中上述有機介電材料為一低 k 值介電材料。
- 9. 如申請專利範圍第 7 項所述之方法，其中上述低 k 值介電材料可由下列群組中選出：聚亞芳基醚 (Poly(arylene)ethers)、聚亞芳基醚噁唑 (Poly(arylene)ether oxazoles)、氟化聚(亞芳基)醚 (Fluorinated poly(arylene)ethers)、聚對二甲苯基-N (Parylene-N)、聚對二甲苯基-F (Parylene-F)、聚對二甲苯基-AF (Parylene-AF)、聚對二甲苯基-AF4 (Parylene-AF4)、聚醯亞胺 (Polyimides)、聚萘-N (Polynaphthalene-N)、聚萘-F (Polynaphthalene-F)、全氟環丁烯 (Perfluorocyclobutene)、聚四氟乙烯 (Polytetrafluoroethylene)、聚苯基-喹噁啉 (Polyphenyl-Quinoxalines)、聚苯並噁唑 (Polybenzoxazoles)、聚四氫化茛 (Polyindane)、聚雙環庚烯

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

(Polynorborene)、聚苯乙烯(Polystyrene)、聚苯基氧化物(Polyphenyleneoxide)、聚乙烯(Polyethylene)、聚丙烯(Polypropylene)、 α -碳、SILKTM、BCB、FPI、FLARE 2.0、及上述任何材料所組成之混合物。

10.如申請專利範圍第 6 所述之方法，其中上述有機介電材料層至少包含一經蝕刻所得之接觸洞。

11.一種剝離一半導體結構中一圖案化光阻層之方法，其中該半導體結構至少包含該圖案化之光阻層；採用該剝離方法時並不會對該圖案化光阻層下層之一暴露有機層造成損傷；該方法係以一電漿蝕刻材料接觸該半導體結構之方式而完成，其中該化學反應電漿物種係由氨氣(NH₃)所產生。

12.如申請專利範圍第 11 項所述之方法，其中經圖案化之一硬式罩幕層位於該圖案化光阻層下方，且位於該暴露有機層之一部位的上方。

13.如申請專利範圍第 12 項所述之方法，其中上述硬式罩幕層可由下列群組中選出：氧化矽、氮化矽、氧氮化矽及碳化矽。

六、申請專利範圍

14. 如申請專利範圍第 11 項所述之方法，其中上述有機介電層位於該經圖案化之硬式罩幕層的下方。
15. 如申請專利範圍第 14 項所述之方法，其中上述有機介電層為一低 k 值介電層。
16. 如申請專利範圍第 15 項所述之方法，其中上述低 k 值介電材料可由下列群組中選出：聚亞芳基醚(Poly(arylene)ethers)、聚亞芳基醚噁唑 (Poly(arylene)ether oxazoles)、氟化聚(亞芳基)醚(Fluorinated poly(arylene)ethers)、聚對二甲苯基-N(Parylene-N)、聚對二甲苯基-F (Parylene-F)、聚對二甲苯基-AF (Parylene-AF)、聚對二甲苯基-AF4 (Parylene-AF4)、聚醯亞胺 (Polyimides)、聚萘-N (Polynaphthalene-N)、聚萘-F(Polynaphthalene-F)、全氟環丁烯 (Perfluorocyclobutene)、聚四氟乙烯 (Polytetrafluoroethylene)、聚苯基-喹噁啉 (Polyphenyl-Quinoxalines)、聚苯並噁唑 (Polybenzoxazoles)、聚四氫化茛 (Polyindane)、聚雙環庚烯 (Polynorborene)、聚苯乙烯 (Polystyrene)、聚苯基氧化物 (Polyphenyleneoxide)、聚乙烯 (Polyethylene)、聚丙烯 (Polypropylene)、 α -碳、SILK™、BCB、FPI、FLARE 2.0、及上述任何材料所組成之混合物。

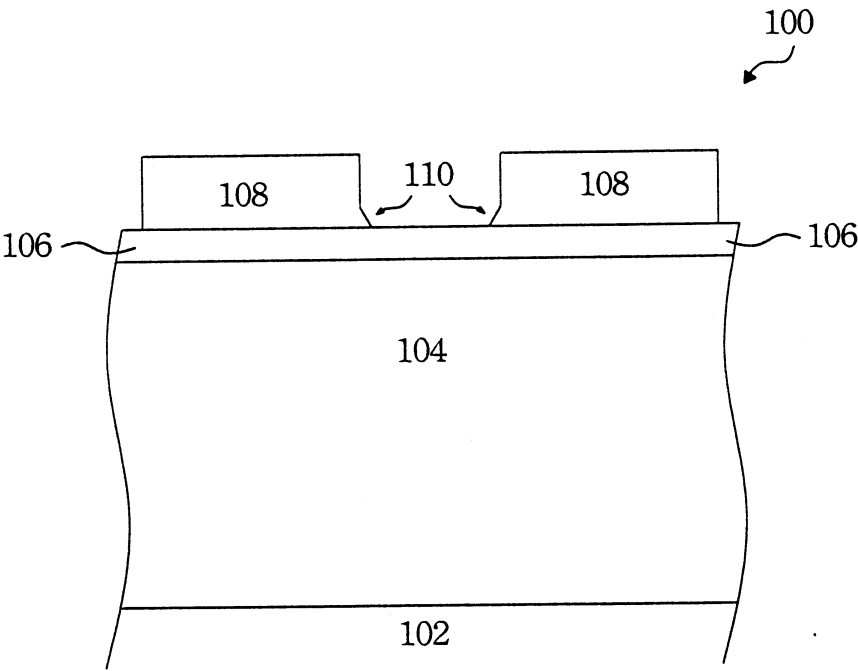
(請先閱讀背面之注意事項再填寫本頁)

訂
線

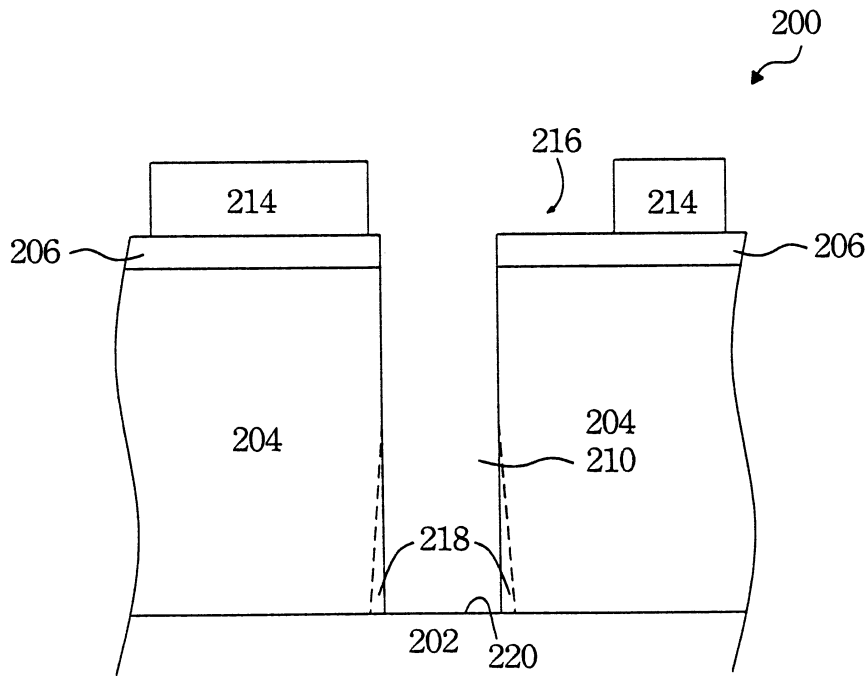
六、申請專利範圍

- 17.如申請專利範圍第 11 項所述之方法，其中上述氮氣至少包含產生該電漿蝕刻材料之一氣體源的 50%(體積分率)以上。
- 18.如申請專利範圍第 17 項所述之方法，上述剝離該圖案化光阻材料步驟時，一基材偏壓施加於該半導體結構上，其中該施加基材偏壓為約-100 伏特~-1000 伏特。
- 19.如申請專利範圍第 17 項所述之方法，上述剝離該圖案化光阻層步驟時，施加偏壓於該基材之功率約為 100 瓦特~400 瓦特。

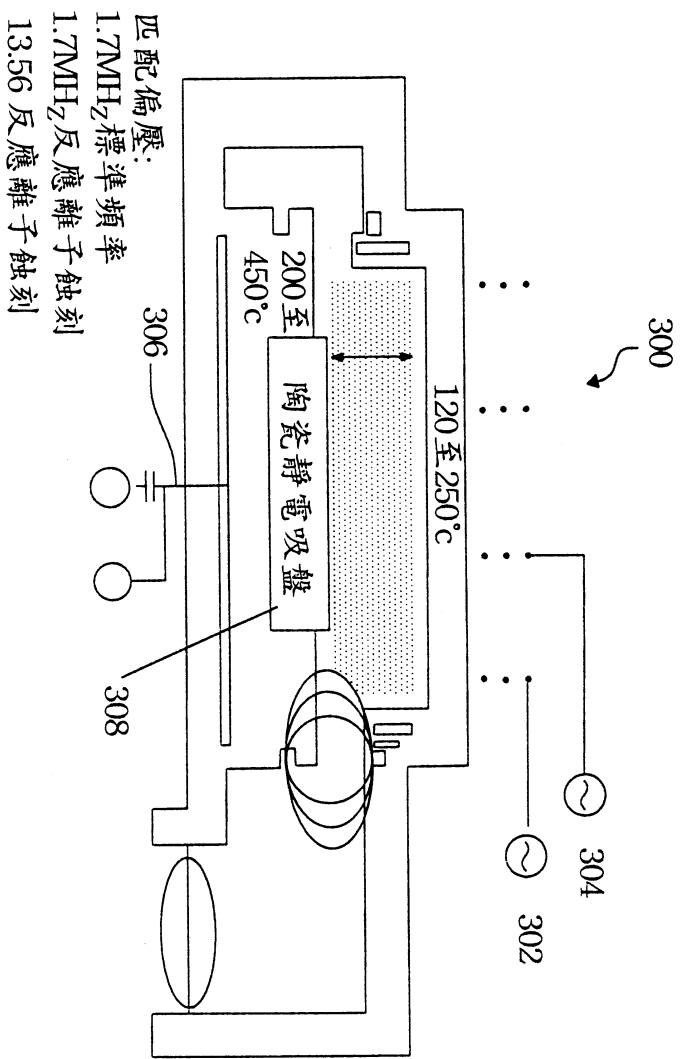
經濟部智慧財產局員工消費合作社印製



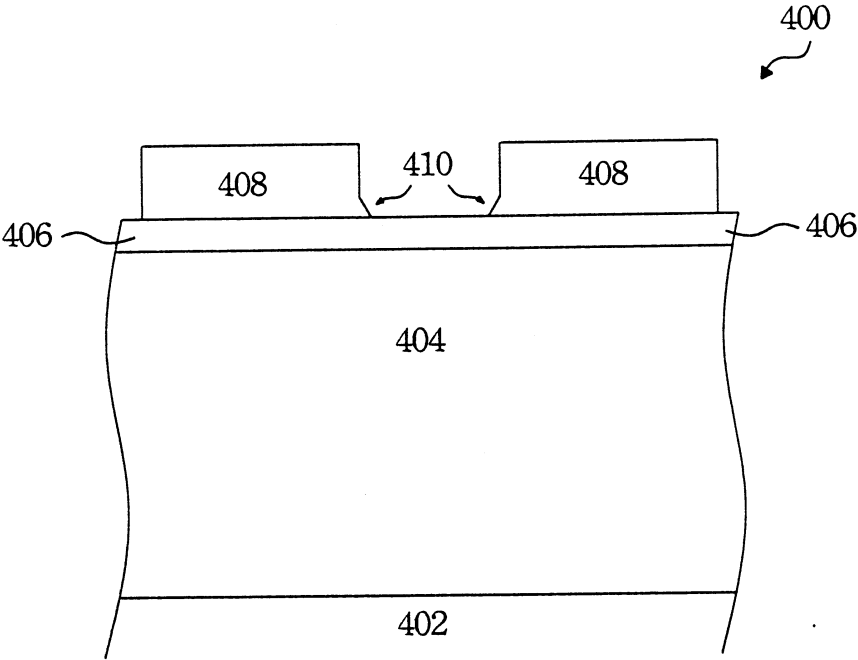
第 1 圖



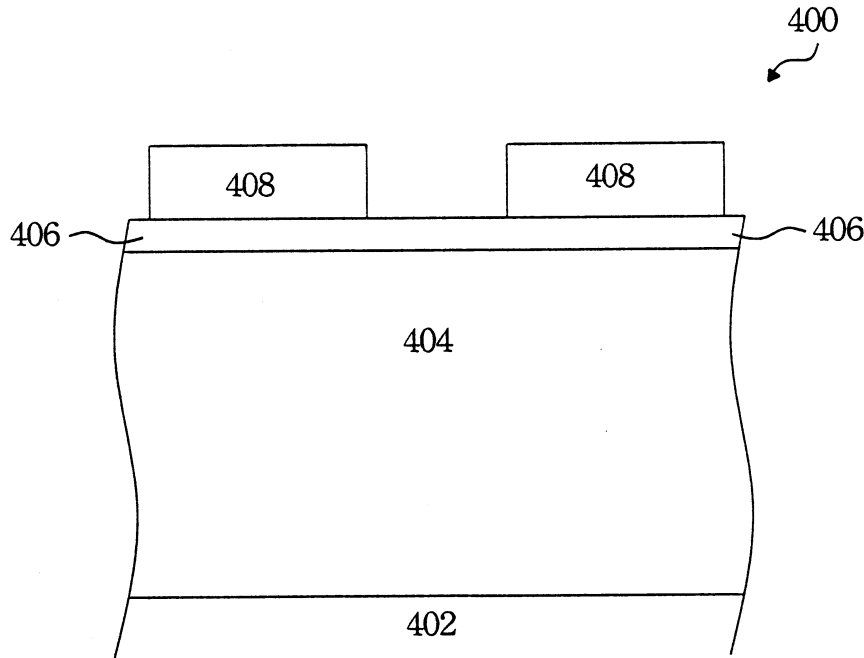
第 2 圖



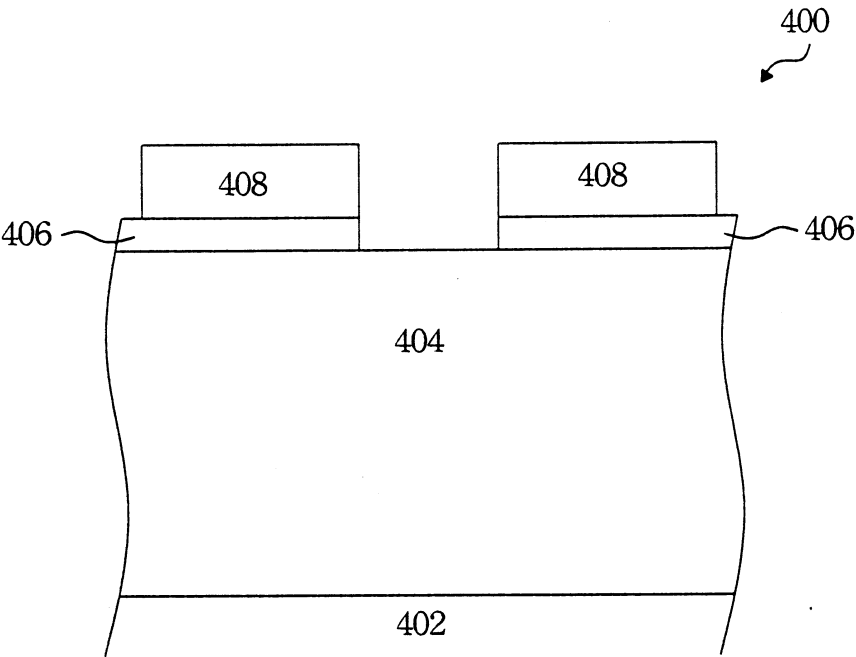
第 3 圖



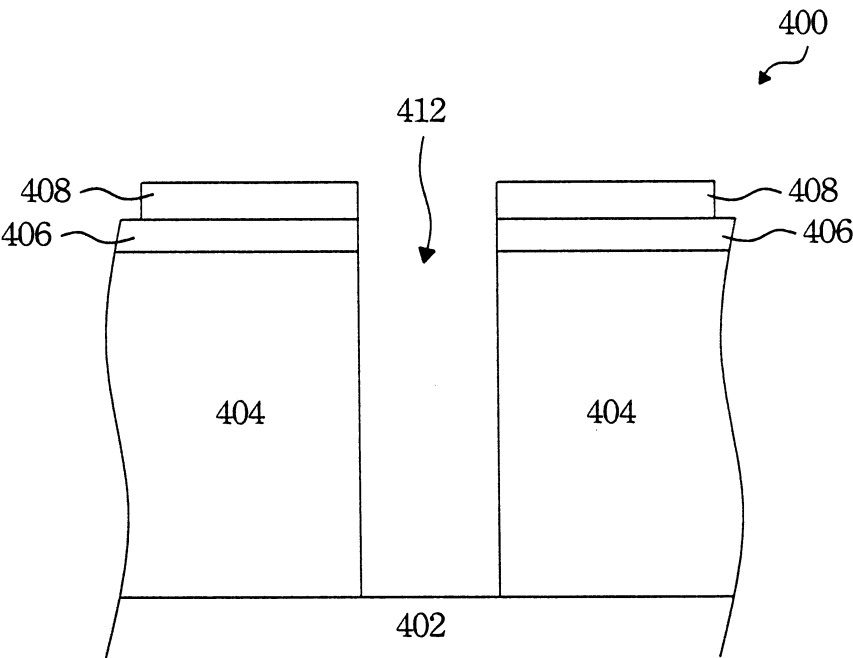
第 4A 圖



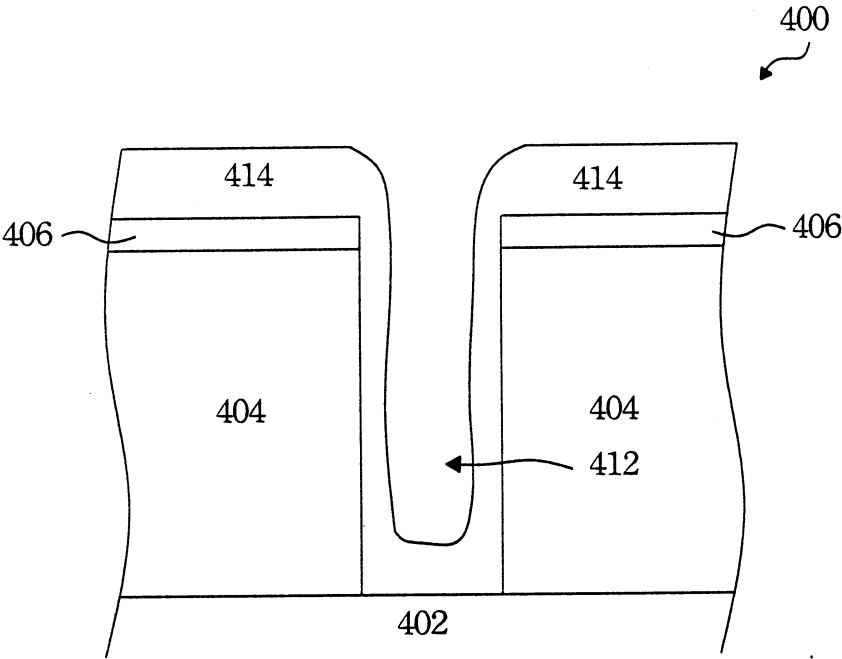
第 4B 圖



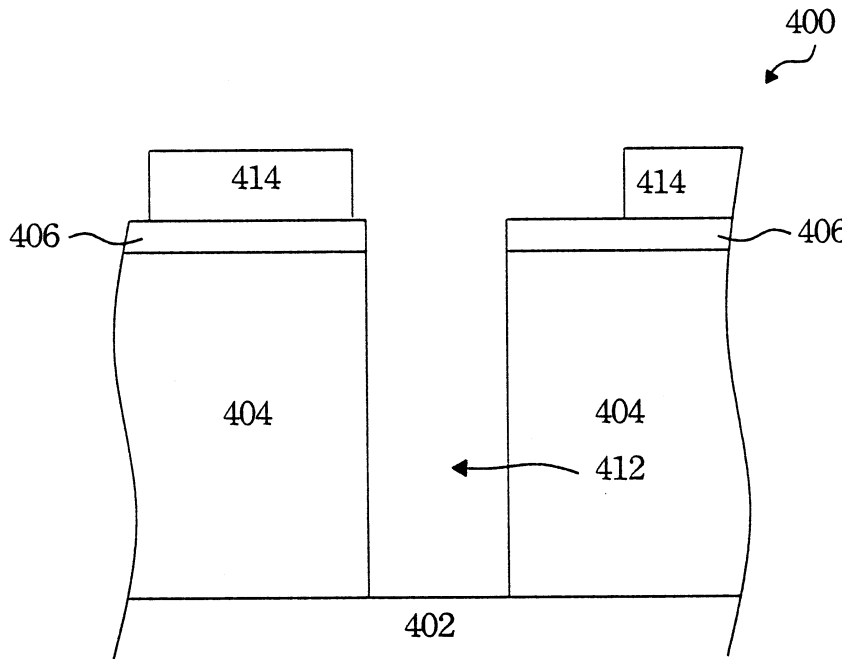
第 4C 圖



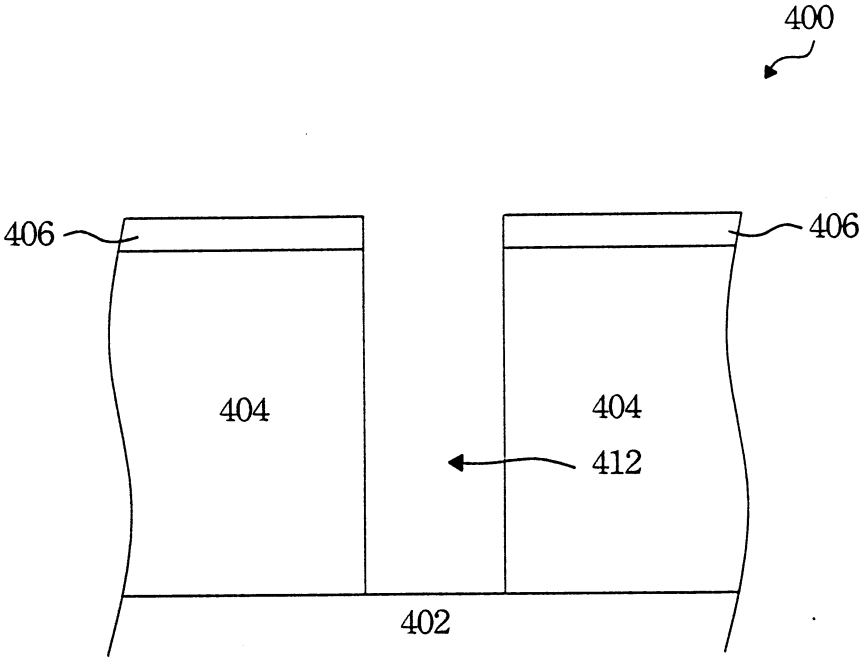
第 4D 圖



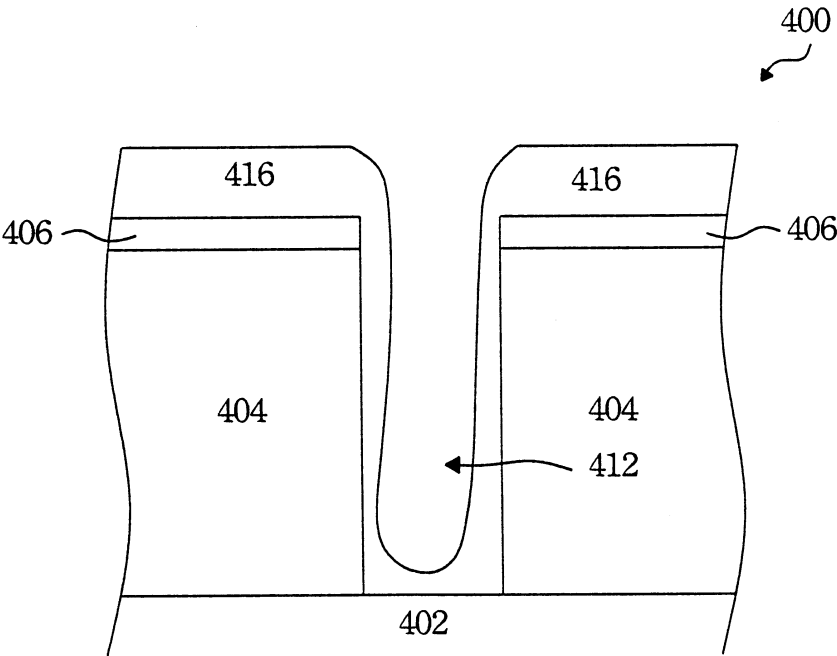
第 4E 圖



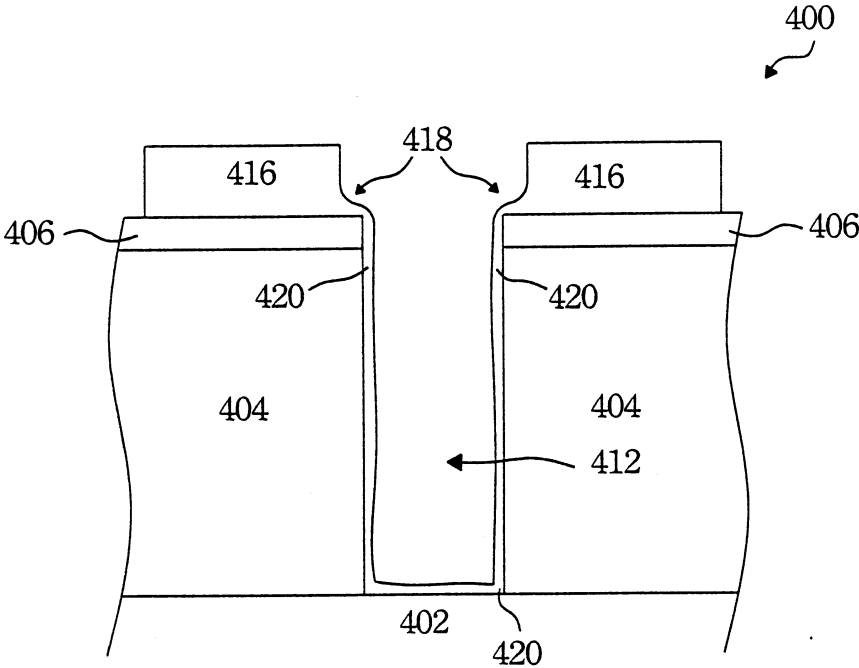
第 4F 圖



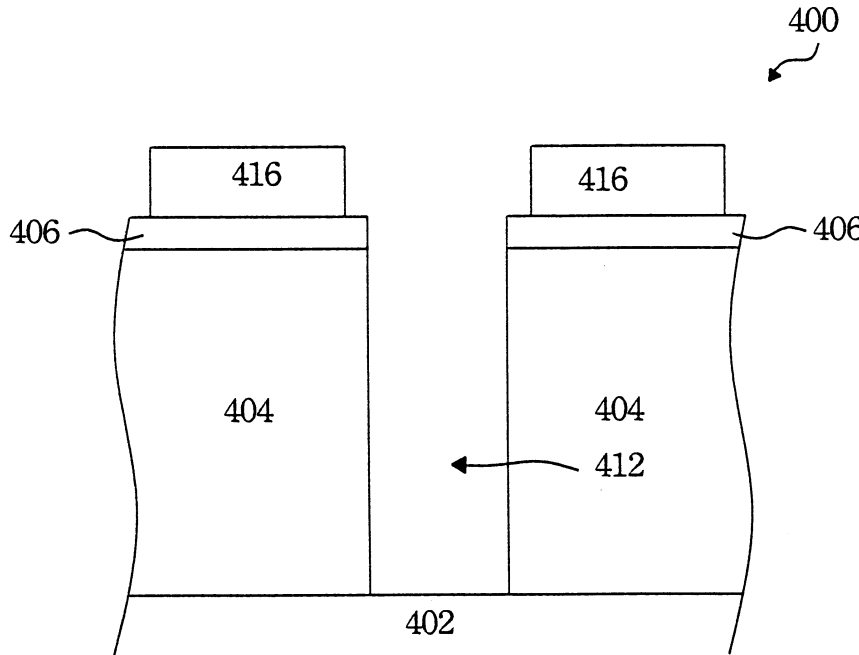
第 4G 圖



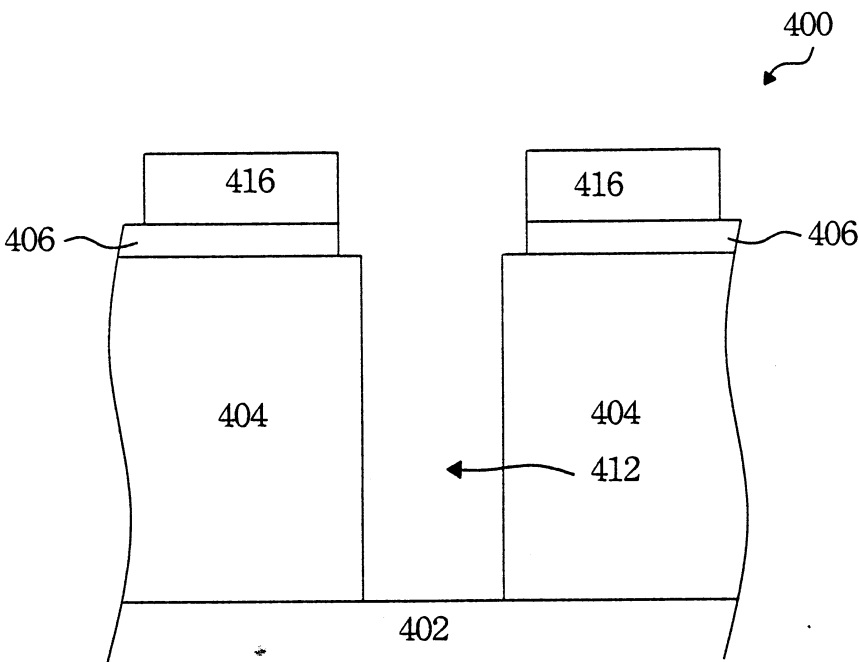
第 4H 圖



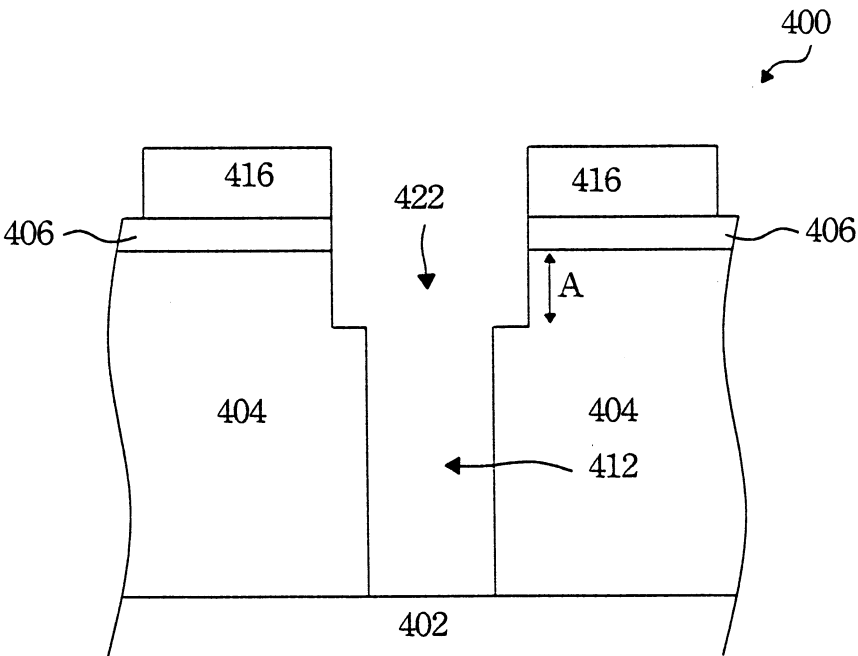
第 4I 圖



第 4J 圖



第 4K 圖



第 4L 圖