

公告本

申請日期：92.1.10.

IPC分類

H01L 21/824Y

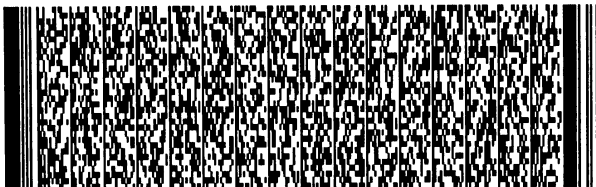
申請案號：92100573

(以上各欄由本局填註)

發明專利說明書

577150

一、 發明名稱	中文	一種製作DRAM之記憶單胞的方法
	英文	METHOD OF FABRICATING A DRAM CELL
二、 發明人 (共1人)	姓名 (中文)	1. 阮弼群
	姓名 (英文)	1. Juan, Pi-Chun
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市關東路二一三號三樓
	住居所 (英文)	1. 3F, No. 213, Kuan Tung Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 3, Li-Hsin Road 2, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Tsao, Hsing-Cheng



四、中文發明摘要 (發明名稱：一種製作DRAM之記憶單胞的方法)

本發明係提供一種動態隨機存取記憶體之記憶單胞的製作方法。該方法是先提供一矽基底，接著於該矽基底中形成由一第一與一第二溝渠上、下堆疊所構成之雙鑲嵌溝渠。隨後於該第二溝渠內之該矽基底中形成一埋藏電極，並於該埋藏電極與該第二溝渠內之該矽基底表面分別形成一電極介電層以及一頸介電層。然後於該第二溝渠中形成一埋藏式導電帶，並於該埋藏式導電帶上方形成一溝渠上氧化層。最後調整該記憶單胞之MOS電晶體的起始電壓，並形成該MOS電晶體的源極/汲極以及閘極。

伍、(一)、本案代表圖為：第__12__圖

(二)、本案代表圖之元件代表符號簡單說明：

100	半導體晶片	110	矽基底
124	上電極	126	介電層
128	頸氧化層	130	多晶矽層

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DRAM CELL)

A dynamic random access memory (DRAM) cell is disclosed. First, a dual damascene trench is formed in a silicon substrate, and the dual damascene trench is composed of an upper first trench and a lower second trench. Then, a buried plate is formed in the silicon substrate to surround the second trench. A node dielectric is formed on a surface of the buried plate, and a



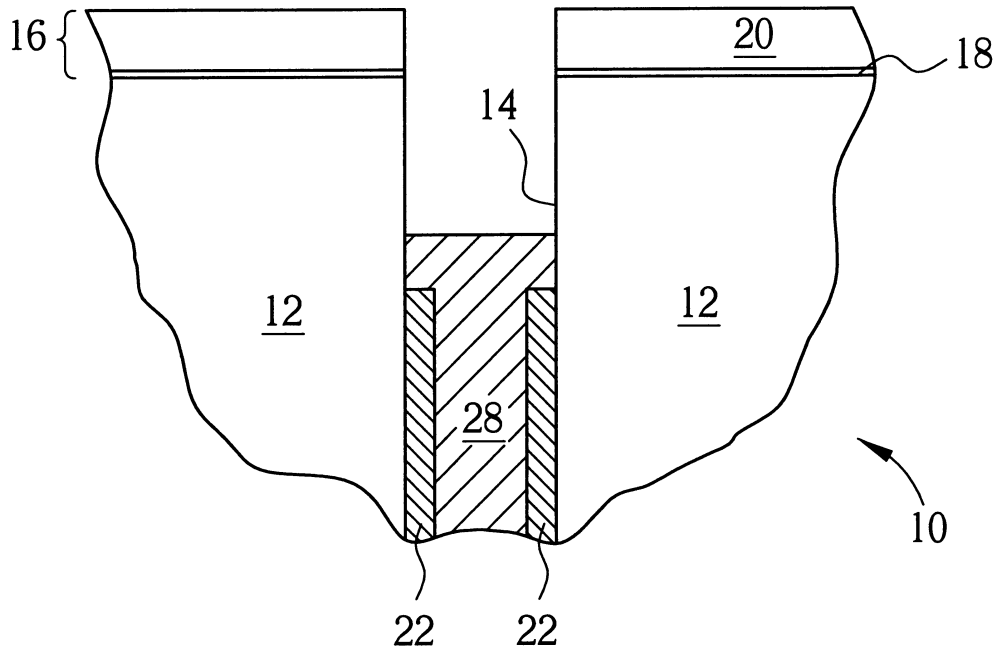
四、中文發明摘要 (發明名稱：一種製作DRAM之記憶單胞的方法)

132	上溝渠氧化層	134	源極
135	汲極	136	多晶矽層
138	淺溝隔離層	140	字元線
142	介電層	144	插塞
146	位元線		

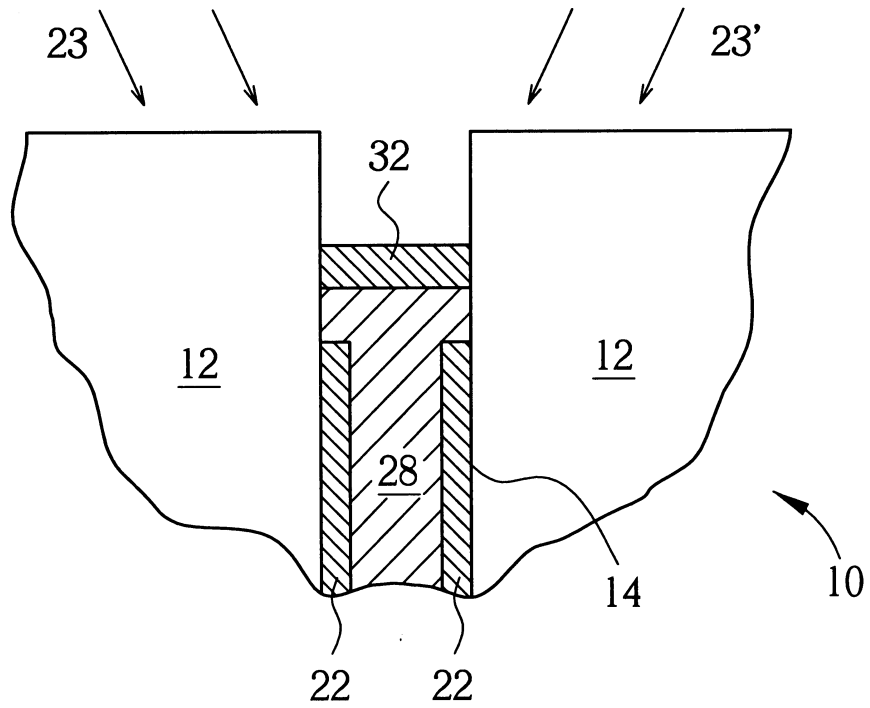
六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DRAM CELL)

collar dielectric is formed on portions of the silicon substrate in the second trench. A buried strap is formed in the second trench, and a trench top oxide (TTO) is formed on the buried strap. Finally, a threshold voltage of a metal oxide semiconductor (MOS) transistor of the memory cell is adjusted, and a source, a drain and a gate of the MOS transistor are formed.

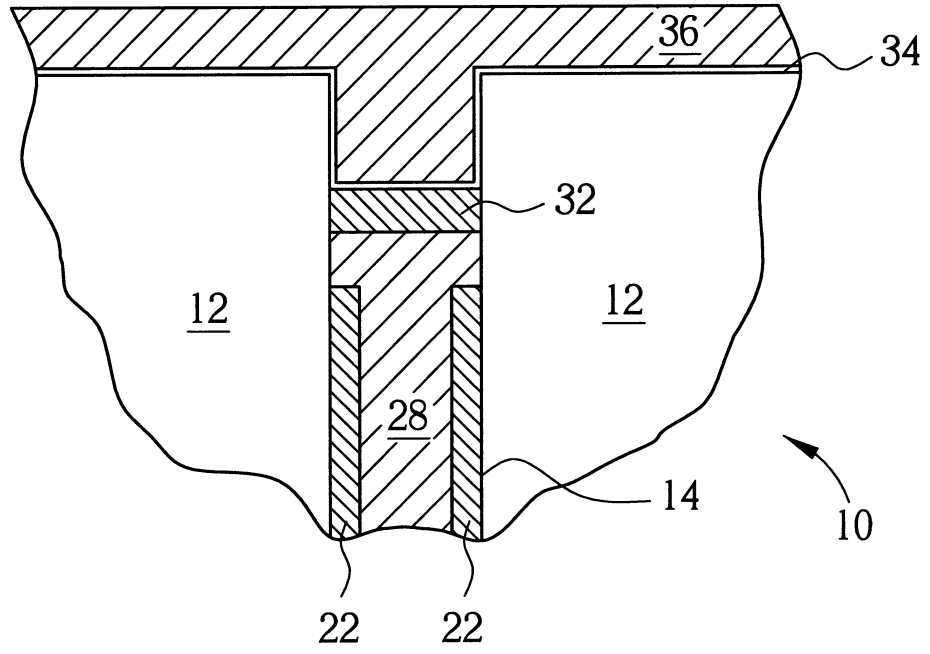




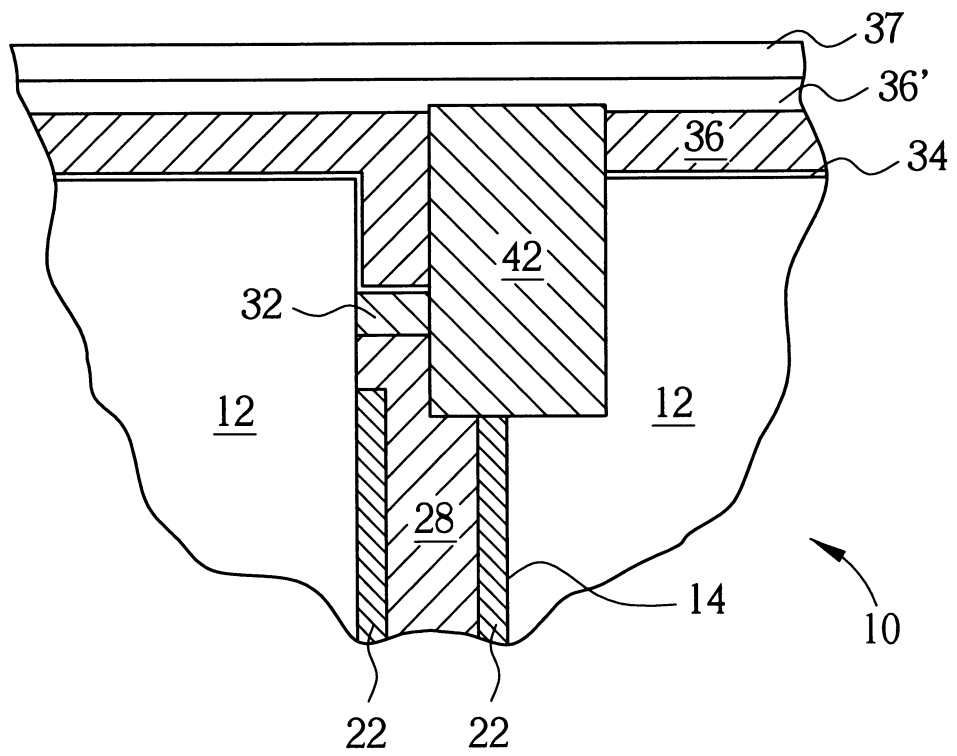
圖一



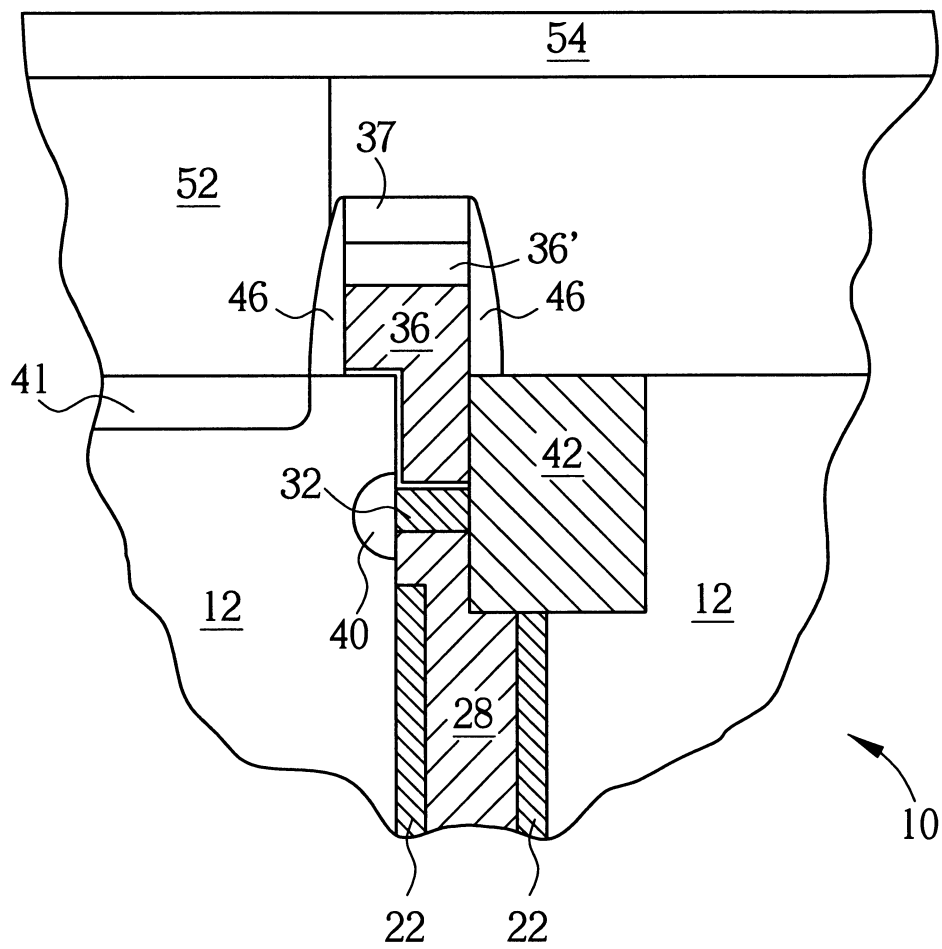
圖二



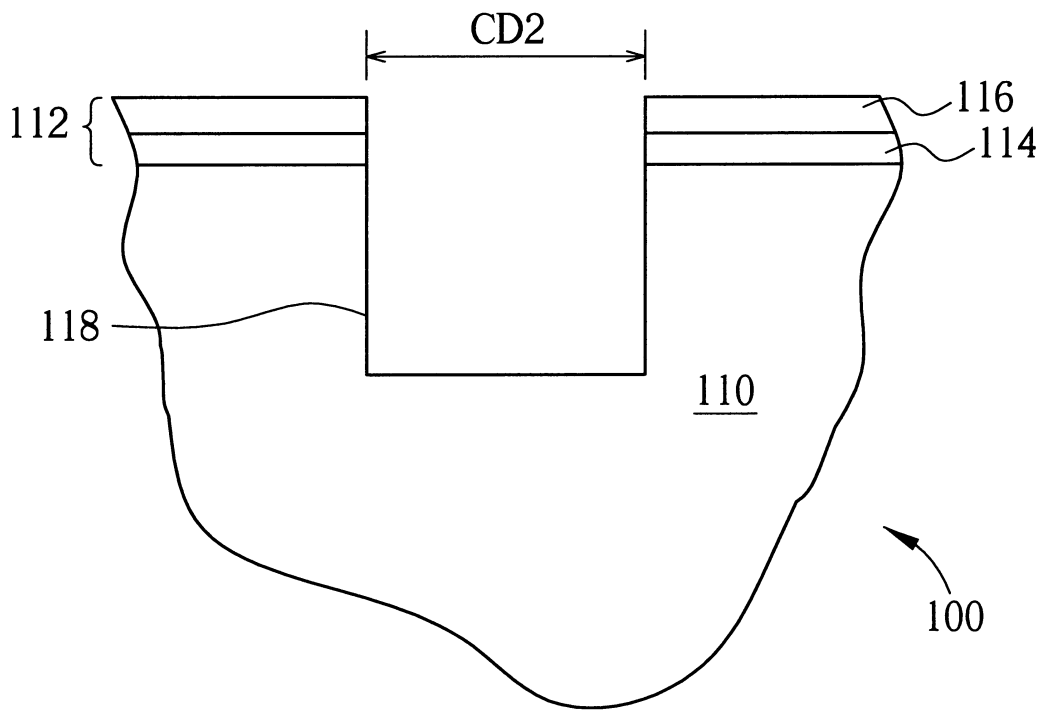
圖三



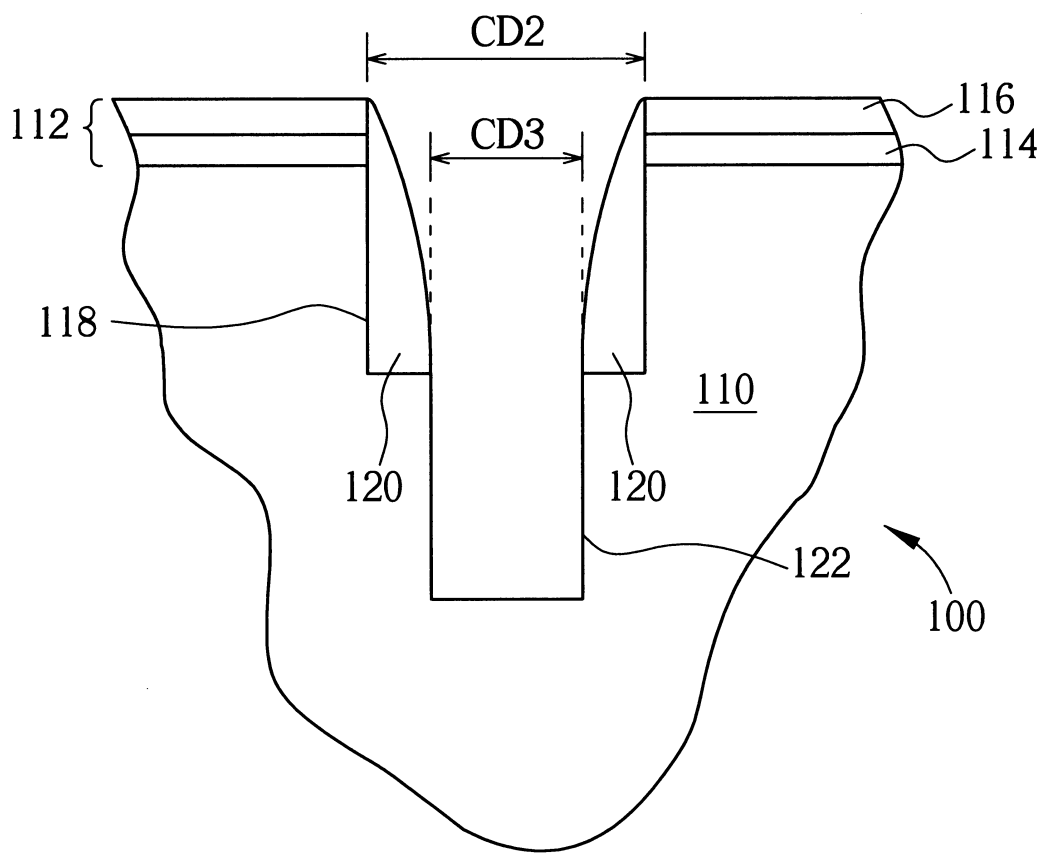
圖四



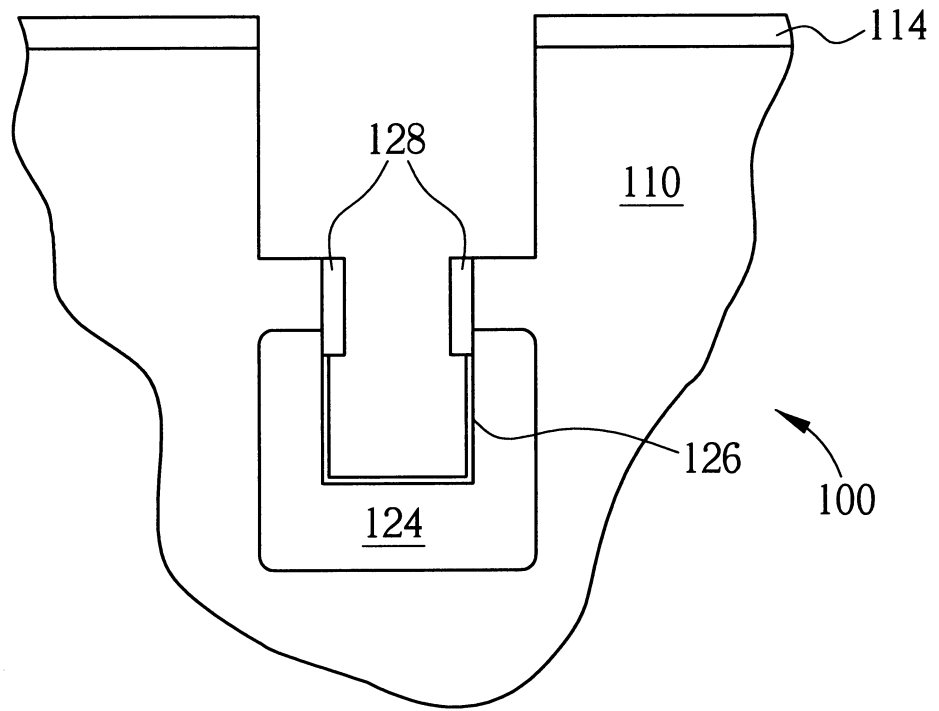
圖五



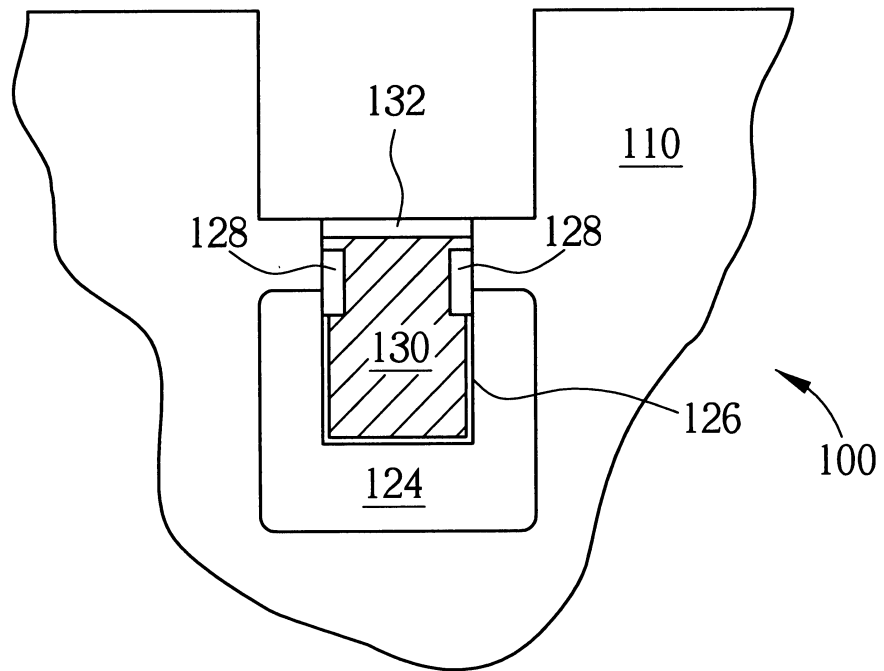
圖六



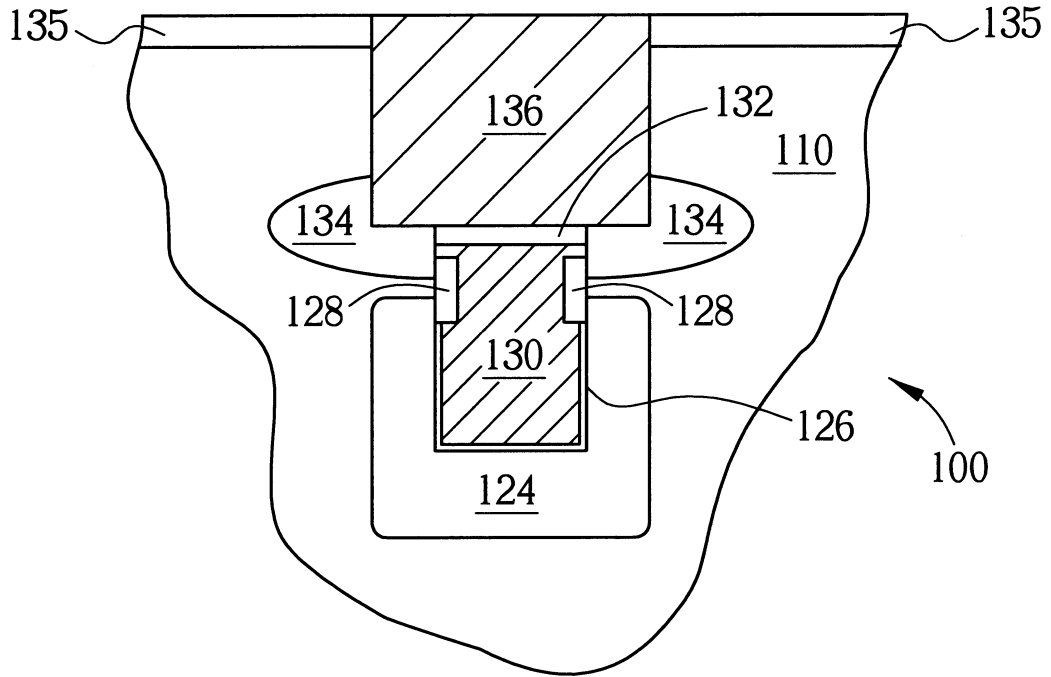
圖七



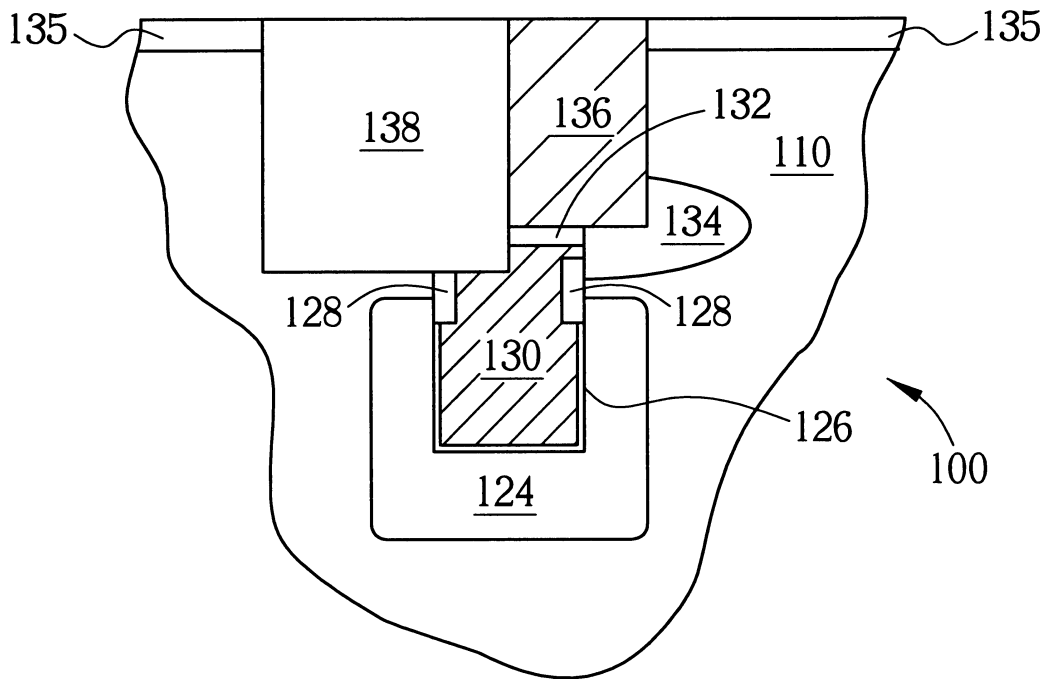
圖八



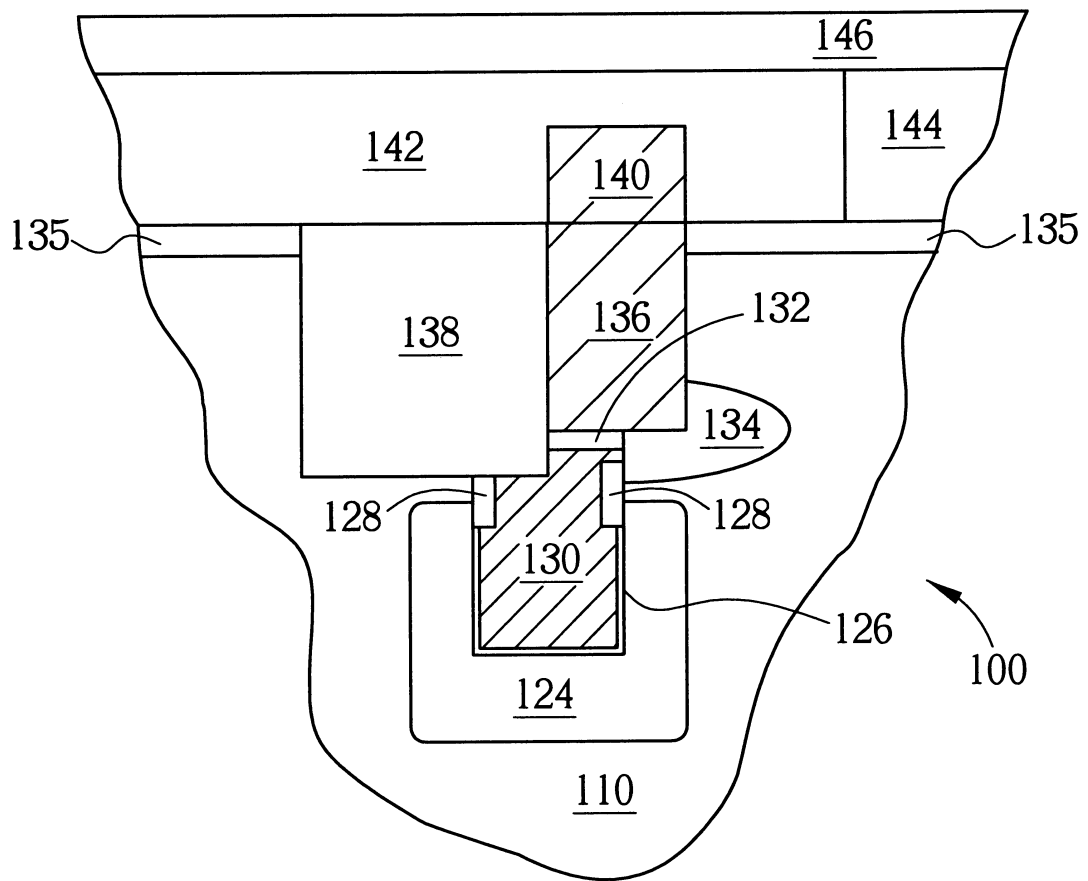
圖九



圖十



圖十一



圖十二

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

發明所屬之技術領域

本發明係提供一種一種動態隨機存取記憶體 (DRAM) 之記憶單胞 (memory cell) 的製作方法，尤指一種包含有雙鑲嵌溝渠的垂直型電晶體製作方法。

先前技術

DRAM 記憶單胞 (memory cell) 是由一金屬氧化物半導體 (metal oxide semiconductor, MOS) 電晶體以及一串聯電容器 (capacitor) 所構成的。MOS 電晶體包含有一閘極以及一第一、第二摻雜區，第一與第二摻雜區在構造上完全相同，端視電晶體之操作情形才依其功能定義為汲極 (source) 或源極 (drain)。而隨著超大型積體電路 (very large scale integration, VLSI) 的逐漸發展，元件設計的尺寸不斷縮小。目前一種採用垂直型電晶體的設計以提昇積集度的方法逐漸受到重視。相較於傳統電晶體的源極、閘極與汲極呈一水平式置放，垂直型 MOS 電晶體則是將汲極、閘極與源極採一垂直式置放，而形成一垂直式通道，故可大幅降低 MOS 電晶體的橫向面積，以有效提昇半導體元件的積集度。

請參考圖一至圖五，圖一至圖五為習知技術製作 DRAM 之記憶單胞的方法示意圖。如圖一所示，半導體晶片 10 上

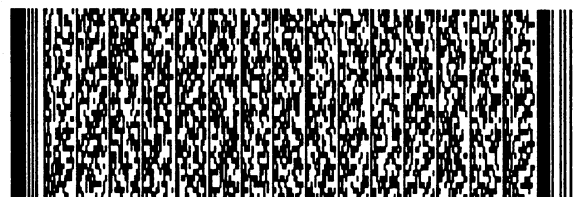
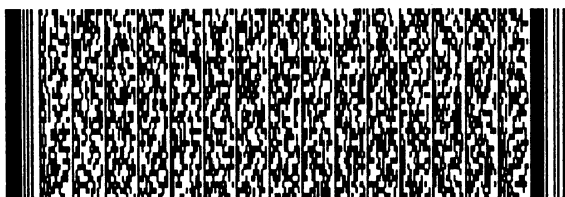


五、發明說明 (2)

有一基底 12，一由墊氧層 18與氮矽層 20所構成之襯墊層 (pad stack) 16設於基底 12上。首先，藉由習知的黃光、蝕刻等製程，於基底 12上形成一溝渠 (trench) 14。接著利用一砷矽玻璃 (arsenic silicate glass, ASG) 擴散技術在此溝渠 14底部形成一埋藏式電極 (未顯示)，隨後依序於該埋藏式電極表面形成一介電層 (未顯示)、一頸氧化層 (collar oxide) 22以及一埋藏式導電帶 (buried strap) 28。其中，埋藏式導電帶 28係用來作為儲存電極 (storage node)，而該介電層與頸氧化層 22則係用來隔離該埋藏式電極以及該儲存電極以構成一電容結構。

之後，如圖二所示，於溝渠 14內形成一絕緣層，也就是所謂的溝渠上氧化層 (trench top oxide, TTO) 32。其中 TTO層 32係覆蓋於埋藏式導電帶 28上，並露出溝渠 14之部分側壁，用來作為此垂直型電晶體之垂直通道。接著進行一傾斜式離子佈植製程，利用一傾斜角對矽基底 12表面及暴露出的溝渠 14側壁進行一離子佈植 23、23'，以調整此一垂直型電晶體之起始電壓。

如圖三所示，接著進行沉積製程，依序形成一閘極氧化層 (gate oxide) 34以及一閘極多晶矽層 (gate polysilicon) 36，堆疊於半導體晶片 10表面上。隨後進行一淺溝隔離 (STI) 製程，如圖四所示，於與此溝渠 14之部分重疊位置，以習知之黃光、蝕刻技術形成一淺溝 (shallow



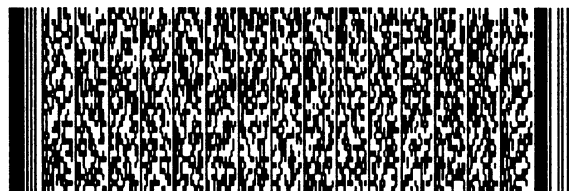
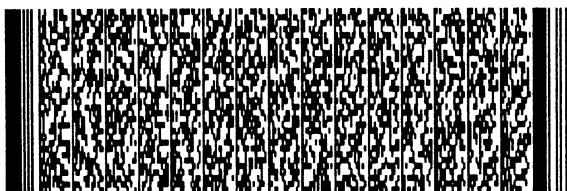
五、發明說明 (3)

trench)(未顯示)，且其深度需超過 T10層 32，以露出部份之埋藏式導電帶 28，之後並在其中填入一矽氧化合物，形成一淺溝隔離層 42。然後再於半導體晶片 10表面上依序形成一多晶矽層 36'以及一頂保護層 37。

如圖五所示，然後藉由習知之黃光、蝕刻、離子佈植、熱擴散等技術，以形成進一步形成該垂直型電晶體的閘極結構、源極 40與汲極 41、側壁子 46、位元接觸插塞 (bit line contact) 52以及位元線 (bit line) 54，以完成此一垂直型電晶體及其週邊電路元件的製作。

傳統的垂直型電晶體雖已大幅降低 MOS電晶體的橫向面積，但溝渠的極限線寬 (CD) 依然受到曝光解析度的限制而無法繼續縮小，尤其是在要求溝渠之線寬在 $0.1\mu\text{m}$ 以下的製程，往往不易控制。此外，在製作下方電容結構、頸氧化層 22、埋藏式導電帶 28、與 T10層 32時，往往需要使用到多次的多晶矽凹入蝕刻製程 (poly recess etch)，而當溝渠之線寬甚小時，所蝕刻的多晶矽高度往往難以精確控制，容易導致後續形成的頸氧化層 22與 T10層 32高度產生偏差，因此閘極之通道長度將會不一致，連帶影響元件之電性表現，導致產品可靠度之下降。

發明內容

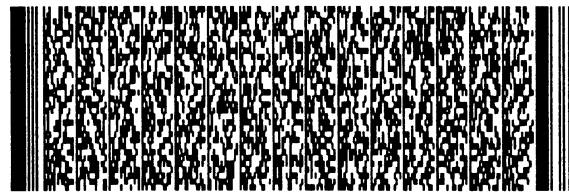
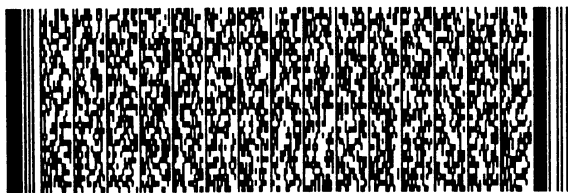


五、發明說明 (4)

本發明之主要目的在於提供一種包含有一雙鑲嵌溝渠的垂直型電晶體製作方法，以克服習知技術所遭遇到之線寬 (CD) 問題。

在本發明之最佳實施例中，本發明方法是先提供一矽基底，接著於該矽基底中形成由一第一以及一第二溝渠上、下堆疊所構成之雙鑲嵌溝渠 (dual damascening trench)。隨後於該第二溝渠內之該矽基底中形成一埋藏電極 (buried plate)，並於該埋藏電極與該第二溝渠內之該矽基底表面分別形成一電極介電層 (node dielectric) 以及一頸介電層 (collar dielectric)。然後於該第二溝渠中形成一埋藏式導電帶 (buried strap)，並於該埋藏式導電帶上方形成一溝渠上氧化層 (trench top oxide, TTO)。最後調整該記憶單胞之 MOS 電晶體的起始電壓 (threshold voltage)，並形成該 MOS 電晶體的源極 / 汲極以及閘極。

由於本發明係使用一雙鑲嵌溝渠結構，亦即先形成一開口較大之第一溝渠，接著於第一溝渠底部形成側壁子，藉由此一側壁子作為罩幕，之後再形成一開口較小之第二溝渠，因此可進一步縮小第二溝渠的線寬而不會受到曝光解析度之限制。此外，與習知技術相較，本發明之第一溝渠有一較大的線寬，因此在蝕刻第一溝渠的過程中，能有一更好的控制，並形成一形狀均勻 (uniformity) 的第一溝渠，因此第一溝渠中的閘極將會有一更穩定之通道長度，



五、發明說明 (5)

有效提昇產品之可靠度。

實施方式

請參考圖六至圖十二，圖六至圖十二為依據本發明製作 DRAM 記憶體單胞之方法示意圖。如圖六所示，半導體晶片 100 上有一矽基底 110，一襯墊層 (pad stack) 112 位於矽基底 110 上。首先藉由傳統之黃光製程，於襯墊層 112 中形成圖案，並以此一圖案化的襯墊層 112 作為遮罩，再於矽基底 110 上蝕刻出一第一溝渠 (trench) 118。其中，矽基底 110 係為一單晶矽晶片、一矽覆絕緣 (silicon-on-insulator, SOI) 基底、一磊晶矽 (epitaxy) 基底或其他可應用於半導體製程中的基板，襯墊層 112 另包含有矽氧層 116 與氮矽層 114，而第一溝渠 118 之線寬 CD2 約為 $0.25\mu\text{m}$ ，且深度約為 400 至 600 nm。

如圖七所示，接著利用一化學氣相沉積法，於半導體晶片 100 表面沉積一氮矽層 (未顯示)，再藉由一等向性蝕刻製程，對此氮化矽層進行蝕刻，以於第一溝渠 118 之側壁周圍形成一側壁子 120。隨後利用圖案化的襯墊層 112 以及側壁子 120 作為遮罩，繼續對第一溝渠 118 底部之矽基底 110 進行蝕刻，以於矽基底 110 中形成一第二溝渠 122，其線寬 CD3 約為 $0.1\mu\text{m}$ ，深度約為 400 至 600 nm。



五、發明說明 (6)

如圖八所示，利用一砷矽玻璃 (ASG) 擴散技術，於矽基底 110 中形成一 N 型摻雜的埋藏電極 (buried plate) 124 環繞於第二溝渠 122 底部，作為電容之上電極。接著於矽基底 110、第一溝渠 118 與第二溝渠 122 表面形成一氮化矽層 (未顯示)，隨後於第二溝渠 122 內填入一過渡層 (未顯示)，且高度約略與埋藏式電極 124 相切齊，並進行一濕蝕刻，例如利用熱磷酸溶液，去除未被該過渡層覆蓋之氮化矽層，以暴露出第二溝渠 112 上端頸部部位之矽基底 110 表面。其中，此利用砷矽玻璃 (ASG) 擴散技術，以於矽基底 110 中形成一 N 型摻雜的埋藏電極 124 的技術為習知該項技藝者所熟知，故在此不多加贅述，此外，該過渡層可為一光阻層或一摻雜多晶矽層。

在去除完該過渡層之後，接著進行一高溫氧化製程，例如在加熱至約 900 至 1000°C 之快速熱氧化製程 (rapid thermal process, RTP) 之含有水氣的環境下，於氮化矽層表面上生成一第一氧化膜 (未顯示)，其中此第一氧化膜可與氮化矽層共同作為電容介電層 126，並同時於第二溝渠 112 之上端頸部部位所暴露出的矽基底 110 表面上生成一厚度約為 200 至 300 埃，且較第一氧化膜厚之第二氧化膜，亦稱為頸氧化層 128，以期達成降低寄生漏電流 (parasitic leakage) 之目的。之後去除側壁子 120。

如圖九所示，接著於第二溝渠 122 內填入一摻雜之多晶



五、發明說明 (7)

矽層，以形成埋藏式導電帶 (buried strap) 130，用來作為儲存電極 (storage node)。其中，若上述之該過渡層係為一摻雜多晶矽層時，則該過渡層可以不必加以去除，而成為埋藏式導電帶 (buried strap) 130 的一部份。接著藉由一化學氣相沉積製程，於此半導體晶片表面 100 上選擇性沉積一氧化層 (未顯示)，並使得第一溝渠 118 底部的氧化層厚度大於其他位置，之後再進行一蝕刻製程，移除部分之該氧化層，只留下位於第一溝渠 118 底部的部分氧化層，也就是所謂的溝渠上氧化層 (trench top oxide, TTO) 132。其中，此 TTO 層 132 係約略切齊於第一溝渠 118 的底部，厚度約為 10 nm 至 100 nm，最佳為 30 nm 至 40 nm。

接著如圖十所示，進行一傾斜式離子佈植製程，對第一溝渠 118 側壁之閘極通道位置進行佈植，以調整閘極起始電壓。隨後再進行一垂直式離子佈植製程，以形成源極 134 及汲極 135。其中，亦可利用熱擴散法，使埋藏式導電帶 130 中的摻質向外擴散，以形成源極 134，或是直接利用傾斜式離子佈植的方式來形成源極 134 及汲極 135。然後將半導體晶片 100 置於一熱爐管 (未顯示) 內，並在常壓下通入氧氣，以利用乾式或濕式氧化法將矽基底 110 表面氧化，形成一矽氧層，作為閘極絕緣層 (未顯示)。隨後利用化學氣相沉積法，於第一溝渠 118 內填入一多晶矽或摻雜之多晶矽層，並利用一平坦化製程，以形成閘極導體 136。



五、發明說明 (8)

如圖十一所示，進行一淺溝隔離 (STI) 製程。於與第一溝渠 118 部分重疊之位置，以習知之黃光、蝕刻技術形成一淺溝 (shallow trench) (未顯示)，其深度須超過 TT0 層 132，以露出部分之埋藏式導電帶 130。之後並於此淺溝中填入一絕緣材料，通常為矽氧化合物，並利用一平坦化製程以形成一淺溝隔離層 138。再將半導體晶片 100 表面平坦化以完成此一淺溝隔離程序。

如圖十二所示，接著沉積一多晶矽層 (未顯示) 於半導體晶片 100 上，並進行一黃光暨蝕刻製程 (photo-etching-process, PEP)，去除部分該多晶矽層，以形成一字元線 (word line) 140。之後並可進一步形成介電層 142、位元線接觸插塞 (bit line contact plug) 144 以及位元線 (bit line) 146，以完成此一 DRAM 記憶單胞及其週邊電路元件的製作。由於此部份為熟知該項技藝者所能輕易完成，並可有許多選擇性設計，例如可於位元線 (bit line) 146 頂部及周圍分別形成一金屬矽化物層、頂保護層以及一側壁子 (spacer)，故在此並不予以詳述。

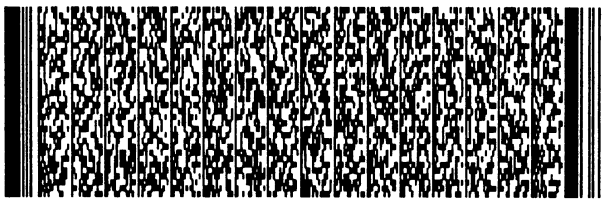
由上述說明可知，本發明係使用一雙鑲嵌溝渠結構，亦即先形成一開口較大之第一溝渠，接著於第一溝渠底部形成側壁子，藉由此一側壁子作為罩幕，之後再形成一開口較小之第二溝渠，因此可進一步縮小第二溝渠的線寬而不會受到曝光解析度之限制。



五、發明說明 (9)

相較於先前技術，本發明之雙鑲嵌溝渠結構可進一步縮小第二溝渠的線寬而不會受到曝光解析度之限制，將有助於 $0.1\mu\text{m}$ 以下製程之發展。此外，由於第一溝渠 118 有一較大的線寬 CD2，因此進行多晶矽凹入蝕刻製程 (poly recess etch) 以製作下方電容結構時，能有更好的高度控制，避免後續形成之閘極長度受到影響，因此形成於第一溝渠中的閘極將會有一更穩定之通道長度，有效提昇產品之可靠度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所作之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明：

圖一至圖五為習知技術製作 DRAM 之記憶單胞的方法示意圖。

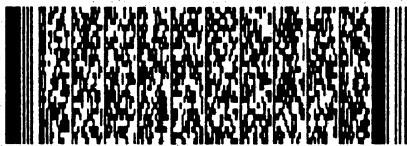
圖六至圖十二為本發明製作 DRAM 之記憶單胞的方法示意圖。

圖示之符號說明：

10	半導體晶片	12	矽基底
14	溝渠	16	硬罩幕層
18	墊氧層	20	氮矽層
22	頸氧化層	28	埋藏式導電帶
32	TTO層	34	閘極氧化層
36	閘極導電層	40	離子摻雜區
41	離子摻雜區	42	淺溝隔離層
46	介電層	52	插塞
54	位元線	100	半導體晶片
110	矽基底	112	襯墊層
114	氮矽層	116	矽氧層
118	第一溝渠	120	側壁子
124	上電極	126	介電層
128	頸氧化層	130	多晶矽層
132	上溝渠氧化層	134	源極

圖式簡單說明

135	汲極	136	多晶矽層
138	淺溝隔離層	140	字元線
142	介電層	144	插塞
146	位元線		



六、指定代表圖

六、申請專利範圍

1. 一種動態隨機存取記憶體 (DRAM) 之記憶單胞 (memory cell) 的製作方法，該製作方法包含有下列步驟：

提供一矽基底；

形成一雙鑲嵌溝渠 (dual damascening trench) 於該矽基底中，且該雙鑲嵌溝渠係由該矽基底中之一第一溝渠以及一第二溝渠上、下堆疊所構成；

於該第二溝渠內之該矽基底中形成一埋藏電極 (buried plate)；

於該埋藏電極表面形成一電極介電層 (node dielectric)；

於該第二溝渠內之該矽基底表面形成一頸介電層 (collar dielectric)；

於該第二溝渠中形成一埋藏式導電帶 (buried strap)；

於該埋藏式導電帶上方形成一溝渠上氧化層 (trench top oxide, TTO)；

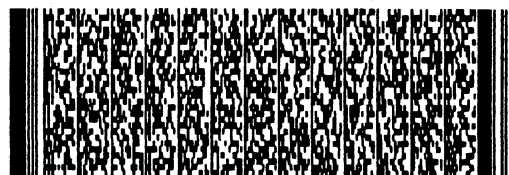
調整該記憶單胞之 MOS 電晶體的起始電壓 (threshold voltage)；

形成該 MOS 電晶體的源極與汲極；以及

於該第一溝渠中形成該 MOS 電晶體的閘極。

2. 如申請專利範圍第 1 項的製作方法，其中形成該雙鑲嵌溝渠的方法另包含有下列步驟：

於該矽基底表面形成一圖案化的襯墊層 (pad stack)；



六、申請專利範圍

利用圖案化的該襯墊層作為遮罩來蝕刻該矽基底，以於該矽基底中形成該第一溝渠；

於該第一溝渠之側壁周圍形成一側壁子 (spacer)；以及利用圖案化的該襯墊層以及該側壁子作為遮罩來蝕刻該第一溝渠底部之該矽基底，以於該矽基底中形成該第二溝渠。

3. 如申請專利範圍第2項的製作方法，其中該襯墊層係由一氧化層以及一氮化矽層上、下堆疊所構成，且該側壁子係由一氮矽化合物所構成。

4. 如申請專利範圍第1項的製作方法，其中該埋藏電極係利用一砷矽玻璃 (arsenic silicate glass, ASG) 擴散技術所形成。

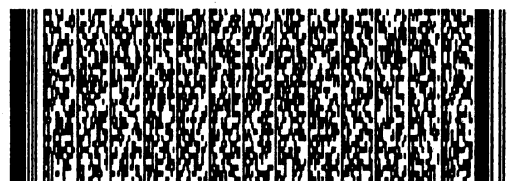
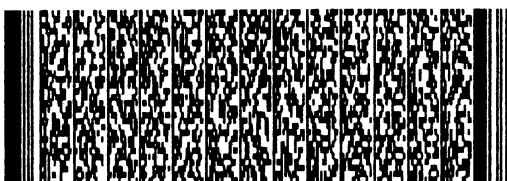
5. 如申請專利範圍第1項的製作方法，其中形成該頸介電層以及該電極介電層的方法另包含有下列步驟：

於該矽基底以及該雙鑲嵌溝渠表面形成一介電層；

於該第二溝渠中填入一過渡層，並使該過渡層之頂部約略與該埋藏電極頂部相切齊；

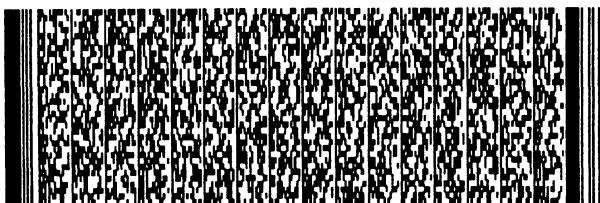
去除未被該過渡層覆蓋之該介電層，以暴露出位於該第二溝渠上半部以及該第一溝渠之該矽基底；以及

進行一氧化製程，以同時於該介電層表面以及該雙鑲嵌溝渠中暴露出之該矽基底表面分別形成一第一氧化膜以及一



六、申請專利範圍

- 厚度較該第一氧化膜厚之第二氧化膜；
其中該第一氧化膜以及該介電層係用來當作該電極介電層，而該第二氧化膜則係用來當作該頸介電層。
6. 如申請專利範圍第5項的製作方法，其中該過渡層係為一光阻層，且該氧化製程係進行於完全去除該過渡層之後。
7. 如申請專利範圍第5項的製作方法，其中該過渡層係由一摻雜多晶矽所構成，用來當作部分之該埋藏式導電帶。
8. 如申請專利範圍第1項的製作方法，其中該埋藏式導電帶係由一摻雜多晶矽所構成。
9. 如申請專利範圍第1項的製作方法，另包含有一傾斜式離子佈植製程，用來調整該起始電壓，以及一垂直式離子佈植製程，用來形成該MOS電晶體的該源極與該汲極。
10. 如申請專利範圍第1項的製作方法，其中該MOS電晶體的該源極與該汲極係同時形成於一離子佈植製程中。
11. 如申請專利範圍第1項的製作方法，其中形成該閘極的方法另包含有下列步驟：
於該雙鑲嵌溝渠中填滿一第一導電層；



六、申請專利範圍

進行一淺溝隔離 (STI) 製程，以於該矽基底中形成至少一淺溝隔離，用來隔離該記憶單胞；

於該矽基底表面形成一第二導電層；以及

進行一黃光暨蝕刻製程 (photo-etching-process, PEP)，去除部分之該第二導電層；

其中該第一導電層係用來作為該 MOS 電晶體的該閘極，而蝕刻後的該第二導電層係用來作為該動態隨機存取記憶體 (DRAM) 之字元線 (word line)。

12. 如申請專利範圍第 1 項的製作方法，其中該矽基底係包含有一單晶矽晶片、一矽覆絕緣 (silicon-on-insulator, SOI) 基底、或一磊晶矽 (epitaxy) 基底。

13. 一種動態隨機存取記憶體 (DRAM) 之記憶單胞 (memory cell) 的製作方法，該製作方法包含有下列步驟：

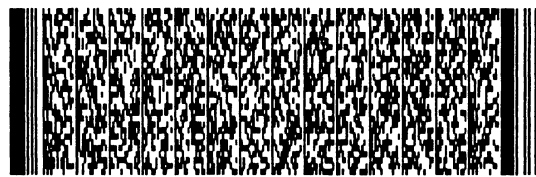
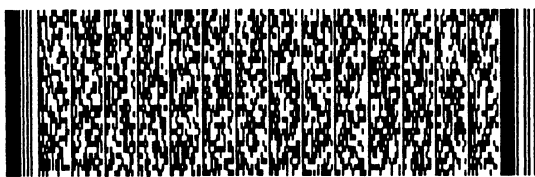
提供一矽基底，且該矽基底表面形成有一圖案化的襯墊層 (pad stack)；

利用圖案化的該襯墊層作為遮罩來蝕刻該矽基底，以於該矽基底中形成該第一溝渠；

於該第一溝渠之側壁周圍形成一側壁子 (spacer)；

利用圖案化的該襯墊層以及該側壁子作為遮罩來蝕刻該第一溝渠底部之該矽基底，以於該矽基底中形成該第二溝渠；

於該第二溝渠內之該矽基底中形成一埋藏電極 (buried



六、申請專利範圍

plate);

於該矽基底以及各該溝渠表面形成一介電層；

於該第二溝渠中填入一過渡層，並使該過渡層之頂部約略與該埋藏電極頂部相切齊；

去除未被該過渡層覆蓋之該介電層，以暴露出位於該第二溝渠上半部之該矽基底；

進行一氧化製程，以於該介電層表面形成一第一氧化膜，並於該第二溝渠中暴露出之該矽基底表面形成一厚度較該第一氧化膜厚之第二氧化膜；

去除該側壁子；

於該第二溝渠中形成一埋藏式導電帶 (buried strap);

於該埋藏式導電帶上方形成一溝渠上氧化層 (trench top oxide, TTO);

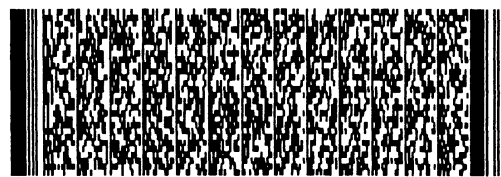
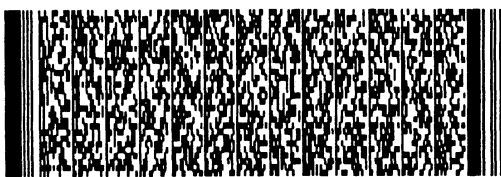
去除該襯墊層；

形成該 MOS 電晶體的源極與汲極；以及

於該第一溝渠中形成該 MOS 電晶體的閘極。

14. 如申請專利範圍第 13 項的製作方法，其中該襯墊層係由一氧化層以及一氮化矽層上、下堆疊所構成，且該側壁子係由一氮矽化合物所構成。

15. 如申請專利範圍第 13 項的製作方法，其中該埋藏電極係利用一砷矽玻璃 (arsenic silicate glass, ASG) 擴散技



六、申請專利範圍

術所形成。

16. 如申請專利範圍第13項的製作方法，其中該第一氧化膜以及該介電層係用來當作該記憶單胞之電容的電極介電層，而該第二氧化膜則係用來當作該記憶單胞之頸介電層。

17. 如申請專利範圍第13項的製作方法，其中該過渡層係為一光阻層，且該氧化製程係進行於完全去除該過渡層之後。

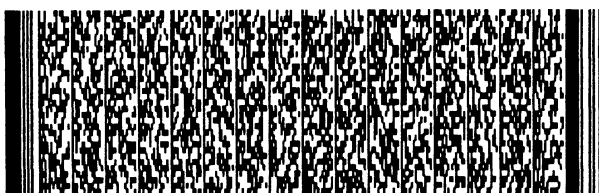
18. 如申請專利範圍第13項的製作方法，其中該過渡層係由一摻雜多晶矽所構成，用來當作部分之該埋藏式導電帶。

19. 如申請專利範圍第13項的製作方法，另包含有一傾斜式離子佈植製程，用來調整該MOS電晶體的起始電壓。

20. 如申請專利範圍第13項的製作方法，其中該MOS電晶體的該源極與該汲極係同時形成於一離子佈植製程中。

21. 如申請專利範圍第13項的製作方法，其中形成該閘極的方法另包含有下列步驟：

於該第一溝渠中填滿一第一導電層；



六、申請專利範圍

進行一淺溝隔離 (STI) 製程，以於該矽基底中形成至少一淺溝隔離，用來隔離該記憶單胞；

於該矽基底表面形成一第二導電層；以及

進行一黃光暨蝕刻製程 (photo-etching-process, PEP)，去除部分之該第二導電層；

其中該第一導電層係用來作為該 MOS 電晶體的該閘極，而蝕刻後的該第二導電層係用來作為該動態隨機存取記憶體 (DRAM) 之字元線 (word line)。

