



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0050390
(43) 공개일자 2015년05월08일

(51) 국제특허분류(Int. Cl.)	(71) 출원인
<i>HO1L 21/768</i> (2006.01) <i>HO1L 21/28</i> (2006.01)	르네사스 일렉트로닉스 가부시키가이샤
(21) 출원번호 10-2014-0145107	일본 가나가와쿄 가와사끼시 나카하라구 시모누마 베 1753
(22) 출원일자 2014년10월24일	(72) 발명자
심사청구일자 없음	도꾸미즈 시게오
(30) 우선권주장	일본 가나가와쿄 가와사끼시 나카하라구 시모누마 베 1753 르네사스 일렉트로닉스 가부시키가이샤 내
JP-P-2013-225212 2013년10월30일 일본(JP)	모리 다카히로 일본 가나가와쿄 가와사끼시 나카하라구 시모누마 베 1753 르네사스 일렉트로닉스 가부시키가이샤 내
	니파 테쓰야 일본 가나가와쿄 가와사끼시 나카하라구 시모누마 베 1753 르네사스 일렉트로닉스 가부시키가이샤 내
	(74) 대리인 장수길, 이중희

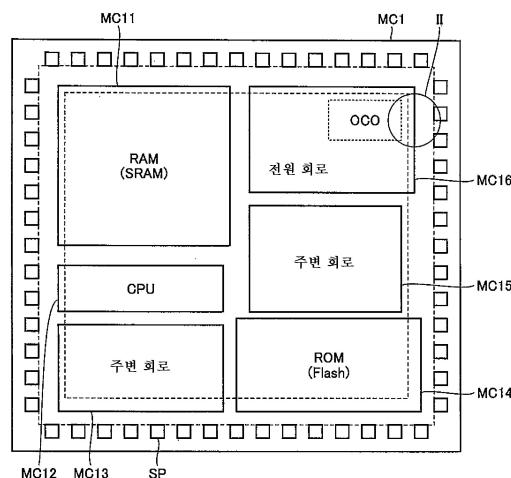
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치

(57) 요 약

복수의 제1 배선층(M1)은 기판(SUB)의 주 표면 위에, 제1 절연막(S012)은 복수의 제1 배선층(M1)의 상면을 덮도록, 제2 절연막(S013)은 제1 절연막(S012)의 상면을 덮도록, 복수의 제2 배선층(M2)은 제2 절연막(S013) 위에, 각각 배치되어 있다. 금속 저항 소자층(Rmn)은, 복수의 제2 배선층(M2) 중 적어도 하나의 제2 배선층(M2)의 바로 아래에 배치되어 있다. 복수의 도전층(CP1)은, 복수의 제2 배선층(M2)의 각각으로부터 주 표면에 교차하는 Z 방향에 관하여 금속 저항 소자층(Rmn)을 향해 연장되어 있다. 금속 저항 소자층(Rmn)은 금속 배선층(Rm)을 포함하고 있다. 복수의 도전층(CP1) 중 적어도 하나의 도전층(CP1)의 측면의 적어도 일부는, 금속 배선층(Rm)에 접속되어 있다.

대 표 도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

기판의 주 표면 위에 배치된 복수의 제1 배선층과,

복수의 상기 제1 배선층의 상면을 덮도록 배치된 제1 절연막과,

상기 제1 절연막의 상면을 덮도록 배치된 제2 절연막과,

상기 제2 절연막 위에 배치된 복수의 제2 배선층과,

상기 제1 절연막의 상면 위의, 복수의 상기 제2 배선층 중 적어도 하나의 상기 제2 배선층의 바로 아래에 배치된 금속 저항 소자층과,

복수의 상기 제2 배선층의 각각으로부터 상기 주 표면에 교차하는 방향에 관하여 상기 금속 저항 소자층을 향해 연장되는 복수의 도전층을 구비하고,

상기 금속 저항 소자층은 금속 배선층을 포함하고,

복수의 상기 도전층 중 적어도 하나의 상기 도전층의 측면의 적어도 일부는, 상기 금속 배선층에 접속되는 반도체 장치.

청구항 2

제1항에 있어서,

상기 금속 배선층은, 상기 주 표면을 따르는 제1 면과 상기 제1 면에 대향하는 제2 면을 갖고,

복수의 상기 도전층 중 적어도 하나의, 상기 금속 배선층에 접속되는 상기 도전층은, 상기 금속 배선층과 평면적으로 겹치는 금속 저항 소자 영역에 배치된 저항 소자 영역 도전층이며,

상기 저항 소자 영역 도전층은, 상기 제1 면으로부터 상기 제2 면까지 상기 금속 배선층을 관통하는 반도체 장치.

청구항 3

제2항에 있어서,

상기 저항 소자 영역 도전층은, 복수의 상기 제2 배선층 중 상기 금속 저항 소자 영역에 배치된 적어도 하나의 상기 제2 배선층으로부터 상기 금속 배선층을 관통하여 복수의 상기 제1 배선층 중 상기 금속 저항 소자 영역에 배치된 적어도 하나의 상기 제1 배선층에 도달하도록 접속되는 반도체 장치.

청구항 4

제2항에 있어서,

상기 금속 저항 소자 영역에서의 상기 저항 소자 영역 도전층과, 상기 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 상기 제2 배선층 중 적어도 하나의 상기 제2 배선층으로부터 복수의 상기 제1 배선층 중 적어도 하나의 상기 제1 배선층에 도달하도록 연장되는 배선 영역 도전층의, 상기 주 표면에 교차하는 방향의 깊이는 동등한 반도체 장치.

청구항 5

반도체 장치로서,

기판의 주 표면 위에 배치된 적어도 하나의 제1 배선층과,

상기 제1 배선층의 상면을 덮도록 배치된 제1 절연막과,

상기 제1 절연막 위에 복수 배치된 제2 배선층과,

복수의 상기 제2 배선층보다도 상기 주 표면에 교차하는 방향에 관하여 상기 제1 배선층 측에 배치되고, 복수의 상기 제2 배선층 중 적어도 하나의 상기 제2 배선층의 바로 아래에 배치되는 금속 저항 소자층과,

복수의 상기 제2 배선층의 각각으로부터 상기 주 표면에 교차하는 방향에 관하여 상기 금속 저항 소자층을 향해 연장되는 복수의 도전층을 구비하고,

복수의 상기 도전층 중 적어도 하나의 상기 도전층은, 상기 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 복수의 상기 제2 배선층 중 상기 금속 저항 소자 영역에 배치된 적어도 하나의 상기 제2 배선층으로부터 상기 금속 저항 소자층에 도달하도록 접속되는 저항 소자 영역 도전층이며,

복수의 상기 도전층 중 적어도 하나의 상기 도전층은, 상기 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 상기 제2 배선층 중 적어도 하나의 상기 제2 배선층으로부터 적어도 하나의 상기 제1 배선층에 도달하도록 연장되는 배선 영역 도전층이며,

상기 저항 소자 영역 도전층과 상기 배선 영역 도전층의, 상기 주 표면에 교차하는 방향에 관한 깊이는 동등한 반도체 장치.

청구항 6

제5항에 있어서,

상기 제1 절연막은, 적어도 하나의 상기 제1 배선층의 상면 및 적어도 하나의 상기 제1 배선층이 형성되는 표면의 양쪽을 덮는 박막 절연층을 포함하고,

상기 금속 저항 소자층은, 상기 박막 절연층의 상면을 덮도록 형성되어 있는 반도체 장치.

청구항 7

반도체 장치로서,

기판의 주 표면 위에 배치된 복수의 제1 배선층과,

복수의 상기 제1 배선층의 상면을 덮도록 배치된 제1 절연막과,

상기 제1 절연막의 상면을 덮도록, 복수의 상기 제1 배선층 중 적어도 하나의 상기 제1 배선층의 바로 위에 배치된 적어도 하나의 금속 저항 소자층과,

상기 제1 절연막 위에 배치된 복수의 제2 배선층과,

적어도 하나의 상기 금속 저항 소자층 및 적어도 하나의 상기 제2 배선층의 각각으로부터 상기 주 표면에 교차하는 방향으로 복수의 상기 제1 배선층의 각각까지 연장되는 복수의 도전층을 구비하고,

적어도 하나의 상기 금속 저항 소자층의 상면은 복수의 상기 제2 배선층 중 적어도 하나로 덮인 반도체 장치.

청구항 8

제7항에 있어서,

상기 금속 저항 소자층은 복수 배치되고,

상기 금속 저항 소자층은 금속 배선층과, 상기 금속 배선층의 상면을 덮는 반사 방지막층을 포함하고,

복수의 상기 금속 저항 소자층은, 상기 금속 저항 소자층을 구성하는 상기 금속 배선층 및 상기 반사 방지막층과 상기 반사 방지막층의 상면을 덮는 상기 제2 배선층이 용량 소자를 형성하는 적어도 하나의 제1 금속 저항 소자층과, 복수의 상기 도전층에 의해 복수의 상기 제1 배선층의 각각과 접속되는 적어도 하나의 제2 금속 저항 소자층을 포함하는 반도체 장치.

청구항 9

제8항에 있어서,

복수의 상기 제2 배선층에는, 상기 제1 및 제2 금속 저항 소자층의 각각의 상면을 덮도록 형성된 복수의 보호용 제2 배선층과, 상기 제1 및 제2 금속 저항 소자층과 동일한 층에 상기 금속 저항 소자층과 간격을 두고 배치되는 적어도 하나의 배선용 제2 배선층의 양쪽을 포함하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 용량 소자를 구성하는 상기 보호용 제2 배선층의 상면을 덮도록 상기 제1 절연막 위에 배치된 제2 절연막과,

상기 용량 소자로부터 상기 주 표면에 교차하는 방향에 관하여 상기 기판과 반대 방향을 향해 연장되는 다른 도전층과,

상기 제2 절연막 위에서의 상기 용량 소자의 바로 위에 배치된 제3 배선층을 더 구비하고,

상기 다른 도전층은 상기 제3 배선층과 접속되는 반도체 장치.

청구항 11

제9항에 있어서,

상기 배선용 제2 배선층의 상면을 덮도록 상기 제1 절연막 위에 배치된 제2 절연막과,

상기 배선용 제2 배선층의 상면으로부터 상기 주 표면에 교차하는 방향에 관하여 상기 기판과 반대 방향을 향해 연장되는 다른 도전층과,

상기 제2 절연막 위에서의 상기 배선용 제2 배선층의 바로 위에 배치된 제3 배선층을 더 구비하고,

상기 다른 도전층은 상기 제3 배선층과 접속되는 반도체 장치.

청구항 12

제7항에 있어서,

복수의 상기 도전층 중 적어도 하나는, 상기 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 적어도 하나의 상기 금속 저항 소자층으로부터 복수의 상기 제1 배선층 중 적어도 하나의 상기 제1 배선층에 도달하도록 접속되는 저항 소자 영역 도전층이며,

복수의 상기 도전층 중 적어도 하나는, 상기 금속 저항 소자 영역이 아닌 배선 영역에서 복수의 상기 제2 배선층 중 적어도 하나의 상기 제2 배선층으로부터 복수의 상기 제1 배선층 중 적어도 하나의 상기 제1 배선층에 도달하도록 연장되는 배선 영역 도전층인 반도체 장치.

청구항 13

제12항에 있어서,

상기 금속 저항 소자 영역에서 상기 금속 저항 소자층의 상면을 덮는 상기 제2 배선층의 상면 및 측면 중 적어도 어느 하나를 덮도록 다른 금속 저항 소자층이 배치되는 반도체 장치.

청구항 14

제12항에 있어서,

상기 배선 영역에서의 상기 제2 배선층의 상면 및 측면 중 적어도 어느 하나가 다른 금속 저항 소자층으로 덮이는 반도체 장치.

발명의 설명

기술 분야

본 발명은 반도체 장치에 관한 것으로, 특히 금속 저항 소자층을 갖는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 종래, 마이크로컴퓨터 제품과 발진자는 다른 구조였지만, 최근 들어, 마이크로컴퓨터 칩 내에 발진자를 내장함으로써, 레이아웃 면적의 축소, 비용 저감 등이 도모되고 있다. 마이크로컴퓨터 칩 내에 발진자를 내장하기 위해서는, 모든 환경하(전압·온도)에서 안정된 발진 주파수를 출력할 필요가 있으며, 마이크로컴퓨터 제품의 고속 OCO(On Chip Oscillator) 회로에서는, 목표 정밀도로서, 예를 들어 $40\text{MHz} \pm 1\%$ 를 달성하는 것이 요구되고 있다.

[0003] 여기서, 아날로그 회로인 고속 OCO(On Chip Oscillator) 회로 내의 정전류 발생 회로의 저항체에는, 폴리실리콘 저항이 사용되고 있다. 그러나, 폴리실리콘 저항은 소위 피에조 저항 효과에 기인하여 응력에 의해 저항값이 변동한다. 특히, 패키징 공정 이후의 몰드 응력에 의한 저항값의 변동이 현저하다. 그로 인해, 고속 OCO 회로의 주파수 변동이 커져서 고속 OCO 회로의 목표 정밀도를 달성하는 것이 곤란해지는 경우가 고려된다.

[0004] 마이크로컴퓨터 제품의 고속 OCO 회로는, 통상적으로 소위 다층 배선 구조에 의해 형성되지만, 대부분의 저항체는 다층 배선 구조의 최상층에 형성된다. 이로 인해 저항체는 그 상면이 보호막에 직접 덮이고, 보호막으로부터 응력을 받기 쉬워진다. 이 보호막으로부터의 응력에 기인하는 저항값의 변동을 억제하는 관점에서, 다층 배선 구조의 최상층보다 하층의 층에 저항체를 형성하는 기술이, 예를 들어 일본 특허공개 제2001-267320호 공보, 일본 특허공개 제2011-155192호 공보, 일본 특허공개 제2008-130918호 공보에 개시되어 있다.

[0005] 일본 특허공개 제2001-267320호 공보에 있어서는 저항체의 위쪽의 배선층으로부터 저항체에 도달하도록 연장되는 도전층(매립 콘택트홀)에 의해, 배선층과 저항체가 전기적으로 접속되어 있다. 반대로 일본 특허공개 제2011-155192호 공보에 있어서는 저항체로부터 그 아래쪽으로 연장되는 도전층(콘택트 플러그)에 의해, 저항체와 그 아래쪽의 배선층이 전기적으로 접속되어 있다.

[0006] 그러나 일본 특허공개 제2001-267320호 공보, 일본 특허공개 제2011-155192호 공보의 어느 쪽에 있어서도, 또한 상기의 도전층에 의한 전기적인 접속이 이루어지지 않은 일본 특허공개 제2008-130918호 공보에 있어서도, 최상층보다도 하층의 층에 형성된 저항체와 전기적으로 접속하기 위한 도전층과, 저항체가 아닌 배선층끼리를 접속하기 위한 도전층을 동일한 마스크를 사용하여 동시에 형성하기 위한 고려에 대하여 개시되어 있지 않다. 이와 같이 저항체용의 도전층과, 저항체가 아닌 배선층용의 도전층을 동일한 마스크로 동시에 형성하기 위한 고려가 이루어지지 않으면, 저항체용의 도전층과, 저항체가 아닌 배선층용 도전층을 별개의 마스크로 형성할 필요가 생길 가능성이 있다. 그렇게 되면 공정이 매우 번잡해져서 제조 비용이 상승할 가능성이 있다.

[0007] 그 밖의 과제와 신규의 특징은, 본 명세서의 기재 및 첨부 도면으로부터 명백해질 것이다.

발명의 내용

[0008] 일 실시 형태에 따른 반도체 장치는, 복수의 제1 배선층과, 제1 절연막과, 제2 절연막과, 복수의 제2 배선층과, 금속 저항 소자층과, 복수의 도전층을 구비하고 있다. 복수의 제1 배선층은 기판의 주 표면 위에 배치되어 있다. 제1 절연막은 복수의 제1 배선층의 상면을 덮도록 배치되어 있다. 제2 절연막은, 제1 절연막의 상면을 덮도록 배치되어 있다. 복수의 제2 배선층은, 제2 절연막 위에 배치되어 있다. 금속 저항 소자층은, 제1 절연막의 상면 위의, 복수의 제2 배선층 중 적어도 하나의 제2 배선층의 바로 아래에 배치되어 있다. 복수의 도전층은, 복수의 제2 배선층의 각각으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되어 있다. 금속 저항 소자층은 금속 배선층을 포함하고 있다. 복수의 도전층 중 적어도 하나의 도전층의 측면의 적어도 일부는, 금속 배선층에 접속되어 있다.

[0009] 다른 실시 형태에 따른 반도체 장치는, 적어도 하나의 제1 배선층과, 제1 절연막과, 제2 배선층과, 금속 저항 소자층과, 복수의 도전층을 구비하고 있다. 적어도 하나의 제1 배선층은, 기판의 주 표면 위에 배치되어 있다. 제1 절연막은, 제1 배선층의 상면을 덮도록 배치되어 있다. 제2 배선층은, 제1 절연막 위에 복수 배치되어 있다. 금속 저항 소자층은, 복수의 제2 배선층보다도 주 표면에 교차하는 방향에 관하여 제1 배선층 측에 배치되고, 복수의 제2 배선층 중 적어도 하나의 제2 배선층의 바로 아래에 배치되어 있다. 복수의 도전층은, 복수의 제2 배선층의 각각으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되어 있다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 복수의 제2 배선층 중 금속 저항 소자 영역에 배치된 적어도 하나의 제2 배선층으로부터 금속 저항 소자층에 도달하도록 접속되는 저항 소자 영역 도전층이다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 적어도 하

나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층이며, 저항 소자 영역 도전층과 배선 영역 도전층의, 주 표면에 교차하는 방향에 관한 깊이는 동등하다.

[0010] 또 다른 실시 형태에 따른 반도체 장치는, 복수의 제1 배선층과, 제1 절연막과, 적어도 하나의 금속 저항 소자 층과, 복수의 제2 배선층과, 복수의 도전층을 구비하고 있다. 복수의 제1 배선층은, 기판의 주 표면 위에 배치되어 있다. 제1 절연막은, 복수의 제1 배선층의 상면을 덮도록 배치되어 있다. 적어도 하나의 금속 저항 소자 층은, 제1 절연막의 상면을 덮도록, 복수의 제1 배선층 중 적어도 하나의 제1 배선층의 바로 위에 배치되어 있다. 복수의 제2 배선층은, 제1 절연막 위에 배치되어 있다. 복수의 도전층은, 적어도 하나의 금속 저항 소자 층 및 적어도 하나의 제2 배선층의 각각으로부터 주 표면에 교차하는 방향으로 복수의 제1 배선층의 각각까지 연장되어 있다. 적어도 하나의 금속 저항 소자층의 상면은 복수의 제2 배선층 중 적어도 하나로 덮인다.

[0011] 일 실시 형태에 의하면, 금속 저항 소자층의 바로 위에 제2 배선층이 배치되기 때문에, 금속 저항 소자층이 상층으로부터의 응력을 받음으로써 발진자로서의 정밀도가 저하될 가능성을 저감하는 것이 가능한 반도체 장치를 제공할 수 있다.

[0012] 다른 실시 형태에 의하면, 저항 소자 영역 도전층과 배선 영역 도전층이 모두 제1 절연막 위의 제2 배선층으로부터 연장되도록 형성되기 때문에, 반도체 장치의 형성 시에, 금속 저항 소자층에 접속하기 위한 도전층만을 형성하기 위한 마스크를 별개로 준비할 필요가 없어진다. 즉 배선 영역 도전층을 형성하기 위한 마스크를 사용하여 저항 소자 영역 도전층이 형성 가능하게 된다. 이로 인해 제조 비용을 삭감하는 것이 가능한 반도체 장치를 제공할 수 있다.

[0013] 또 다른 실시 형태에 의하면, 금속 저항 소자층의 상면이 제2 배선층으로 덮임으로써, 금속 저항 소자층은 제2 배선층으로 보호된다. 이로 인해 금속 저항 소자층의 신뢰성이 높아진 반도체 장치를 제공할 수 있다.

[0014] 본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부의 도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0015] 도 1은, 실시 형태 1에 있어서의 반도체 장치를 탑재한 마이크로컴퓨터 칩의 전체 구조를 나타내는 평면도이다.

도 2는, 도 1 중의 동그라미로 둘러싸인 영역 II의 확대 평면도이다.

도 3은, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 1의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 4는, 실시 형태 1에 있어서의, 특히 도 3 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 5는, 실시 형태 1에 있어서의, 특히 도 3 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 6은, 실시 형태 1에 있어서의, 특히 도 3 구조의 제조 방법의 제3 공정을 나타내는 개략 단면도이다.

도 7은, 실시 형태 1에 있어서의, 특히 도 3 구조의 제조 방법의 제4 공정을 나타내는 개략 단면도이다.

도 8은, 실시 형태 1에 있어서의, 특히 도 3 구조의 제조 방법의 제5 공정을 나타내는 개략 단면도이다.

도 9는, 도 2의 고속 OCO 회로를 포함하는, 비교예의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 10은, 비교예에 있어서의, 특히 도 9 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 11은, 비교예에 있어서의, 특히 도 9 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 12는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 1의 마이크로컴퓨터 칩의 부분적인 구조의 제1 변형예를 나타내는 개략 단면도이다.

도 13은, 실시 형태 1의 제1 변형예에 있어서의, 특히 도 12 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 14는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 1의 마이크로컴퓨터 칩의 부분적인 구조의 제2 변형예를 나타내는 개략 단면도이다.

도 15는, 실시 형태 1의 제2 변형예에 있어서의, 특히 도 14 구조의 제조 방법의 제1 공정을 나타내는 개략 단

면도이다.

도 16은, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 2의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 17은, 실시 형태 2에 있어서의, 특히 도 16 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 18은, 실시 형태 2에 있어서의, 특히 도 16 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 19는, 실시 형태 2에 있어서의, 특히 도 16 구조의 제조 방법의 제3 공정을 나타내는 개략 단면도이다.

도 20은, 실시 형태 2에 있어서의, 특히 도 16 구조의 제조 방법의 제4 공정을 나타내는 개략 단면도이다.

도 21은, 실시 형태 2에 있어서의, 특히 도 16 구조의 제조 방법의 제5 공정을 나타내는 개략 단면도이다.

도 22는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 3의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 23은, 도 22의 금속 저항 소자층 및 그 상면 위의 제2 배선층의 개략 평면도이다.

도 24는, 실시 형태 3에 있어서의, 특히 도 22 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 25는, 실시 형태 3에 있어서의, 특히 도 22 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 26은, 실시 형태 3에 있어서의, 특히 도 22 구조의 제조 방법의 제3 공정을 나타내는 개략 단면도이다.

도 27은, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 4의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 28은, 실시 형태 4에 있어서의, 특히 도 27 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 29는, 실시 형태 4에 있어서의, 특히 도 27 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 30은, 실시 형태 4에 있어서의, 특히 도 27 구조의 제조 방법의 제3 공정을 나타내는 개략 단면도이다.

도 31은, 실시 형태 4에 있어서의, 특히 도 27 구조의 제조 방법의 제4 공정을 나타내는 개략 단면도이다.

도 32는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 5의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 33은, 실시 형태 5에 있어서의, 특히 도 32 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 34는, 실시 형태 5에 있어서의, 특히 도 32 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 35는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 6의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 36은, 실시 형태 6에 있어서의, 특히 도 35 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 37은, 실시 형태 6에 있어서의, 특히 도 35 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 38은, 실시 형태 6에 있어서의, 특히 도 35 구조의 제조 방법의 제3 공정을 나타내는 개략 단면도이다.

도 39는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 7의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 40은, 실시 형태 7에 있어서의, 특히 도 39 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 41은, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 8의 마이크로컴퓨터 칩의 부분적인 구조를 나타내는 개략 단면도이다.

도 42는, 도 41에 도시한 배선 영역의 구조의 제1 변형예를 나타내는 개략 단면도이다.

도 43은, 도 41에 도시한 배선 영역의 구조의 제2 변형예를 나타내는 개략 단면도이다.

도 44는, 실시 형태 8에 있어서의, 특히 도 41 구조의 제조 방법의 제1 공정을 나타내는 개략 단면도이다.

도 45는, 실시 형태 8에 있어서의, 특히 도 41 구조의 제조 방법의 제2 공정을 나타내는 개략 단면도이다.

도 46은, 도 45의 공정에 의해 형성되는 배선 영역의 구조의 제1 변형예를 나타내는 개략 단면도이다.

도 47은, 도 45의 공정에 의해 형성되는 배선 영역의 구조의 제2 변형예를 나타내는 개략 단면도이다.

도 48은, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 8의 마이크로컴퓨터 칩의 부분적인 구조의 제1 변형예를 나타내는 개략 단면도이다.

도 49는, 도 2의 고속 OCO 회로를 포함하는, 실시 형태 8의 마이크로컴퓨터 칩의 부분적인 구조의 제2 변형예를 나타내는 개략 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 실시 형태에 대하여 도면에 기초하여 설명한다.

[0017] (실시 형태 1)

[0018] 우선, 도 1을 이용하여 본 실시 형태의 반도체 장치의 구성으로서의 마이크로컴퓨터 칩의 구성에 대하여 설명한다.

[0019] 도 1을 참조하여, 마이크로컴퓨터 칩(MC1)은, RAM 형성 영역(MC11), CPU 형성 영역(MC12), 주변 회로 형성 영역(MC13, MC15), ROM 형성 영역(MC14) 및 전원 회로 영역(MC16) 등을 포함한다. 전원 회로 영역(MC16)은, 고속 OCO 회로를 포함하고 있다. 이들 각 영역을 둘러싸듯이, 복수의 전극 패드(SP)가, 서로 간격을 두고 배치되어 있다. 또한, 본 레이아웃 구성은 어디까지나 마이크로컴퓨터 칩의 일례이며, 이에 한정되는 것은 아니다.

[0020] 다음으로 도 2를 이용하여, 반도체 장치의 일례로서 고속 OCO 회로의 일부 구조에 대하여 설명한다.

[0021] 도 2를 참조하여, 이 고속 OCO 회로는, 기판의 한쪽의 주 표면 위에 배치되는 금속 저항 소자층(Rmn)을 갖고 있다. 금속 저항 소자층(Rmn)은, 여기에서는 예를 들어 복수(예를 들어 4개)의 금속 저항 소자층(Rm1, Rm2, Rm3, Rm4)을 통합한 명칭으로 하고 있다. 또한, 금속이란, 전이 금속 및 전이 금속 이외의 금속을 포함하면서, 반금속, 반도체, 및 비금속을 포함하지 않는다.

[0022] 도 2에 도시한 평면에서 볼 때, 금속 저항 소자층(Rm1 내지 Rm4)은, 각각 X 방향으로 연장되고, Y 방향에 있어서 서로 소정의 간극을 갖도록 배치되어 있다. 금속 저항 소자층(Rm1 내지 Rm4)은, 각각의 양단부에 있어서, 도전층으로서의 콘택트 플러그(CP1)를 개재하여 텁층(Mi, Ma 내지 Mc, Mo)에 연결되어 있다. 또한 금속 저항 소자층[Rm1 내지 Rm4(Rmn)]과 전극 패드(SP)의 사이에는 일정한 간격 S1이 설정되어 있다.

[0023] 또한, 사진 제판 기술에 있어서의 제조 정밀도를 향상시키는 관점에서, 금속 저항 소자층(Rm1 및 Rm4)의 각각의 외측에는, 더미 금속 저항 소자층(Rmd), 및 더미 텁층(Mde)이 설치되어 있다.

[0024] 이에 의해, 금속 저항 소자층(Rm1 내지 Rm4)은, 텁층(Mi)→ 콘택트 플러그(CP1)→ 금속 저항 소자층(Rm1)→ 콘택트 플러그(CP1)→ 텁층(Ma)→ 콘택트 플러그(CP1)→ 금속 저항 소자층(Rm2)→ 콘택트 플러그(CP1)→ 텁층(Mb)→ 콘택트 플러그(CP1)→ 금속 저항 소자층(Rm3)→ 콘택트 플러그(CP1)→ 텁층(Mc)→ 콘택트 플러그(CP1)→ 금속 저항 소자층(Rm4)→ 콘택트 플러그(CP1)→ 텁층(Mo)과 전기적으로 접속된 직렬 접속으로 된다.

[0025] 다음으로 도 3을 이용하여, 도 2 중의 접선으로 둘러싸인 영역 A, 즉 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0026] 도 3을 참조하여, 이 반도체 장치는, 기판(SUB)의 (한쪽의) 주 표면 위에 배치된 층간 절연막(S011)과, 층간 절연막(S011)의 위에 X 방향에 관하여 서로 간격을 두고 복수 배치된, 제1 배선층(M1)을 갖고 있다.

[0027] 복수의 제1 배선층(M1)의 상면을 덮도록, 층간 절연막(S011) 위에는 제1 절연막(S012)이 형성되어 있다. 제1 절연막(S012)은, 제1 절연막 하층(S012a)과 제1 절연막 상층(S012b)이 이 순서로 적층된 구성을 갖고 있다.

[0028] 제1 절연막(S012)의 상면을 덮도록, 제2 절연막(S013)이 형성되어 있다. 제2 절연막(S013)의 상면 위에는, X 방향에 관하여 서로 간격을 두고 복수 배치된, 제2 배선층(M2)을 갖고 있다. 복수의 제2 배선층(M2)의 각각은, 평면에서 볼 때 제1 배선층(M1)과 겹치는 위치에 배치되어 있다.

[0029] 도 3 중의 접선으로 둘러싸인 영역 B(금속 저항 소자층(Rmn))는, 도 2 중의 접선으로 둘러싸인 영역 A(금속 저항 소자층(Rmn))을 구성하는 금속 저항 소자층(Rm2)에 대응한다. 이 금속 저항 소자층(Rmn)은, 제1 절연막(S012)의 상면 위의, 복수의 제2 배선층(M2) 중 적어도 하나의 제2 배선층(M2)의 바로 아래에, 상기 제2 배선층(M2)과 평면에서 볼 때 겹치도록 배치되어 있다. 다시 말하면 이 금속 저항 소자층(Rmn)은, 복수의 제1 배선층

(M1) 중 적어도 하나의 제1 배선층(M2)의 바로 위에, 상기 제1 배선층(M1)과 평면에서 볼 때 겹치도록 배치되어 있다.

[0030] 보다 구체적으로는, 도 3의 금속 저항 소자층(Rmn)은, X 방향에 관한 한쪽 및 다른 쪽의 단부의 근방에 있어서, 평면에서 볼 때 제1 배선층(M1) 및 제2 배선층(M2)과 겹치도록 배치되어 있으며, 금속 저항 소자층(Rmn)은, 제1 배선층(M1) 및 제2 배선층(M2)에 끼워지도록 양자의 사이에 배치되어 있다. 따라서 도 3의 금속 저항 소자층(Rmn)은 2개의 제1 및 제2 배선층(M1, M2)과 평면에서 볼 때 겹치도록 배치되어 있으며, 그 결과 제1 배선층(M1)과 제2 배선층(M2)이 서로 평면에서 볼 때 겹치도록 배치되어 있다. 금속 저항 소자층(Rmn)은, 금속 배선층(Rm)과 반사 방지막층(SN1)의 2층 구조를 갖고 있다.

[0031] 도 3에 도시한 영역 중, 금속 저항 소자층(Rmn)이 배치된 영역(과 평면적으로 겹치는 영역)은, 여기에서는 금속 저항 소자 영역이라 정의되고, 금속 저항 소자 영역 이외의 영역은 여기에서는 배선 영역이라 정의된다. 금속 저항 소자 영역은 고속 OCO 회로를 구성하는 발진자로서의 금속 저항 소자를 포함하는 영역이다. 배선 영역은 고속 OCO 회로의 특히 다층 배선을 구성하는 부분이다. 배선 영역에도 금속 저항 소자 영역과 마찬가지의 제1 배선층(M1) 및 제2 배선층(M2)이 형성되어 있으며, 배선 영역에 있어서도 금속 저항 소자 영역과 마찬가지로, 제1 배선층(M1) 및 제2 배선층(M2)이 서로 평면에서 볼 때 겹치도록 배치되어 있다.

[0032] 제1 배선층(M1)은, 하층(M1a)과, 배선 본체(M1b)와, 상층(M1c)을 갖고 있다. 마찬가지로 제2 배선층(M2)은, 하층(M2a)과, 배선 본체(M2b)와, 상층(M2c)을 갖고 있다.

[0033] 배선 영역 및 금속 저항 소자 영역 모두, 제1 배선층(M1)과, 이와 평면에서 볼 때 겹치는 제2 배선층(M2)은, 도 전층으로서의 콘택트 플리그(CP1)에 의해 서로 전기적으로 접속되어 있다. 콘택트 플리그(CP1)는, 복수의 제1 배선층(M1)의 각각과, 이들과 평면에서 볼 때 겹치는 복수의 제2 배선층(M2)의 각각을 접속하도록 복수 형성되어 있다. 콘택트 플리그(CP1)는, 측 저면층(CP11)과 그 내부의 내부 충전층(CP12)에 의해 형성되어 있다.

[0034] 상기의 금속 저항 소자 영역에 형성된 콘택트 플리그(CP1)는, 여기에서는 저항 소자 영역 도전층으로서의 저항 소자 영역 콘택트 플리그(CP1)라 정의되고, 배선 영역에 형성된 콘택트 플리그(CP1)는, 여기에서는 배선 영역 도전층으로서의 배선 영역 콘택트 플리그(CP1)라 정의된다.

[0035] 배선 영역에 있어서는, 콘택트 플리그(CP1)는, 배선 영역의(예를 들어 1개의) 제1 배선층(M1)과, 이와 평면에서 볼 때 겹치는(이에 대향하는) 배선 영역의(예를 들어 1개의) 제2 배선층(M2)의 사이를, 기판(SUB) 등의 주 표면에 교차하는 방향(예를 들어 Z 방향)으로 연장됨으로써 이 배선층(M1, M2)을 서로 접속하고 있다. 다시 말하면 배선 영역 콘택트 플리그(CP1)는, 배선 영역의 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록 연장되어 있다.

[0036] 한편, 금속 저항 소자 영역에 있어서는, 제1 배선층(M1)과 제2 배선층(M2)의 사이에 금속 저항 소자층(Rmn)이 끼워지도록 배치되어 있다. 이로 인해 금속 저항 소자 영역의 콘택트 플리그(CP1)는, 예를 들어 금속 저항 소자 영역에 배치된 복수(예를 들어 2개)의 제2 배선층(M2)의 각각으로부터, 예를 들어 Z 방향에 관하여 금속 저항 소자층(Rmn)을 향해 연장된다. 상기 콘택트 플리그(CP1)는 또한 금속 저항 소자층(Rmn)에 접촉하고, 금속 저항 소자층(Rmn)(금속 배선층(Rm)을 포함함)을 관통하여, 금속 저항 소자 영역에 배치된 복수(예를 들어 2개)의 제1 배선층(M1)의 각각에 도달하도록 Z 방향으로 연장되어 있다. 이와 같이 하여 금속 저항 소자 영역에 있어서도, 복수의 제2 배선층(M2)의 각각과, 이에 대향하는(평면적으로 겹치는) 제1 배선층(M1)이 콘택트 플리그(CP1)에 의해 접속되어 있다. 그 결과, 금속 저항 소자 영역의 콘택트 플리그(CP1)는, 그 측면(측 저면층(CP11))이 금속 배선층(Rm)에 접촉하고, 금속 배선층(Rm)에 (전기적으로) 접속되어 있다.

[0037] 이와 같이 금속 저항 소자층(Rmn)은 제1 및 제2 배선층(M1, M2) 사이의 콘택트 플리그(CP1)에 의해 관통된다. 따라서 본 실시 형태에 있어서는, 금속 저항 소자층(Rmn)의 상층에 배선층(제2 배선층(M2))이 배치되어 있으며, 이 의미에서 금속 저항 소자층(Rmn)은 고속 OCO 회로를 구성하는 다층 배선 구조의 최상층보다도 하층 측에 배치되어 있다.

[0038] 도 2에 있어서의 각 금속 저항 소자층(Rm1 내지 Rm4)의 양단부에 배치되는 콘택트 플리그(CP1)는, 도 3에 있어서의 영역 B의 금속 저항 소자층(Rmn)을 관통하는 콘택트 플리그(CP1)에 상당한다. 따라서, 도 2에 있어서의 텁층(Ma) 및 텁층(Mb)은, 각각 도 3에 있어서의 금속 저항 소자 영역의 제2 배선층(M2) 및 제1 배선층(M1)에 상당한다고 생각하여도 된다.

[0039] 또한 복수의 제2 배선층(M2)의 상면을 덮도록, 제2 절연막(S013) 위에는 제3 절연막(S014) 및 패시베이션막

(SN11)이 이 순서로 적층되도록 형성되어 있다.

[0040] 다음으로 도 4 내지 도 8을 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩의 제조 방법에 대하여 설명한다. 여기에서는 특히, 마이크로컴퓨터 칩 중 도 3에 도시한 부분의 제조 방법에 대하여 설명한다.

[0041] 도 4를 참조하여, 우선 예를 들어 실리콘 웨이퍼 등의 기판(SUB)의 (한쪽의) 주 표면 위에 공지된 다층 배선 구조가 적어도 부분적으로 형성되고, 그 과정에서 표면이 평탄화된 층간 절연막(S011)이 형성된다. 층간 절연막(S011)으로서는 실리콘 산화막이, 예를 들어 통상의 플라즈마 CVD(Chemical Vapor Deposition)법에 의해 형성된다.

[0042] 다음으로, 층간 절연막(S011)의 위에 복수의 제1 배선층(M1)이, X 방향에 관하여 서로 간격을 두고 형성된다. 제1 배선층(M1)은, 하층(M1a)과, 배선 본체(M1b)와, 상층(M1c)이 이 순서로 적층되도록 형성된다. 하층(M1a)은 예를 들어 TiN/Ti막, 배선 본체(M1b)는 예를 들어 구리 첨가 알루미늄(Al-Cu)막, 상층(M1c)은 예를 들어 TiN/Ti막이며, 이들 각 층(M1a 내지 M1c)이 예를 들어 통상의 스퍼터링법, 사진 제판 기술 및 드라이 에칭 처리에 의해, 도 4에 도시한 서로 간격을 두고 복수로 분리된 제1 배선층(M1)이 되도록 성막된다. 단 배선 본체(M1b)로서, 예를 들어 알루미늄의 단체를 포함하는 박막이 형성되어도 되고, 구리 또는 텅스텐의 단체를 포함하는 박막이 형성되어도 된다. 제1 배선층(M1) 전체의 막 두께는, 수백nm 이상 $1\mu\text{m}$ 이하인 것이 바람직하다.

[0043] 또한 도 4에 있어서 생략되어 있는, 기판(SUB)과 층간 절연막(S011) 사이의 (Z 방향에 관한) 각 층에는, 제1 배선층(M1)과 마찬가지의 배선층이 (다층 배선 구조의 일부를 구성하도록) 1층 형성된 또는 2층 이상의 임의의 층 수가 적층된, 구성이 형성되어 있어도 되고, 이와 같은 배선층이 형성되어 있지 않아도 된다.

[0044] 도 5를 참조하여, 복수의 제1 배선층(M1)의 상면을 덮도록 제1 절연막(S012)이 형성된다. 제1 절연막(S012)은, 제1 절연막 하층(S012a)과, 제1 절연막 상층(S012b)이 이 순서로 적층되도록 형성되고, 모두 예를 들어 실리콘 산화막인 것이 바람직하다. 제1 절연막 하층(S012a)은, 소위 HDP(High Density Plasma)-CVD법에 의해 형성된, HDP-CVD법 이외의 방법에 의해 형성된 실리콘 산화막에 비하여 단차 피복성이 좋은 USG(Undope Silicate Glass)막(HDP-USG)이다. 이에 의해 제1 절연막 하층(S012a)은, 제1 배선층(M1)에 의해 발생한 단차를 흡수 가능하게 하고 있다. 또한 제1 절연막 상층(S012b)은, 소위 플라즈마 CVD법에 의해 형성된 소위 TEOS막(P-TEOS)인 것이 바람직하다. 이들 2층이 적층되고, 또한 그 상면(제1 절연막 상층(S012b)의 상면)이 CMP(Chemical Mechanical Polishing)라 불리는 화학 기계적 연마법에 의해 평탄해지도록 연마된다. 이상에 의해, 상면이 평탄화된 제1 절연막(S012)이 형성된다.

[0045] 도 6을 참조하여, 제1 절연막(S012)의 상면 위의, 복수의 제1 배선층(M1) 중 적어도 하나의 제1 배선층(M1)의 바로 위에 금속 저항 소자층(Rmn)이 형성된다. 구체적으로는, 금속 저항 소자 영역에 있어서의 2개의 제1 배선층(M1)의 바로 위에 금속 저항 소자층(Rmn)이 형성된다. 금속 저항 소자층(Rmn)은 금속 배선층(Rm)과 반사 방지막층(SN1)의 2층 구조를 갖고 있다. 금속 배선층(Rm)에는, 고용접 금속의 일례로서, TiN막이 통상의 스퍼터링법, 사진 제판 기술 및 드라이 에칭 처리에 의해 형성된다. 이 공정에 의해, 도 2의 평면도로 나타낸 바와 같이, 금속 저항 소자층(Rm1 내지 Rm4)(더미 금속 저항 소자층(Rmd)을 포함함)은, 스트라이프 형상으로 패터닝이 행해진다.

[0046] 금속 배선층(Rm)은, 저항 소자로서 약 $40\Omega/\square$ 의 저항값을 얻기 위해서, 예를 들어 약 30nm의 막 두께로 성막한다. 반사 방지막층(SN1)에는, 예를 들어 플라즈마 질화(P-SiN)막을 사용하여, CVD법에 의해 성막된다. 반사 방지막층(SN1)의 막 두께는, 예를 들어 약 45nm이다.

[0047] 또한 금속 배선층(Rm)으로서, 상기의 TiN막 대신에 TaN막이 형성되어도 된다. 또한 반사 방지막층(SN1)으로서, 상기의 SiN막 대신에 실리콘 산화막이 형성되어도 된다.

[0048] 도 7을 참조하여, 금속 저항 소자층(Rmn) 및 제1 절연막(S012)의 상면을 덮도록 제2 절연막(S013)이 형성된다. 제2 절연막(S013)으로서는, 플라즈마 CVD법에 의해 성막한 TEOS막(P-TEOS)이 사용되는 것이 바람직하다. 제2 절연막(S013)의 상면이 CMP법에 의해 연마되어도 되지만, 이와 같은 연마는 이루어지지 않아도 된다.

[0049] 다음으로, 제2 절연막(S013)의 상면으로부터, 기판(SUB)의 주 표면에 교차하는 방향(즉 Z 방향)에 관하여 금속 저항 소자층(Rmn)을 향해 연장되는 복수의 도전층(CP1)이 형성된다.

[0050] 구체적으로는, 예를 들어 금속 저항 소자 영역에 있어서는, 제2 절연막(S013)의 상면 중, 도 7 중의 2개의 제1 배선층(M1)의 각각의 바로 위의 영역으로부터, 2개의 콘택트홀(Va1)이 금속 저항 소자층(Rmn)을 향해 연장되고,

또한 금속 저항 소자층(Rmn)(금속 배선층(Rm)을 포함함)을 관통하여 각각의 바로 아래의 제1 배선층(M1)에 도달하도록 형성된다. 한편, 예를 들어 배선 영역에 있어서는, 제2 절연막(S013)의 상면 중, 도 7 중의 1개의 제1 배선층(M1)의 바로 위 영역으로부터, 1개의 콘택트홀(Va1)이 금속 저항 소자층(Rmn)을 향해(즉 Z 방향에 관한 하측을 향해) 연장되고, 또한 Z 방향에 관하여 금속 저항 소자층(Rmn)(금속 배선층(Rm)을 포함함)이 배치되는 위치를 넘어 그 바로 아래의 제1 배선층(M1)에 도달하도록 형성된다.

[0051] 그 후, 콘택트홀(Va1) 내에 콘택트 플러그(CP1)가 형성된다. 여기에서의 콘택트 플러그(CP1)에는, 금속 저항 소자 영역의 저항 소자 영역 콘택트 플러그(CP1) 및 배선 영역의 배선 영역 콘택트 플러그(CP1)의 양쪽이 포함된다. 구체적으로는, 콘택트홀(Va1) 내에는, 배리어 메탈로서 TiN/Ti 적층막을 포함하는 측 저면층(CP11)이 스퍼터링법에 의해 성막되고, 그 후, 텅스텐(W)막을 포함하는 내부 충전층(CP12)이 CVD법에 의해 성막된다. 그 후, CMP법에 의해, 측 저면층(CP11) 및 내부 충전층(CP12)의 상면이 평탄하게 된다. 이상에 의해 도 7에 있어서는 합계 3개의 콘택트 플러그(CP1)가 형성된다.

[0052] 저항 소자 영역 콘택트 플러그(CP1)는 금속 저항 소자층(Rmn)(금속 배선층(Rm)을 포함함)을 관통하기 때문에, 형성되는 저항 소자 영역 콘택트 플러그(CP1)의 측면은 금속 배선층(Rm)에 접속된다.

[0053] 도 8을 참조하여, 제2 절연막(S013) 위에 복수의 도전층(CP1)의 각각을 덮도록 복수의 제2 배선층(M2)이, X 방향에 관하여 서로 간격을 두고 형성된다. 제2 배선층(M2)은, 하층(M2a)과, 배선 본체(M2b)와, 상층(M2c)이 이 순서로 적층되도록 형성된다. 하층(M2a)은 예를 들어 TiN/Ti막, 배선 본체(M2b)는 예를 들어 구리 첨가 알루미늄(A1-Cu)막, 상층(M2c)은 예를 들어 TiN/Ti막이며, 이들 각 층(M2a 내지 M2c)은 기본적으로 상기의 제1 배선층(M1)의 각 층(M1a 내지 M1c)과 마찬가지로 형성된다.

[0054] 또한 도시를 생략하였지만, 제2 배선층(M2)의 상층(M2c)의 상면을 덮도록, 반사 방지막으로서의 예를 들어 플라즈마 산질화막(P-SiON)이 통상의 CVD법에 의해 형성되어도 된다.

[0055] 이 제2 배선층(M2)의 형성에 의해, 금속 저항 소자 영역의 콘택트 플러그(CP1)는, 제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)을 관통하여 제1 배선층(M1)에 도달하도록 형성된다고 할 수 있으며, 배선 영역의 콘택트 플러그(CP1)는, 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록 형성된다고 할 수 있다.

[0056] 다시 도 3을 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제2 절연막(S013) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다. 제3 절연막(S014)으로서는, P-TEOS막을 포함하는 실리콘 산화막이, CVD법에 의해 형성된다. 패시베이션막(SN11)에는, P-SiN막이, CVD법에 의해 성막된다. 필요에 따라서 제3 절연막(S014) 및 패시베이션막(SN11)이, 통상의 사진 제판 기술 및 드라이 에칭 처리에 의해 패터닝된다.

[0057] 다음으로, 도 9 내지 도 11의 비교예를 참조하면서, 본 실시 형태의 작용 효과에 대하여 설명한다. 우선 도 9를 이용하여, 비교예의 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0058] 도 9는 비교예에 있어서의, 도 3과 마찬가지의 영역을 나타내고 있으며, 예를 들어 도 9 중의 금속 저항 소자층(Rmn)은 도 3 중의 금속 저항 소자층(Rmn)에 대응한다(이하의 각 실시 형태에 있어서도 동일함). 도 9를 참조하여, 비교예에 있어서는, 금속 저항 소자 영역에서는 금속 저항 소자층(Rmn)이 다층 배선 구조의 최상층으로 되어 있으며, 이 상층 층에 예를 들어 제2 배선층(M2) 및 제2 절연막(S013)은 형성되어 있지 않다. 금속 저항 소자 영역에 있어서의 콘택트 플러그(CP1)는, 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 도면의 Z 방향으로 연장되어 있다.

[0059] 도 9의 배선 영역에 있어서는, 제1 배선층(M1)이 다층 배선 구조의 최상층으로 되어 있으며, 이 상층 층에 예를 들어 제2 배선층(M2) 및 제2 절연막(S013)은 형성되어 있지 않다. 제3 절연막(S014)은, 배선 영역에 있어서는 중간 절연막(S011)의 상면을 덮도록, 금속 저항 소자 영역에 있어서는 금속 저항 소자층(Rmn) 및 제1 절연막(S012)의 상면을 덮도록, 형성되어 있다.

[0060] 또한, 이 이외의 상기 비교예의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0061] 다음으로 도 10 내지 도 11을 이용하여, 도 9의 비교예의 구성의 제조 방법에 대하여 설명한다.

[0062] 도 10을 참조하여, 도 4 내지 도 5에 도시한 공정과 마찬가지의 처리가 이루어진 후, 금속 저항 소자 영역에 있어서, 제1 절연막(S012)의 상면 중, 도 10 중의 2개의 제1 배선층(M1)의 각각의 바로 위의 영역으로부터, 2개의 콘택트 플러그(CP1)(저항 소자 영역 콘택트 플러그(CP1))가 형성된다.

[0063] 도 11을 참조하여, 제1 절연막(S012) 위에 2개의 콘택트 플러그(CP1)의 각각을 걸쳐 덮도록, 단일의 금속 저항 소자층(Rmn)이 금속 저항 소자 영역에 형성된다. 그 후, 도 11에서 형성된 구성의 전체를 덮도록, 실시 형태 1과 마찬가지로 제3 절연막(S014) 및 패시베이션막(SN11)이 형성된다.

[0064] 이상의 비교예에 있어서는, 도 10에 도시한 금속 저항 소자층(Rmn)으로부터 연장되는 콘택트 플러그(CP1)만을 형성하기 위해 1개의 마스크를 준비할 필요가 발생한다. 즉 다층 배선 구조를 구성하는 1개의 배선층과 다른 배선층을 접속하기 위한 (도시를 생략한 임의의) 콘택트 플러그(CP1)를 형성하기 위한 마스크와 동일한 마스크를 사용하여, 금속 저항 소자층(Rmn)으로부터 연장되는 콘택트 플러그(CP1)를 형성할 수 없다. 이로 인해 마스크의 제조 비용이 상승하고, 필요한 총 공정 수가 증가한다. 이로 인해 다층 배선 구조 전체의 제조 비용이 상승할 가능성이 있다.

[0065] 또한 비교예에 있어서는, 다층 배선 구조의 최상층에 금속 저항 소자층(Rmn)이 형성되기 때문에, 패시베이션막(SN11) 등의 최상층의 보호막이 금속 저항 소자층(Rmn)에 매우 가까운 영역에 형성되고, 패시베이션막(SN11)이 금속 저항 소자층(Rmn)의 바로 위에 (금속 저항 소자층(Rmn)의 최상층의 상면을 덮도록) 형성되는 경우도 있다. 이 경우, 금속 저항 소자층(Rmn)은 패시베이션막(SN11)으로부터의 응력을 받기 쉬워져서, 금속 저항 소자층(Rmn)을 포함하는 OCO 회로의 발진자로서의 정밀도가 저하될 가능성이 있다.

[0066] 따라서 본 실시 형태에 있어서는, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)는 금속 저항 소자층(Rmn)을 관통하는 구성을 포함하고 있으며, 콘택트 플러그(CP1)의 측면이 금속 저항 소자층(Rmn)의 특히 금속 배선층(Rm)과 접촉하도록 접속되는 구성으로 되어 있다. 예를 들어 도 3에 있어서는, 금속 저항 소자층(Rmn)과의 전기 신호의 입출력은, 제1 배선층(M1)과 제2 배선층(M2)의 사이를 연장하고, 제1 배선층(M1)과 제2 배선층(M2)의 사이에서 전기 신호를 주고 받는 저항 소자 영역 콘택트 플러그(CP1)를 이용하여 이루어진다. 이로 인해, 따라서 금속 저항 소자층(Rmn)으로부터 전기 신호를 취출하기 위한 콘택트 플러그(CP1)만을 형성하기 위한 마스크를 준비할 필요가 없어져서, 제조 비용을 삭감할 수 있다. 또한 금속 저항 소자층(Rmn)으로부터 전기 신호를 취출하기 위한 콘택트 플러그(CP1)만을 형성하는 공정을 필요로 하지 않기 때문에, 공정 수의 삭감에 의한 제조 비용의 삭감이 가능하다.

[0067] 또한 본 실시 형태에 있어서는 금속 저항 소자층(Rmn)의 바로 위에 제2 배선층(M2)이 형성되기 때문에, 금속 저항 소자층(Rmn)은 패시베이션막(SN11)으로 직접 덮이지 않는 형태로 된다. 이로 인해 금속 저항 소자층(Rmn)이 패시베이션막(SN11)으로부터 응력을 받음으로써 고속 OCO 회로의 발진자로서의 정밀도가 저하될 가능성을 저감할 수 있다.

[0068] 그런데 금속 저항 소자 영역에 형성되는 저항 소자 영역 콘택트 플러그(CP1)는, 상기와 같이 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록 형성되는 것이 보다 바람직하지만, 적어도 금속 저항 소자층(Rmn)의 금속 배선층(Rm) 내에 콘택트 플러그(CP1)의 측면의 일부가 접촉되고, 콘택트 플러그(CP1)의 측면과 금속 배선층(Rm)이 서로 접속되는 구성이면 된다. 이로 인해 저항 소자 영역 콘택트 플러그(CP1)는, 적어도 금속 배선층(Rm) 내에 조금이라도 들어가는 구성이면 된다. 이하, 이와 같은 구성을 갖는 본 실시 형태의 변형예에 대하여 설명한다.

[0069] 도 12를 참조하여, 본 실시 형태의 제1 변형예에 있어서는, 기본적으로 도 3과 마찬가지의 구성을 갖고 있지만, 저항 소자 영역 콘택트 플러그(CP1)는, 제1 배선층(M1)의 상면에 도달하지 않고, 금속 저항 소자층(Rmn)(금속 배선층(Rm))의 최하부보다도 약간 아래쪽의 영역에까지 도달하도록 형성되어 있다.

[0070] 도 13을 참조하여, 도 12의 구성은, 본 실시 형태의 도 7에 도시한 공정에 있어서, 저항 소자 영역 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)이, 제1 배선층(M1)의 상면보다도 얇은 영역인, 금속 저항 소자층(Rmn)(금속 배선층(Rm))의 최하부보다도 약간 아래쪽의 영역까지만 도달하도록 형성되어 있다.

[0071] 도 14를 참조하여, 본 실시 형태의 제2 변형예에 있어서는, 기본적으로 도 12와 마찬가지의 구성을 갖고 있지만, 저항 소자 영역 콘택트 플러그(CP1)가 도 12보다도 더 얇아지게 되어 있으며, 금속 저항 소자층(Rmn)(금속 배선층(Rm))의 최하부에까지 도달하도록 형성되어 있다.

[0072] 도 15를 참조하여, 도 14의 구성은, 본 실시 형태의 도 7에 도시한 공정에 있어서, 저항 소자 영역 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)이, 도 13보다도 더 얇은 영역인, 금속 저항 소자층(Rmn)(금속 배선층(Rm))의 최하부까지만 도달하도록 형성되어 있다.

[0073] 도 12 내지 도 15에 있어서는, 모두 저항 소자 영역 콘택트 플러그(CP1)는, 금속 배선층(Rm)의 주

표면을 따른 X 방향에 관한 반사 방지막층(SN1)과 접하는 최상면(제1 면)으로부터, 상기 최상면에 대향하고 제1 절연막(S012)(제1 절연막 상층(S012b))의 최상면과 접하는 최하면(제2 면)까지, 금속 배선층(Rm)을 관통하도록 형성되어 있다.

[0074] 이들 제1 및 제2 변형예에 있어서도, 콘택트 플러그(CP1)는, 적어도 제2 배선층(M2)과 금속 저항 소자층(Rmn)을 전기적으로 접속 가능하게 하고 있다. 또한 콘택트 플러그(CP1)의 형성은 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)를 형성하기 위한 마스크와 동일한 마스크를 이용하여 형성 가능하다. 이로 인해 제1 및 제2 변형예에 있어서도 도 3 내지 도 8과 마찬가지로, 금속 저항 소자층(Rmn)과의 접속 전용의 콘택트 플러그(CP1)를 형성하는 공정을 생략하는 효과를 발휘한다.

[0075] 다만, 도 12 내지 도 15의 구성에 있어서는, 배선 영역에서의 콘택트 플러그(CP1)의 Z 방향으로 연장되는 깊이와, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)의 Z 방향으로 연장되는 깊이가 서로 다르며, 구체적으로는 배선 영역에서의 콘택트 플러그(CP1) 쪽이 금속 저항 소자 영역에서의 콘택트 플러그(CP1)보다 깊다. 배선 영역에서의 콘택트 플러그(CP1)의 콘택트홀(Va1)과, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)의 콘택트홀(Va1)은 동시에 형성되지만, 이와 같이 배선 영역과 금속 저항 소자 영역에서 서로 다른 깊이의 콘택트홀(Va1)을 형성하기 위해 절연막(S013) 등의 예칭되는 깊이를 제어하는 것은 곤란해지는 경우가 있다.

[0076] 이러한 관점에서는, 도 3 및 도 4 내지 도 8에 도시한 바와 같이, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)(저항 소자 영역 콘택트 플러그(CP1))와, 배선 영역에서의 콘택트 플러그(CP1)(배선 영역 콘택트 플러그(CP1))의 Z 방향에 관한 깊이가 동등한 것이 바람직하다. 여기에서 동등함이란 양자의 깊이가 완전히 동일한 경우와, 양자의 깊이가 완전히 동일하지 않지만 명백하게 서로 다르다고는 할 수 없는 오차 정도로 서로 다른 경우의 양쪽을 포함한다. 예를 들어 양 영역의 콘택트 플러그(CP1) 중 깊은 쪽과 얕은 쪽의 깊이의 차가, 깊은 쪽의 깊이의 5% 이하인 경우를 포함하는 것으로 한다.

[0077] 이와 같이 하면, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이와, 배선 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이를 동등하게 할 수 있기 때문에, 양쪽의 콘택트홀(Va1)의 깊이를 개별로 제어하지 않고, 양쪽의 콘택트홀(Va1)을 동시에 형성할 수 있다. 이러한 점에서 제조 비용을 삐감할 수 있다.

[0078] (실시 형태 2)

[0079] 우선, 도 16을 이용하여, 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0080] 도 16을 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 실시 형태 1의 상기 다층 배선 구조와 비교하여, 이하의 점에 있어서 서로 다르다.

[0081] 본 실시 형태에 있어서는, 제1 절연막(S012)의 상면을 덮도록 복수의 제2 배선층(M2)이, X 방향에 관하여 서로 간격을 두고 배치되어 있다. 제2 절연막(S013)은 형성되어 있지 않으며, 제2 배선층(M2)의 상면을 덮도록, 제1 절연막(S012)(제1 절연막 상층(S012b))의 위에는 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 적층되도록 형성되어 있다.

[0082] 금속 저항 소자층(Rmn)은, 금속 저항 소자 영역에 있어서 제2 배선층(M2)보다도 Z 방향에 관한 제1 배선층(M1) 층(즉 하층)에 배치되어 있으면 된다. 여기에서는 제1 절연막(S012)을 구성하는 제1 절연막 하층(S012a)(박막 절연층)의 상면을 덮도록, 또한 금속 저항 소자 영역에 배치되는 예를 들어 2개의 제2 배선층(M2)의 바로 아래에, 금속 저항 소자층(Rmn)이 배치되어 있다. 즉 금속 저항 소자층(Rmn)과 (금속 저항 소자 영역에서의) 제2 배선층(M2)은, 평면에서 볼 때 겹쳐 있다. 제1 절연막 하층(S012a)은, 제1 배선층(M1)의 상면 및 제1 배선층(M1)이 형성되는 표면(층간 절연막(S011)의 상면)의 양쪽을 덮도록 형성되어 있다.

[0083] 그 결과, 본 실시 형태에 있어서는 금속 저항 소자 영역에는 제1 배선층(M1)이 형성되어 있지 않으며, 제1 배선층(M1)은 배선 영역의 층간 절연막(S011) 위에만 형성되어 있다. 이 제1 배선층(M1)은 적어도 하나 (예를 들어 배선 영역에) 형성된다.

[0084] 금속 저항 소자 영역에서는 예를 들어 2개의 제2 배선층(M2)의 각각으로부터, (예를 들어 2개의) 콘택트 플러그(CP1)가, Z 방향으로 연장되어 금속 저항 소자층(Rmn)에 도달하도록 형성되어 있다. 여기에서는 콘택트 플러그(CP1)는, 금속 저항 소자층(Rmn)을 구성하는 금속 배선층(Rm)을 관통하도록, 금속 저항 소자층(Rmn)과 접속되어 있다.

- [0085] 배선 영역에서는 실시 형태 1과 마찬가지로 콘택트 플러그(CP1)가, (예를 들어 1개의) 제2 배선층(M2)으로부터 이와 평면에서 볼 때 겹치는 (예를 들어 1개의) 제1 배선층(M1)에 도달하도록 Z 방향의 하측으로(금속 저항 소자층(Rmn)이 존재하는 방향을 향하도록) 연장되어 있으며, 제2 배선층(M2)과 제1 배선층(M1)을 전기적으로 접속하고 있다.
- [0086] 본 실시 형태에 있어서는 금속 저항 소자 영역에서의 콘택트 플러그(CP1)와 배선 영역에서의 콘택트 플러그(CP1)의 Z 방향에 관한 깊이가 동등하다. 여기에서의 동등함이란, 실시 형태 1과 마찬가지로 완전히 동일한 경우에 한하지 않고 오차 정도의 차를 갖는 경우를 포함하고 있다.
- [0087] 배선 영역의 콘택트 플러그(CP1)는 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되고, 금속 저항 소자 영역의 콘택트 플러그(CP1)는 제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)까지 연장되어 있다. 제1 배선층(M1)은 층간 절연막(S011) 위에 배치되고, 금속 저항 소자층(Rmn)은 제1 절연막 하층(S012a) 위에 배치되어 있다. 제1 배선층(M1)과 금속 저항 소자층(Rmn)은 서로 다른 층에 형성됨에도 불구하고 각각의 콘택트 플러그(CP1)의 깊이가 동등해지는 것은, 제1 배선층(M1)과 금속 저항 소자층(Rmn)의 (Z 방향에 관한) 두께가 서로 다르기 때문이다.
- [0088] 이와 같이 제1 배선층(M1)과 금속 저항 소자층(Rmn)이 서로 다른 층에 형성됨으로써, 금속 저항 소자 영역의 저항 소자 영역 콘택트 플러그(CP1)와 배선 영역의 배선 영역 콘택트 플러그(CP1)의 Z 방향에 관한 깊이가 동등해지도록 형성할 수 있어, 결과적으로 금속 저항 소자 영역과 배선 영역의 콘택트홀(Va1)의 깊이를 개별적으로 제어할 필요가 없어진다. 이로 인해 공정을 간소하게 하여 제조 비용을 삭감할 수 있다.
- [0089] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.
- [0090] 다음으로 도 17 내지 도 21을 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩(특히 도 16에 도시한 부분)의 제조 방법에 대하여 설명한다. 또한 기본적으로 실시 형태 1과 동일한 부호를 부여한 동일한 구성 요소는, 특별히 기재가 없는 한 실시 형태 1과 동일한 재질을 포함하고 실시 형태 1과 마찬가지의 처리에 의해 형성된다(이하의 각 실시 형태에 있어서도 동일함).
- [0091] 도 17을 참조하여, 실시 형태 1과 마찬가지로 기판(SUB)이 준비되고, 그 (한쪽의) 주 표면의 위쪽에 층간 절연막(S011)이 형성된다.
- [0092] 층간 절연막(S011) 위에 적어도 하나의 제1 배선층(M1)이 형성된다. 여기에서는 배선 영역에 예를 들어 1개의 제1 배선층(M1)이 형성되어 있다.
- [0093] 도 18을 참조하여, 제1 배선층(M1)의 상면 및 이것이 형성되는 층간 절연막(S011)의 표면의 양쪽을 덮도록 제1 절연막 하층(S012a)(박막 절연층)이 소위 HDP-CVD법에 의해 형성된다.
- [0094] 도 19를 참조하여, 제1 절연막 하층(S012a)의 상면을 덮도록 금속 저항 소자층(Rmn)이 형성된다. 여기에서는 금속 저항 소자층(Rmn)은 제1 배선층(M1)이 형성된 영역과 평면적으로 서로 다른 영역에 형성된다. 구체적으로는 상기의 제1 배선층(M1)이 배선 영역에 형성된 것에 반하여, 금속 저항 소자층(Rmn)은 금속 저항 소자 영역에 형성된다. 또한 금속 저항 소자층(Rmn)은 실시 형태 1과 마찬가지로 금속 배선층(Rm)과 반사 방지막층(SN1)의 2층 구조를 갖고 있으며, 이들이 평면에서 볼 때의 스트라이프 형상으로 패터닝된다.
- [0095] 도 20을 참조하여, 우선 금속 저항 소자층(Rmn)의 상면을 덮도록 제1 절연막 하층(S012a) 위에 제2 절연막 상층(S012b)이 형성되고, 그 상면이 CMP법에 의해 평탄해지도록 연마된다. 이에 의해 제1 배선층(M1) 및 금속 저항 소자층(Rmn)의 상면이 제1 절연막(S012)으로 덮인다. 또한 여기에서는 금속 저항 소자층(Rmn)의 상면은 제1 절연막(S012) 중 제1 절연막 상층(S012b)만으로 덮이고, 제1 절연막 하층(S012a)으로는 덮이지 않지만, 이 경우에 있어서도 금속 저항 소자층(Rmn)은 제1 절연막(S012)으로 덮이는 것으로 표현하기로 한다.
- [0096] 다음으로, 제1 절연막(S012)의 상면으로부터, 기판(SUB)의 주 표면에 교차하는 방향(즉 Z 방향)에 관하여 금속 저항 소자층(Rmn)을 향해 연장되는 복수의 도전층(CP1)이 형성된다.
- [0097] 구체적으로는, 예를 들어 금속 저항 소자 영역에 있어서는, 금속 저항 소자층(Rmn)과 평면적으로 겹치도록, 예를 들어 2개의 콘택트홀(Va1)이, 서로 간격을 두고 형성된다. 이 2개의 콘택트홀(Va1)은, 제1 절연막(S012)의 상면으로부터 금속 저항 소자층(Rmn)에 도달하도록 형성된다. 마찬가지로, 예를 들어 배선 영역에 있어서는, 예를 들어 1개의 콘택트홀(Va1)이, 제1 절연막(S012)의 상면 중, 도 20 중 1개의 제1 배선층(M1)의 바로 위의 영역으로부터, Z 방향으로 연장되어 제1 배선층(M1)에 도달하도록 형성된다. 그 후, 콘택트홀(Va1) 내에 측 저

면층(CP11) 및 내부 충전층(CP12)이 형성됨으로써, 콘택트 플러그(CP1)가 형성된다.

[0098] 도 21을 참조하여, 제1 절연막(S012) 위에 복수의 도전층(CP1)의 각각을 덮도록 복수의 제2 배선층(M2)이, X 방향에 관하여 서로 간격을 두고 형성된다.

[0099] 이 제2 배선층(M2)의 형성에 의해, 금속 저항 소자 영역의 콘택트 플러그(CP1)는, 제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)에 도달하도록 형성된다고 할 수 있으며, 배선 영역의 콘택트 플러그(CP1)는, 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록 형성된다고 할 수 있다. 또한 금속 저항 소자층(Rmn)은, 복수의 제2 배선층(M2)보다도 Z 방향에 관하여 제1 배선층(M1) 측(하측)에, 또한 복수의 제2 배선층(M2) 중 적어도 하나의(금속 저항 소자 영역의) 제2 배선층(M2)의 바로 아래에 형성된다. 또한 금속 저항 소자 영역의 콘택트 플러그(CP1)와 배선 영역의 콘택트 플러그(CP1)는, 그 Z 방향에 관한 깊이가 동등하다.

[0100] 다시 도 16을 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제1 절연막(S012) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다.

[0101] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0102] 본 실시 형태에 있어서, 금속 저항 소자 영역의 제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)까지 연장되는 콘택트 플러그(CP1)는, 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)의 형성에 사용하는 마스크와 동일한 마스크를 사용하여 형성할 수 있다. 이것은 금속 저항 소자 영역의 콘택트 플러그(CP1)와 배선 영역의 콘택트 플러그(CP1)는 모두 동일한 면(제1 절연막(S012)의 상면)으로부터 형성되기 때문이다. 따라서 예를 들어 금속 저항 소자층(Rmn)에 접속하기 위한 콘택트 플러그(CP1)만을 형성하기 위한 마스크를 별개로 준비할 필요가 없어져서, 다층 배선 구조의 형성용 마스크를 사용하여 금속 저항 소자층(Rmn)용 콘택트 플러그(CP1)를 형성할 수 있다. 이로 인해 제조 비용을 삭감할 수 있다.

[0103] 본 실시 형태에 있어서는 실시 형태 1의 도 3 내지 도 8의 구성과 마찬가지로, 금속 저항 소자 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이와, 배선 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이를 동등하게 할 수 있기 때문에, 양쪽의 콘택트홀(Va1)의 깊이를 개별적으로 제어하지 않고, 양쪽의 콘택트홀(Va1)을 동시에 형성할 수 있다. 이러한 점에서 제조 비용을 삭감할 수 있다.

[0104] 금속 저항 소자 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이와, 배선 영역에서의 콘택트 플러그(CP1)를 형성하기 위한 콘택트홀(Va1)의 깊이를 동등하게 함으로써, 양자의 깊이를 얇게 할 수 있어, 콘택트홀(Va1)에의 내부 충전층(CP12) 등의 매립을 용이하게 할 수 있다.

[0105] 또한 본 실시 형태에 있어서는, 금속 저항 소자층(Rmn)의 바로 위에 제2 배선층(M2)이 형성되기 때문에, 금속 저항 소자층(Rmn)은 패시베이션막(SN11)으로 직접 덮이지 않은 형태로 된다. 이로 인해 금속 저항 소자층(Rmn)이 패시베이션막(SN11)으로부터 응력을 받음으로써 고속 OCO 회로의 발진자로서의 정밀도가 저하될 가능성을 저감할 수 있다.

[0106] (실시 형태 3)

[0107] 우선, 도 22를 이용하여 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0108] 도 22를 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 실시 형태 1의 상기 다층 배선 구조와 비교하여, 이하의 점에 있어서 서로 다르다.

[0109] 본 실시 형태에 있어서는, 제1 절연막(S012) 위에 있어서, 복수의 제1 배선층(M1) 중 특히 금속 저항 소자 영역에 형성된 (예를 들어 2개의) 제1 배선층(M1)의 바로 위에 (예를 들어 1개의) 금속 저항 소자층(Rmn)이 배치되어 있다. 여기에서는 금속 저항 소자층(Rmn)은, 금속 저항 소자 영역에 있어서 X 방향으로 서로 간격을 두고 2개 배치된 제1 배선층(M1)의 양쪽을 걸치도록, 제1 배선층(M1) 위에 배치되어 있다.

[0110] 한편, 제1 절연막(S012) 위에는, 복수의 제2 배선층(M2)이 배치되어 있다. 복수의 제2 배선층(M2)은, 여기에서는 제1 절연막(S012)의 상면 위에 형성된 금속 저항 소자층(Rmn)의 상면을 덮도록 배치되는 제2 배선층(M2)과, 배선 영역에 있어서 제1 배선층(M1)과 평면적으로 겹치도록 제1 절연막(S012)의 상면 위에 배치되는 제2 배선층(M2)의 양쪽을 의미한다. 이와 같이 본 실시 형태에 있어서는, 복수의 제2 배선층(M2) 중 적어도 하나는 금속 저항 소자층(Rmn)의 상면을 덮도록 형성되어 있다.

[0111] 금속 저항 소자 영역 및 배선 영역 모두, 콘택트 플러그(CP1)는, 제1 절연막(S012)의 상면에 있어서 복수의 제1

배선층(M1)의 각각과 평면적으로 겹치는 영역으로부터, Z 방향에 관하여 복수의 제1 배선층(M1) 중 적어도 하나 까지 연장되도록 형성되어 있다. 구체적으로는, 금속 저항 소자 영역에 있어서는, 그 위에 제2 배선층(M2)이 적재된 금속 저항 소자층(Rmn)(금속 배선층(Rm))으로부터 그 바로 아래의 제1 배선층(M1)까지 Z 방향으로 연장되도록 콘택트 플러그(CP1)가 형성되어 있다. 또한 배선 영역에 있어서는, 제2 배선층(M2)으로부터 그 바로 아래의 제1 배선층(M1)까지 Z 방향으로 연장되도록 콘택트 플러그(CP1)가 형성되어 있다. 이에 의해 금속 저항 소자 영역에 있어서는 금속 배선층(Rm)과 그 바로 아래의 제1 배선층(M1)이 콘택트 플러그(CP1)에 의해 전기적으로 접속되고, 배선 영역에 있어서는 제2 배선층(M2)과 그 바로 아래의 제1 배선층(M1)이 콘택트 플러그(CP1)에 의해 전기적으로 접속되어 있다.

[0112] 본 실시 형태에 있어서는 제2 절연막(S013)은 형성되어 있지 않으며, 배선 영역 및 금속 저항 소자 영역 모두, 제2 배선층(M2)의 상면을 덮도록 제1 절연막(S012) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 형성되어 있다.

[0113] 도 23을 참조하여, 본 실시 형태에 있어서는 금속 저항 소자층(Rmn)은, 그 상면 위에 적재되는 제2 배선층(M2) 보다도 평면에서 볼 때 큰 사이즈를 갖는 것이 바람직하다. 따라서 금속 저항 소자층(Rmn) 위의 제2 배선층(M2)은, 평면에서 볼 때 그 중앙부가 금속 저항 소자층(Rmn)의 중앙부와 거의 일치하도록 배치되고, 금속 저항 소자층(Rmn)의 최외측 테두리와 제2 배선층(M2)의 최외측 테두리의 사이에 일정 폭의 (금속 저항 소자층(Rmn) 외주 근방의) 영역을 갖도록 배치되는 것이 바람직하다.

[0114] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0115] 다음으로, 도 24 내지 도 26을 이용하여 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩 (특히 도 22에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0116] 도 24를 참조하여, 실시 형태 1과 마찬가지로 기판(SUB)이 준비되고, 그 (한쪽의) 주 표면의 위쪽에 충간 절연막(S011)이 형성된다. 다음으로 충간 절연막(S011)의 위에 복수의 제1 배선층(M1)이, X 방향에 관하여 서로 간격을 두고 형성된다. 다음으로 복수의 제1 배선층(M1)의 상면을 덮도록, 제1 절연막(S012)으로서 제1 절연막 하층(S012a)과 제1 절연막 상층(S012b)이 형성되고, CMP법에 의해 그 상면이 연마된다.

[0117] 다음으로 제1 절연막(S012)의 상면으로부터, 기판(SUB)의 주 표면에 교차하는 방향(즉 Z 방향)에 관하여 그 바로 아래(평면적으로 겹치는 영역)의 제1 배선층(M1)으로까지 연장되는 복수의 콘택트 플러그(CP1)가 형성된다. 여기에서는 금속 저항 소자 영역 및 배선 영역 모두, 제1 절연막(S012)의 상면 중, 도 24 중의 1개의 제1 배선층(M1)의 바로 위 영역으로부터, Z 방향으로 연장되어 제1 배선층(M1)에 도달하도록, 콘택트 플러그(CP1)가 형성된다.

[0118] 도 25를 참조하여, 제1 절연막(S012)의 상면 위 중, 예를 들어 금속 저항 소자 영역의 X 방향에 관하여 서로 간격을 두고 형성된 2개의 콘택트 플러그(CP1)의 바로 위에, 2개의 콘택트 플러그(CP1)를 결치도록 적어도 하나의 금속 저항 소자층(Rmn)이 형성된다.

[0119] 도 26을 참조하여, 제1 절연막(S012) 위에 복수의 제2 배선층(M2)이 형성된다. 구체적으로는, 금속 저항 소자 영역에 있어서는 금속 저항 소자층(Rmn)의 상면을 덮도록 제2 배선층(M2)이 형성되고, 배선 영역에 있어서는 제1 절연막(S012)의 상면을 덮으면서 제1 배선층(M1)과 평면적으로 겹치도록 제2 배선층(M2)이 형성된다.

[0120] 다시 도 22를 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제1 절연막(S012) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다.

[0121] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0122] 본 실시 형태에 있어서는, 금속 저항 소자층(Rmn)의 상면이 배선 영역의 제2 배선층(M2)과 동일한 층으로서의 제2 배선층(M2)에 의해 덮이고, 이 제2 배선층(M2)은 그 바로 아래의 금속 저항 소자층(Rmn)에 대한 보호막과 같이 금속 저항 소자층(Rmn)을 보호하는 역할을 갖는다. 이로 인해 금속 저항 소자층(Rmn)의 신뢰성을 보다 높일 수 있으며, 고속 OCO 회로의 신뢰성을 보다 높일 수 있다. 특히 상기 보호막에 의해, 제2 배선층(M2)을 구성하는 알루미늄 재료의 드라이 에칭 시에, 그 바로 아래의 금속 저항 소자층(Rmn)이 의도치 않고 에칭되어 그 형상에 결함을 초래하는 등의 문제가 발생할 가능성을 저감할 수 있다.

[0123] 또한 본 실시 형태에 있어서, 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)는, 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)의 형성에

사용하는 마스크와 동일한 마스크를 사용하여 형성할 수 있다. 이것은 금속 저항 소자층(R_{mn})으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)와 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)는 모두 동일한 면(제1 절연막(S012)의 상면)으로부터 형성되기 때문이다.

[0124] (실시 형태 4)

[0125] 우선, 도 27을 이용하여 본 실시 형태에 있어서의 금속 저항 소자층(R_{mn})을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0126] 도 27을 참조하여, 우선 본 실시 형태에 있어서도 금속 저항 소자 영역과 배선 영역이 형성되어 있으며, 금속 저항 소자 영역에 있어서는 금속 저항 소자층(R_{mn})의 상면을 덮도록 제2 배선층(M2)이 형성되어 있다. 이 점에 있어서는 본 실시 형태는 실시 형태 3과 마찬가지이다.

[0127] 다만 본 실시 형태에 있어서는, 금속 저항 소자 영역이 제1 금속 저항 소자 영역과 제2 금속 저항 소자 영역의 2개의 금속 저항 소자 영역으로 나누어져 있으며, 2개의 금속 저항 소자 영역의 각각에 적어도 하나의 금속 저항 소자층(R_{mn})이 배치되어 있다. 이 중 제2 금속 저항 소자 영역에서의 금속 저항 소자층(R_{mn})(제2 금속 저항 소자층)은, 실시 형태 3의 금속 저항 소자층(R_{mn})과 마찬가지로, 복수(2개)의 콘택트 플러그(CP1)에 의해 복수(2개)의 제1 배선층(M1)의 각각과 접속되어 있다.

[0128] 이에 반하여 제1 금속 저항 소자 영역에 있어서는, 1개의 콘택트 플러그(CP1)에 의해 1개의 제1 배선층(M1)과 접속된 금속 저항 소자층(R_{mn})(제1 금속 저항 소자층)이 제2 금속 저항 소자층으로서의 금속 저항 소자층(R_{mn}) 및 배선 영역의 제2 배선층(M2)과 동일한 층을 포함하도록 제1 절연막(S012)의 상면 위에 형성되어 있다. 제1 금속 저항 소자 영역에서는, 제2 배선층(M2)과 제1 절연막(S012)의 상면의 사이에 금속 저항 소자층(R_{mn})이 끼워지도록 배치되는 점을 제외하고, 배선 영역의 구성과 마찬가지이다. 제1 금속 저항 소자층(R_{mn})은, 제2 금속 저항 소자층(R_{mn})과 마찬가지로, 그 상면을 덮도록 제2 배선층(M2)이 형성되어 있다.

[0129] 즉, 제1 및 제2 금속 저항 소자층(R_{mn})의 상면을 덮는 복수(예를 들어 2개)의 제2 배선층(M2)의 각각은, 실시 형태 3의 금속 저항 소자층(R_{mn})의 상면을 덮는 제2 배선층(M2)과 마찬가지로, 금속 저항 소자층(R_{mn})을 상층의 응력으로부터 보호하기 위한 보호용 제2 배선층이다. 한편, 이 금속 저항 소자층(R_{mn})과 간격을 두고, 배선 영역의 이들 금속 저항 소자층(R_{mn})과 동일한 층(제1 절연막(S012)의 상면 위)에 형성된 (예를 들어 1개의) 제2 배선층(M2)은, 배선용 제2 배선층이다.

[0130] 제1 금속 저항 소자층(R_{mn})과, 그 상면을 덮는 제2 배선층(M2)은 용량 소자를 형성한다. 이에 대하여 이하에 설명한다. 상기와 같이 금속 저항 소자층(R_{mn})은, 금속 배선층(R_m)과 반사 방지막층(SN1)의 2층 구조를 갖고 있다. 반사 방지막층(SN1)의 상면을 덮도록 제2 배선층(M2)이 형성되어 있다. 도전체를 포함하는 금속 배선층(R_m) 및 제2 배선층(M2)에 의해 절연체를 포함하는 반사 방지막층(SN1)이 사이에 끼워지는 구성을 갖기 때문에, 이들은 용량 소자를 구성한다고 할 수 있다.

[0131] 또한 도 27의 구성은, 실시 형태 3(도 22)의 구성과 비교하여 다음의 구성이 추가되어 있다. 보호용 및 배선용 제2 배선층(M2)의 상면을 덮도록 제1 절연막(S012) 위에 제2 절연막(S013)이 형성되고, 용량 소자의 제2 배선층(M2) 및 배선용 제2 배선층(M2)의 상면으로부터, Z 방향에 관하여 상층(기판(SUB)과 반대 방향)을 향해 연장된 다른 도전층으로서의 콘택트 플러그(CP2)와, 이들 콘택트 플러그(CP2)의 각각의 바로 위에 제3 배선층(M3)이 형성되어 있다. 다른 도전층으로서의 콘택트 플러그(CP2)는, 제3 배선층(M3)과 접속되어 있다. 따라서 본 실시 형태에 있어서는, 금속 저항 소자 영역에는 적어도 하나(예를 들어 2개)의 저항 소자 영역 콘택트 플러그(CP1, CP2)가, 배선 영역에는 적어도 하나(여기에서는 2개)의 배선 영역 콘택트 플러그(CP1, CP2)가, 각각 형성되어 있다. 그리고 제3 배선층(M3)의 상면을 덮도록 제2 절연막(S013) 위에는 제3 절연막(S014) 및 폐시베이션막(SN11)이 이 순서로 적층되어 있다.

[0132] 제2 절연막(S013)은, 제2 절연막 하층(S013a)과 제2 절연막 상층(S013b)에 의해 형성되어 있으며, 이들 구성은 제1 절연막(S012)의 제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b)과 마찬가지이다. 콘택트 플러그(CP2)는, 즉 저면층(CP21)과 그 내부의 내부 충전층(CP22)에 의해 형성되어 있으며, 이들 구성은 콘택트 플러그(CP1)의 측 저면층(CP11) 및 내부 충전층(CP12)과 마찬가지이다. 또한 제3 배선층(M3)은, 하층(M3a)과, 배선 본체(M3b)와, 상층(M3c)이 이 순서로 적층되도록 형성된다. 각 층(M3a 내지 M3c)은, 기본적으로 상기의 제1 및 제2 배선층(M1, M2)의 각 층(M1a 내지 M1c, M2a 내지 M2c)과 마찬가지이다.

[0133] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 3의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는

동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0134] 다음으로, 도 28 내지 도 31을 이용하여 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩(특히 도 27에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0135] 도 28을 참조하여, 실시 형태 3과 마찬가지로 기판(SUB)이 준비되고, 제1 배선층(M1), 제1 절연막(S012), 콘택트 플러그(CP1)가 실시 형태 3과 마찬가지의 처리에 의해 형성된다. 단 본 실시 형태에 있어서는, 금속 저항 소자 영역으로서 제1 금속 저항 소자층(Rmn)을 갖는 제1 금속 저항 소자 영역과 제2 금속 저항 소자층(Rmn)을 갖는 제2 금속 저항 소자 영역이 형성되기 때문에, 그 점을 고려한 수의 제1 배선층(M1) 및 콘택트 플러그(CP1)가 형성된다.

[0136] 도 29를 참조하여, 제1 금속 저항 소자 영역에 있어서, 콘택트 플러그(CP1)의 바로 위에, 이것을 덮도록 적어도 하나의 금속 저항 소자층(Rmn)이 형성된다. 이때 금속 배선층(Rm)과 그 상면을 덮는 반사 방지막층(SN1)이 형성된다. 또한 제2 금속 저항 소자 영역에 있어서, X 방향에 관하여 서로 간격을 두고 형성된 예를 들어 2개의 콘택트 플러그(CP1)의 바로 위에, 2개의 콘택트 플러그(CP1)를 걸치도록 1개의 금속 저항 소자층(Rmn)이 형성된다. 이때 금속 배선층(Rm)과 그 상면을 덮는 반사 방지막층(SN1)이 형성된다.

[0137] 도 30을 참조하여, 제1 절연막(S012) 위에 복수의 제2 배선층(M2)이 형성된다. 구체적으로는, 제1 및 제2 금속 저항 소자 영역에서는 금속 저항 소자층(Rmn)의 상면을 덮도록 (예를 들어 2개의) 보호용 제2 배선층(M2)이 형성되고, 배선 영역에 있어서는 제1 및 제2 금속 저항 소자층(Rmn)과 동일한 층에, 제1 절연막(S012)의 상면을 덮으면서 제1 배선층(M1)과 평면적으로 겹치도록 (예를 들어 1개의) 배선용 제2 배선층(M2)이 형성된다. 보호용 제2 배선층(M2)과 배선용 제2 배선층(M2)은 동시에 형성된다. 이에 의해 제1 금속 저항 소자 영역에서는, 제1 금속 저항 소자층(Rmn)을 구성하는 금속 배선층(Rm), 반사 방지막층(SN1) 및 제2 배선층(M2)에 의해 용량 소자가 형성된다. 또한 제2 금속 저항 소자 영역에서는 저항 소자로서 (2개의) 제1 배선층(M1)과 전기적으로 접속되는 제2 금속 저항 소자층이 형성된다.

[0138] 도 31을 참조하여, 보호용 및 배선용 제2 배선층(M2)의 각각의 상면을 덮도록 제1 절연막(S012) 위에 제2 절연막(S013)이 형성된다. 제2 절연막(S013)은 제2 절연막 하층(S013a) 및 제2 절연막 상층(S013b)을 갖도록 형성되지만, 이들은 제1 절연막(S012)을 구성하는 제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b)과 마찬가지의 처리에 의해 형성된다.

[0139] 다시 도 27을 참조하여, 다음으로 제2 절연막(S013)(제2 절연막 상층(S013b))의 상면 중 각 영역의 제2 배선층(M2)의 바로 위 영역으로부터, Z 방향으로 연장되어 제2 배선층(M2)에 도달하도록, 복수의 콘택트 플러그(CP2)가 형성된다. 구체적으로는 우선 제2 절연막(S013)의 상면 중, 도 31의 각 영역의 제2 배선층(M2)의 바로 위 영역으로부터, Z 방향으로 연장되어 제2 배선층(M2)에 도달하도록 콘택트홀(Va2)이 형성된다. 그 후, 콘택트홀(Va2) 내에 측 저면층(CP21) 및 내부 충전층(CP22)이 형성됨으로써, 콘택트 플러그(CP2)가 형성된다. 측 저면층(CP21) 및 내부 충전층(CP22)은, 측 저면층(CP11) 및 내부 충전층(CP12)과 마찬가지의 처리에 의해 형성되어야 된다. 이와 같이 하여, 보호용 및 배선용 제2 배선층(M2)의 각각의 상면으로부터, Z 방향에 관하여 상측(기판(SUB)과 반대 방향)으로 연장되는 콘택트 플러그(CP2)가 형성된다.

[0140] 다음으로 제2 절연막(S013) 위에 복수의 도전층(CP2)의 각각을 덮도록(보호용 및 배선용 제2 배선층(M2)의 바로 위에) 복수(예를 들어 2개)의 제3 배선층(M3)이, X 방향에 관하여 서로 간격을 두고 형성된다. 제3 배선층(M3)은 제1 및 제2 배선층(M1, M2)과 마찬가지의 처리에 의해 형성되어야 된다. 이에 의해 제3 배선층(M3)과 콘택트 플러그(CP2)가 전기적으로 접속된다.

[0141] 그 후, 제3 배선층(M3)의 상면을 덮도록, 제2 절연막(S013) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다.

[0142] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0143] 본 실시 형태에 있어서, 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)는, 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)의 형성에 사용하는 마스크와 동일한 마스크를 사용하여 형성할 수 있다. 이것은 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)와 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)는 모두 동일한 면(제1 절연막(S012)의 상면)으로부터 형성되기 때문이다.

[0144] 본 실시 형태에 있어서는, 다층 배선 구조의 일부를 이루는 배선 영역뿐만 아니라, 용량 소자를 구성하는 제1

금속 저항 소자 영역이, 저항 소자로서의 기능을 가져오기 위해 형성되는 제2 금속 저항 소자 영역과 동시에 형성될 수 있다. 이 때문에 고속 OCO 회로를 갖는 반도체 장치를 더 고집적화할 수 있다.

[0145] 본 실시 형태에 있어서는 용량 소자 및 금속 저항 소자층의 위에 제3 배선층(M3)을 더 형성함으로써, 금속 저항 소자층(Rmn)은 패시베이션막(SN11)으로 직접 덮이지 않는 형태로 된다. 이로 인해 금속 저항 소자층(Rmn)이 패시베이션막(SN11)으로부터 응력을 받음으로써 고속 OCO 회로의 발진자로서의 정밀도가 저하될 가능성을 저감할 수 있다.

[0146] 또한 본 실시 형태에 있어서도, 실시 형태 3과 마찬가지로, 금속 저항 소자층(Rmn)의 상면이 제2 배선층(M2)으로 덮이기 때문에, 이 제2 배선층(M2)은 금속 저항 소자층(Rmn)이 의도치 않고 에칭되지 않도록 하기 위한 보호막으로서 작용한다.

[0147] (실시 형태 5)

[0148] 우선, 도 32를 이용하여 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0149] 도 32를 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 기판(SUB)의 (한쪽의) 주 표면 위에 충간 절연막(S011)을 갖고 있으며, 충간 절연막(S011) 위에 X 방향에 관하여 서로 간격을 두고 복수 배치된 제1 배선층(M1)을 갖고 있다. 복수의 제1 배선층(M1)의 상면을 덮도록, 충간 절연막(S011) 위에는 제1 절연막(S012)으로서 제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b)이 이 순서로 형성되어 있다. 또한 그 상면을 덮도록, 제2 절연막(S013)이 형성되어 있으며, 또한 그 상면을 덮도록, 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성되어 있다.

[0150] 본 실시 형태에 있어서도, 금속 저항 소자 영역과 배선 영역을 갖고 있다. 배선 영역에서는, 제2 절연막(S013)의 위에 제1 배선층(M1)과 평면적으로 겹치도록 적어도 하나의 제2 배선층(M2)이 형성되어 있다. 또한 금속 저항 소자 영역에 있어서는, 제1 절연막(S012) 위에 있어서, 복수의 제1 배선층(M1) 중 특히 금속 저항 소자 영역에 형성된 적어도 하나(예를 들어 2개)의 제1 배선층(M1)의 바로 위에 (예를 들어 1개의) 금속 저항 소자층(Rmn)이 배치되어 있다. 여기에서는 금속 저항 소자층(Rmn)은, 금속 저항 소자 영역에 있어서 X 방향으로 서로 간격을 두고 2개 배치된 제1 배선층(M1)의 양쪽을 걸치도록, 제1 배선층(M1) 위에 배치되어 있다.

[0151] 배선 영역에 있어서는, 제2 배선층(M2)으로부터 제1 배선층(M1)까지, Z 방향으로 연장되는 배선 영역 콘택트 플러그(CP2)가 연장되어 있으며, 이에 의해 제1 배선층(M1)과 제2 배선층(M2)이 전기적으로 접속되어 있다. 또한 금속 저항 소자 영역에 있어서는, 저항 소자 영역 콘택트 플러그(CP1)가 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 Z 방향으로 연장되어 있다. 이와 같이 복수의 콘택트 플러그(CP1, CP2)의 각각은 Z 방향에 관하여 제1 배선층까지 연장되어 있다.

[0152] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0153] 다음으로 도 33 내지 도 34를 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩(특히 도 32에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0154] 도 33을 참조하여, 실시 형태 1과 마찬가지로 기판(SUB)이 준비되고, 그 (한쪽의) 주 표면의 위쪽에 충간 절연막(S011)이 형성된다. 그 후, 상기의 도 4, 5, 10, 11과 마찬가지의 처리가 이루어진다. 구체적으로는, 기판(SUB)의 주 표면 위에 복수의 제1 배선층(M1)이 형성되고, 그 상면을 덮도록 제1 절연막(S012)이 형성된다. 복수의 제1 배선층(M1) 중 적어도 하나의 제1 배선층(M1), 특히 금속 저항 소자 영역의 제1 배선층(M1)에 대하여 제1 절연막(S012)(제1 절연막 상층(S012b))의 상면 중 제1 배선층(M1)과 평면적으로 겹치는 영역으로부터 Z 방향에 관하여 그 바로 아래의 제1 배선층까지 연장되는, 적어도 하나(예를 들어 2개)의 콘택트 플러그(CP1)가 형성된다.

[0155] 이전에 형성된 콘택트 플러그(CP1)의 바로 위에, 2개의 콘택트 플러그(CP1)의 각각을 걸쳐 덮도록, 예를 들어 1개의 금속 저항 소자층(Rmn)이 금속 저항 소자 영역에 형성된다. 다음으로 금속 저항 소자층(Rmn)과 제1 절연막(S012)의 상면을 덮도록 제2 절연막(S013)이 형성된다.

[0156] 다음으로, 이전의 공정에 있어서 콘택트 플러그(CP1)가 형성되지 않은 특히 배선 영역에 있어서, 제2 절연막(S013)의 상면에 있어서의 적어도 하나의 제1 배선층(M1)과 평면적으로 겹치는 영역으로부터, Z 방향에 관하여 그 바로 아래의 제1 배선층(M1)까지 연장되는 도전층으로서의 콘택트 플러그(CP2)(다른 도전층)가 형성된다.

이 콘택트 플러그(CP2)의 구성은, 실시 형태 4의 콘택트 플러그(CP2)와 마찬가지이다.

[0157] 도 34를 참조하여, 콘택트 플러그(CP2)를 덮도록 제2 절연막(S013) 위에 적어도 하나의 제2 배선층(M2)이 형성된다.

[0158] 다시 도 32를 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제2 절연막(S013) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다. 또한 생략한 공정의 상세에 대해서는 기본적으로 상기의 각 실시 형태와 마찬가지이다.

[0159] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0160] 본 실시 형태에 있어서는, 금속 저항 소자층(Rmn)이 최상층의 배선층인 제2 배선층(M2)보다도 하층(기판(SUB)측)에 배치되어 있다. 이로 인해 금속 저항 소자층(Rmn)이 패시베이션막(SN11)으로부터 응력을 받음으로써 고속 OCO 회로의 발진자로서의 정밀도가 저하될 가능성을 저감할 수 있다.

[0161] (실시 형태 6)

[0162] 우선 도 35를 이용하여, 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0163] 도 35를 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 기판(SUB)의 (한 쪽의) 주 표면 위에 중간 절연막(S011)을 갖고 있으며, 중간 절연막(S011) 위에 적어도 하나의 제1 배선층(M1)을 갖고 있다. 복수의 제1 배선층(M1)의 상면을 덮도록, 중간 절연막(S011) 위에는 제1 절연막(S012)으로서 제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b)이 이 순서로 형성되어 있다. 또한 그 상면을 덮도록, 제2 절연막(S013)이 형성되어 있으며, 또한 그 상면을 덮도록, 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성되어 있다.

[0164] 본 실시 형태에 있어서도, 금속 저항 소자 영역과 배선 영역을 갖고 있다. 배선 영역에 있어서는, 제2 절연막(S013)의 위에 제1 배선층(M1)과 평면적으로 겹치도록 예를 들어 1개의 제2 배선층(M2)이 배치되어 있다. 또한 금속 저항 소자 영역에 있어서는, 제2 절연막(S013)의 위에 금속 저항 소자층(Rmn)과 평면적으로 겹치도록, X 방향에 관하여 서로 간격을 두고 복수(예를 들어 2개)의 제2 배선층(M2)이 배치되어 있다.

[0165] 금속 저항 소자 영역에 있어서는, 제1 절연막(S012)을 구성하는 제1 절연막 상층(S012b)의 상면을 덮도록, 또한 금속 저항 소자 영역에 배치되는 적어도 하나(예를 들어 2개)의 제2 배선층(M2)의 바로 아래에, 금속 저항 소자층(Rmn)이 배치되어 있다.

[0166] 금속 저항 소자 영역에 있어서는 적어도 하나(예를 들어 2개)의 제2 배선층(M2)의 각각으로부터, 저항 소자 영역 콘택트 플러그(CP1)가, Z 방향으로 연장되어 금속 저항 소자층(Rmn)에 도달하도록 형성되어 있다. 여기에서 콘택트 플러그(CP1)는, 금속 저항 소자층(Rmn)을 구성하는 금속 배선층(Rm)에 도달하도록, 금속 저항 소자층(Rmn)과 접속되어 있다. 배선 영역에 있어서는 실시 형태 1과 마찬가지로 배선 영역 콘택트 플러그(CP1)가, 제2 배선층(M2)으로부터 이와 평면에서 볼 때 겹치는 제1 배선층(M1)에 도달하도록 Z 방향(제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)을 향하는 방향)으로 연장되어 있으며, 제2 배선층(M2)과 제1 배선층(M1)을 전기적으로 접속하고 있다.

[0167] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 1의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0168] 다음으로, 도 36 내지 도 38을 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩 (특히 도 35에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0169] 도 36을 참조하여, 실시 형태 1과 마찬가지로 기판(SUB)이 준비되고, 그 (한쪽의) 주 표면의 위쪽에 중간 절연막(S011)이 형성된다. 그 후, 상기의 도 17, 18과 마찬가지의 처리가 이루어진다. 구체적으로는, 예를 들어 배선 영역에 적어도 하나의 제1 배선층(M1)이 형성되고, 제1 배선층(M1)의 상면을 덮도록 제1 절연막(S012)(제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b))이 형성된다.

[0170] 제1 절연막 상층(S012b)의 상면을 덮도록 금속 저항 소자층(Rmn)이 형성된다. 여기에서는 금속 저항 소자층(Rmn)은 제1 배선층(M1)이 형성된 영역과 평면적으로 서로 다른 영역에 형성된다. 구체적으로는 상기의 제1 배선층(M1)이 배선 영역에 형성된 것에 반하여, 금속 저항 소자층(Rmn)은 금속 저항 소자 영역에 형성된다.

[0171] 도 37을 참조하여, 금속 저항 소자층(Rmn) 및 제1 절연막(S012)의 상면을 덮도록 제2 절연막(S013)이 형성된다. 이어서, 제2 절연막(S013)의 상면으로부터, 기판(SUB)의 주 표면에 교차하는 방향(즉 Z 방향)에 관하여 금속 저항 소자층(Rmn)을 향해 연장되는 복수의 도전층(CP1)(콘택트 플러그(CP1))이 형성된다. 여기에서는 배선 영역에서는 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록, 금속 저항 소자 영역에서는 제2 배선층으로부터 금속 저항 소자층(Rmn)에 도달하도록, 콘택트 플러그(CP1)가 형성된다.

[0172] 도 38을 참조하여, 금속 저항 소자 영역 및 배선 영역 모두, 형성된 복수의 콘택트 플러그(CP1)의 각각을 덮도록, 복수의 제2 배선층(M2)이 형성된다.

[0173] 다시 도 35를 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제2 절연막(S013) 위에 제3 절연막(S014) 및 페시베이션막(SN11)이 이 순서로 형성된다. 또한 생략한 공정의 상세에 대해서는 기본적으로 상기의 각 실시 형태와 마찬가지이다.

[0174] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0175] 본 실시 형태에 있어서는, 실시 형태 2와 마찬가지로, 금속 저항 소자 영역의 제2 배선층(M2)으로부터 금속 저항 소자층(Rmn)까지 연장되는 콘택트 플러그(CP1)는, 배선 영역에서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)의 형성에 사용하는 마스크와 동일한 마스크를 사용하여 형성할 수 있다. 따라서 예를 들어 금속 저항 소자층(Rmn)에 접속하기 위한 콘택트 플러그(CP1)만을 형성하기 위한 마스크를 별개로 준비할 필요가 없어져서, 다층 배선 구조의 형성용 마스크를 사용하여 금속 저항 소자층(Rmn)용 콘택트 플러그(CP1)를 형성할 수 있다. 이로 인해 제조 비용을 삭감할 수 있다.

[0176] (실시 형태 7)

[0177] 우선 도 39를 이용하여, 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0178] 도 39를 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 기판(SUB)의 (한 쪽의) 주 표면 위에 충간 절연막(S011)을 갖고 있으며, 충간 절연막(S011) 위에 복수의 제1 배선층(M1)을 갖고 있다. 복수의 제1 배선층(M1)의 상면을 덮도록, 충간 절연막(S011) 위에 제1 절연막(S012)(제1 절연막 하층(S012a) 및 제1 절연막 상층(S012b))이 형성되어 있다.

[0179] 본 실시 형태에 있어서도, 금속 저항 소자 영역과 배선 영역을 갖고 있다. 금속 저항 소자 영역에서는, 제1 절연막(S012)의 위에 복수의 제1 배선층(M1) 중 특히 금속 저항 소자 영역에 형성된 (예를 들어 2개의) 제1 배선층(M1)의 바로 위에 (적어도 하나의) 금속 저항 소자층(Rmn)이 배치되어 있다. 여기에서는 금속 저항 소자층(Rmn)은, 금속 저항 소자 영역에 있어서 X 방향으로 서로 간격을 두고 2개 배치된 제1 배선층(M1)의 양쪽을 걸치도록, 제1 배선층(M1) 위에 배치되어 있다.

[0180] 배선 영역에 있어서는, 제1 절연막(S012)의 위에 제1 배선층(M1)과 평면적으로 접치도록 적어도 하나의 제2 배선층(M2)이 형성되어 있다. 이 제2 배선층(M2)은, (적어도 하나의) 금속 저항 소자층(Rmn)과 동일한 층을 포함하도록 배치되어 있으며, 다시 말하면 제2 배선층(M2)과 금속 저항 소자층(Rmn)은 모두 동일한 면, 즉 제1 절연막(S012)(제1 절연막 상층(S012b))의 위에 배치되어 있다.

[0181] 제2 배선층(M2)을 갖는 영역인 배선 영역에 있어서는, 제2 배선층(M2)으로부터 제1 배선층(M1)까지, Z 방향으로 연장되는 배선 영역 콘택트 플러그(CP1)가 연장되어 있으며, 이에 의해 제1 배선층(M1)과 제2 배선층(M2)이 전기적으로 접속되어 있다. 또한 금속 저항 소자층을 갖는 영역인 금속 저항 소자 영역에서는, 저항 소자 영역 콘택트 플러그(CP1)가 금속 저항 소자층(Rmn)으로부터 그와 대향하는 적어도 하나의 제1 배선층(M1)(예를 들어 2개의 제1 배선층(M1)의 각각)까지 Z 방향으로 연장되어 있다. 이와 같이 복수의 콘택트 플러그(CP1)의 각각 중 적어도 하나는 저항 소자 영역 콘택트 플러그(CP1)로서, 다른 적어도 하나는 배선 영역 콘택트 플러그(CP1)로서, 복수의 제1 배선층(M1)의 각각으로까지 연장되어 있다.

[0182] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 3의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0183] 다음으로, 도 40을 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩(특히 도 39에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0184] 도 40을 참조하여, 예를 들어 실시 형태 3의 도 24 내지 도 25에 도시한 공정과 마찬가지의 처리가 이루어진다.

즉 실시 형태 1과 마찬가지로 기판(SUB)이 준비되고, 충간 절연막(S011), 복수의 제1 배선층(M1), 제1 절연막(S012)이 형성된다. 제1 절연막(S012)의 상면으로부터, 기판(SUB)의 주 표면에 교차하는 방향(즉 Z 방향)에 관하여 그 바로 아래(평면적으로 겹치는 영역)의 제1 배선층(M1)으로까지 연장되는 복수의 콘택트 플러그(CP1)가 형성된다. 제1 절연막(S012)의 상면 위 중, 예를 들어 금속 저항 소자 영역의 X 방향에 관하여 서로 간격을 두고 형성된 복수(예를 들어 2개)의 콘택트 플러그(CP1)의 바로 위에, 2개의 콘택트 플러그(CP1)를 걸치도록 적어도 하나의 금속 저항 소자층(Rmn)이 형성된다(금속 저항 소자 영역이 형성된다). 배선 영역에 있어서, 제1 절연막(S012)의 상면을 덮으면서 제1 배선층(M1)과 평면적으로 겹치도록 제2 배선층(M2)이 형성된다(배선 영역이 형성된다).

[0185] 다시 도 39를 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제1 절연막(S012) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다. 또한 생략한 공정의 상세에 대해서는 기본적으로 상기의 각 실시 형태와 마찬가지이다.

[0186] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0187] 본 실시 형태에 있어서, 금속 저항 소자 영역의 금속 저항 소자층(Rmn)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)는, 배선 영역에 있어서 제2 배선층(M2)으로부터 제1 배선층(M1)까지 연장되는 콘택트 플러그(CP1)의 형성에 사용하는 마스크와 동일한 마스크를 사용하여 형성할 수 있다. 이것은 금속 저항 소자 영역의 콘택트 플러그(CP1)와 배선 영역의 콘택트 플러그(CP1)는 모두 동일한 면(제1 절연막(S012)의 상면)으로부터 형성되기 때문이다. 따라서 예를 들어 금속 저항 소자층(Rmn)에 접속하기 위한 콘택트 플러그(CP1)만을 형성하기 위한 마스크를 별개로 준비할 필요가 없어져서, 다층 배선 구조의 형성용 마스크를 사용하여 금속 저항 소자층(Rmn)용 콘택트 플러그(CP1)를 형성할 수 있다. 이로 인해 제조 비용을 삭감할 수 있다.

[0188] (실시 형태 8)

[0189] 우선, 도 41을 이용하여, 본 실시 형태에 있어서의 금속 저항 소자층(Rmn)을 포함하는, 고속 OCO 회로가 이루는 다층 배선 구조의 일부에 대하여 설명한다.

[0190] 도 41을 참조하여, 본 실시 형태의 반도체 장치의 고속 OCO 회로가 이루는 다층 배선 구조는, 실시 형태 7과 마찬가지로, 제1 절연막(S012)(제1 절연막 상층(S012b)) 위에 (배선 영역의) 제2 배선층(M2)과 (금속 저항 소자 영역의) 금속 저항 소자층(Rmn)이, 동일한 층을 포함하도록 형성되어 있다. 단 도 41에 있어서는, 금속 저항 소자 영역에 있어서 서로 인접하는 복수(한 쌍)의 제2 배선층(M2)의 각각의 상면 및 측면과 서로 인접하는 복수(한 쌍)의 제2 배선층(M2)의 사이에 있어서의 제1 절연막(S012) 위에 금속 저항 소자층(Rmn)이 배치되어 있다. 상기와 같이 금속 저항 소자층(Rmn)은 금속 배선층(Rm)과 반사 방지막층(SN1)의 2층 구조를 갖고 있으며, 금속 배선층(Rm)이 도면의 하측에, 즉 제2 배선층(M2) 및 제1 절연막 상층(S012b)과 접촉하도록 배치되어 있다. 이로 인해 금속 저항 소자 영역에 한 쌍의 (상면 및 측면에 금속 저항 소자층(Rmn)을 갖는) 금속 저항 소자 영역의 서로 인접하는 한 쌍의 제2 배선층(M2)끼리는 서로 전기적으로 접속되어 있다.

[0191] 본 실시 형태에 있어서는, 배선 영역, 금속 저항 소자 영역 모두, 제2 배선층(M2)으로부터 제1 배선층(M1)에 도달하도록 콘택트 플러그(CP1)가 Z 방향으로 연장되어 있다. 단 금속 저항 소자 영역의 제2 배선층(M2)은, 그 상면 등을 덮는 금속 저항 소자층(Rmn)의 금속 배선층(Rm)과 전기적으로 접속되어 있기 때문에, 금속 저항 소자 영역의 금속 저항 소자층(Rmn)(금속 배선층(Rm))은 저항 소자 영역 콘택트 플러그(CP1)와 전기적으로 접속되어 있다.

[0192] 또한 도 41에 있어서는, 배선 영역의 제2 배선층(M2)의 측면이 다른 금속 저항 소자층(Rmn)으로 덮여 있다. 다른 금속 저항 소자층(Rmn)은 금속 저항 소자층(Rmn)과 동일한 층으로서 형성되어 있기(금속 저항 소자층(Rmn)이 분할된 것이기) 때문에, 금속 저항 소자층(Rmn)과 마찬가지로, 금속 배선층(Rm)과 반사 방지막층(SN1)의 2층 구조를 갖고 있다.

[0193] 도 42를 참조하여, 도 41 중의 접선으로 둘러싸인 영역 C가 나타내는 배선 영역에 있어서는, 제2 배선층(M2)의 상면 및 측면의 양쪽이 다른 금속 저항 소자층(Rmn)으로 덮여도 되고, 도 43을 참조하여, 도 41 중의 접선으로 둘러싸인 영역 C가 나타내는 배선 영역에 있어서는, 제2 배선층(M2)의 상면만이 다른 금속 저항 소자층(Rmn)으로 덮여도 된다. 이들을 통합하면, 배선 영역에서의 제2 배선층(M2)의 상면 및 측면 중 적어도 어느 하나가 금속 저항 소자층(Rmn)과 동일한 층을 포함하는 다른 금속 저항 소자층(Rmn)으로 덮여 있다.

[0194] 또한, 도 43에 도시한 바와 같이, 본 실시 형태에 있어서는 배선 영역의 제2 배선층(M2)의 상면에(만) 금속 저항 소자층(Rmn)이 형성되는 경우에는, 금속 저항 소자층(Rmn)은, 제2 배선층(M2)보다도 평면에서 볼 때 작은 사

이즈를 갖는 것이 바람직하다. 따라서 제2 배선층(M2) 위의 제2 금속 저항 소자층(Rmn)은, 평면에서 볼 때 그 중앙부가 제2 배선층(M2)의 중앙부와 거의 일치하도록 배치되고, 금속 저항 소자층(Rmn)의 최외측 테두리와 제2 배선층(M2)의 최외측 테두리의 사이에 일정 폭의 (제2 배선층(M2) 외주 근방의) 영역을 갖도록 배치되는 것이 바람직하다.

[0195] 또한, 이 이외의 본 실시 형태의 구성은, 실시 형태 7의 구성과 거의 동일하기 때문에 동일한 요소에 대해서는 동일한 부호를 부여하고, 그 설명은 반복하지 않는다.

[0196] 다음으로, 도 44 내지 도 47을 이용하여, 본 실시 형태의 반도체 장치의 제조 방법으로서의 마이크로컴퓨터 칩 (특히 도 41 내지 43에 도시한 부분)의 제조 방법에 대하여 설명한다.

[0197] 도 44를 참조하여, 기본적으로 도 40의 공정과 마찬가지의 처리에 의해, 도 44에 도시한 구조가 형성된다. 다만 도 44는 도 40과 비교하여, 금속 저항 소자 영역에 있어서도 배선 영역과 마찬가지로, 복수(예를 들어 2개) 배열하는 제1 배선층(M1)의 각각과 평면적으로 겹치도록 복수(예를 들어 2개)의 제2 배선층(M2)이 형성되는 점에 있어서 서로 다르다. 배선 영역 및 금속 저항 소자 영역 모두, 제1 배선층(M1)의 각각과 이들에 대향하는 제2 배선층(M2)이 콘택트 플러그(CP1)에 의해 접속된다.

[0198] 도 45를 참조하여, 도 44의 공정에서 형성된 복수의 제2 배선층(M2)의 상면 및 측면을 덮도록, 제1 절연막 (S012) 위에 금속 저항 소자층(Rmn)이 형성된다. 그 후, 금속 저항 소자 영역에 있어서는 서로 인접하는 한 쌍의 제2 배선층(M2)의 상면 및 측면과, 서로 인접하는 한 쌍의 제2 배선층(M2)의 사이에 있어서의 제1 절연막 (S012) 위에 금속 저항 소자층(Rmn)이 잔존하도록, 사진 제판 기술 및 드라이 애칭 처리에 의해 금속 저항 소자층(Rmn)이 패터닝된다. 이에 의해 콘택트 플러그(CP1)의 바로 위에도 (제2 배선층(M2)을 개재하여) 금속 저항 소자층(Rmn)이 잔존하도록 형성된다.

[0199] 이때 배선 영역에서는 제2 배선층(M2)의 측면에 있어서 금속 저항 소자층(Rmn)이 (다른 금속 저항 소자층(Rmn)으로서) 잔존하도록, 사진 제판 기술 및 드라이 애칭 처리에 의해 금속 저항 소자층(Rmn)이 패터닝되어도 된다. 또는 도 46을 참조하여, 배선 영역에서는 제2 배선층(M2)의 상면 및 측면의 양쪽에 있어서 금속 저항 소자층(Rmn)이 (다른 금속 저항 소자층(Rmn)으로서) 잔존하도록, 사진 제판 기술 및 드라이 애칭 처리에 의해 금속 저항 소자층(Rmn)이 패터닝되어도 된다. 또는 도 47을 참조하여, 배선 영역에서는 제2 배선층(M2)의 상면만의 양쪽에 있어서 금속 저항 소자층(Rmn)이 (다른 금속 저항 소자층(Rmn)으로서) 잔존하도록, 사진 제판 기술 및 드라이 애칭 처리에 의해 금속 저항 소자층(Rmn)이 패터닝되어도 된다.

[0200] 보다 구체적으로는, 예를 들어 평면에서 볼 때 금속 저항 소자층(Rmn)의 사이즈가 제2 배선층(M2)의 사이즈보다도 큰 경우에는, 도 46(도 42)에 도시한 바와 같이 금속 저항 소자층(Rmn)이 제2 배선층(M2)의 상면 및 측면의 양쪽을 덮도록 형성된다. 또한 평면에서 볼 때 금속 저항 소자층(Rmn)의 사이즈가 제2 배선층(M2)의 사이즈보다도 작은 경우에는, 도 47(도 43)에 도시한 바와 같이 금속 저항 소자층(Rmn)이 제2 배선층(M2)의 상면만을 덮도록 형성된다.

[0201] 다시 도 41 내지 도 43을 참조하여, 그 후, 제2 배선층(M2)의 상면을 덮도록, 제1 절연막(S012) 위에 제3 절연막(S014) 및 패시베이션막(SN11)이 이 순서로 형성된다. 또한 생략한 공정의 상세에 대해서는 기본적으로 상기의 각 실시 형태와 마찬가지이다.

[0202] 다음으로, 본 실시 형태의 작용 효과에 대하여 설명한다.

[0203] 본 실시 형태에 있어서도, 금속 저항 소자 영역과 배선 영역의 콘택트 플러그(CP1)를 동일한 마스크를 사용하여 형성할 수 있기 때문에, 제조 비용을 삼감할 수 있다. 또한 본 실시 형태에 있어서는, 금속 저항 소자 영역의 제2 배선층(M2)의 상면 및 측면이 금속 저항 소자층(Rmn)으로 덮임으로써, 제2 배선층(M2)이 금속 저항 소자층(Rmn)에 의해 보호된다. 이 때문에 금속 저항 소자 영역의 제2 배선층(M2)의 신뢰성을 높일 수 있다. 또한 배선 영역의 제2 배선층(M2)도 그 상면 및 측면 중 적어도 어느 하나가 금속 저항 소자층(Rmn)으로 덮임으로써, 제2 배선층(M2)이 금속 저항 소자층(Rmn)에 의해 보호된다. 이 때문에 배선 영역의 제2 배선층(M2)의 신뢰성을 높일 수 있다.

[0204] 도 48의 본 실시 형태의 제1 변형예를 참조하여, 이것은 실시 형태 3의 도 22에 도시한 다층 배선 구조의 일부인, 배선 영역 및 금속 저항 소자 영역의 제2 배선층(M2)의 상면 및 측면의 양쪽이 금속 저항 소자층(Rmn)으로 덮인 구조이다. 도 49의 본 실시 형태의 제2 변형예를 참조하여, 이것은 실시 형태 4의 도 27에 도시한 다층 배선 구조의 일부인, (제1 및 제2) 금속 저항 소자 영역의 제2 배선층(M2)의 상면 및 측면이 금속 저항 소자층(Rmn)으로 덮인 구조이다. 이와 같이, 금속 저항 소자 영역에 있어서 금속 저항 소자층(Rmn)의 상면을 덮는 제

2 배선층(M2)의 상면 및 측면(중 적어도 어느 하나)을 덮도록 (다른) 금속 저항 소자층(Rmn)이 형성되어도 된다. 또한 배선 영역에서의 제2 배선층(M2)의 상면 및 측면(중 적어도 어느 하나)을 덮도록 (다른) 금속 저항 소자층(Rmn)이 형성되어도 된다. 이 구조도, 도 45의 공정과 마찬가지로 제1 절연막(S012) 위에 금속 저항 소자층(Rmn)이 형성되고, 그것이 도 48 및 도 49에 도시한 형상으로 되도록 페터닝됨으로써 형성된다. 제2 배선 층(M2)의 상면 또는 측면의, 금속 저항 소자층(Rmn)으로 덮인 부분은, 금속 저항 소자층(Rmn)의 에칭 시에 의도치 않고 에칭되어 형상에 결함을 초래하는 등의 문제의 발생이 억제된다.

[0205] 그 밖에, 실시 형태에 기재된 내용의 일부를 이하에 기재(부기)한다.

[0206] [1] 반도체 장치는, 복수의 제1 배선층과, 제1 절연막과, 제2 절연막과, 적어도 하나의 제2 배선층과, 금속 저항 소자층과, 복수의 도전층을 구비하고 있다. 복수의 제1 배선층은, 기판의 주 표면 위에 배치되어 있다. 제1 절연막은, 복수의 제1 배선층의 상면을 덮도록 배치되어 있다. 제2 절연막은, 제1 절연막의 상면을 덮도록 배치되어 있다. 적어도 하나의 제2 배선층은, 제2 절연막 위에 배치되어 있다. 금속 저항 소자층은, 제1 절연막의 상면 위의, 복수의 제1 배선층 중 적어도 하나의 제1 배선층의 바로 위에 배치되어 있다. 복수의 도전층은, 주 표면에 교차하는 방향에 관하여 복수의 제1 배선층의 각각까지 연장되어 있다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자층으로부터 주 표면에 교차하는 방향에 관하여 제1 배선층까지 연장되어 있다.

[0207] [2] 반도체 장치는, 적어도 하나의 제1 배선층과, 제1 절연막과, 제2 절연막과, 복수의 제2 배선층과, 금속 저항 소자층과, 복수의 도전층을 구비하고 있다. 적어도 하나의 제1 배선층은, 기판의 주 표면 위에 배치되어 있다. 제1 절연막은, 적어도 하나의 제1 배선층의 상면을 덮도록 배치되어 있다. 제2 절연막은, 제1 절연막의 상면을 덮도록 배치되어 있다. 복수의 제2 배선층은, 제2 절연막 위에 배치되어 있다. 금속 저항 소자층은, 제1 절연막의 상면 위의, 복수의 제2 배선층 중 적어도 하나의 제2 배선층의 바로 아래에 배치되어 있다. 복수의 도전층은, 복수의 제2 배선층의 각각으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되어 있다. 복수의 도전층 중 적어도 하나의 도전층은, 제2 배선층으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층까지 연장되어 있다.

[0208] [3] [2]에 기재된 반도체 장치에 있어서, 복수의 도전층 중 적어도 하나의, 금속 저항 소자층까지 연장되는 도전층은, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치된 저항 소자 영역 도전층이다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층이다.

[0209] [4] 반도체 장치는, 복수의 제1 배선층과, 제1 절연막과, 적어도 하나의 금속 저항 소자층과, 적어도 하나의 제2 배선층과, 복수의 도전층을 구비하고 있다. 복수의 제1 배선층은, 기판의 주 표면 위에 배치되어 있다. 제1 절연막은, 복수의 제1 배선층의 상면을 덮도록 배치되어 있다. 적어도 하나의 금속 저항 소자층은, 제1 절연막 위에 배치되어 있다. 적어도 하나의 제2 배선층은, 적어도 하나의 금속 저항 소자층과 동일한 층을 포함하고 있다. 복수의 도전층은, 적어도 하나의 금속 저항 소자층을 갖는 금속 저항 소자 영역 및 적어도 하나의 제2 배선층을 갖는 배선 영역의 각각에 있어서, 금속 저항 소자층 또는 제2 배선층 중 적어도 어느 하나로부터 주 표면에 교차하는 방향으로 복수의 제1 배선층의 각각까지 연장되어 있다.

[0210] [5] [4]에 기재된 반도체 장치에 있어서, 복수의 도전층 중 적어도 하나는, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 적어도 하나의 금속 저항 소자층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 접속되는 저항 소자 영역 도전층이다. 복수의 도전층 중 적어도 하나는, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 적어도 하나의 제2 배선층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층이다.

[0211] [6] [5]에 기재된 반도체 장치에 있어서, 금속 저항 소자 영역에 있어서 복수의 제2 배선층이 있다. 금속 저항 소자 영역에 있어서 서로 인접하는 한 쌍의 제2 배선층의 상면 및 측면과, 서로 인접하는 한 쌍의 제2 배선층의 사이에 있어서의 제1 절연막 위에 금속 저항 소자층이 배치된다.

[0212] [7] [5]에 기재된 반도체 장치에 있어서, 배선 영역에서의 제2 배선층의 상면 및 측면 중 적어도 어느 하나가 금속 저항 소자층과 동일한 층을 포함하는 다른 금속 저항 소자층으로 덮인다.

[0213] [8] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 복수의 제1 배선층이 형성된다. 복수의 제1 배선층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면 위의, 복수의 제1 배선층 중 적어도 하나의 제1 배선층의 바로 위에 금속 저항 소자층이 형성된다. 금속 저항 소자층 및 제1 절연막의 상면을 덮도록 제2 절연

막이 형성된다. 제2 절연막의 상면으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되는 복수의 도전층이 형성된다. 제2 절연막 위에 복수의 도전층의 각각을 덮도록 복수의 제2 배선층이 형성된다. 금속 저항 소자층은 금속 배선층을 포함한다. 복수의 도전층 중 적어도 하나의 도전층의 측면의 적어도 일부는, 금속 배선층에 접속된다.

[0214] [9] [8]에 기재된 반도체 장치의 제조 방법에 있어서, 금속 배선층은, 주 표면을 따르는 제1 면과 제1 면에 대향하는 제2면을 갖는다. 상기 복수의 도전층을 형성하는 공정에 있어서는, 복수의 도전층 중 적어도 하나의, 금속 배선층에 접속되는 도전층은, 금속 배선층과 평면적으로 겹치는 금속 저항 소자 영역에 저항 소자 영역도 전층으로서 형성된다. 저항 소자 영역 도전층은, 제1 면으로부터 제2 면까지 금속 배선층을 관통하도록 형성된다.

[0215] [10] [9]에 기재된 반도체 장치의 제조 방법에 있어서, 저항 소자 영역 도전층은, 복수의 제2 배선층 중 금속 저항 소자 영역에 형성된 적어도 하나의 제2 배선층으로부터 금속 배선층을 관통하여 복수의 제1 배선층 중 금속 저항 소자 영역에 형성된 적어도 하나의 제1 배선층에 도달하도록 접속된다.

[0216] [11] [9]에 기재된 반도체 장치의 제조 방법에 있어서, 금속 저항 소자 영역에서의 저항 소자 영역 도전층과, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층의, 주 표면에 교차하는 방향의 깊이는 동등하다.

[0217] [12] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 적어도 하나의 제1 배선층 및 금속 저항 소자층이 형성된다. 제1 배선층 및 금속 저항 소자층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되는 복수의 도전층이 형성된다. 제1 절연막 위에, 복수의 도전층의 각각을 덮도록 복수의 제2 배선층이 형성된다. 상기 금속 저항 소자층을 형성하는 공정에 있어서는, 복수의 제2 배선층보다도 주 표면에 교차하는 방향에 관하여 제1 배선층 측에, 또한 복수의 제2 배선층 중 적어도 하나의 제2 배선층의 바로 아래에 금속 저항 소자층이 형성된다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 복수의 제2 배선층 중 금속 저항 소자 영역에 배치된 적어도 하나의 제2 배선층으로부터 금속 저항 소자층에 도달하도록 접속되는 저항 소자 영역 도전층이다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층이다. 저항 소자 영역 도전층과 배선 영역 도전층의, 주 표면에 교차하는 방향에 관한 깊이는 동등하다.

[0218] [13] [12]에 기재된 반도체 장치의 제조 방법에 있어서, 제1 절연막은, 적어도 하나의 제1 배선층의 상면 및 적어도 하나의 제1 배선층이 형성되는 표면의 양쪽을 덮는 박막 절연층을 포함한다. 금속 저항 소자층은, 박막 절연층의 상면을 덮도록 형성되어 있다.

[0219] [14] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 복수의 제1 배선층이 형성된다. 복수의 제1 배선층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면에 있어서 복수의 제1 배선층의 각각과 평면적으로 겹치는 영역으로부터, 주 표면에 교차하는 방향에 관하여 복수의 제1 배선층 중 적어도 하나의 제1 배선층 까지 연장되는 복수의 도전층이 형성된다. 제1 절연막의 상면 위 중, 복수의 도전층 중 적어도 하나의 도전층의 바로 위에 적어도 하나의 금속 저항 소자층이 형성된다. 제1 절연막 위에 복수의 제2 배선층이 형성된다. 적어도 하나의 금속 저항 소자층의 상면은 복수의 제2 배선층 중 적어도 하나로 덮인다.

[0220] [15] [14]에 기재된 반도체 장치의 제조 방법에 있어서, 금속 저항 소자층은 복수 형성된다. 상기 적어도 하나의 금속 저항 소자층을 형성하는 공정은, 금속 배선층을 형성하는 공정과, 금속 배선층의 상면을 덮는 반사 방지막층을 형성하는 공정을 포함한다. 상기 적어도 하나의 금속 저항 소자층을 형성하는 공정에 있어서는, 금속 저항 소자층을 구성하는 금속 배선층 및 반사 방지막층과 반사 방지막층의 상면을 덮는 제2 배선층이 용량 소자를 형성하는 제1 금속 저항 소자층과, 복수의 도전층에 의해 복수의 제1 배선층의 각각과 접속되는 제2 금속 저항 소자층이 형성된다.

[0221] [16] [15]에 기재된 반도체 장치의 제조 방법에 있어서, 상기 복수의 제2 배선층을 형성하는 공정에 있어서는, 제1 및 제2 금속 저항 소자층의 각각의 상면을 덮도록 형성된 복수의 보호용 제2 배선층과, 제1 및 제2 금속 저항 소자층과 동일한 층에 금속 저항 소자층과 간격을 두고 배치되는 적어도 하나의 배선용 제2 배선층의 양쪽이 형성된다.

- [0222] [17] [16]에 기재된 반도체 장치의 제조 방법에 있어서, 용량 소자를 구성하는 보호용 제2 배선층의 상면을 덮도록 제1 절연막 위에 제2 절연막이 형성된다. 용량 소자로부터 주 표면에 교차하는 방향에 관하여 기판과 반대 방향을 향해 연장되는 다른 도전층이 형성된다. 제2 절연막 위에 있어서의 용량 소자의 바로 위에 제3 배선층이 형성된다. 다른 도전층은 제3 배선층과 접속된다.
- [0223] [18] [16]에 기재된 반도체 장치의 제조 방법에 있어서, 배선용 제2 배선층의 상면을 덮도록 제1 절연막 위에 제2 절연막이 형성된다. 배선용 제2 배선층의 상면으로부터 주 표면에 교차하는 방향에 관하여 기판과 반대 방향을 향해 연장되는 다른 도전층이 형성된다. 제2 절연막 위에 있어서의 배선용 제2 배선층의 바로 위에 제3 배선층이 형성된다. 다른 도전층은 제3 배선층과 접속된다.
- [0224] [19] [14]에 기재된 반도체 장치의 제조 방법에 있어서, 상기 복수의 도전층을 형성하는 공정에 있어서는, 복수의 도전층 중 적어도 하나는, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 적어도 하나의 금속 저항 소자층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 접속되는 저항 소자 영역 도전층으로서 형성된다. 복수의 도전층 중 적어도 하나는, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층으로서 형성된다.
- [0225] [20] [19]에 기재된 반도체 장치의 제조 방법에 있어서, 금속 저항 소자 영역에 있어서 금속 저항 소자층의 상면을 가리는 제2 배선층의 상면 및 측면을 적어도 어느 한쪽을 덮도록 다른 금속 저항 소자층이 형성된다.
- [0226] [21] [20]에 기재된 반도체 장치의 제조 방법에 있어서, 배선 영역에서의 제2 배선층의 상면 및 측면 중 적어도 어느 하나가 다른 금속 저항 소자층으로 덮인다.
- [0227] [22] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 복수의 제1 배선층이 형성된다. 복수의 제1 배선층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면에 있어서 복수의 제1 배선층 중 적어도 하나의 제1 배선층과 평면적으로 겹치는 영역으로부터, 주 표면에 교차하는 방향에 관하여 복수의 제1 배선층 중 적어도 하나의 제1 배선층까지 연장되는 적어도 하나의 도전층이 형성된다. 제1 절연막의 상면 위의, 적어도 하나의 도전층의 바로 위에 금속 저항 소자층이 형성된다. 금속 저항 소자층 및 제1 절연막의 상면을 덮도록 제2 절연막이 형성된다. 제2 절연막의 상면에 있어서, 도전층을 형성하는 공정에 있어서 도전층이 형성되지 않은, 복수의 제1 배선층 중 적어도 하나의 제1 배선층과 평면적으로 겹치는 영역으로부터, 주 표면에 교차하는 방향에 관하여 적어도 하나의 도전층이 형성되지 않은 제1 배선층까지 연장되는 적어도 하나의 다른 도전층이 형성된다. 제2 절연막 위에 적어도 하나의 다른 도전층을 덮도록 적어도 하나의 제2 배선층이 형성된다.
- [0228] [23] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 적어도 하나의 제1 배선층이 형성된다. 적어도 하나의 제1 배선층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면 위의, 적어도 하나의 제1 배선층의 바로 위 이외의 영역에 금속 저항 소자층이 형성된다. 금속 저항 소자층 및 제1 절연막의 상면을 덮도록 제2 절연막이 형성된다. 제2 절연막의 상면으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층을 향해 연장되는 복수의 도전층이 형성된다. 제2 절연막 위에 복수의 도전층의 각각을 덮도록 복수의 제2 배선층이 형성된다. 복수의 도전층 중 적어도 하나의 도전층은, 제2 배선층으로부터 주 표면에 교차하는 방향에 관하여 금속 저항 소자층까지 연장된다.
- [0229] [24] [23]에 기재된 반도체 장치의 제조 방법에 있어서, 상기 복수의 도전층을 형성하는 공정에 있어서는, 복수의 도전층 중 적어도 하나의, 금속 저항 소자층까지 연장되는 도전층은, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치된 저항 소자 영역 도전층으로서 형성된다. 복수의 도전층 중 적어도 하나의 도전층은, 금속 저항 소자 영역이 아닌 배선 영역에서 복수의 제2 배선층 중 적어도 하나의 제2 배선층으로부터 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층으로서 형성된다.
- [0230] [25] 반도체 장치의 제조 방법은, 우선 기판의 주 표면 위에 복수의 제1 배선층이 형성된다. 복수의 제1 배선층의 상면을 덮도록 제1 절연막이 형성된다. 제1 절연막의 상면에 있어서 복수의 제1 배선층의 각각과 평면적으로 겹치는 영역으로부터, 주 표면에 교차하는 방향에 관하여 복수의 제1 배선층 중 적어도 하나의 제1 배선층까지 연장되는 복수의 도전층이 형성된다. 제1 절연막의 상면 위 중, 복수의 도전층 중 적어도 하나의 도전층의 바로 위에 적어도 하나의 금속 저항 소자층을 갖는 금속 저항 소자 영역이 형성된다. 제1 절연막 위에 적어도 하나의 제1 배선층과 평면적으로 겹치도록 적어도 하나의 제2 배선층을 형성함으로써 배선 영역이 형성된다. 적어도 하나의 제2 배선층은, 적어도 하나의 금속 저항 소자층과 동일한 층을 포함하도록 형성된다.
- [0231] [26] [25]에 기재된 반도체 장치의 제조 방법에 있어서, 상기 복수의 도전층을 형성하는 공정에 있어서는, 복수

의 도전층 중 적어도 하나는, 금속 저항 소자층과 평면적으로 겹치는 금속 저항 소자 영역에 배치되고, 적어도 하나의 금속 저항 소자층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 접속되는 저항 소자 영역 도전층으로서 형성된다. 복수의 도전층 중 적어도 하나는, 금속 저항 소자 영역이 아닌 배선 영역에 있어서 적어도 하나의 제2 배선층으로부터 복수의 제1 배선층 중 적어도 하나의 제1 배선층에 도달하도록 연장되는 배선 영역 도전층으로서 형성된다.

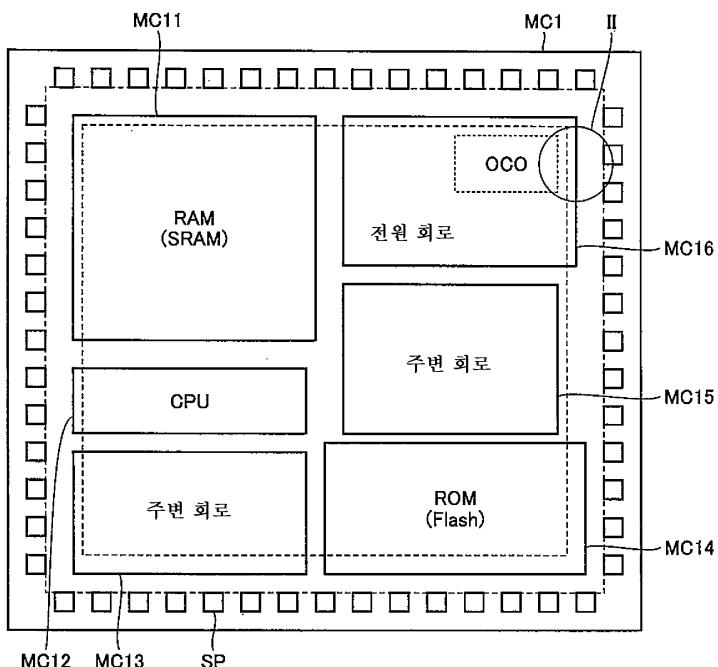
[0232] [27] [26]에 기재된 반도체 장치의 제조 방법에 있어서, 제2 배선층을 갖는 영역 형성하는 공정에 있어서는 금속 저항 소자 영역에 있어서 복수의 제2 배선층이 형성된다. 금속 저항 소자 영역에 있어서 서로 인접하는 한 쌍의 제2 배선층의 상면 및 측면과, 서로 인접하는 한 쌍의 제2 배선층의 사이에 있어서의 제1 절연막 위에 금속 저항 소자층이 형성된다.

[0233] [28] [26]에 기재된 반도체 장치의 제조 방법에 있어서, 상기 금속 저항 소자층을 형성하는 공정에 있어서는, 배선 영역에서의 제2 배선층의 상면 및 측면 중 적어도 어느 하나가 금속 저항 소자층과 동일한 층을 포함하는 다른 금속 저항 소자층으로 덮인다.

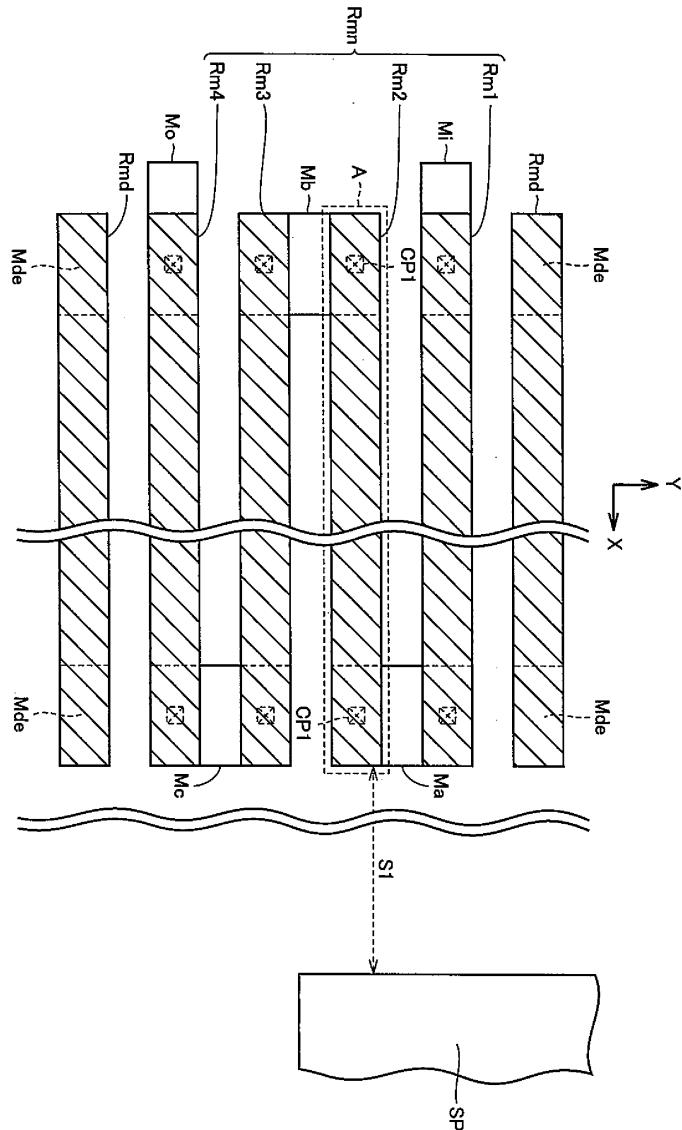
[0234] 본 발명의 실시 형태에 대하여 설명하였지만, 금회 개시된 실시 형태는 모든 점에서 예시이며 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 특허청구범위에 의해 제시되고, 특허청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

도면

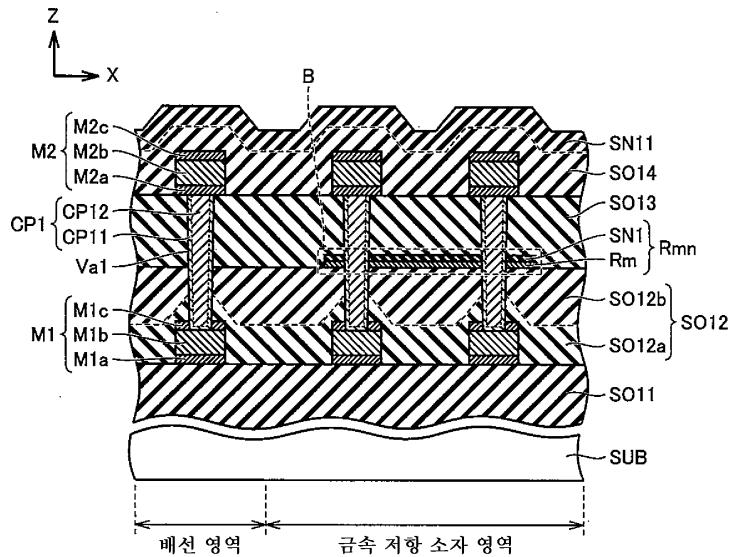
도면1



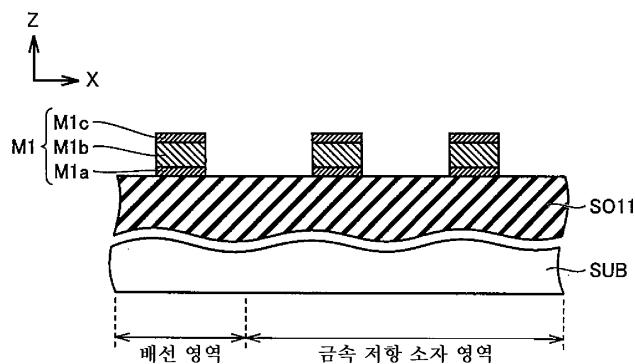
도면2



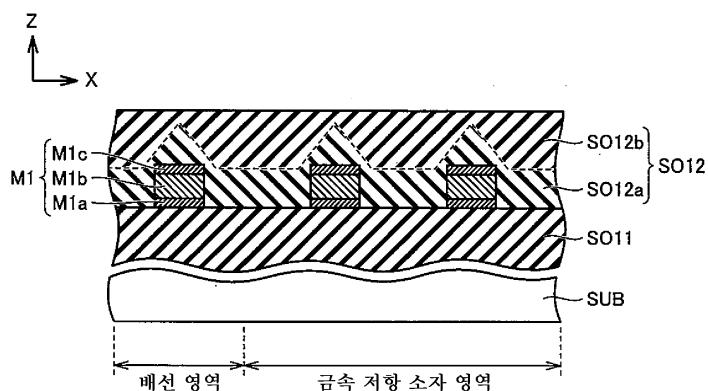
도면3



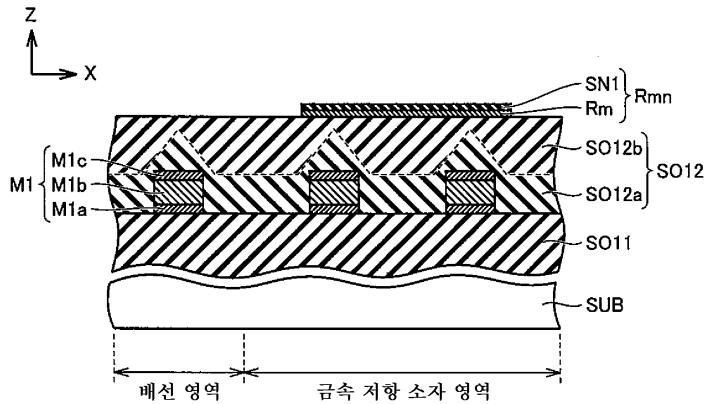
도면4



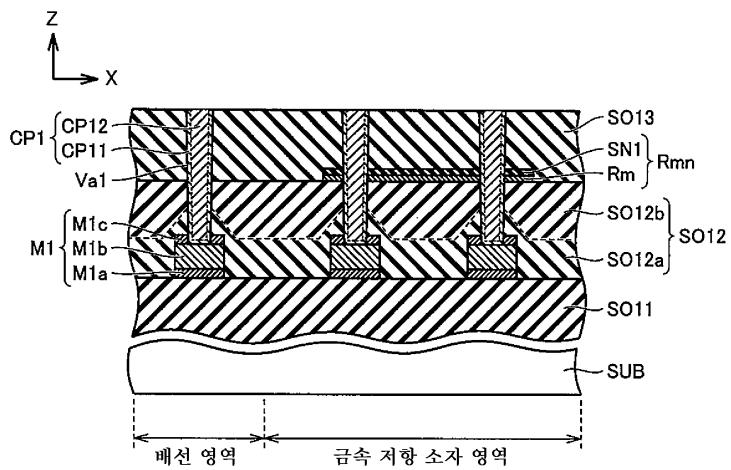
도면5



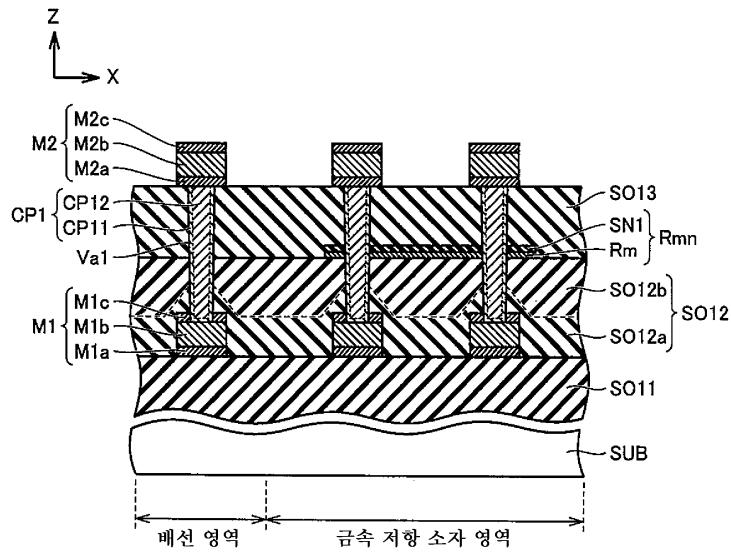
도면6



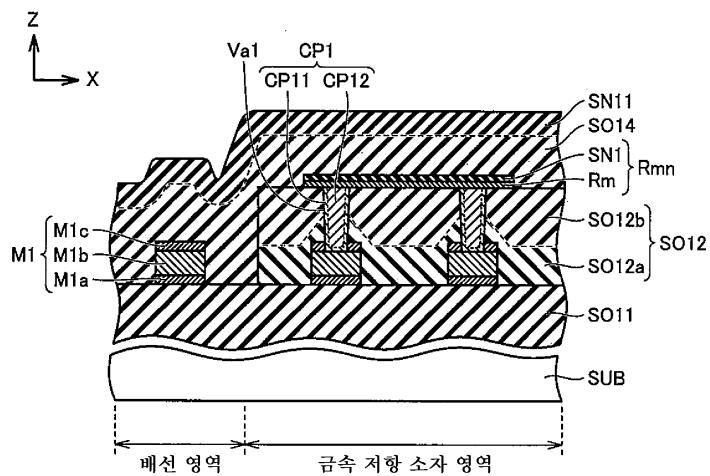
도면7



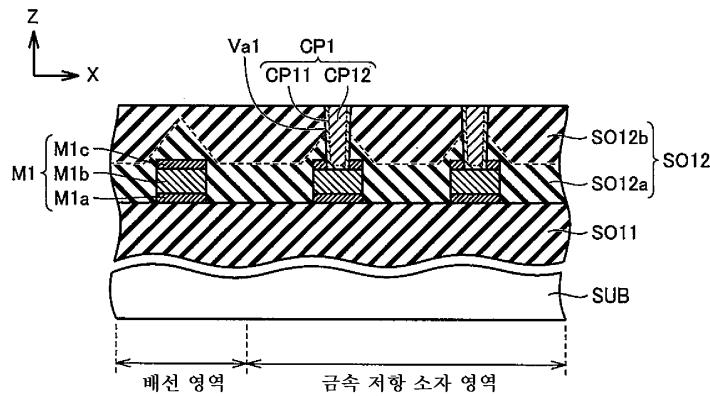
도면8



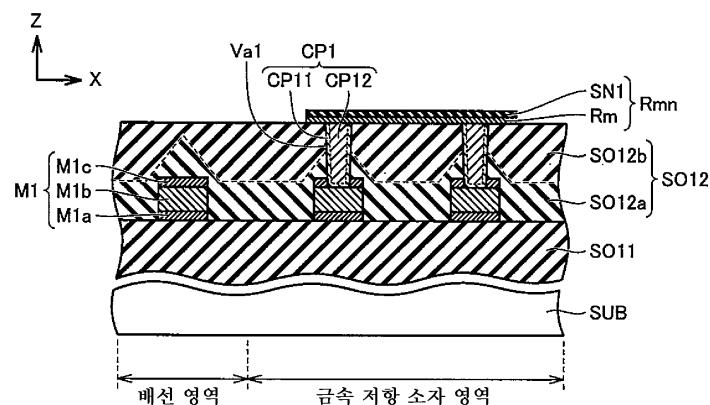
도면9



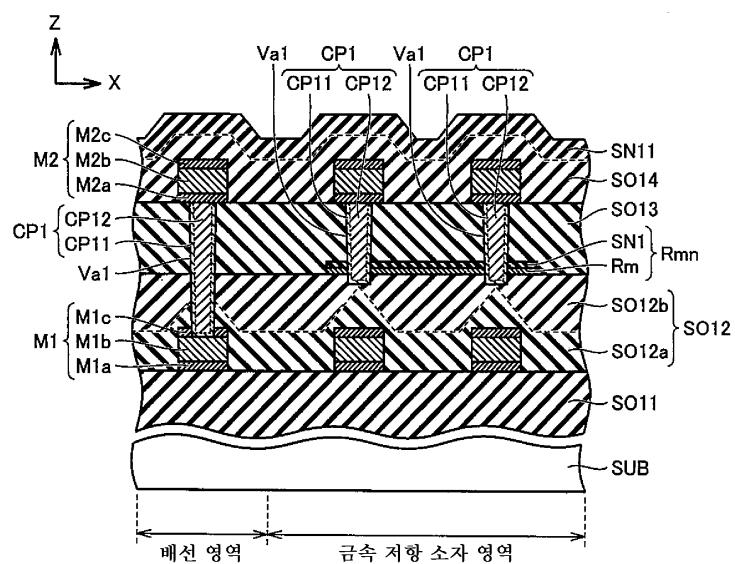
도면10



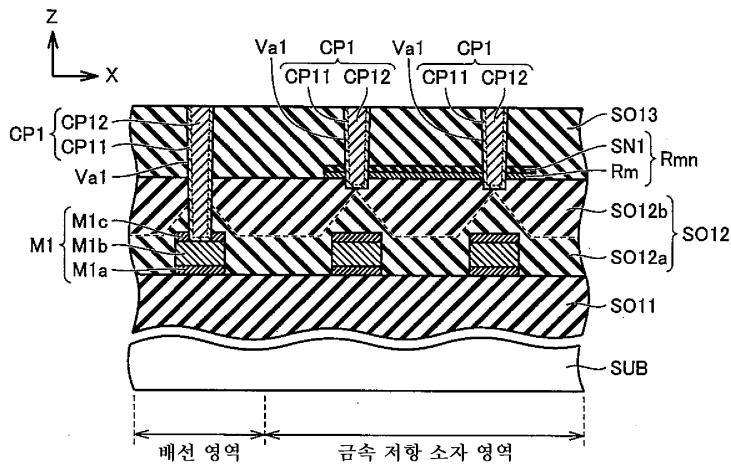
도면11



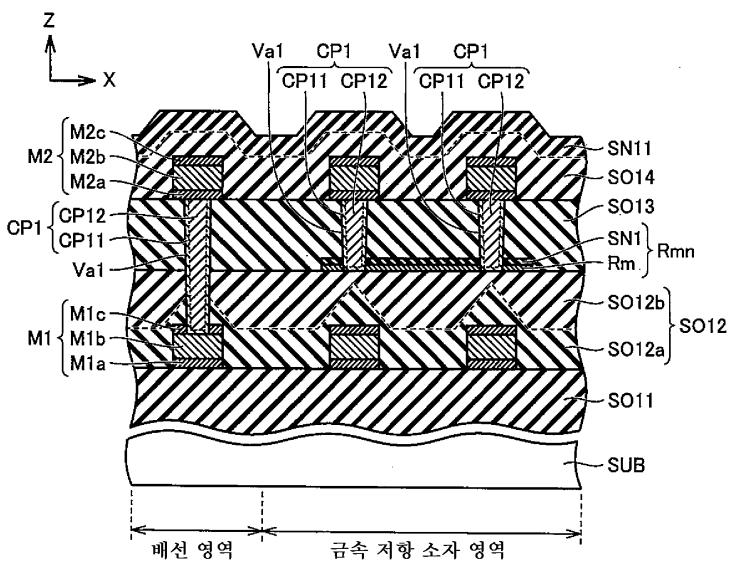
도면12



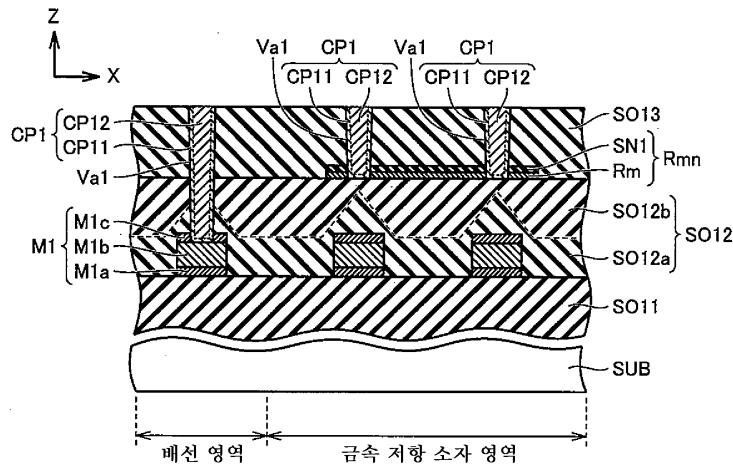
도면13



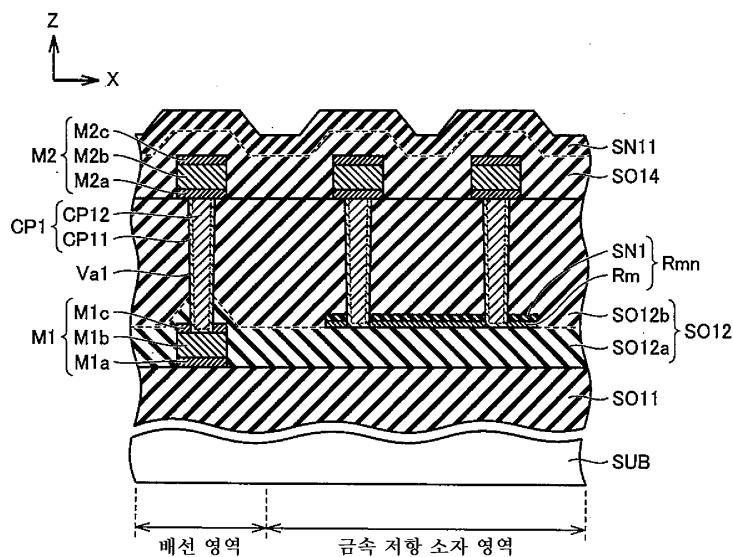
도면14



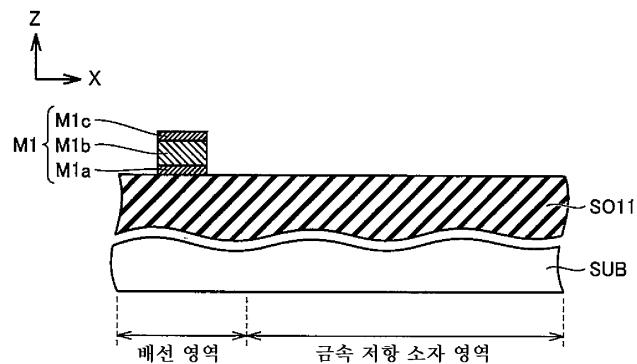
도면15



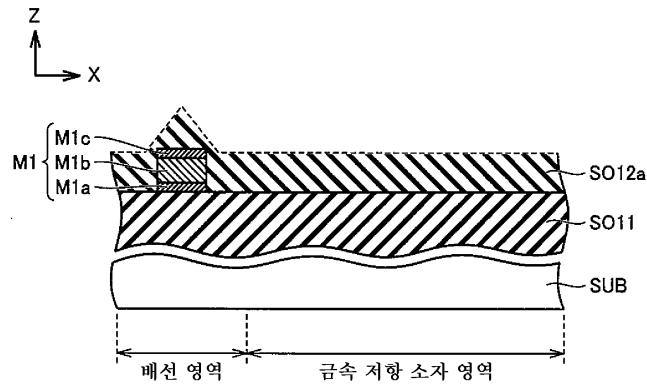
도면16



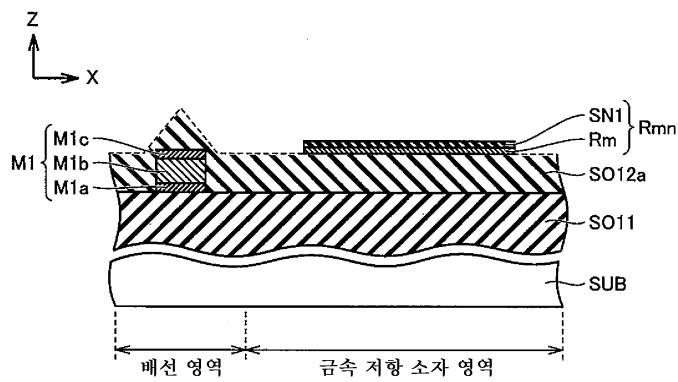
도면17



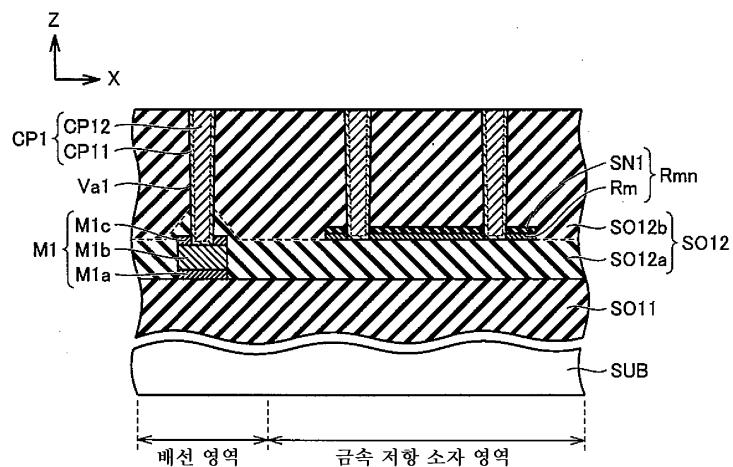
도면18



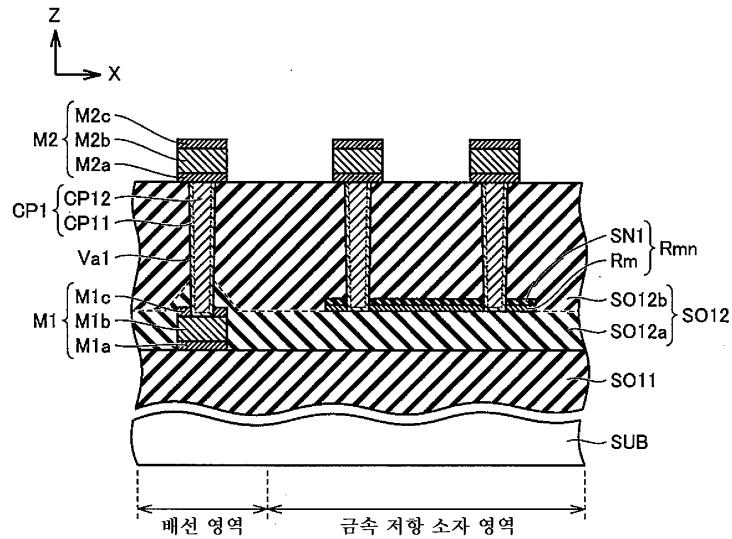
도면19



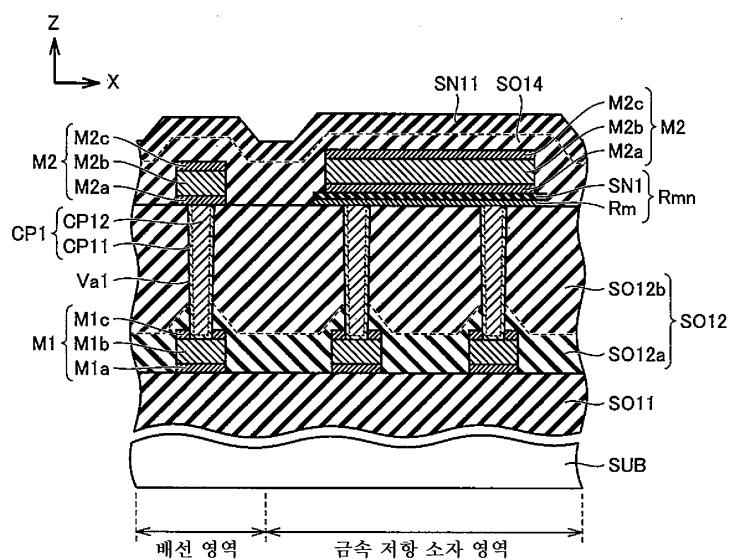
도면20



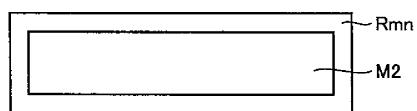
도면21



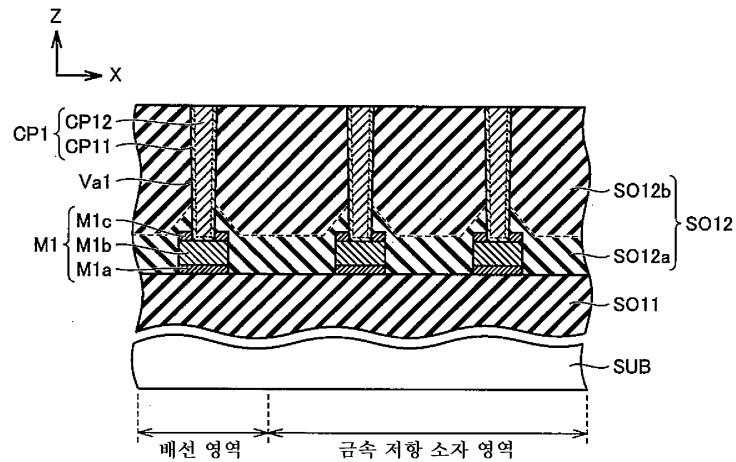
도면22



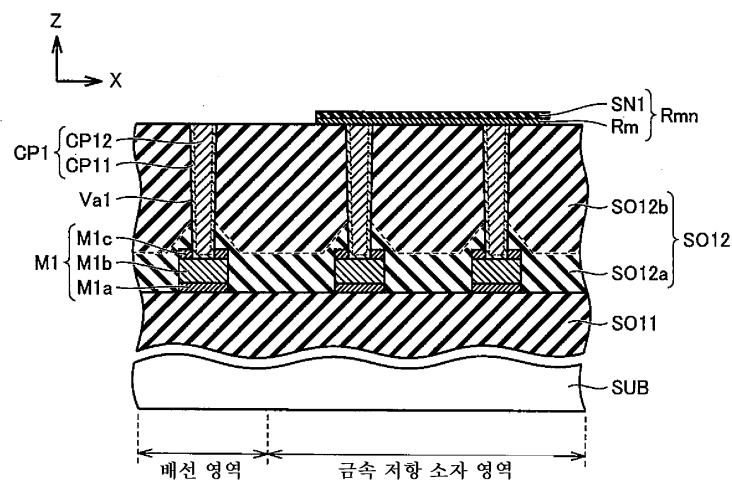
도면23



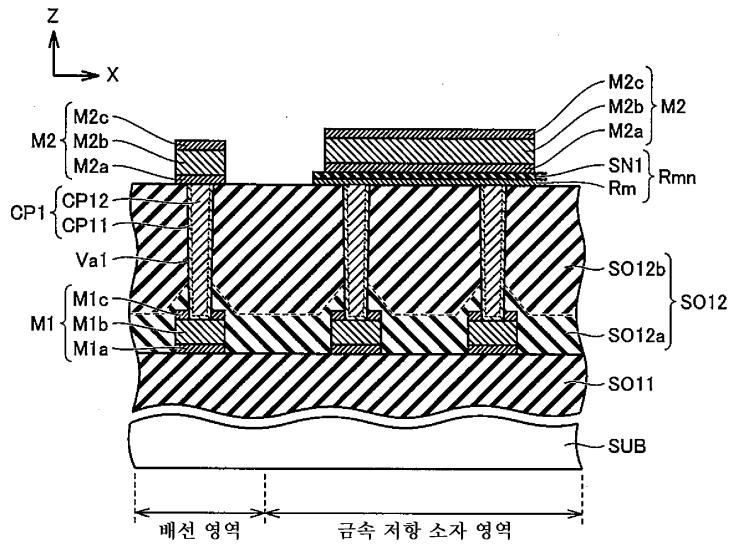
도면24



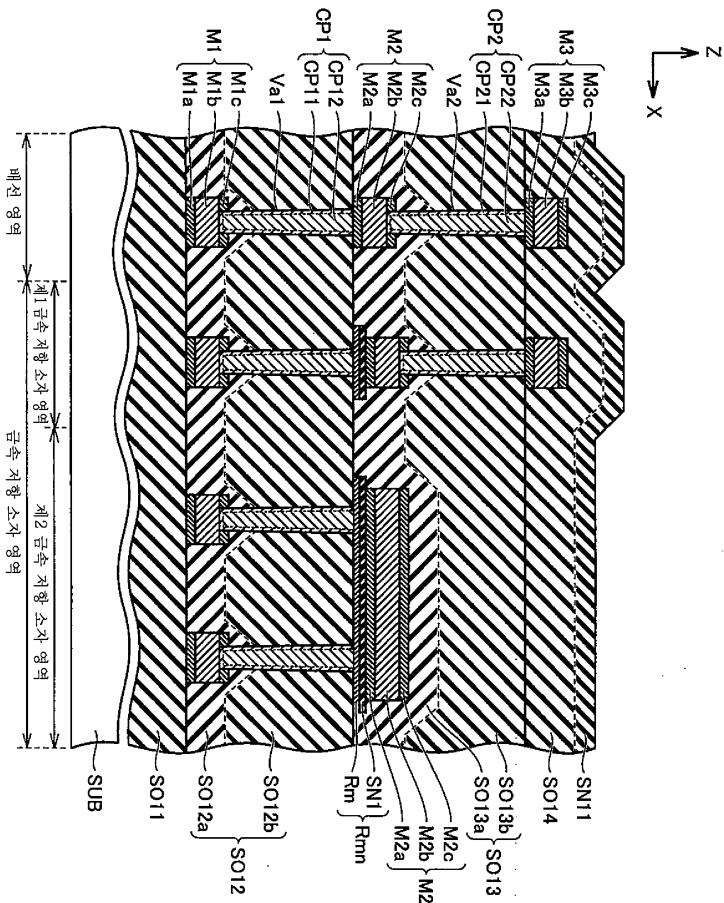
도면25



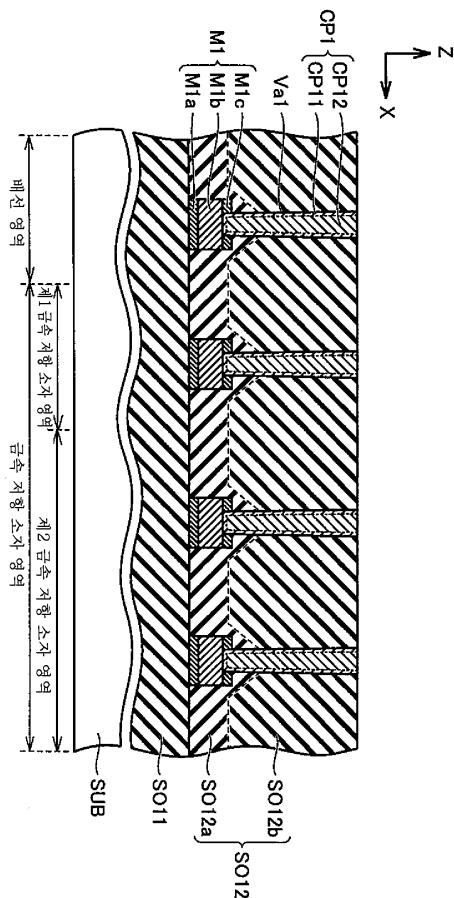
도면26



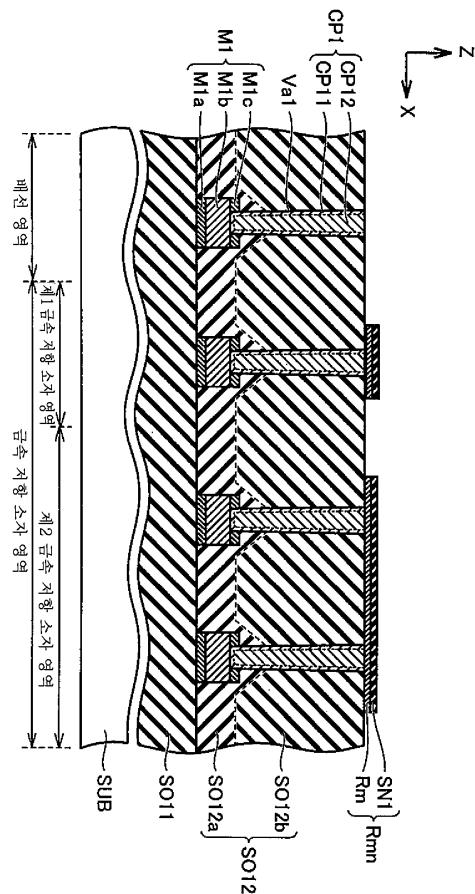
도면27



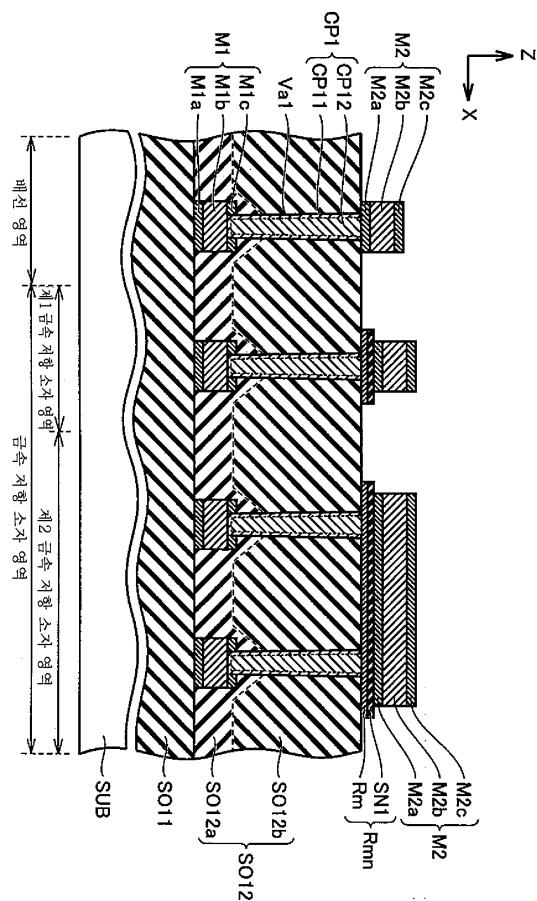
도면28



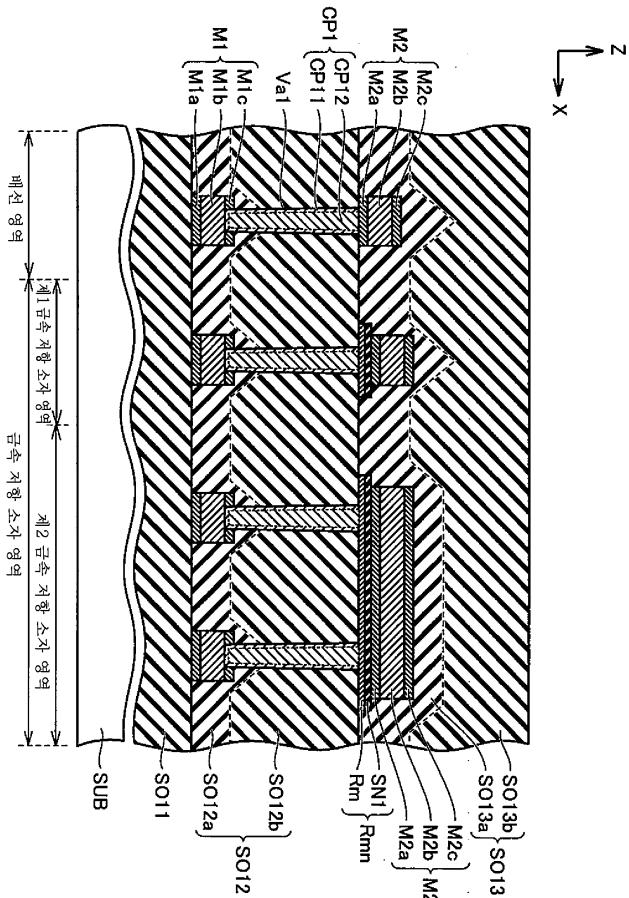
도면29



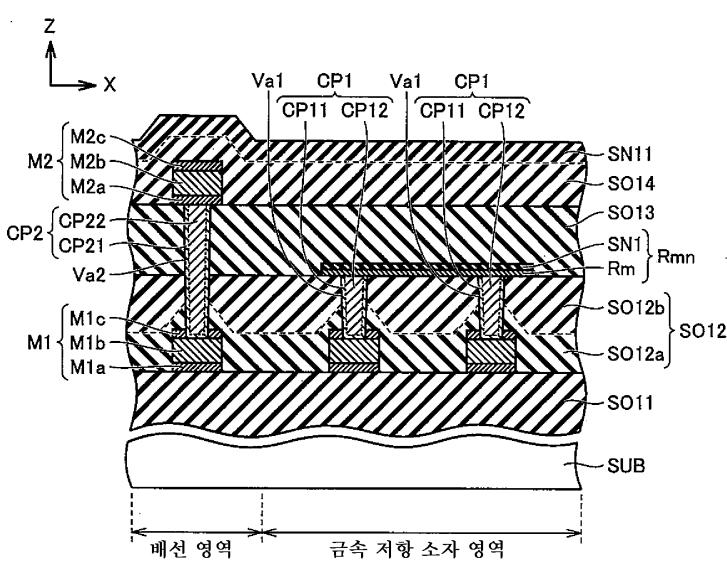
도면30



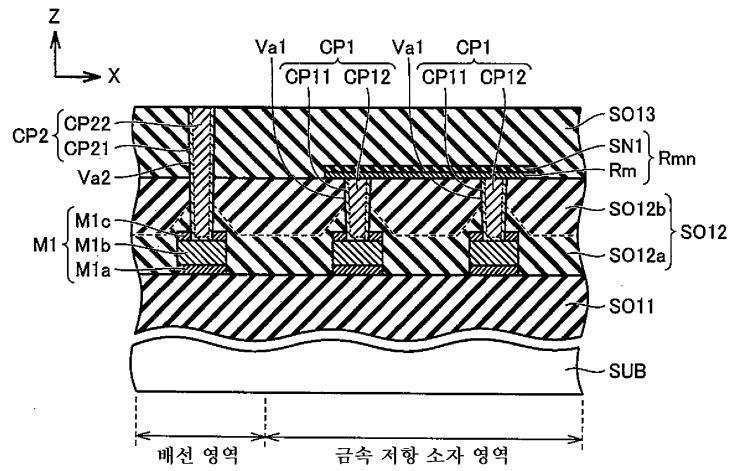
도면31



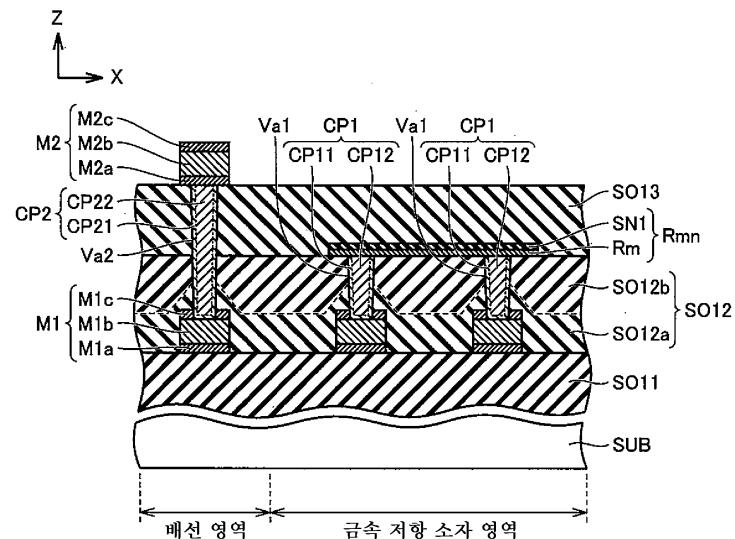
도면32



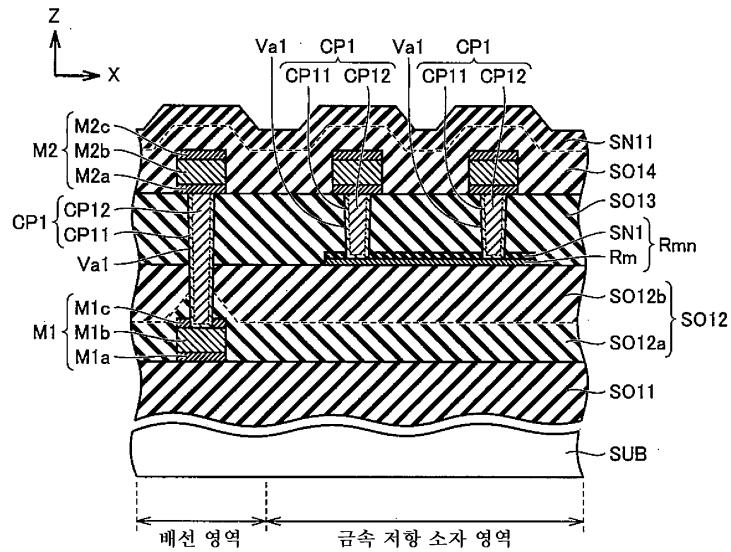
도면33



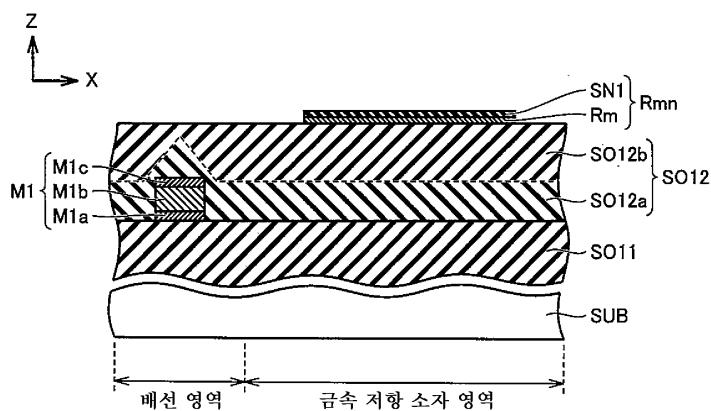
도면34



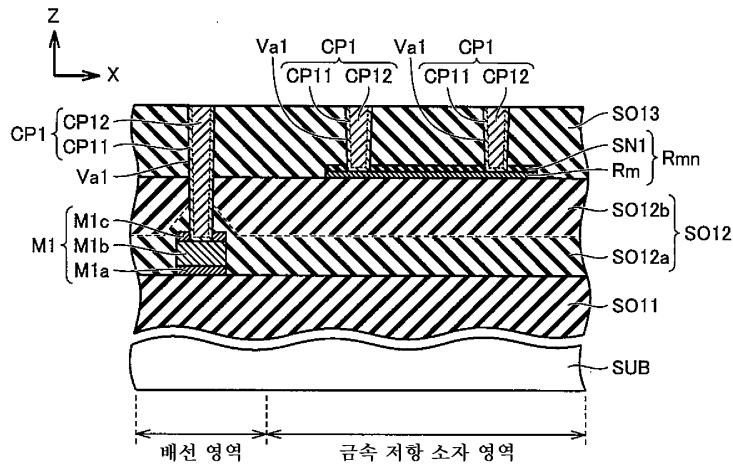
도면35



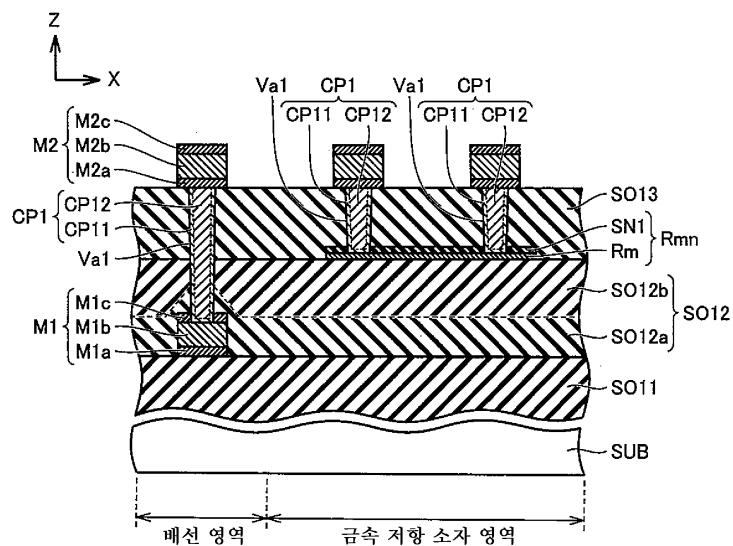
도면36



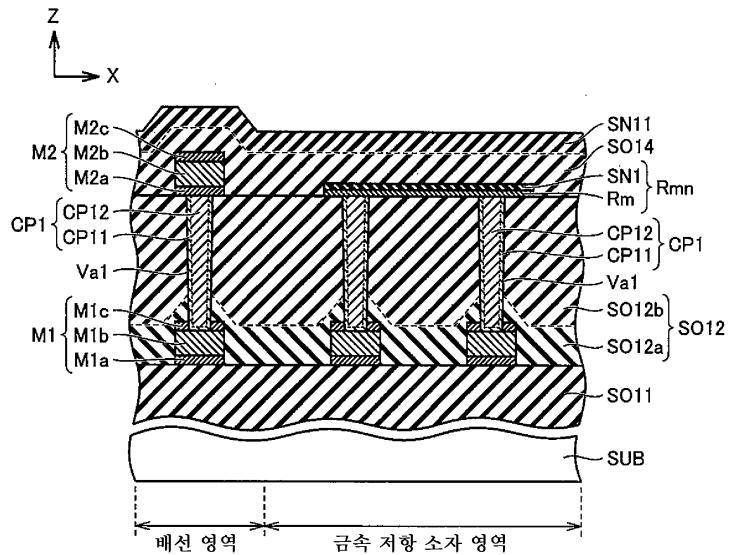
도면37



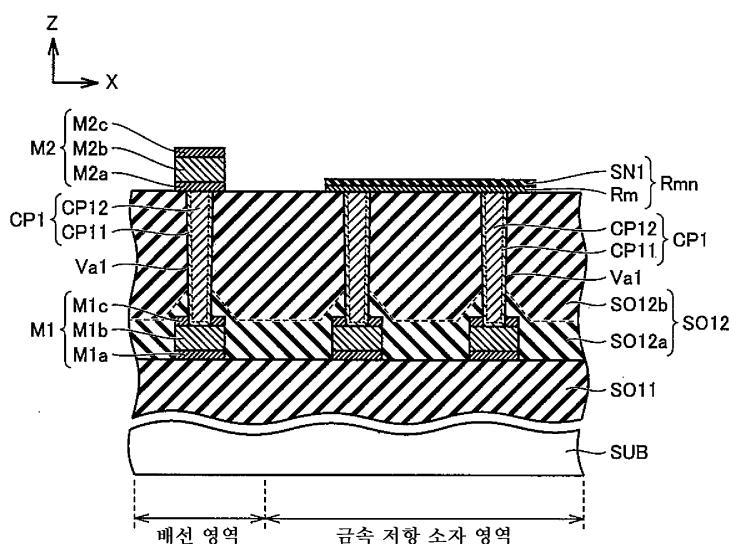
도면38



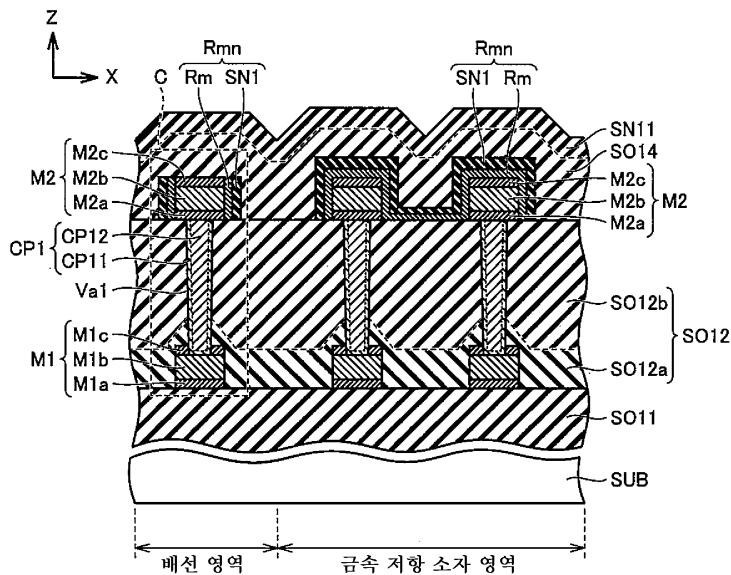
도면39



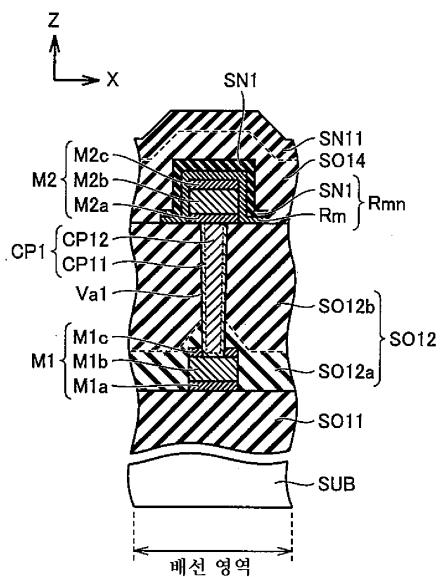
도면40



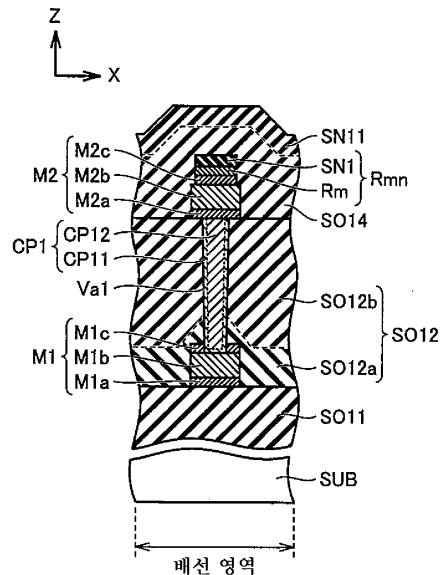
도면41



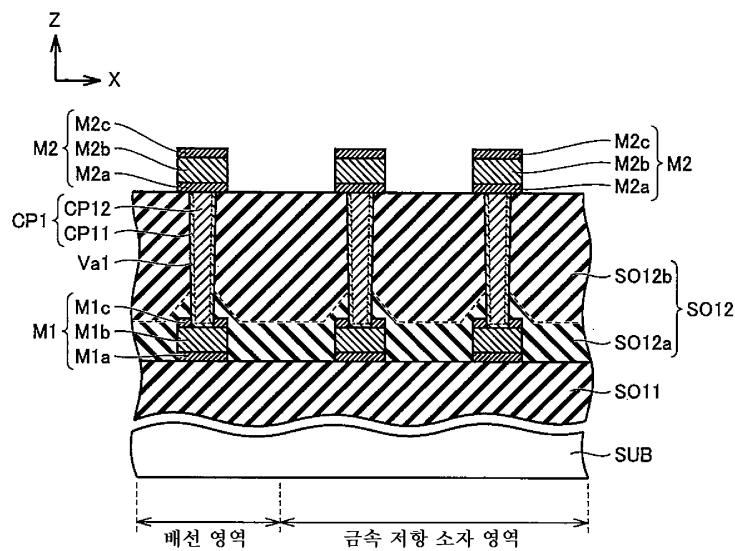
도면42



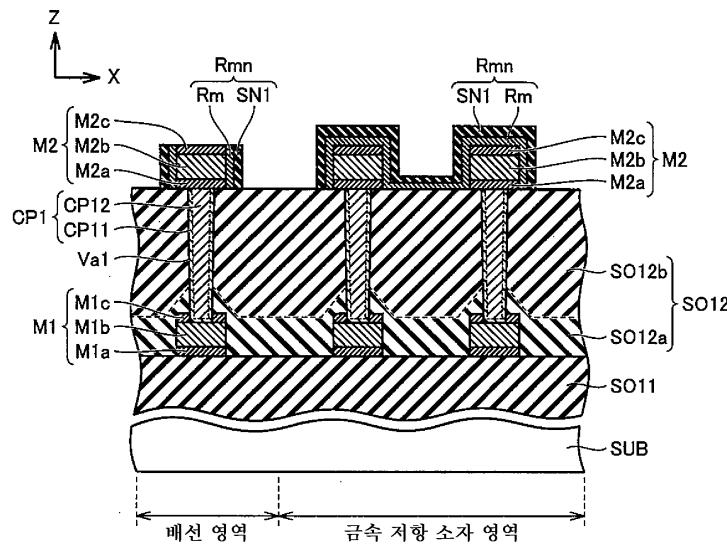
도면43



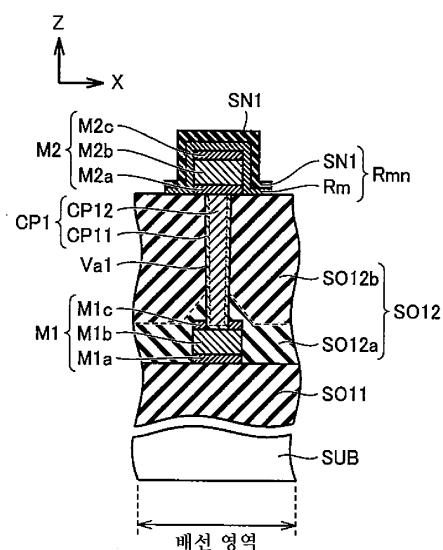
도면44



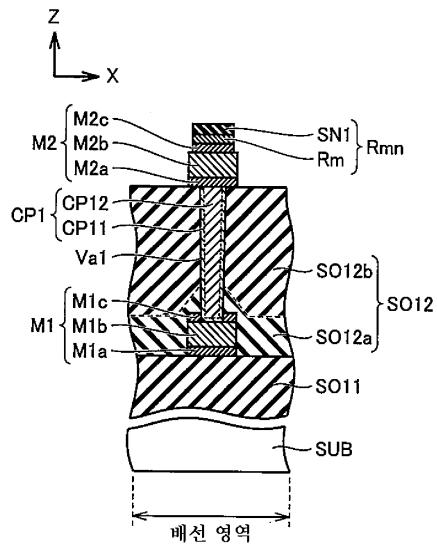
도면45



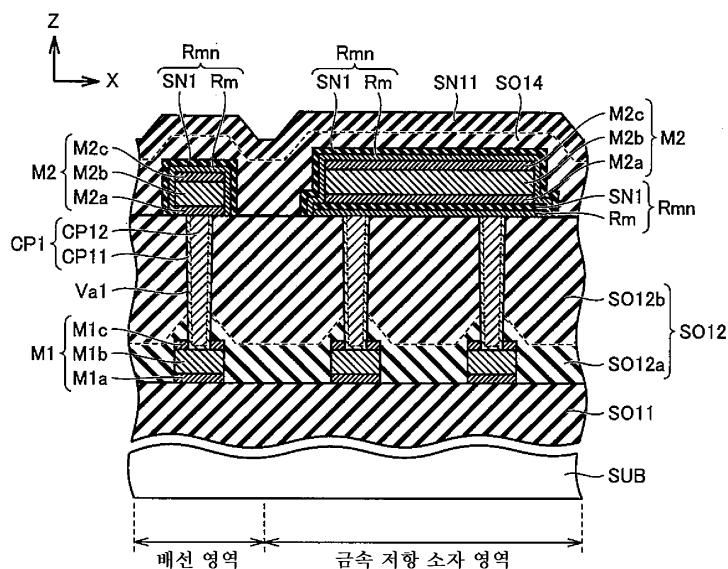
도면46



도면47



도면48



도면49

