

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月9日(09.01.2025)



(10) 国際公開番号
WO 2025/009249 A1

(51) 国際特許分類:

G06F 3/046 (2006.01) **G02F 1/1675** (2019.01)
G02F 1/1333 (2006.01) **G06F 3/041** (2006.01)

(21) 国際出願番号: PCT/JP2024/015679

(22) 国際出願日: 2024年4月22日(22.04.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-109117 2023年7月3日(03.07.2023) JP

(71) 出願人: 株式会社ワコム(WACOM CO., LTD.)
[JP/JP]; 〒3491148 埼玉県加須市豊野台2丁目510番地1 Saitama (JP).

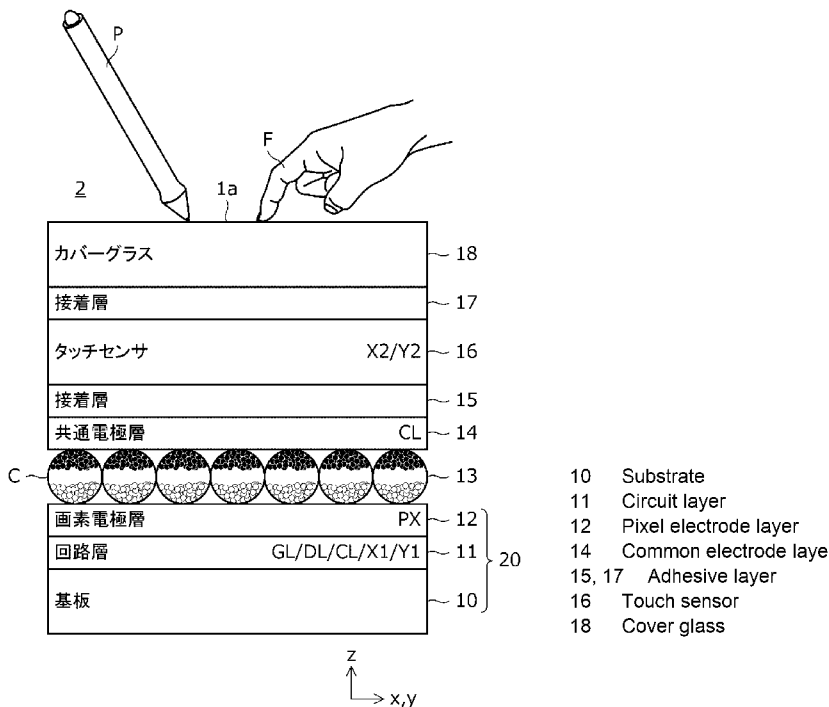
(72) 発明者: 水橋 比呂志(MIZUHASHI Hiroshi);
〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP). リジ
ュフン(LEE Joo Hoon); 〒3491148 埼玉県加須
市豊野台2丁目510番地1 株式会社ワコ
ム内 Saitama (JP). 後藤 詞貴(GOTO Fumitaka);
〒3491148 埼玉県加須市豊野台2丁目510
番地1 株式会社ワコム内 Saitama (JP).

(74) 代理人: 弁理士法人そらおと(PATENT ATTOR-
NEY CORPORATION SORAOTO); 〒1300013
東京都墨田区錦糸三丁目7番11-
403号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: REFLECTION-TYPE DISPLAY

(54) 発明の名称: 反射型ディスプレイ



(57) Abstract: [Problem] To realize height reduction of a reflection-type display which responds to an stylus input of an electromagnetic resonance (EMR) system. [Solution] A reflection-type display according to the present invention includes: a reflection display layer 13 including a plurality of reflection elements C for reflecting light that entered from a cover glass 18 at a set gradation; a backplane 20 provided at a position farther than the reflection display layer 13 when viewed from an operation surface 1a; and a common electrode layer 14 provided between the cover glass 18 and the reflection

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

display layer 13. The backplane 20 has, in the display region, a plurality of pixel electrodes PX arranged in a matrix along the x direction and the y direction, a plurality of data lines DL extended along the y direction, and a plurality of sensor electrodes X1 extended along the y direction. The plurality of sensor electrodes X1 are used for detecting the position of a pen P within the operation surface 1a by generating an electromagnetic resonance action with an inductor in the pen P.

(57) 要約: 【課題】電磁誘導 (E M R) 方式のペン入力に対応する反射型ディスプレイの低背化を実現する。【解決手段】本発明による反射型ディスプレイは、カバーガラス 18 から入射した光を設定階調でそれぞれ反射する複数の反射素子 C を含む反射表示層 13 と、操作面 1 a から見て反射表示層 13 より遠い位置に設けられたバックプレーン 20 と、カバーガラス 18 と反射表示層 13 の間に設けられた共通電極層 14 と、を含む。バックプレーン 20 は、表示領域内に、x 方向及び y 方向に沿ってマトリクス状に配置された複数の画素電極 PX と、それぞれ y 方向に沿って延設された複数のデータ線 DL と、それぞれ y 方向に沿って延設された複数のセンサ電極 X1 と、を有する。複数のセンサ電極 X1 は、ペン P 内のインダクタとの間で電磁誘導作用を生じさせることによって操作面 1 a 内におけるペン P の位置を検出するために用いられるものである。

明 細 書

発明の名称： 反射型ディスプレイ

技術分野

[0001] 本発明は反射型ディスプレイに関し、特に、電磁誘導（EMR）方式のペン入力に対応する反射型ディスプレイに関する。

背景技術

[0002] 電子ペーパーは、外光を利用して画像を表示する反射型ディスプレイの一種である。特許文献1、2及び非特許文献1には、電子ペーパーの構造の一例が開示されている。これらの文献に示されるように、電子ペーパーは、マイクロカプセルなどの反射素子を含む光反射層が画素電極と共通電極の間に挟まれた構造を有している。画素電極は、画素トランジスタ、ゲート線、データ線などを含むバックプレーンの上面に配置される。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-165570号公報
特許文献2：米国特許第8749476号明細書

非特許文献

[0004] 非特許文献1：S. E. Burns外21名，「A scalable manufacturing process for flexible active-matrix e-paper displays」，Journal of the Society for Information Display，2005年7月

発明の概要

発明が解決しようとする課題

[0005] ところで、本願の発明者は、反射型ディスプレイを電磁誘導（EMR）方式のペン入力に対応させることを検討している。しかしながら、そのためには反射型ディスプレイのバックプレーンの下側（表示面から遠い側）に位置

検出用のセンサを配置する必要がある、全体の厚みが大きくなってしまったため、改善が必要となっていた。

[0006] したがって、本発明の目的の一つは、電磁誘導（EMR）方式のペン入力に対応しつつも低背化を実現できる反射型ディスプレイを提供することにある。

課題を解決するための手段

[0007] 本発明の一側面による反射型ディスプレイは、インダクタを備えた位置指示器が操作される操作面を含むカバー層と、前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、前記カバー層と前記反射表示層の間に設けられた共通電極を含む共通電極層と、を含み、前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、それぞれ前記第1の方向に沿って延設された複数のデータ線と、それぞれ前記第1の方向に沿って延設された複数の第1の電磁誘導センサ電極と、を有し、前記複数の第1の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられるものである、反射型ディスプレイである。

[0008] 本発明の他の一側面による反射型ディスプレイは、インダクタを備えた位置指示器が操作される操作面を含むカバー層と、前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、前記カバー層と前記反射表示層の間に設けられた共通電極と、を含み、前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、それぞれ前記第2の方向に沿って延設された複数のゲート線と、それぞれ前記第2の方向に沿って延設された複数の第2

の電磁誘導センサ電極と、を有し、前記複数の第2の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられるものである、反射型ディスプレイである。

[0009] 本発明のさらに他の一側面による反射型ディスプレイは、インダクタを備えた位置指示器が操作される操作面を含むカバー層と、前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、前記カバー層と前記反射表示層の間に設けられた共通電極と、を含み、前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、それぞれ前記第1の方向に沿って延設された複数の線状導体とを有し、前記複数の線状導体は、時分割により、前記画素電極にデータ信号を供給するために用いられる複数のデータ線、及び、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられる複数の第1の電磁誘導センサ電極のいずれか一方として用いられる、反射型ディスプレイである。

発明の効果

[0010] 本発明によれば、複数の第1の電磁誘導センサ電極及び複数の第2の電磁誘導センサ電極の少なくとも一方をバックプレーン内に設けているので、電磁誘導（EMR）方式のペン入力に対応する反射型ディスプレイの低背化を実現することが可能になる。

図面の簡単な説明

[0011] [図1]本発明の第1の実施の形態によるコンピュータ1の構成を示す図である。

[図2]反射型ディスプレイ2の層構造を示す図である。

[図3]反射型ディスプレイ2の回路図である。

[図4]反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。

[図5]センサ電極 X 1, Y 1 を用いてペン P の位置を検出するためにセンサコントローラ 4 が行う処理を説明する図である。

[図6]回路層 1 1 のうち図 3 の回路図に対応する部分の平面構造を模式的に示す図である。

[図7]図 6 に示した A - A 線に対応するバックプレーン 2 0 の模式的な断面図である。

[図8]本発明の第 2 の実施の形態によるコンピュータ 1 に含まれる回路層 1 1 のうち図 3 の回路図に対応する部分の平面構造を模式的に示す図である。

[図9]図 8 に示した B - B 線に対応するバックプレーン 2 0 の模式的な断面図である。

[図10]本発明の第 2 の実施の形態による反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。

[図11]本発明の第 3 の実施の形態によるコンピュータ 1 に含まれる回路層 1 1 のうち図 3 の回路図に対応する部分の平面構造を模式的に示す図である。

[図12]図 1 1 に示した C - C 線に対応するバックプレーン 2 0 の模式的な断面図である。

[図13]本発明の第 4 の実施の形態による反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。

[図14]本発明の第 4 の実施の形態によるコンピュータ 1 に含まれる回路層 1 1 のうち図 3 の回路図に対応する部分の平面構造を模式的に示す図である。

[図15]図 1 4 に示した D - D 線に対応するバックプレーン 2 0 の模式的な断面図である。

[図16]本発明の第 5 の実施の形態による反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。

[図17] (a) (b) は、センサ電極 X 1, Y 1 を用いて行うペン P の位置を検出するために、本発明の第 5 の実施の形態によるセンサコントローラ 4 が行う処理を説明する図である。

[図18] (a) (b) は、本発明の第5の実施の形態の第1の変形例によるセンサコントローラ4が行う処理を説明する図である。

[図19] (a) (b) は、本発明の第5の実施の形態の第2の変形例によるセンサコントローラ4が行う処理を説明する図である。

[図20]回路層11以外の層にセンサ電極X1, Y1を配置する場合の反射型ディスプレイ2の層構造の例を示す図である。

[図21]回路層11以外の層にセンサ電極X1, Y1を配置する場合の反射型ディスプレイ2の層構造の例を示す図である。

[図22]センサ電極X1, Y1の両方を受信信号Rxの受信用として用いる場合における反射型ディスプレイ2の層構造を示す図である。

発明を実施するための形態

[0012] 以下、添付図面を参照しながら、本発明の実施の形態について詳細に説明する。

[0013] 図1は、本発明の第1の実施の形態によるコンピュータ1の構成を示す図である。同図に示すように、本実施の形態によるコンピュータ1は、反射型ディスプレイ2と、ホストプロセッサ3と、センサコントローラ4とを有して構成される。

[0014] 図2は、反射型ディスプレイ2の層構造を示す図である。同図に示すように、反射型ディスプレイ2は、基板10、回路層11、画素電極層12、反射表示層13、共通電極層14、接着層15、タッチセンサ16、接着層17、カバーガラス18（カバー層）を有して構成される。このうち基板10、回路層11、及び画素電極層12は、反射型ディスプレイ2のバックプレーン20を構成する。また、カバーガラス18の表面は、反射型ディスプレイ2の表示面であるとともに、ペンP（位置指示器）による入力（ペン入力）及び指Fによる入力（タッチ入力）の操作面1aを構成する。なお、図1には、図2に示した層構造の一部のみを図示している。

[0015] 後ほど詳しく説明するが、回路層11には、複数のゲート線GL、複数のデータ線DL、複数の共通電位線CL、各複数のセンサ電極X1, Y1が設

けられる。また、画素電極層 1 2 には複数の画素電極 P X が設けられ、共通電極層 1 4 には 1 以上の共通電位線 C L（共通電極）が設けられ、タッチセンサ 1 6 にはセンサ電極 X 2，Y 2 が設けられる。

[0016] 各複数のセンサ電極 X 1，Y 1 は、電磁誘導（EMR）方式によるペン P の位置検出のために用いられる電磁誘導センサ電極であり、ペン P 内に設けられる共振回路を構成するインダクタとの間で電磁誘導作用を生じさせる役割を果たす。また、センサ電極 X 2，Y 2 は、静電容量方式による指 F の位置検出のために用いられる電界センサ電極である。回路層 1 1 内の共通電位線 C L、及び、共通電極層 1 4 内の共通電位線 C L を含む共通電位線 C L には、ホストプロセッサ 3 から所定の共通電位（例えば接地電位）が供給される。共通電極層 1 4 内の共通電位線 C L、及び、センサ電極 X 2，Y 2 は、反射型ディスプレイ 2 の表示を妨げないように、酸化インジウムスズ（ITO）などの透明導電膜によって構成される。

[0017] 画素電極層 1 2 に含まれる複数の画素電極 P X は、x 方向及び y 方向（x 方向と交差する方向）に沿って、マトリクス状に配置される。反射表示層 1 3 には、複数の反射素子 C が配置される。各反射素子 C は、最も近くにある画素電極 P X の電位によって設定される階調で、カバーガラス 1 8 から入射した光を反射する素子である。一例では、反射型ディスプレイ 2 は電気泳動方式の電子ペーパーであり、この場合の反射素子 C は、図示したような球状のマイクロカプセルによって構成される。電子粉流体方式の電子ペーパーや反射型の液晶ディスプレイにより反射型ディスプレイ 2 を構成することも可能である。

[0018] 反射型ディスプレイ 2 が電気泳動方式の電子ペーパーである場合、反射素子 C の中には、オイルと、複数の白色顔料素子と、複数の黒色顔料素子とが封入される。これら白色顔料素子及び黒色顔料素子はそれぞれプラスとマイナスに予め帯電しており、オイル内を泳動可能に構成される。ある画素電極 P X に電位を与えると、その画素電極 P X の近傍にある反射素子 C 内において、電位に応じた量の白色顔料素子又は黒色顔料素子が操作面 1 a 側に泳動

する。この泳動の結果として、画素電極 P X に与えた電位に従う階調（設定階調）での白黒表示が実現される。図示していないが、カラーフィルタを用いれば、カラー表示を行うことも可能である。

[0019] 図 1 に戻り、矩形で示した領域 A 1 は、反射型ディスプレイ 2 の表示領域（反射表示層 1 3 内の複数の反射素子 C と平面視で重なる領域）を表している。表示領域 A 1 の外側はベゼル領域 A 2 である。図 1 に示すように、ベゼル領域 A 2 内には、複数の配線 S L と、複数の端子を含む端子領域 T A とが配置される。このうち複数の配線 S L は、回路層 1 1、共通電極層 1 4、及びタッチセンサ 1 6 内に配置される配線や電極などを端子領域 T A 内の端子に接続するために設けられるものである。なお、図面が煩雑になることを避けるため、図 1 には、反射型ディスプレイ 2 に実際に設けられる複数の配線 S L のうちの一部のみを模式的に図示している。端子領域 T A 内の各端子は、反射型ディスプレイ 2 外に設けられる配線を介して、ホストプロセッサ 3 又はセンサコントローラ 4 に接続される。

[0020] 図 3 は、反射型ディスプレイ 2 の回路図である。また、図 4 は、反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。図 3 には 4 つの画素電極 P X 分の回路を示しているが、実際には、より多くの画素電極 P X が設けられる。また、図 4 には、各 1 2 本のゲート線 G L、データ線 D L、共通電位線 C L、8 本のセンサ電極 X 1、6 本のセンサ電極 Y 1 を示しているが、実際には、より多くの配線が設けられる。この点は、後掲する図 1 0、図 1 3、図 1 6～図 1 9 においても同様である。

[0021] ゲート線 G L 及びセンサ電極 Y 1 はそれぞれ、図 4 に示すように、x 方向に沿って延設される。図 3 に示すように、ゲート線 G L は画素電極 P X の行ごとに設けられ、センサ電極 Y 1 は画素電極 P X の複数行ごとに 1 本の割合で設けられる。したがって、ゲート線 G L の本数と画素電極 P X の行数とが一致する一方、センサ電極 Y 1 の本数は画素電極 P X の行数よりも小さくなる。より具体的には、ゲート線 G L のピッチを数百 μm とし、センサ電極 Y 1 のピッチを数 mm とすることが好適である。

[0022] またデータ線DL、共通電位線CL、及びセンサ電極X1はそれぞれ、図4に示すように、y方向に沿って延設される。図3に示すように、データ線DL及び共通電位線CLはそれぞれ画素電極PXの列ごとに設けられ、センサ電極X1は画素電極PXの複数列ごとに1本の割合で設けられる。したがって、データ線DL及び共通電位線CLそれぞれの本数と画素電極PXの列数とが一致する一方、センサ電極X1の本数は画素電極PXの列数よりも小さくなる。より具体的には、データ線DL及び共通電位線CLそれぞれのピッチを数百 μm とし、センサ電極X1のピッチを数mmとすることが好適である。

[0023] 図4に示すように、複数のセンサ電極X1は、端子領域TA（図1を参照）から遠い側の端部に接続された基部電極BEにより、x方向の一端側から2本ずつ、互いに接続される。基部電極BEは、平面視でベゼル領域A2内に配置される。この接続を行っているのは、2本のセンサ電極X1を用いて、ペンP内のインダクタから送出される交番磁界を受信するためのループコイルを形成するためである。各センサ電極X1の端子領域TAに近い側の端部は、配線SLを介してセンサコントローラ4に接続される。

[0024] 一方、各センサ電極Y1は、両端で、配線SLを介してセンサコントローラ4に接続される。これに対し、各ゲート線GLは、y方向に見て交互に、一端及び他端のいずれか一方で、配線SLを介してホストプロセッサ3に接続される。また、各データ線DL及び各共通電位線CLはそれぞれ、端子領域TAに近い側の端部で、配線SLを介してホストプロセッサ3に接続される。

[0025] 図5は、センサ電極X1、Y1を用いてペンPの位置を検出するためにセンサコントローラ4が行う処理を説明する図である。この処理においてセンサコントローラ4は、y方向の両端から2本ずつのセンサ電極Y1を除く複数のセンサ電極Y1を1本ずつ順に選択し、その都度、x方向の両端から1本ずつのループコイル（2本のセンサ電極X1によって形成されるループコイル。以下、同じ。）を除く複数のループコイルを1本ずつ順に選択するよ

う構成される。

[0026] 図5に示すように、センサコントローラ4は、選択したセンサ電極Y1の一方側に隣接する2本のセンサ電極Y1それぞれの一端に交流電流 i_A を、他方側に隣接する2本のセンサ電極Y1それぞれの一端に交流電流 i_B を、それぞれ供給するよう構成される。交流電流 i_A は一定の周波数及び位相で振動する電流であり、交流電流 i_B は、交流電流 i_A の位相を反転させてなる電流である。典型的な交流電流 i_A 、 i_B は、図示するような正弦波信号であるが、矩形波信号であってもよい。また、センサコントローラ4は、交流電流 i_A 、 i_B を供給する4本のセンサ電極Y1それぞれ他端を接地端に接続する。なお、接地端に接続することに代え、各センサ電極Y1それぞれ他端を相互に接続することとしてもよい。センサコントローラ4がこのような動作を行うことにより、選択したセンサ電極Y1の上方に磁束の変化が生ずる。そして、変化する磁束（交番磁界）の中にペンPのインダクタが入ると、センサ電極Y1とインダクタとの間で電磁誘導作用が生じ、インダクタに電流の変化が発生する。その結果、ペンPから交番磁界が送出され、近傍に位置するセンサ電極X1に起電力が生ずる。

[0027] センサコントローラ4は差動アンプ4aを有しており、選択したループコイルとその両隣のループコイルをこの差動アンプ4aの2つの入力端子の間に直列に接続するよう構成される。ペンPが送出した交番磁界によってセンサ電極X1に起電力が発生すると、対応するループコイルに電流が発生し、差動アンプ4aを介してセンサコントローラ4に供給される。センサコントローラ4は、所定時間にわたってセンサ電極Y1に交流電流 i_A 、 i_B を供給した直後にこうして差動アンプ4aから供給される電流を、各ループコイルに対応するペンPからの受信信号 R_x として取得する。

[0028] 以上の処理により、センサコントローラ4は、センサ電極Y1ごとに、各ループコイルでの受信信号 R_x を取得することになる。センサコントローラ4は、取得した複数の受信信号 R_x の信号強度の操作面1a内における分布を導出し、その結果に基づいてペンPの位置を導出する。

[0029] なお、図5では、センサ電極Y1に交流電流 i_A 、 i_B を供給し、センサ電極X1で受信信号 R_x を受信する例を説明したが、センサ電極X1に交流電流 i_A 、 i_B を供給し、センサ電極Y1で受信信号 R_x を受信することとしてもよい。この場合、上述した基部電極BEをセンサ電極Y1の一端側又は他端側に配置することにより各センサ電極Y1をループコイルとして用いる一方、各センサ電極X1の一端（端子領域TAから遠い側の端部）を予め接地端に接続しておくか、或いは相互に接続しておけばよい。

[0030] 図3に戻り、反射型ディスプレイ2の表示動作について、説明する。図3に示すように、反射型ディスプレイ2は、画素電極PXごとに画素トランジスタ50及びストレージキャパシタ51を有して構成される。画素トランジスタ50の制御電極は対応するゲート線GLに接続され、一方の被制御電極は対応するデータ線DLに接続され、他方の被制御電極は対応する画素電極PXに接続される。また、ストレージキャパシタ51の一方の電極は対応する画素電極PXに接続され、他方の電極は対応する共通電位線CLに接続される。これらの構成により、ホストプロセッサ3があるゲート線GLを活性化すると、そのゲート線GLに接続された一連の画素トランジスタ50がオンになり、対応する一連の画素電極PXが対応するデータ線DLに接続される。これによりホストプロセッサ3は、データ線DLの電位を制御することにより、各画素の設定階調を制御することが可能になる。また、画素トランジスタ50がオンになっている間、データ線DLの電位はストレージキャパシタ51にも与えられ、ストレージキャパシタ51を充電する。この充電によりストレージキャパシタ51に蓄積された電荷は画素トランジスタ50がオフになった後も維持されるので、各画素の表示状態は、対応するゲート線GLが非活性となっている間にも維持される。

[0031] 図6は、回路層11のうち図3の回路図に対応する部分の平面構造を模式的に示す図であり、図7は、図6に示したA-A線に対応するバックプレーン20の模式的な断面図である。図6及び図7はいずれも構造を理解するための模式的な図であるので、各図に示す構成は必ずしも一致していない。図

7には、構造の理解を容易にするために、反射表示層13内の反射素子Cについても一部を図示している。これらの点は、後掲する図8、図9、図11、図12、図14、図15についても同様である。以下、図6及び図7を参照しながら、バックプレーン20内の構造について詳細に説明する。

[0032] 図6及び図7に示すように、回路層11は、ゲート導体膜41、ゲート絶縁膜42、半導体膜43、ソースドレイン導体膜44、パッシベーション膜31、オーバーコート膜32を有して構成される。

[0033] ゲート導体膜41は基板10の上面に形成された金属膜であり、ゲート線GL、画素トランジスタ50の制御電極、ストレージキャパシタ51の一方の電極、及びセンサ電極Y1を構成する。ゲート導体膜41のうちセンサ電極Y1を構成する部分は、ゲート線GLに沿って延設される。

[0034] ゲート絶縁膜42は、ゲート導体膜41の上面を覆うように形成された絶縁膜であり、画素トランジスタ50のゲート絶縁膜、及び、ストレージキャパシタ51の電極間に配置される誘電体を構成する。また、ゲート絶縁膜42は、ゲート導体膜41のうちストレージキャパシタ51の一方の電極を構成する部分を延長してなる部分の上側に、コンタクトホール42hを有して構成される。

[0035] 半導体膜43は、ゲート絶縁膜42の上面のうち平面視で画素トランジスタ50の制御電極と重なる位置に形成されたアモルファスシリコン膜であり、画素トランジスタ50のチャネル層を構成する。

[0036] ソースドレイン導体膜44は、ゲート絶縁膜42及び半導体膜43の上面に形成された金属膜であり、データ線DL、共通電位線CL、ストレージキャパシタ51の他方の電極、及びセンサ電極X1を構成するとともに、画素トランジスタ50の一方及び他方の被制御電極を構成する。ソースドレイン導体膜44のうちセンサ電極X1を構成する部分は、x方向に隣接するデータ線DLとストレージキャパシタ51の間に延設される。また、ソースドレイン導体膜44は、画素トランジスタ50の他方の被制御電極をストレージキャパシタ51の一方の電極及び画素電極PXに接続する内部配線としての

役割も果たす。ソースドレイン導体膜44は、上述したコンタクトホール42hを介して、ストレージキャパシタ51の一方の電極としてのゲート導体膜41に接続される。

[0037] パッシベーション膜31は、画素トランジスタ50及びストレージキャパシタ51をゴミや湿度から保護するための絶縁膜であり、ソースドレイン導体膜44の上側に、全面を覆うように形成される。パッシベーション膜31には、コンタクトホール42hの中央部分に、コンタクトホール42hよりも小径のコンタクトホール31hが設けられる。

[0038] オーバーコート膜32も保護用の絶縁膜であり、パッシベーション膜31の上側に、全面を覆うように形成される。オーバーコート膜32には、コンタクトホール31hと同じ位置に、コンタクトホール42hよりも大径のコンタクトホール32hが設けられる。なお、個々の反射素子Cの直径が25 μ m程度であるのに対し、コンタクトホール32hの直径は通常10 μ m以下となる。

[0039] 画素電極PXは、オーバーコート膜32の上面に形成された導電膜によって構成される。画素電極PXは、共通電極層14内の共通電位線CLなどと異なり透明である必要はないが、通常、共通電極層14内の共通電位線CLと同じ酸化インジウムスズ（ITO）により形成される。これは、反射型ディスプレイ2の製造工程において画素電極PXが酸化してしまうことを防止するためである。すなわち、バックプレーン20と、反射表示層13より上側の各層（フロントプレーン）とは通常別工程でそれぞれ作られ、その後、両プレーンを貼り合わせることになるが、この際、画素電極PXが一時的に空気に曝露することになるため、もし画素電極PXがアルミニウムなどの金属膜により構成されていたとすると、すぐに酸化してしまうことになる。酸化インジウムスズ（ITO）を用いて画素電極PXを形成することにより、このような酸化を回避することが可能になる。

[0040] 以上説明したように、本実施の形態によるコンピュータ1によれば、電磁誘導（EMR）方式によるペンPの位置検出のために用いられる各複数のセ

ンサ電極X 1, Y 1を反射型ディスプレイ2のバックプレーン20内に設けているので、電磁誘導(EMR)方式のペン入力に対応する反射型ディスプレイ2の低背化を実現することが可能になる。

[0041] 次に、本発明の第2の実施の形態によるコンピュータ1について、説明する。本実施の形態によるコンピュータ1は、データ線DLとは別にセンサ電極X 1を設けるのではなく、データ線DLをセンサ電極X 1としても用いる点で、第1の実施の形態によるコンピュータ1と相違する。その他の点では第1の実施の形態によるコンピュータ1と同様であるので、以下では、第1の実施の形態によるコンピュータ1との相違点に着目して説明を行う。

[0042] 図8は、本実施の形態によるコンピュータ1に含まれる回路層11のうち図3の回路図に対応する部分の平面構造を示す図であり、図9は、図8に示したB-B線に対応するバックプレーン20の模式的な断面図である。図8及び図9に示すように、本実施の形態による回路層11は、ソースドレイン導体膜44のうちセンサ電極X 1を構成する部分を有しない点で、第1の実施の形態による回路層11と相違する。

[0043] 図10は、本実施の形態による反射型ディスプレイ2に含まれる各種配線の位置関係を示す図である。同図に示すように、本実施の形態による反射型ディスプレイ2は、それぞれ複数のスイッチ素子からなるスイッチ群60, 61を有して構成される。

[0044] スイッチ群60は、データ線DLごとに設けられる複数のスイッチ素子からなるスイッチ群である。各スイッチ素子は配線SLの途中に設けられており、対応するデータ線DLの端子領域TA側の端部に接続された共通端子と、ホストプロセッサ3に接続された一方の選択端子と、センサコントローラ4に接続された他方の選択端子とを有する単極双投形のスイッチにより構成される。

[0045] スイッチ群61は、隣接する2本のデータ線DLごとに設けられる複数のスイッチ素子からなるスイッチ群である。各スイッチ素子は、各データ線DLの端子領域TAから遠い側の端部に接続された基部電極BEの途中に設け

られており、対応する2本のデータ線DLの一方に接続された一方の端子と、対応する2本のデータ線DLの他方に接続された他方の端子とを有する単極単投形のスイッチにより構成される。

[0046] 本実施の形態によるセンサコントローラ4は、データ線DLを構成する線状導体を、時分割により、センサ電極X1としても利用する。具体的に説明すると、センサコントローラ4は、まずホストプロセッサ3がデータ線DLを駆動するタイミングでは、スイッチ群60を構成する各スイッチ素子をホストプロセッサ3側にセットするとともに、スイッチ群61を構成する各スイッチ素子をオフにする。これにより、ホストプロセッサ3は通常どおり、データ線DLを駆動することができる。一方、センサコントローラ4は、ホストプロセッサ3がデータ線DLを駆動しないタイミング（ブランク期間）では、スイッチ群60を構成する各スイッチ素子をセンサコントローラ4側にセットするとともに、スイッチ群61を構成する各スイッチ素子をオンにする。これにより、データ線DLを構成する線状導体によりループコイルが形成されるので、センサコントローラ4は、第1の実施の形態と同様に、センサ電極X1を介してペンPからの受信信号Rxとして取得することが可能になる。

[0047] 以上説明したように、本実施の形態によるコンピュータ1によっても、電磁誘導（EMR）方式によるペンPの位置検出のために用いられる各複数のセンサ電極X1、Y1を反射型ディスプレイ2のバックプレーン20内に設けているので、電磁誘導（EMR）方式のペン入力に対応する反射型ディスプレイ2の低背化を実現することが可能になる。

[0048] また、本実施の形態によるコンピュータ1によれば、データ線DLを構成する線状導体をセンサ電極X1としても利用するので、表示領域A1内の配線数を減らすことが可能になる。

[0049] 次に、本発明の第3の実施の形態によるコンピュータ1について、説明する。本実施の形態によるコンピュータ1は、ストレージキャパシタ51の構造の点で第1の実施形態によるコンピュータ1と相違する。その他の点では

第1の実施の形態によるコンピュータ1と同様であるので、以下では、第1の実施の形態によるコンピュータ1との相違点に着目して説明を行う。

[0050] 図11は、本実施の形態によるコンピュータ1に含まれる回路層11のうち図3の回路図に対応する部分の平面構造を模式的に示す図であり、図12は、図11に示したC-C線に対応するバックプレーン20の模式的な断面図である。図11及び図12に示すように、本実施の形態による回路層11は、ストレージキャパシタ51の電極が画素電極PXと、オーバーコート膜32の上面に形成された導電膜45とによって構成される点で、第1の実施の形態による回路層11と相違する。

[0051] 図7と図12を比較すると理解されるように、本実施の形態によるゲート導体膜41及びソースドレイン導体膜44は、ストレージキャパシタ51の電極を構成する部分を有しない。一方、本実施の形態においては、オーバーコート膜32の上面に導電膜45が形成され、さらにその上面に2つ目のパッシベーション膜33が形成される。画素電極PXは、パッシベーション膜33の上面に形成される。そして、本実施の形態によるストレージキャパシタ51は、こうして形成された導電膜45を他方の電極とし、画素電極PXを一方の電極として構成される。パッシベーション膜33は、ストレージキャパシタ51の電極間に配置される誘電体としての役割を果たす。導電膜45には、第1の実施の形態で説明した共通電位線CLと同様、ホストプロセッサ3から所定の共通電位（例えば接地電位）が供給される。

[0052] 導電膜45は、コンタクトホール32hと同じ位置に、オーバーコート膜32のコンタクトホール32hよりも大径のコンタクトホール45hを有して構成される。また、パッシベーション膜33は、パッシベーション膜31のコンタクトホール31hと同じ位置に、コンタクトホール31hと略同径のコンタクトホール33hを有して構成される。本実施の形態による画素電極PXは、コンタクトホール31h、46hを介して、画素トランジスタ50の他方の被制御電極を構成するソースドレイン導体膜44に接続される。

[0053] 本実施の形態によるコンピュータ1によっても、電磁誘導（EMR）方式

によるペンPの位置検出のために用いられる各複数のセンサ電極X1, Y1を反射型ディスプレイ2のバックプレーン20内に設けている点は第1の実施の形態と同様であるので、第1の実施の形態と同様に、電磁誘導(EMR)方式のペン入力に対応する反射型ディスプレイ2の低背化を実現することが可能になる。

[0054] 次に、本発明の第4の実施の形態によるコンピュータ1について、説明する。本実施の形態によるコンピュータ1は、各ゲート線GLとホストプロセッサ3の接続が表示領域A1内に延設されるゲート配線GWを介して実現される点で、第3の実施形態によるコンピュータ1と相違する。その他の点では第3の実施の形態によるコンピュータ1と同様であるので、以下では、第3の実施の形態によるコンピュータ1との相違点に着目して説明を行う。

[0055] 図13は、本実施の形態による反射型ディスプレイ2に含まれる各種配線の位置関係を示す図である。また、図14は、本実施の形態によるコンピュータ1に含まれる回路層11のうち図3の回路図に対応する部分の平面構造を模式的に示す図であり、図15は、図14に示したD-D線に対応するバックプレーン20の模式的な断面図である。

[0056] 本実施の形態による回路層11は、ゲート線GLごとに、ゲート配線GW及びゲートビア導体GVを有して構成される。ゲートビア導体GVは、ゲート絶縁膜42を貫通して設けられるビア導体であり、対応するゲート配線GW及びゲート線GLを相互に接続する役割を果たす。ゲート配線GWは、ゲートビア導体GVの位置から端子領域TA側に向かい、y方向に沿って延設される配線であり、端子領域TA側の端部で、配線SLを介してホストプロセッサ3に接続される。

[0057] 本実施の形態によるコンピュータ1によっても、電磁誘導(EMR)方式によるペンPの位置検出のために用いられる各複数のセンサ電極X1, Y1を反射型ディスプレイ2のバックプレーン20内に設けている点は第3の実施の形態と同様であるので、第3の実施の形態と同様に、電磁誘導(EMR)方式のペン入力に対応する反射型ディスプレイ2の低背化を実現すること

が可能になる。

[0058] また、本実施の形態によるコンピュータ 1 によれば、端子領域 T A から見て横方向のベゼル領域 A 2 内の配線 S L を減らすことができるので、ベゼル領域 A 2 を狭くすることが可能になる。

[0059] 次に、本発明の第 5 の実施の形態によるコンピュータ 1 について、説明する。本実施の形態によるコンピュータ 1 は、ペン P の位置を検出するためのセンサ電極 X 1, Y 1 の使い方の点で、第 1 の実施の形態によるコンピュータ 1 と相違する。その他の点では第 1 の実施の形態によるコンピュータ 1 と同様であるので、以下では、第 1 の実施の形態によるコンピュータ 1 との相違点に着目して説明を行う。

[0060] 図 1 6 は、本実施の形態による反射型ディスプレイ 2 に含まれる各種配線の位置関係を示す図である。ただし、同図においては、ゲート線 G L、データ線 D L、及び共通電位線 C L の記載は省略している。同図に示すように、本実施の形態による反射型ディスプレイ 2 は、それぞれ複数のスイッチ素子からなるスイッチ群 6 2 ~ 6 4 を有して構成される。

[0061] スイッチ群 6 2 は、間に 1 本のセンサ電極 Y 1 を挟んで隣接する 2 本のセンサ電極 Y 1 を相互に接続する複数のスイッチ素子からなるスイッチ群である。各スイッチ素子は、各センサ電極 Y 1 の一端に接続された基部電極 B E の途中に設けられており、対応する 2 本のセンサ電極 Y 1 の一方に接続された一方の端子と、対応する 2 本のセンサ電極 Y 1 の他方に接続された他方の端子とを有する単極単投形のスイッチにより構成される。

[0062] スイッチ群 6 3 は、スイッチ群 6 2 に接続されていない複数のセンサ電極 Y 1 の中で隣接する 2 本のセンサ電極 Y 1 を相互に接続する複数のスイッチ素子からなるスイッチ群である。各スイッチ素子は、各センサ電極 Y 1 の他端に接続された基部電極 B E の途中に設けられており、対応する 2 本のセンサ電極 Y 1 の一方に接続された一方の端子と、対応する 2 本のセンサ電極 Y 1 の他方に接続された他方の端子とを有する単極単投形のスイッチにより構成される。

[0063] スイッチ群64は、隣接する2本のセンサ電極X1を相互に接続する複数のスイッチ素子からなるスイッチ群である。各スイッチ素子は、各センサ電極X1の端子領域TAから遠い側の端部に接続された基部電極BEの途中に設けられており、対応する2本のセンサ電極X1の一方に接続された一方の端子と、対応する2本のセンサ電極X1の他方に接続された他方の端子とを有する単極単投形のスイッチにより構成される。

[0064] 図17(a)(b)は、センサ電極X1, Y1を用いて行うペンPの位置を検出するために、本実施の形態によるセンサコントローラ4が行う処理を説明する図である。本実施の形態によるセンサコントローラ4は、位置検出処理を開始するにあたり、まず初めに、図17(a)に示すように、スイッチ群62, 64を構成する各スイッチ素子をすべてオンにする。そして、スイッチ群64を構成する複数のスイッチ素子を1つおきにオンするとともに、y方向の両端から1本ずつのセンサ電極Y1を除く複数のセンサ電極Y1のうち、y方向の最も端にある1本を選択する。スイッチ群64を構成する複数のスイッチ素子を1つおきにオンすることで、複数のループコイルが形成されることになる。センサコントローラ4は、こうして形成されるループコイルごとに図5に示した差動アンプ4aを有しており、形成したループコイルの両端を、対応する差動アンプ4aの2つの入力端子のそれぞれに接続する。

[0065] 続いてセンサコントローラ4は、選択したセンサ電極Y1の一方側に隣接する1本のセンサ電極Y1の一端に交流電流 i_A を、他方側に隣接する1本のセンサ電極Y1それぞれの一端に交流電流 i_B を、それぞれ供給する。交流電流 i_A , i_B の具体的な内容は、第1の実施の形態で説明したとおりである。これにより、選択したセンサ電極Y1の上方に磁束の変化が生ずる。そして、変化する磁束（交番磁界）の中にペンPのインダクタが入ると、センサ電極Y1とインダクタとの間で電磁誘導作用が生じ、インダクタに電流の変化が発生する。その結果、ペンPから交番磁界が送出され、近傍に位置するセンサ電極X1に起電力が生ずる。こうして生じた起電力により各ループコイ

ルに電流が発生し、差動アンプ4 aを介してセンサコントローラ4に供給される。センサコントローラ4は、所定時間にわたってセンサ電極Y 1に交流電流 i_A , i_B を供給した直後にこうして差動アンプ4 aから供給される電流を、各ループコイルに対応するペンPからの受信信号R xとして取得する。

[0066] 次にセンサコントローラ4は、図17 (b)に示すように、スイッチ群64を構成する複数のスイッチ素子のオンオフを切り替え、新たに形成したループコイルの両端を、それぞれに対応する差動アンプ4 aの2つの入力端子のそれぞれに接続する。そして、上記と同様の処理を行うことにより、各ループコイルに対応するペンPからの受信信号R xを取得する。

[0067] センサコントローラ4は、以上の処理を、選択するセンサ電極Y 1を1本ずつシフトしながら、繰り返し実行する。すべてのセンサ電極Y 1の選択と、その後の処理が終了すると、センサコントローラ4は、センサ電極Y 1ごとに、各ループコイルでの受信信号R xを取得することになる。センサコントローラ4は、取得した複数の受信信号R xの信号強度の操作面1 a内における分布を導出し、その結果に基づいてペンPの位置を導出する。

[0068] 本実施の形態によるコンピュータ1によっても、電磁誘導 (EMR) 方式によるペンPの位置検出のために用いられる各複数のセンサ電極X 1, Y 1を反射型ディスプレイ2のバックプレーン20内に設けている点は第1の実施の形態と同様であるので、第1の実施の形態と同様に、電磁誘導 (EMR) 方式のペン入力に対応する反射型ディスプレイ2の低背化を実現することが可能になる。

[0069] また、本実施の形態によるコンピュータ1によれば、複数のループコイルに対応するペンPからの受信信号R xを一度に取得することができるので、ペンPの位置導出を高頻度に行うことが可能になる。

[0070] 図18 (a) (b)は、本実施の形態の第1の変形例によるセンサコントローラ4が行う処理を説明する図である。本変形例によるセンサコントローラ4は、選択したセンサ電極Y 1の一方側に隣接する2本のセンサ電極Y 1それぞれの一端に交流電流 i_A を、他方側に隣接する2本のセンサ電極Y 1そ

れぞれの一端に交流電流 i_B を、それぞれ供給する点で、本実施の形態によるセンサコントローラ 4 と相違する。この交流電流 i_A 、 i_B の供給方法は、第 1 の実施の形態で説明したものと同様である。こうすることにより、センサ電極 Y 1 の上方に発生する交番磁界の送出強度を高めることが可能になる。

[0071] 図 19 (a) (b) は、本実施の形態の第 2 の変形例によるセンサコントローラ 4 が行う処理を説明する図である。本変形例によるセンサコントローラ 4 は、センサ電極 X 1 から交番磁界を送出し、ペン P が送出した交番磁界をセンサ電極 Y 1 で受信する点で、本実施の形態によるセンサコントローラ 4 と相違する。

[0072] 具体的に説明すると、本実施の形態によるセンサコントローラ 4 は、位置検出処理を開始するにあたり、まず初めに、図 19 (a) に示すように、スイッチ群 6 4 を構成する各スイッチ素子をすべてオンにする。そして、スイッチ群 6 2、6 4 のそれぞれにおいて、その中に含まれる複数のスイッチ素子を 1 つおきにオンとするとともに、x 方向の両端から 2 本ずつのセンサ電極 X 1 を除く複数のセンサ電極 X 1 のうち、x 方向の最も端にある 1 本を選択する。スイッチ群 6 2、6 4 のそれぞれにおいて、その中に含まれる複数のスイッチ素子を 1 つおきにオンとすることで、複数のループコイルが形成されることになる。センサコントローラ 4 は、こうして形成されるループコイルごとに図 5 に示した差動アンプ 4 a を有しており、形成したループコイルの両端を、対応する差動アンプ 4 a の 2 つの入力端子のそれぞれに接続する。

[0073] 続いてセンサコントローラ 4 は、選択したセンサ電極 X 1 の一方側に隣接する 2 本のセンサ電極 X 1 の一端に交流電流 i_A を、他方側に隣接する 2 本のセンサ電極 X 1 それぞれの一端に交流電流 i_B を、それぞれ供給する。これにより、選択したセンサ電極 X 1 の上方に磁束の変化が生ずる。そして、変化する磁束（交番磁界）の中にペン P のインダクタが入ると、センサ電極 X 1 とインダクタとの間で電磁誘導作用が生じ、インダクタに電流の変化が発生する。その結果、ペン P から交番磁界が送出され、近傍に位置するセンサ電

極 Y 1 に起電力が生ずる。こうして生じた起電力により各ループコイルに電流が発生し、差動アンプ 4 a を介してセンサコントローラ 4 に供給される。

センサコントローラ 4 は、所定時間にわたってセンサ電極 X 1 に交流電流 i_A , i_B を供給した直後にこうして差動アンプ 4 a から供給される電流を、各ループコイルに対応するペン P からの受信信号 R x として取得する。

[0074] 次にセンサコントローラ 4 は、図 19 (b) に示すように、スイッチ群 6 2 , 6 4 を構成する複数のスイッチ素子のオンオフを切り替え、新たに形成したループコイルの両端を、それぞれに対応する差動アンプ 4 a の 2 つの入力端子のそれぞれに接続する。そして、上記と同様の処理を行うことにより、各ループコイルに対応するペン P からの受信信号 R x を取得する。

[0075] センサコントローラ 4 は、以上の処理を、選択するセンサ電極 X 1 を 1 本ずつシフトしながら、繰り返し実行する。すべてのセンサ電極 X 1 の選択と、その後の処理が終了すると、センサコントローラ 4 は、センサ電極 X 1 ごとに、各ループコイルでの受信信号 R x を取得することになる。センサコントローラ 4 は、取得した複数の受信信号 R x の信号強度の操作面 1 a 内における分布を導出し、その結果に基づいてペン P の位置を導出する。このように、本変形例によっても、本実施の形態によるセンサコントローラ 4 と同様に、ペン P の位置を導出することが可能になる。なお、本変形例によるセンサコントローラ 4 を、本実施の形態によるセンサコントローラ 4 と同様に、選択したセンサ電極 Y 1 の一方側に隣接する 1 本のセンサ電極 Y 1 それぞれの一端に交流電流 i_A を、他方側に隣接する 1 本のセンサ電極 Y 1 それぞれの一端に交流電流 i_B を供給するように構成してもよいのは勿論である。

[0076] 以上、本発明の好ましい実施の形態について説明したが、本発明はこうした実施の形態に何等限定されるものではなく、本発明が、その要旨を逸脱しない範囲において、種々なる態様で実施され得ることは勿論である。

[0077] 例えば、上記各実施の形態では、回路層 1 1 の中にセンサ電極 X 1 , Y 1 を配置したが、他の層の中にセンサ電極 X 1 , Y 1 を配置することによっても、上記各実施の形態と同様に、電磁誘導 (EMR) 方式のペン入力に対応

する反射型ディスプレイ 2 の低背化を実現することができる。以下、具体的な例を挙げて説明する。

[0078] 図 20 及び図 21 はそれぞれ、回路層 11 以外の層にセンサ電極 X1, Y1 を配置する場合における反射型ディスプレイ 2 の層構造の例を示す図である。

[0079] 図 20 に示す例は、共通電極層 14 の中にセンサ電極 X1 を設ける例である。この場合、共通電極層 14 内の共通電位線 CL とは別にセンサ電極 X1 を設けてもよいし、時分割により共通電位線 CL をセンサ電極 X1 として用いることとしてもよい。また、センサ電極 X1 に代えてセンサ電極 Y1 を共通電極層 14 内に設けることとしてもよい。この場合においても、共通電極層 14 内の共通電位線 CL とは別にセンサ電極 Y1 を設けてもよいし、時分割により共通電位線 CL をセンサ電極 Y1 として用いることとしてもよい。

[0080] 図 20 に示す例は、タッチセンサ 16 の中にセンサ電極 X1 を設ける例である。この場合、センサ電極 X2 とは別にセンサ電極 X1 を設けてもよいし、時分割によりセンサ電極 X2 をセンサ電極 X1 として用いることとしてもよい。また、センサ電極 X1 に代えてセンサ電極 Y1 をタッチセンサ 16 内に設けることとしてもよい。この場合においても、センサ電極 Y2 とは別にセンサ電極 Y1 を設けてもよいし、時分割によりセンサ電極 Y2 をセンサ電極 Y1 として用いることとしてもよい。

[0081] また、上記各実施の形態では、センサ電極 X1, Y1 の一方を交番磁界送出用として用い、他方を受信信号 Rx の受信用として用いたが、両方を受信信号 Rx の受信用として用いることも可能である。

[0082] 図 22 は、センサ電極 X1, Y1 の両方を受信信号 Rx の受信用として用いる場合における反射型ディスプレイ 2 の層構造を示す図である。同図に示すように、本変形例では、ペン P の中にバッテリー 70 が設けられており、ペン P は、このバッテリー 70 から供給される電力を用いて、インダクタから交番磁界を送出する。センサコントローラ 4 は、センサ電極 X1, Y1 のそれぞれによりループコイルを形成し、各ループコイルにおいて、ペン P が

送出した交番磁界を受信することにより、ペンPの位置導出を行えばよい。

符号の説明

[0083]	1	コンピュータ
	1 a	操作面
	2	反射型ディスプレイ
	3	ホストプロセッサ
	4	センサコントローラ
	4 a	差動アンプ
	1 0	基板
	1 1	回路層
	1 2	画素電極層
	1 3	反射表示層
	1 4	共通電極層
	1 5, 1 7	接着層
	1 6	タッチセンサ
	1 8	カバーガラス
	2 0	バックプレーン
	3 1, 3 3	パッシベーション膜
	3 1 h, 3 2 h, 3 3 h, 4 5 h, 4 6 h	コンタクトホール
	3 2	オーバーコート膜
	4 1	ゲート導体膜
	4 2	ゲート絶縁膜
	4 3	半導体膜
	4 4	ソースドレイン導体膜
	4 5	導電膜
	5 0	画素トランジスタ
	5 1	ストレージキャパシタ
	6 0 ~ 6 4	スイッチ群

7 0	バッテリー
A 1	表示領域
A 2	ベゼル領域
B E	基部電極
C	反射素子
C L	共通電位線
D L	データ線
F	指
G L	ゲート線
G V	ゲートビア導体
G W	ゲート配線
P	ペン
P X	画素電極
S L	配線
T A	端子領域
X 1, Y 1	電磁誘導センサ電極
X 2, Y 2	電界センサ電極

請求の範囲

- [請求項1] インダクタを備えた位置指示器が操作される操作面を含むカバー層と、
- 前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、
- 前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、
- 前記カバー層と前記反射表示層の間に設けられた共通電極を含む共通電極層と、を含み、
- 前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、
- 第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、
- それぞれ前記第1の方向に沿って延設された複数のデータ線と、
- それぞれ前記第1の方向に沿って延設された複数の第1の電磁誘導センサ電極と、を有し、
- 前記複数の第1の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられるものである、
- 反射型ディスプレイ。
- [請求項2] 前記バックプレーンは、前記表示領域内に、
- それぞれ前記第2の方向に沿って延設された複数のゲート線と、
- それぞれ前記第2の方向に沿って延設された複数の第2の電磁誘導センサ電極と、をさらに有し、
- 前記複数の第2の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられるものである、
- 請求項1に記載の反射型ディスプレイ。

[請求項3] 前記共通電極層は、前記表示領域内に、それぞれ前記第2の方向に沿って延設された複数の第2の電磁誘導センサ電極をさらに有し、

前記複数の第2の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられるものである、

請求項1に記載の反射型ディスプレイ。

[請求項4] 前記カバー層と前記共通電極層の間に設けられたタッチセンサをさらに含み、

前記タッチセンサは、前記表示領域内に、それぞれ前記第2の方向に沿って延設された複数の第2の電磁誘導センサ電極を有する、

請求項1に記載の反射型ディスプレイ。

[請求項5] インダクタを備えた位置指示器が操作される操作面を含むカバー層と、

前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、

前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、

前記カバー層と前記反射表示層の間に設けられた共通電極と、を含み、

前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、

第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、

それぞれ前記第2の方向に沿って延設された複数のゲート線と、

それぞれ前記第2の方向に沿って延設された複数の第2の電磁誘導センサ電極と、を有し、

前記複数の第2の電磁誘導センサ電極は、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位

置指示器の位置を検出するために用いられるものである、

反射型ディスプレイ。

[請求項6] インダクタを備えた位置指示器が操作される操作面を含むカバー層と、

前記カバー層から入射した光を設定階調でそれぞれ反射する複数の反射素子を含む反射表示層と、

前記操作面から見て前記反射表示層より遠い位置に設けられたバックプレーンと、

前記カバー層と前記反射表示層の間に設けられた共通電極と、を含み、

前記バックプレーンは、平面視で前記複数の反射素子と重なる表示領域内に、第1の方向及び該第1の方向と交差する第2の方向に沿ってマトリクス状に配置された複数の画素電極と、それぞれ前記第1の方向に沿って延設された複数の線状導体とを有し、

前記複数の線状導体は、時分割により、前記画素電極にデータ信号を供給するために用いられる複数のデータ線、及び、前記インダクタとの間で電磁誘導作用を生じさせることによって前記操作面内における前記位置指示器の位置を検出するために用いられる複数の第1の電磁誘導センサ電極のいずれか一方として用いられる、

反射型ディスプレイ。

[請求項7] 前記バックプレーンは、前記表示領域内に、前記複数の画素電極のそれぞれに対応して設けられる複数の画素トランジスタをさらに有し、

前記複数の画素トランジスタそれぞれの制御電極は前記複数のゲート線のいずれかに接続され、

前記複数の画素トランジスタそれぞれの一方の被制御電極は前記複数のデータ線のいずれかに接続され、

前記複数の画素トランジスタそれぞれの他方の被制御電極は、対応

する前記画素電極に接続される、

請求項 2 に記載の反射型ディスプレイ。

[請求項 8] 前記バックプレーンは、前記表示領域内に、前記複数の画素電極のそれぞれに対応して設けられる複数のストレージキャパシタをさらに有し、

前記複数のストレージキャパシタそれぞれの一方の電極は、対応する前記画素電極に接続される、

請求項 7 に記載の反射型ディスプレイ。

[請求項 9] 前記複数の第 1 の電磁誘導センサ電極は、前記第 2 の方向に隣接する前記データ線と前記ストレージキャパシタの間に延設される、

請求項 8 に記載の反射型ディスプレイ。

[請求項 10] 前記複数の第 1 の電磁誘導センサ電極の本数は、前記データ線の本数よりも小さい、

請求項 9 に記載の反射型ディスプレイ。

[請求項 11] 前記バックプレーンは、

前記複数のデータ線を覆う絶縁膜と、

前記複数の画素電極のそれぞれと前記絶縁膜との間に設けられる複数の導電膜と、をさらに有し、

前記ストレージキャパシタそれぞれの他方の電極は、対応する前記導電膜により構成される、

請求項 8 に記載の反射型ディスプレイ。

[請求項 12] 前記複数の第 2 の電磁誘導センサ電極は、端部に設けられた基部電極により互いに接続される、

請求項 2 又は 5 に記載の反射型ディスプレイ。

[請求項 13] 前記基部電極は、平面視で前記表示領域の外の領域に配置される、
請求項 1 2 に記載の反射型ディスプレイ。

[請求項 14] 前記複数の第 2 の電磁誘導センサ電極はそれぞれ、センサコントローラから供給される交流電流が流れることで磁束の変化を生じさせる

ことにより、前記インダクタとの間で電磁誘導作用を生じさせる、
請求項 2 又は 5 に記載の反射型ディスプレイ。

[請求項15] 前記複数の第 1 の電磁誘導センサ電極はそれぞれ、前記インダクタに流れる電流の変化により生ずる磁束の変化に応じた起電力が生ずることで、前記インダクタとの間で電磁誘導作用を生じさせる、
請求項 1 に記載の反射型ディスプレイ。

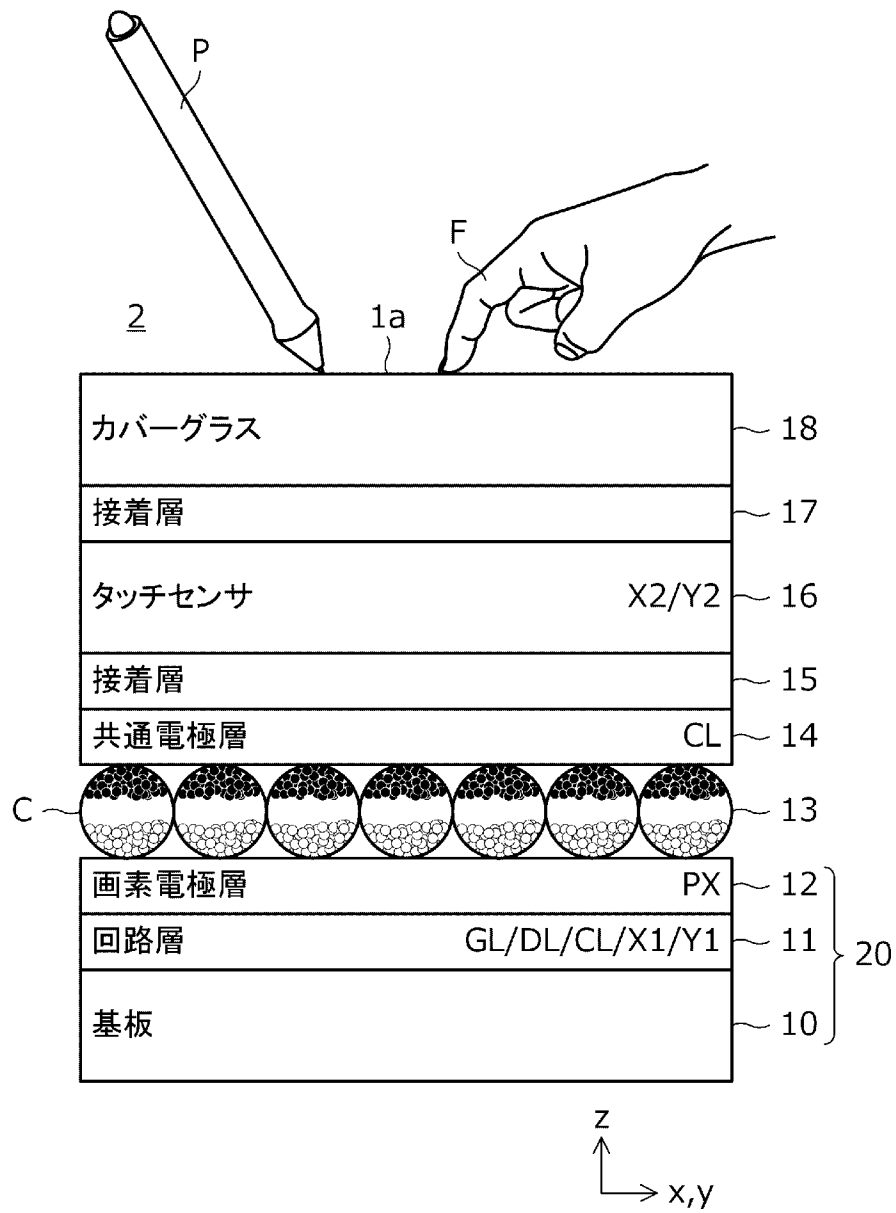
[請求項16] 前記複数の第 1 の電磁誘導センサ電極はそれぞれ、センサコントローラから供給される交流電流が流れることで磁束の変化を生じさせることにより、前記インダクタとの間で電磁誘導作用を生じさせる、
請求項 2 に記載の反射型ディスプレイ。

[請求項17] 前記複数の第 2 の電磁誘導センサ電極はそれぞれ、前記インダクタに流れる電流の変化により生ずる磁束の変化に応じた起電力が生ずることで、前記インダクタとの間で電磁誘導作用を生じさせる、
請求項 1 6 に記載の反射型ディスプレイ。

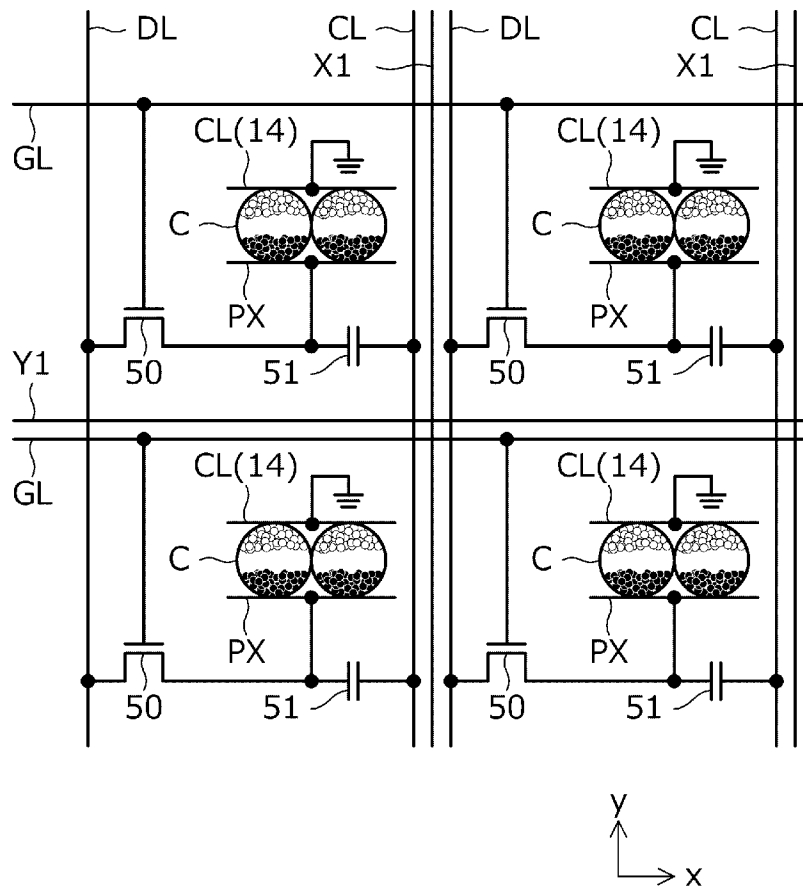
[請求項18] 前記複数のゲート線はそれぞれ、前記第 1 の方向に見て交互に、一端及び他端のいずれか一方でルーティング配線に接続される、
請求項 2 又は 5 に記載の反射型ディスプレイ。

[請求項19] 前記複数のゲート線はそれぞれ、前記表示領域内でルーティング配線に接続される、
請求項 2 又は 5 に記載の反射型ディスプレイ。

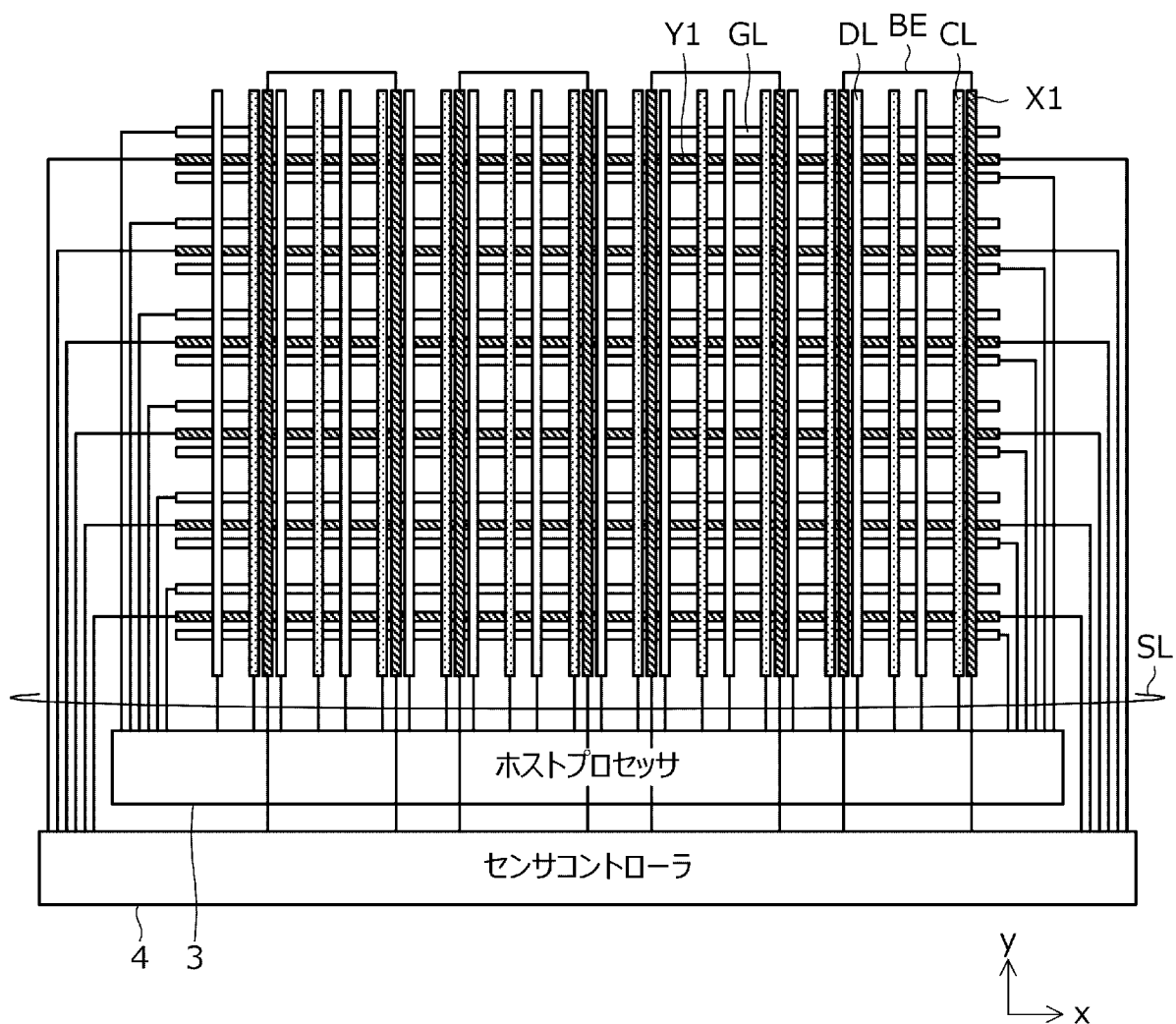
[図2]



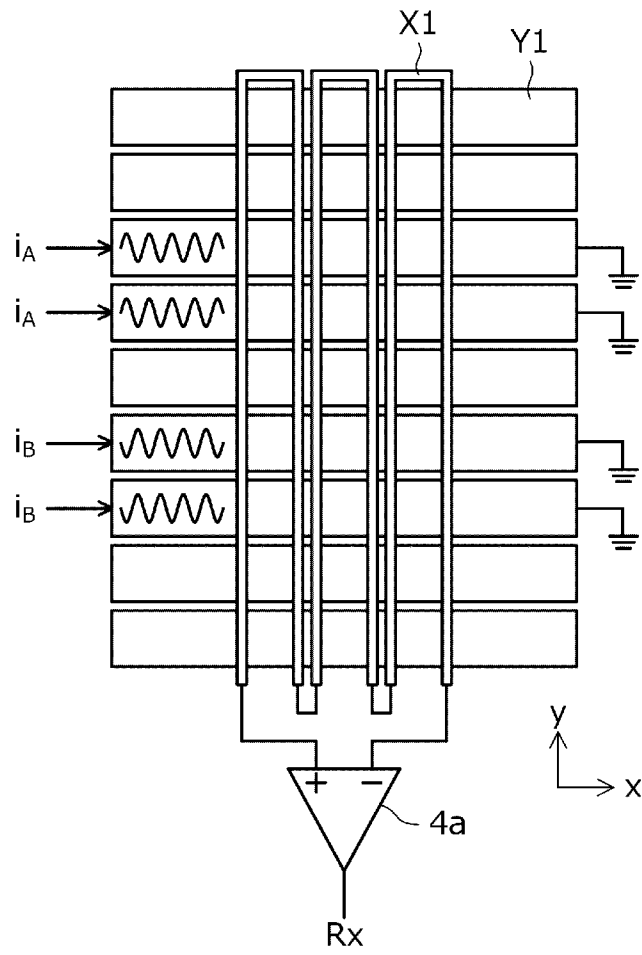
[図3]



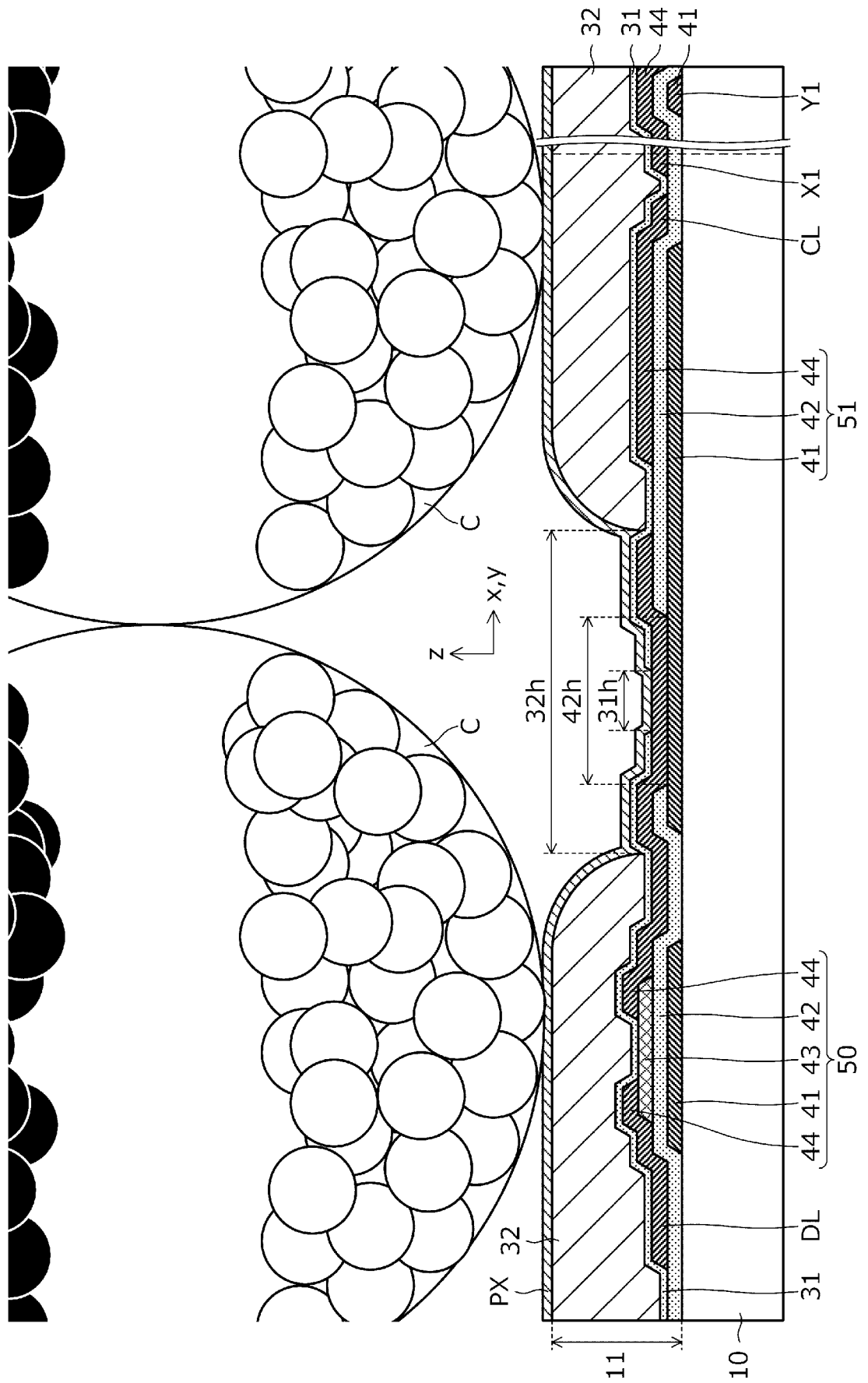
[図4]



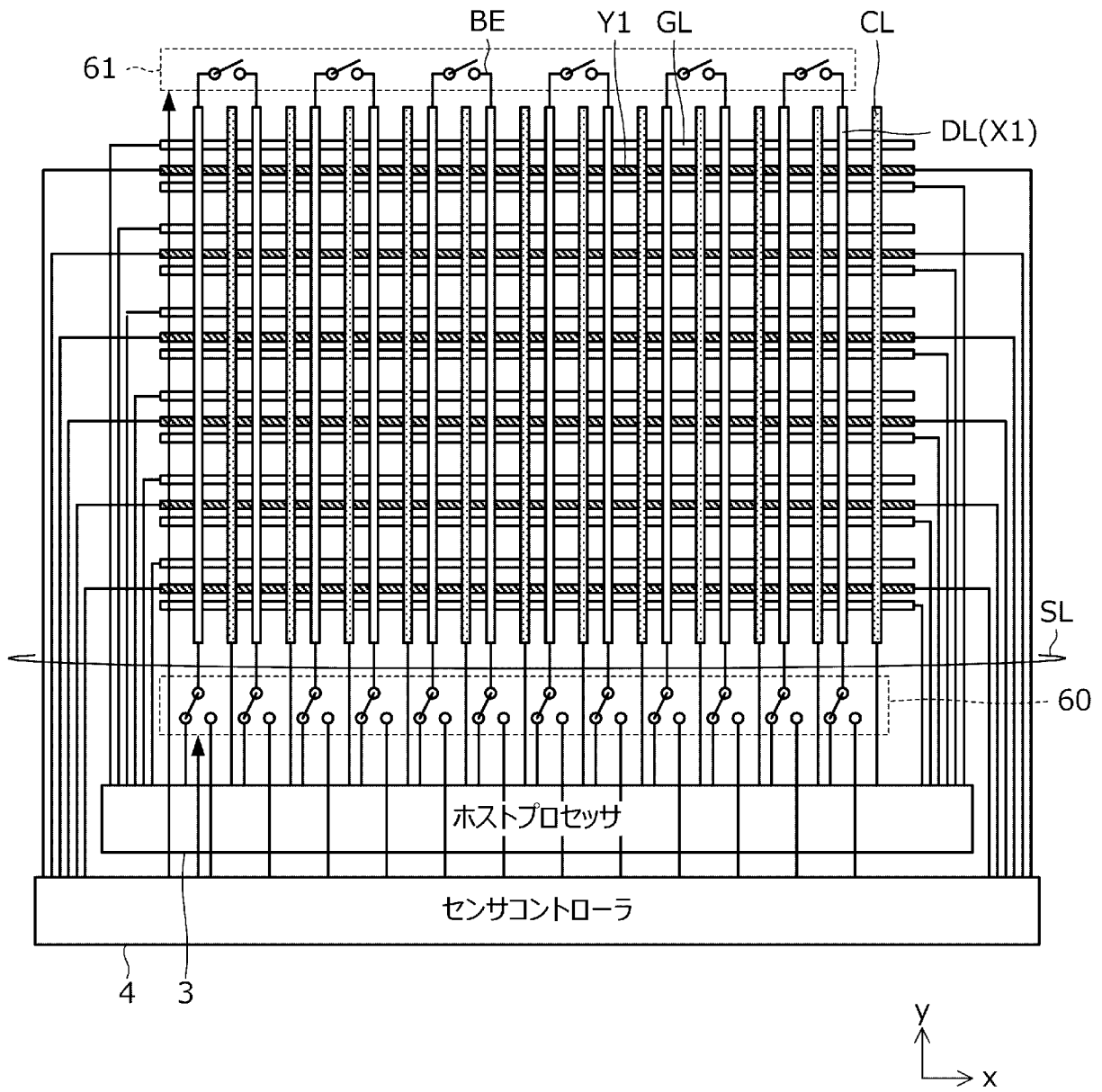
[図5]



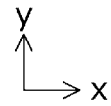
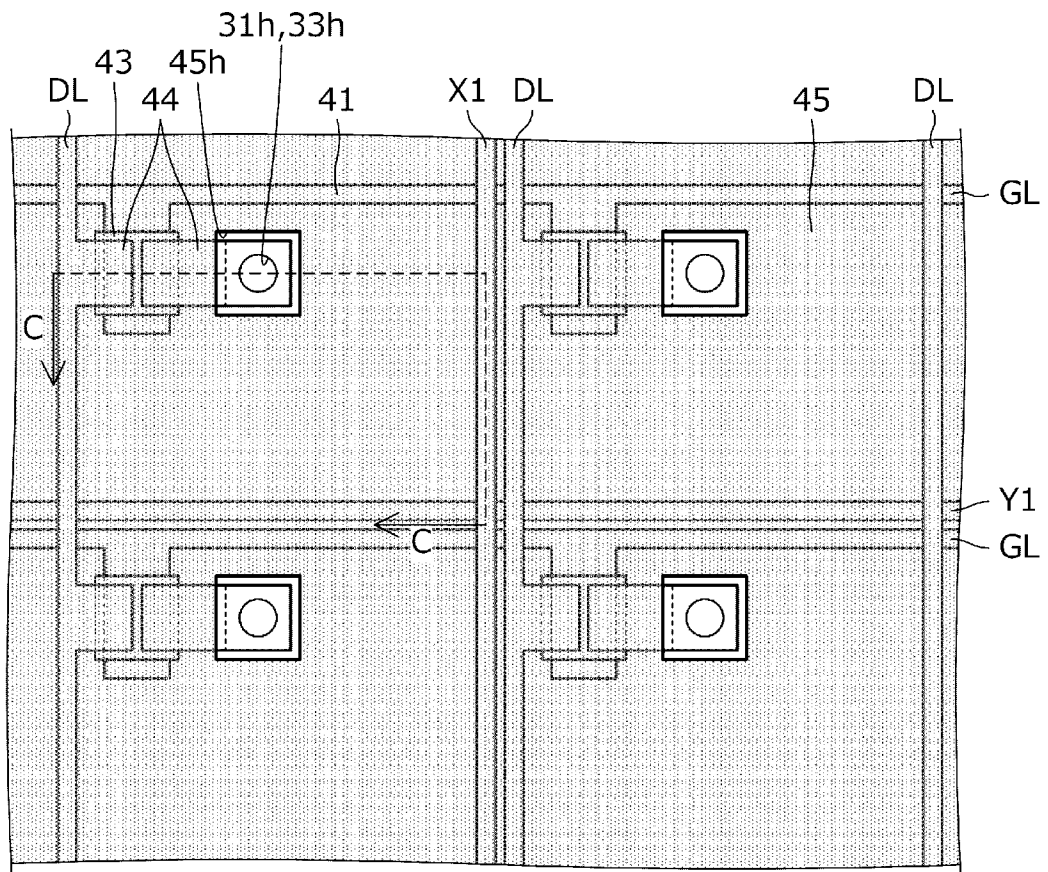
[図7]



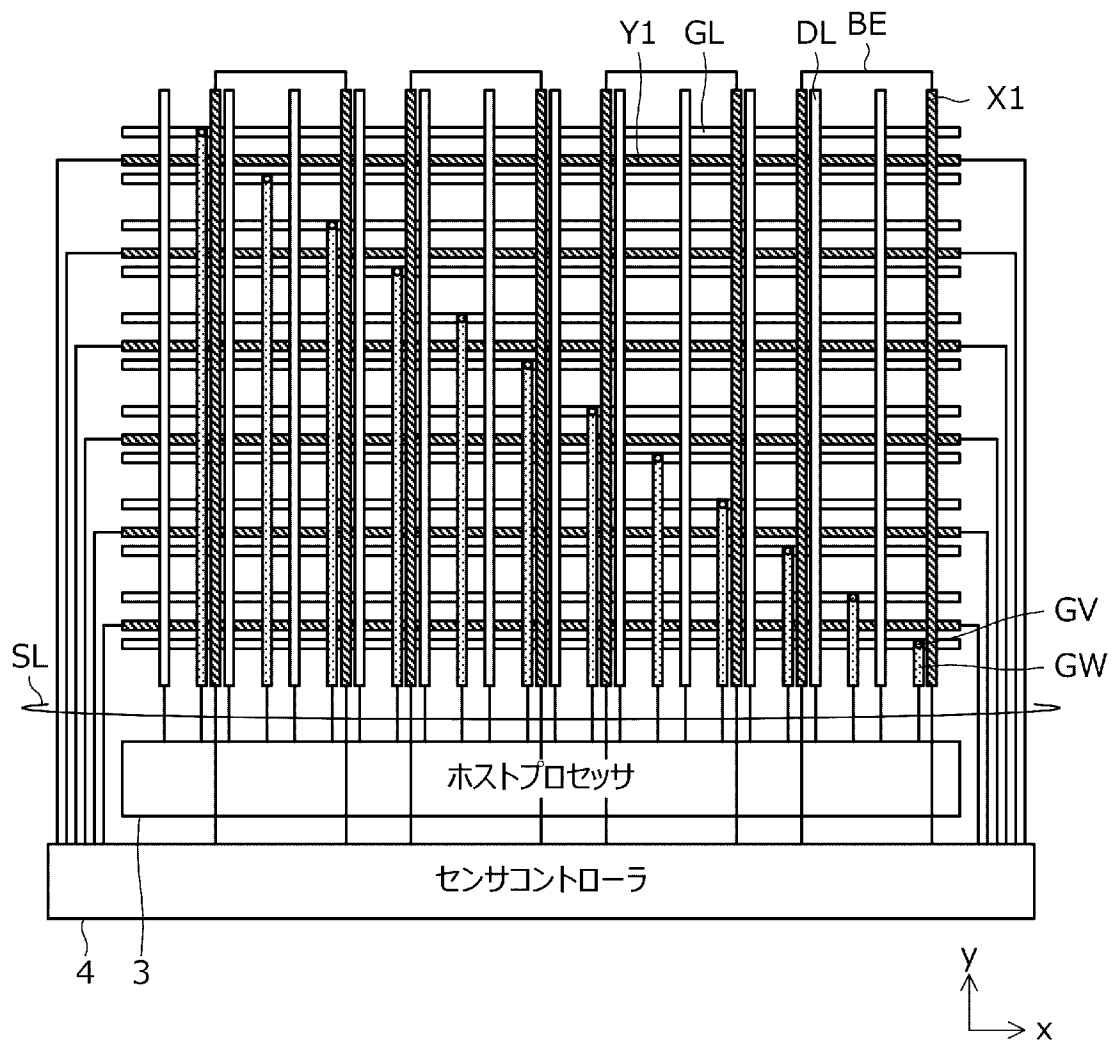
[図10]



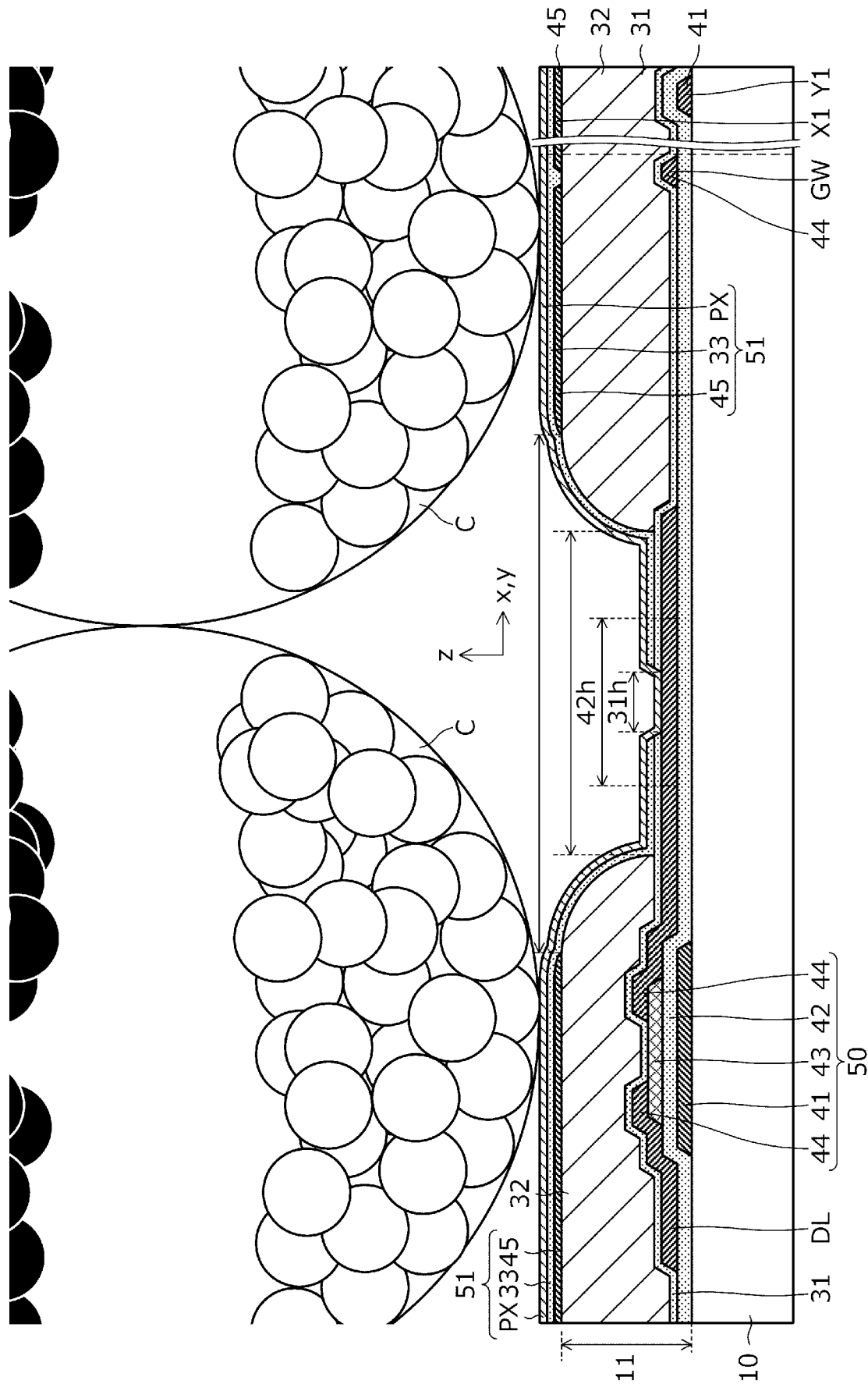
[図11]

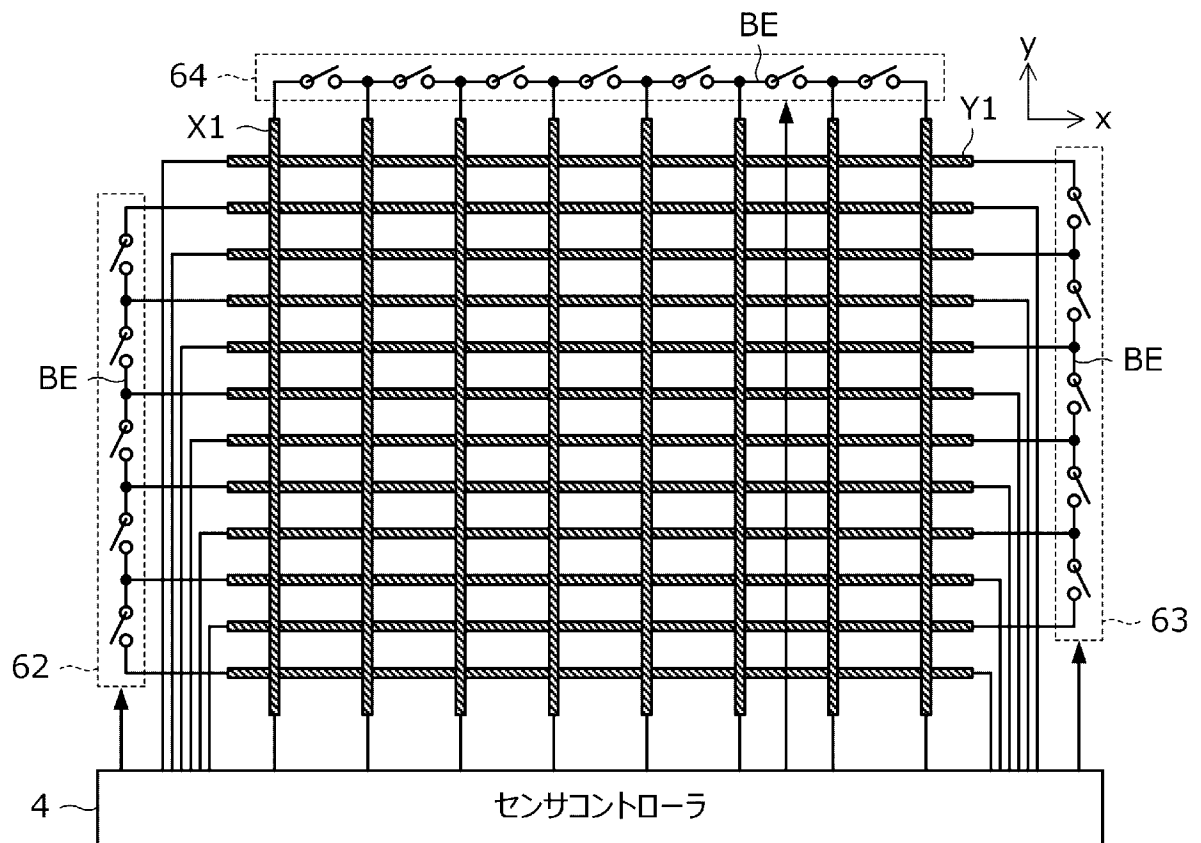


[図13]

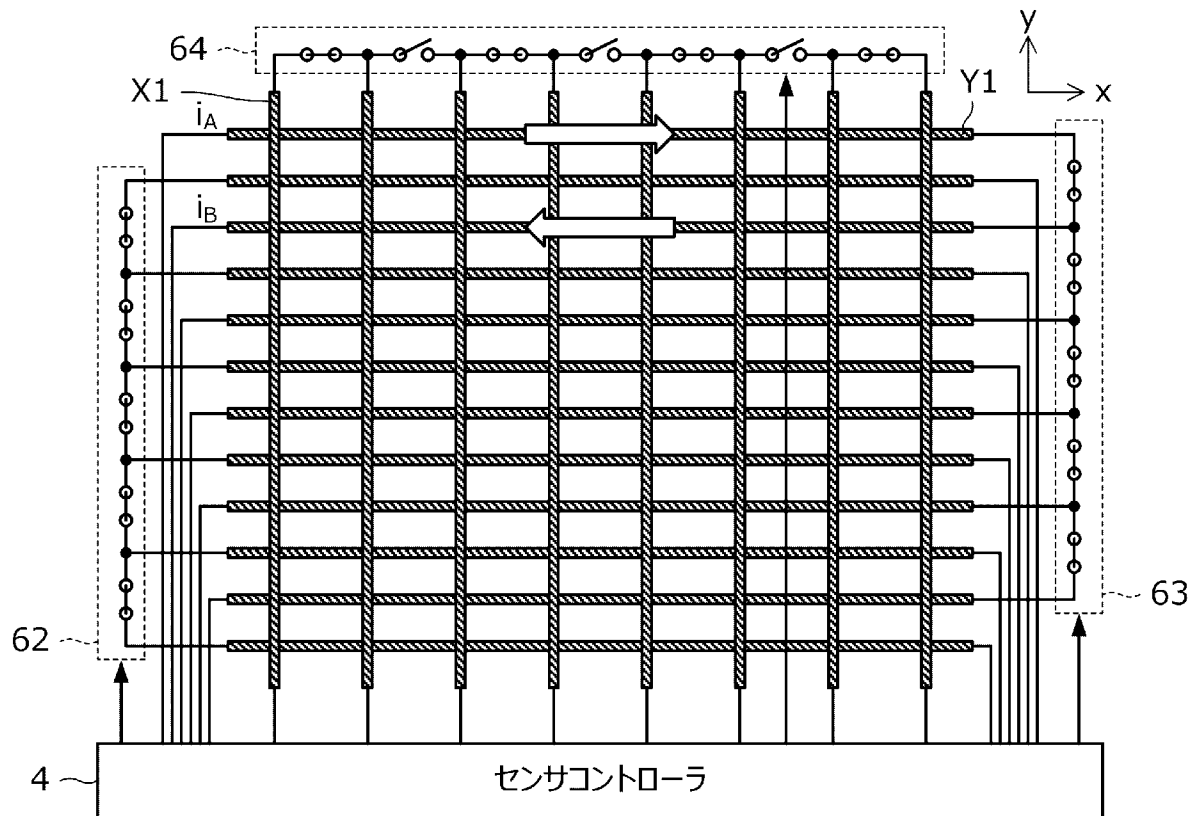


[図15]

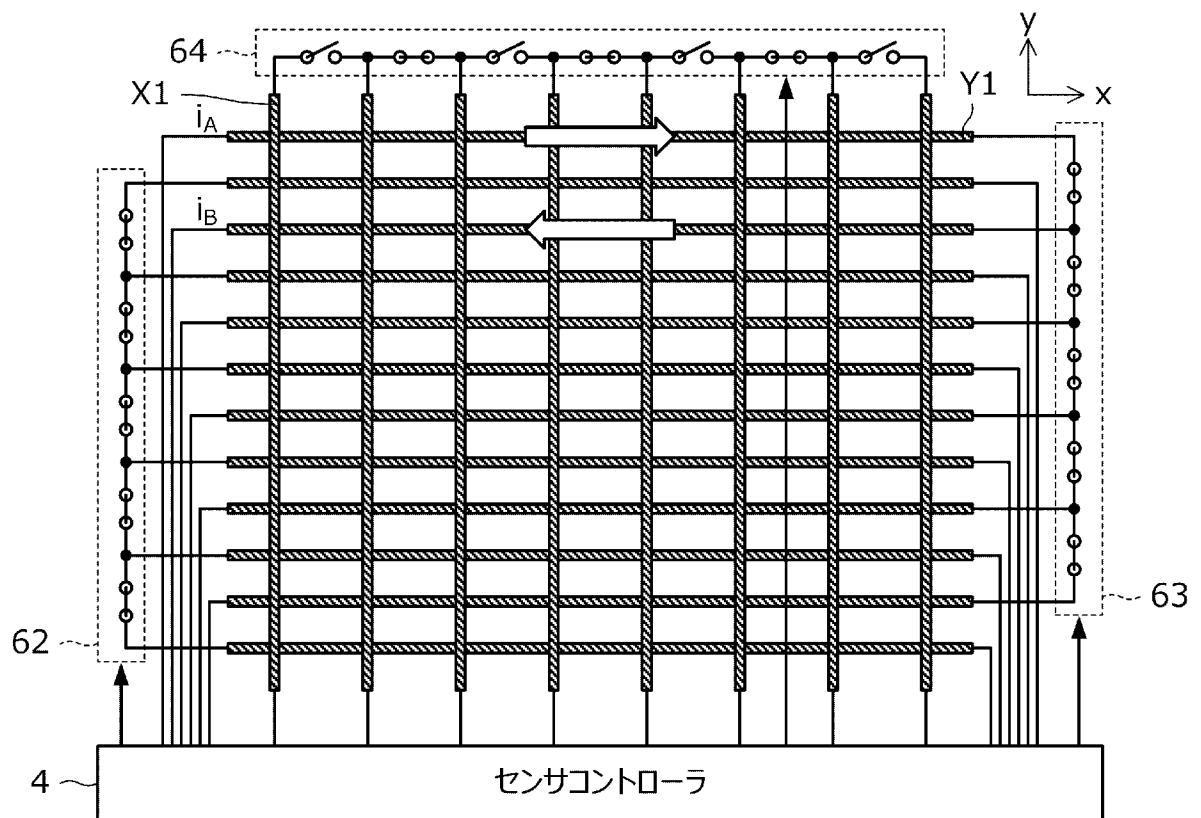




[図17]

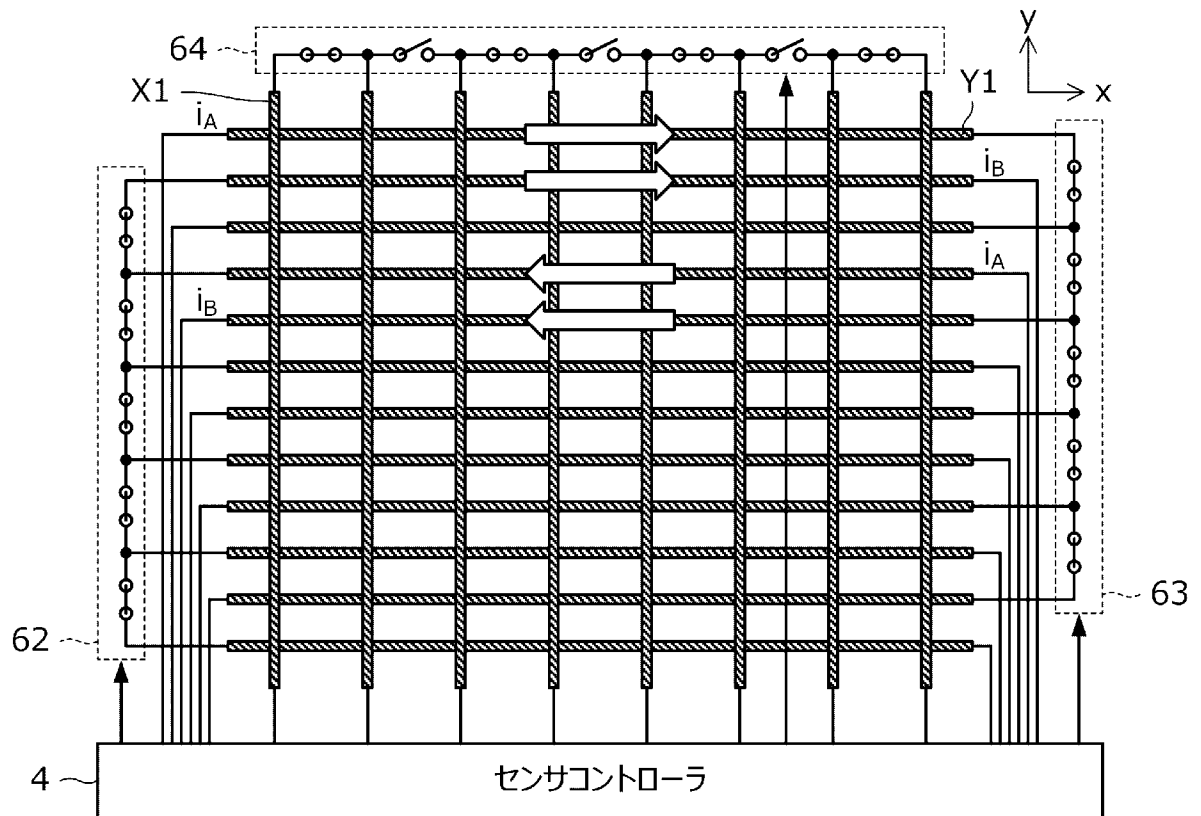


(a)

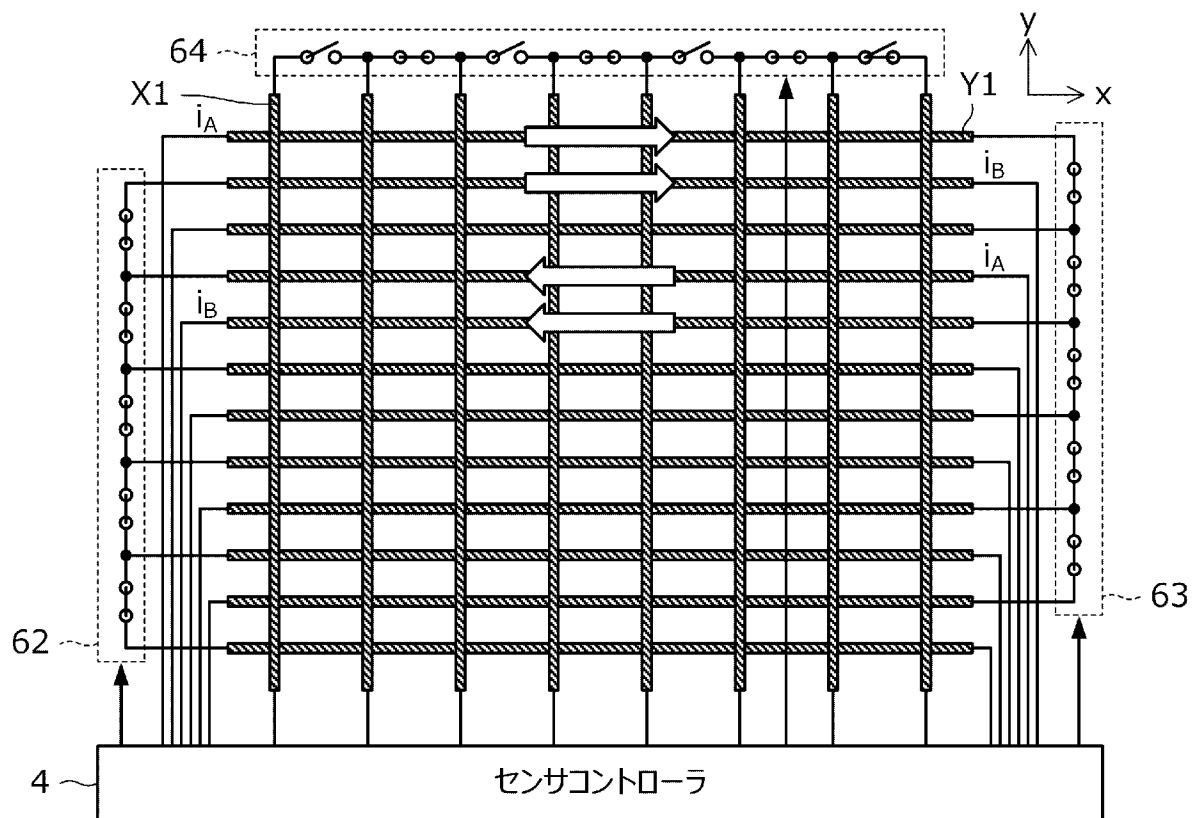


(b)

[図18]



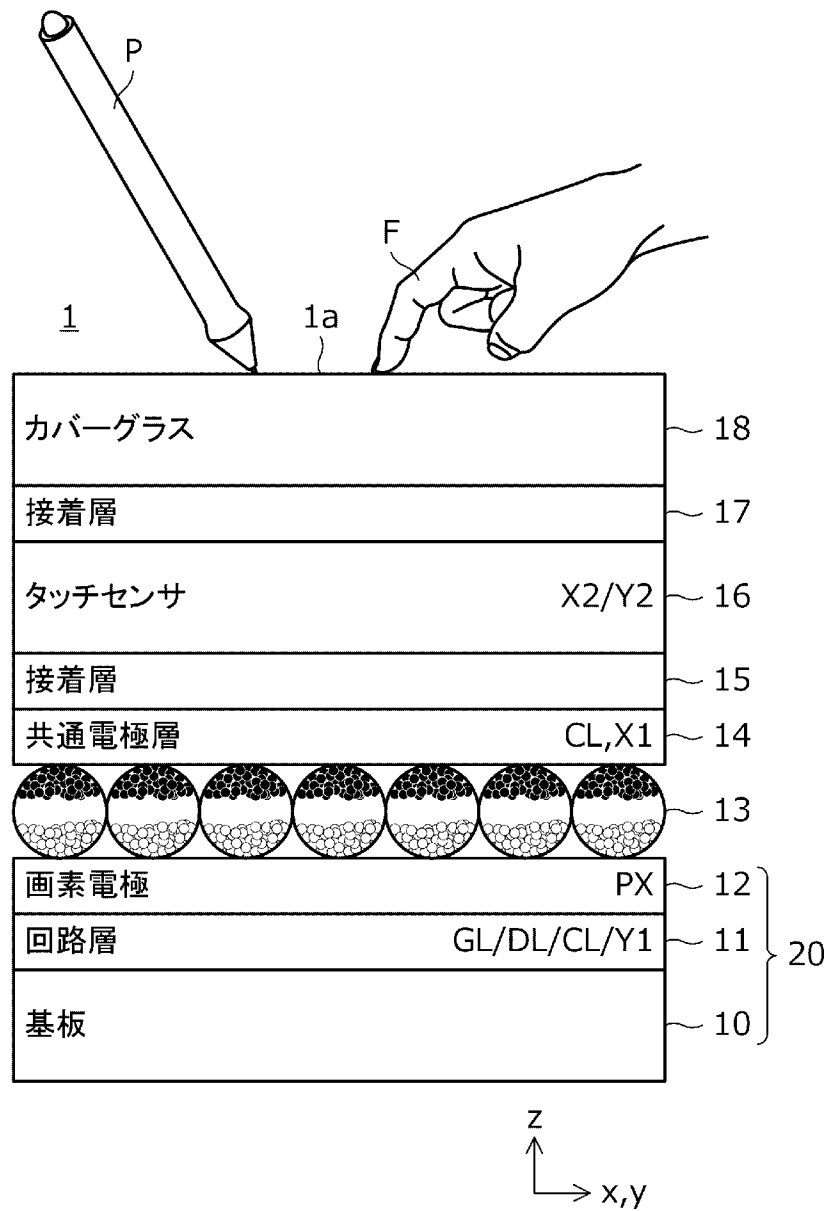
(a)



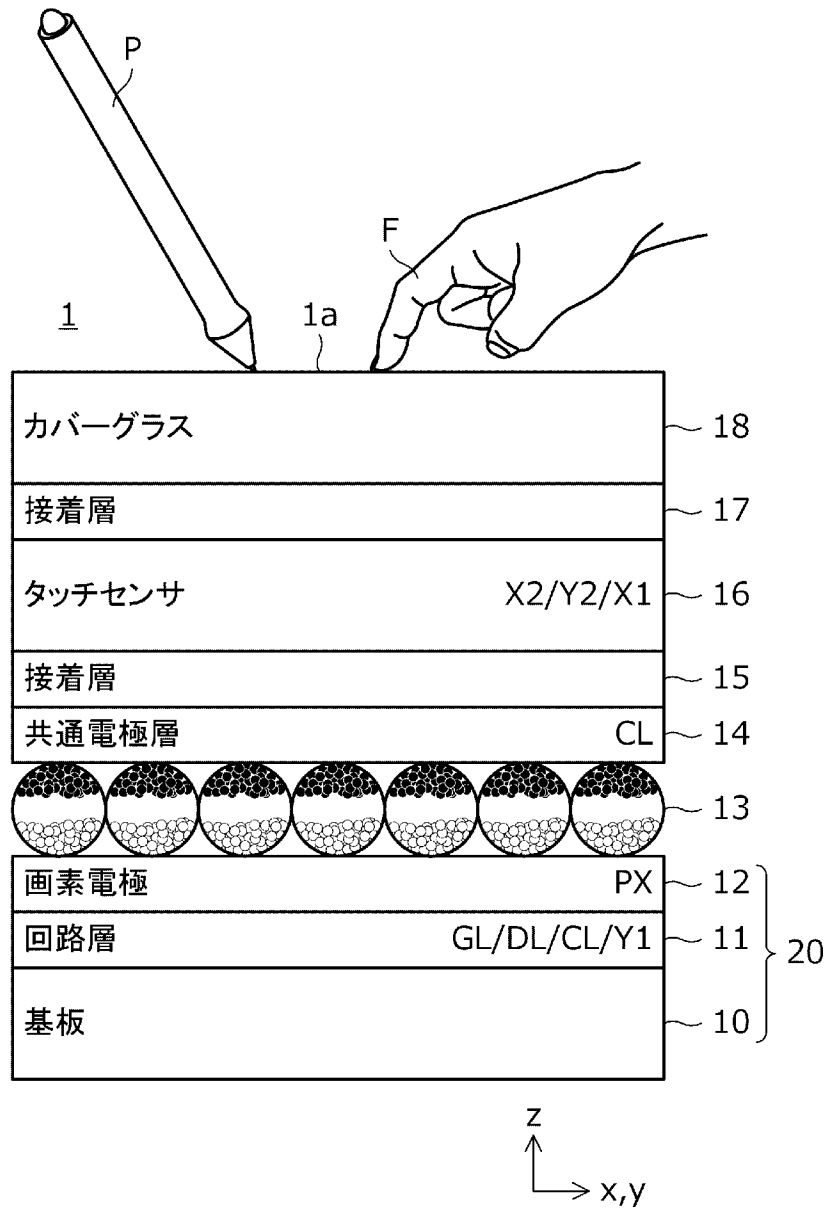
(b)

(b)

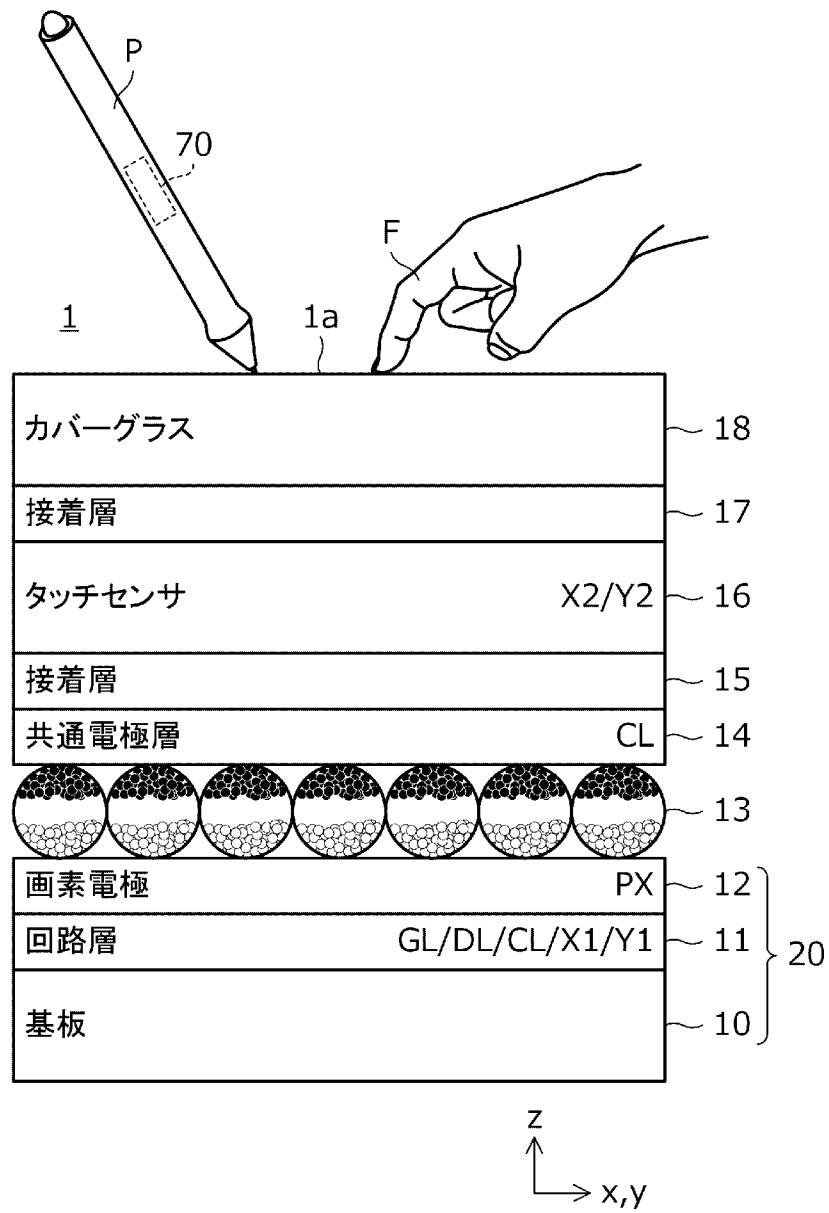
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/015679

A. CLASSIFICATION OF SUBJECT MATTER G06F 3/046 (2006.01)i; G02F 1/1333 (2006.01)i; G02F 1/1675 (2019.01)i; G06F 3/041 (2006.01)i FI: G06F3/046 A; G06F3/041 412; G02F1/1675; G02F1/1333 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F3/046; G02F1/1333; G02F1/1675; G06F3/041 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/122043 A1 (PICT LEAP CO., LTD.) 18 June 2020 (2020-06-18) paragraphs [0014]-[0101], fig. 1-20	1-3, 5, 7-17
Y		4, 18-19
A		6
Y	WO 2016/006272 A1 (WACOM CO., LTD.) 14 January 2016 (2016-01-14) paragraph [0060], fig. 2	4
Y	WO 2018/181435 A1 (SHARP KABUSHIKI KAISHA) 04 October 2018 (2018-10-04) paragraph [0081], fig. 12	18-19
A	US 2013/0333023 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 December 2013 (2013-12-12) entire text	1-19
A	JP 2019-91291 A (JAPAN DISPLAY INC.) 13 June 2019 (2019-06-13) entire text	1-19
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 21 May 2024		Date of mailing of the international search report 04 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/015679

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2007-0079103 A (SAMSUNG ELECTRONICS CO., LTD.) 06 August 2007 (2007-08-06) fig. 4	18-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/015679

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/122043	A1	18 June 2020	(Family: none)	
WO	2016/006272	A1	14 January 2016	US 2017/0097724	A1
				paragraph [0071], fig. 2	
				EP 3168717	A1
				CN 106462263	A
WO	2018/181435	A1	04 October 2018	US 2020/0064669	A1
				paragraph [0097], fig. 12	
US	2013/0333023	A1	12 December 2013	EP 2674935	A2
				KR 10-2013-0139031	A
JP	2019-91291	A	13 June 2019	US 2019/0146619	A1
				entire text	
KR	10-2007-0079103	A	06 August 2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

G06F 3/046(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/1675(2019.01)i; G06F 3/041(2006.01)i
FI: G06F3/046 A; G06F3/041 412; G02F1/1675; G02F1/1333

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G06F3/046; G02F1/1333; G02F1/1675; G06F3/041

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/122043 A1（株式会社ピクトリープ） 18.06.2020（2020-06-18） 段落[0014]-[0101], 図1-20	1-3, 5, 7-17
Y		4, 18-19
A		6
Y	WO 2016/006272 A1（株式会社ワコム） 14.01.2016（2016-01-14） 段落[0060], 図2	4
Y	WO 2018/181435 A1（シャープ株式会社） 04.10.2018（2018-10-04） 段落[0081], 図12	18-19
A	US 2013/0333023 A1（SAMSUNG ELECTRONICS CO., LTD.） 12.12.2013（2013-12-12） 全文	1-19
A	JP 2019-91291 A（株式会社ジャパンディスプレイ） 13.06.2019（2019-06-13） 全文	1-19

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
21.05.2024

国際調査報告の発送日
04.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）
仲野 一秀 2Z 5267
電話番号 03-3581-1101 内線 3247

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	KR 10-2007-0079103 A (SAMSUNG ELECTRONICS CO., LTD.) 06.08.2007 (2007 - 08 - 06) 図4	18-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/015679

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/122043	A1	18.06.2020	(ファミリーなし)	
WO	2016/006272	A1	14.01.2016	US 2017/0097724	A1
				段落[0071], 図2	
				EP 3168717	A1
				CN 106462263	A
WO	2018/181435	A1	04.10.2018	US 2020/0064669	A1
				段落[0097], 図12	
US	2013/0333023	A1	12.12.2013	EP 2674935	A2
				KR 10-2013-0139031	A
JP	2019-91291	A	13.06.2019	US 2019/0146619	A1
				全文	
KR	10-2007-0079103	A	06.08.2007	(ファミリーなし)	