

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G02F 1/136	(45) 공고일자 1999년 10월 15일	(11) 등록번호 10-0224704
(21) 출원번호 10-1996-0029866	(24) 등록일자 1999년 07월 15일	(65) 공개번호 특 1998-0010562
(22) 출원일자 1996년 07월 23일	(43) 공개일자 1998년 04월 30일	

(73) 특허권자	삼성전자주식회사	윤종용
(72) 발명자	이주형	
(74) 대리인	이영필, 권석흠, 정상빈	

**심사관 : 강해성**

### (54) 박막 트랜지스터-액정표시장치 및 그 제조방법

#### 요약

박막 트랜지스터-액정 표시장치 및 그 제조방법에 대해 기재되어 있다. 이 액정 표시장치는 투광성 기판, 기판의 표면 위에 형성되며, 제1층의 도전층으로 이루어진 데이터라인, 데이터라인의 일부를 노출시키도록 형성된 반도체층, 반도체층 상에 게이트절연막을 개재하여 형성되고, 제2층의 도전층으로 이루어진 게이트, 게이트 양측 하부의 반도체층에 형성된 소오스/드레인, 게이트절연막 및 반도체층을 관통하는 콘택홀을 통해 상기 데이터라인과 접촉하는 패드, 제2층의 도전층으로 이루어지며, 콘택홀을 통해 데이터라인과 접속하는 화소전극 및 게이트절연막에 의해 데이터라인과 이격되며, 제2층의 도전층으로 이루어진 스토리지 캐패시터의 상부전극을 포함하는 것을 특징으로 한다. 따라서, 콘택홀 형성공정을 안정적으로 진행할 수 있고, 사진식각 공정 횟수를 줄일 수 있고, 레이저 사용횟수를 1회로 줄이고, 공정 신뢰성을 증가시킬 수 있다.

#### 대표도

#### 도 3

#### 명세서

#### 도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 레이아웃을 설명하기 위한 개략도이다.

도 2a 내지 도 2e는 종래 기술에 의한 상부 게이트(top gate)형 박막 트랜지스터-액정 표시장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 3은 본 발명의 실시예에 의한 박막 트랜지스터-액정 표시장치를 도시한 단면도이다.

도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 박막 트랜지스터-액정 표시장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로, 특히 공정을 단순화하여 수율을 향상시킬 수 있는 박막 트랜지스터-액정표시장치 및 그 제조방법에 관한 것이다.

화상정보 시대에서 정보전달의 주 매개체인 표시장치의 퍼스널화, 스페이스 절약화라는 요구에 부응하여, 지금까지 표시장치의 주종이었던 거대한 음극선관(Cathod Ray Tube)을 대신하여 액정 표시 장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 일렉트로 루미네센스(Electro Luminescence; EL) 등 각종 평판 표시장치가 개발되어 급속도로 보급되고 있다. 그 중에서도 특히 액정 표시장치는, 전기장(electric field)에 의하여 분자의 배열이 변화하는 액정의 광학적 성질을 이용하는 액정기술과 반도체 기술을 융합한 표시장치로서, 평판 표시장치의 대명사로 불리고 있다.

액정 표시장치의 일종인 액티브 매트릭스형 액정 표시장치는, 각각의 화소전극에 독립적인 능동소자(Active Element)를 부가하여 각각의 화소를 독립적으로 구동하며, 인접화소의 데이터신호에 의한 영향을 최소화시켜 콘트라스트비를 높일 수 있다. 특히, 박막 트랜지스터를 능동소자로 사용하는 박막 트랜지스

터 - 액정 표시장치(Thin Film Transistor - LCD; 이하, TFT - LCD라 칭함)는 저소비전력, 저전압구동력, 박형, 경량의 장점을 갖추고 있다. 따라서, TFT - LCD는 주로 노트북형 PC와 같은 사무기기 등에 널리 적용되고 있으며, 그 표시화면이 점차 대형화되어 감에 따라 대량의 정보를 한 화면에 나타낼 수 있도록 되어, 향후 벽걸이용 TV에 까지 그 적용범위가 확대될 것으로 기대되고 있다.

도 1은 일반적인 액정 표시장치의 레이아웃을 설명하기 위한 개략도이다.

도 1에서, 기판(100) 상에 가로방향으로 게이트 라인(110)이 형성되어 있고, 게이트 라인(110)의 한쪽 끝에 게이트 패드(120)가 마련되어 있다. 세로방향으로는 데이터 라인(130)이 형성되어 있고, 데이터 라인(130)의 한쪽 끝에 데이터 패드(140)가 마련되어 있다. 상기 복수의 게이트 라인(110)과 데이터 라인(130)에 의해 둘러싸여지는 부분이 하나의 화소(150)가 된다.

이어서, 종래 기술에 의한 박막 트랜지스터 - 액정 표시장치의 제조방법을 도 2a 내지 도 2e를 참조하여 설명하기로 한다.

도 2a를 참조하면, 유리기판과 같은 투광성 기판(2) 상에 비정질실리콘을 화학 기상 증착(Chemical Vapor Deposition: CVD)과 같은 증착법으로 소정 두께 증착하여 반도체층을 형성한 후, 소정 펄스(pulse)의 레이저를 조사하여 상기 반도체층을 결정화시킨다. 이어서, 1차 사진식각 공정을 실시하여 상기 반도체층을 식각함으로써 반도체층 패턴(6)을 형성한다. 상기 반도체층 패턴(6) 하부에 도우프된 폴리실리콘 또는 금속물질층을 증착한 후 패터닝하여 보강층(4)을 형성할 수도 있다.

도 2b를 참조하면, 반도체층 패턴(6)이 형성된 결과물 상에 절연물질을 증착하여 게이트절연막(8)을 형성한 후, 2차 사진공정을 실시하여 스토리지 캐패시터가 형성될 영역을 한정하고, 상기 한정된 영역에 이온사워 도핑방법과 같은 불순물이온을 주입공정을 실시하여 스토리지 캐패시터가 형성될 영역의 상기 반도체층 패턴(6a)을 도우프시킨다.

이어서, 결과물 상에 알루미늄(Al)과 같은 게이트 금속을 증착한 후, 3차 사진식각 공정을 실시하여 게이트 전극(10) 및 스토리지 캐패시터의 상부전극(12)을 형성한다.

도 2c를 참조하면, 4차 사진공정을 실시하여 N-채널 박막 트랜지스터 영역을 한정한 후 이온사워 도핑공정을 실시하여 상기 반도체층 패턴을  $N^+$ 로 도우프시킨다. 이어서, 5차 사진공정을 실시하여 P-채널 박막 트랜지스터 영역을 한정한 후 상기 한정된 영역에 통상의 이온사워도핑 공정을 실시하여 P-채널 박막 트랜지스터 영역의 반도체층 패턴을  $P^+$ 로 도우프시킨다.

계속해서, 상기 결과물에 대해 레이저 공정을 실시하여 상기 도핑된 반도체층을 활성화시킴으로써, 소오스/드레인(14)을 형성한다. 이 때, 게이트전극(10) 하부의 도우프되지 않은 반도체층(6)은 박막 트랜지스터의 채널영역이 된다.

도 2d를 참조하면, 소오스/드레인이 형성된 결과물 상에 절연물질을 소정 두께로 증착하여 층간절연층(16)을 형성한 후, 6차 사진식각 공정을 실시하여 콘택이 형성될 부위의 상기 층간절연막(16)을 식각함으로써 콘택홀을 형성한다. 이어서, 콘택홀이 형성된 상기 결과물 상에, 예를 들어 알루미늄(Al)과 같은 금속물질을 증착한 후, 7차 사진식각 공정을 실시하여 상기 금속물질을 패터닝하여 데이터라인(20) 및 화소전극용 금속층(18)을 형성한다.

도 2e를 참조하면, 상기 데이터라인(20) 및 화소전극용 금속층(18)이 형성된 결과물 상에 보호막용 절연층(22)을 형성한 후, 8차 사진식각 공정으로 상기 데이터라인의 소정 부위를 식각하여 식각하여 비아홀을 형성한다. 이어서, 그 결과물 상에 ITO(Indium Tin Oxide)와 같은 화소전극 물질을 증착한 후, 9차 사진식각 공정을 실시하여 상기 ITO를 패터닝함으로써 화소전극(24)을 형성한다.

상기한 종래의 박막 트랜지스터의 제조방법에 따르면, 첫째, 활성층의 두께가 얇기 때문에 콘택저항이 매우 크게 된다. 콘택저항을 줄이기 위하여 콘택 형성부위에 폴리실리콘으로 보강층(도 2a의 참조부호 4)을 형성하는 방법이 있으나, 이는 마스크의 수를 증가시키고 공정이 복잡해진다. 둘째, 비정질실리콘 증착 후 및 이온사워 도핑 후 각각 레이저 공정이 필요하므로, 생산성이 낮다. 셋째, 사진공정이 9 ~ 10회 필요하므로, 생산단가가 증가한다.

### **발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는, 콘택저항을 감소시킬 수 있고, 공정을 단순화하여 생산성 향상 및 제조단가의 절감을 구현할 수 있는 개선된 구조의 박막 트랜지스터 - 액정 표시장치를 제공함에 있다. 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 개선된 구조의 박막 트랜지스터 - 액정 표시장치의 적합한 제조방법을 제공함에 있다.

### **발명의 구성 및 작용**

상기 과제를 이루기 위하여 본 발명에 따른 박막 트랜지스터-액정 표시장치는, 투광성 기판; 상기 기판의 표면 위에 형성되며, 제1층의 도전층으로 이루어진 데이터라인; 상기 기판 상에 게이트절연막을 개재하여 형성되고, 제2층의 도전층으로 이루어진 게이트; 상기 제2층의 도전층으로 이루어지며, 콘택홀을 통해 상기 데이터라인과 접속하는 화소전극; 및 층간절연막에 의해 상기 데이터라인과 이격되며, 제2층의 도전층으로 이루어진 스토리지 캐패시터의 상부전극을 포함하는 것을 특징으로 한다. 여기서, 상기 데이터라인 위에 300nm ~ 700nm 정도의 두께를 갖는 절연층이 더 형성되어 있으며, 상기 제2층의 도전층은 인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질로 이루어진다. 또한, 상기 데이터라인은 상기 게이트 양측 하부의 반도체층에 형성된 소오스/드레인과 측면으로 접촉한다.

상기 과제를 이루기 위하여 본 발명에 따른 박막 트랜지스터-액정 표시장치는 또한, 투광성 기판; 상기 기판의 표면 위에 형성되며, 제1층의 도전층으로 이루어진 데이터라인; 상기 데이터라인의 일부를 노출시

키도록 형성된 반도체층; 상기 반도체층 상에 게이트절연막을 개재하여 형성되고, 제2층의 도전층으로 이루어진 게이트; 상기 게이트 양측 하부의 반도체층에 형성된 소오스/ 드레인; 상기 게이트절연막 및 반도체층을 관통하는 콘택홀을 통해 상기 데이터라인과 접촉하는 패드; 상기 제2층의 도전층으로 이루어지며, 콘택홀을 통해 상기 데이터라인과 접속하는 화소전극; 및 게이트절연막에 의해 상기 데이터라인과 이격되며, 제2층의 도전층으로 이루어진 스토리지 캐패시터의 상부전극을 포함하는 것을 특징으로 한다. 이 때, 상기 데이터라인 위에는 300nm ~ 700nm 정도 두께를 갖는 절연층이 더 형성되어 있는 것이 바람직하다.

상기 다른 과제를 이루기 위하여 본 발명에 따른 박막 트랜지스터의 제조방법은, 기판 상에 데이터라인으로 사용될 도전막 패턴을 형성하는 단계; 상기 도전막 패턴의 일부를 덮는 반도체층을 형성하는 단계; 상기 반도체층이 형성된 결과물 전면에 게이트절연막을 형성하는 단계; 상기 도전막 패턴의 일부를 노출시키는 콘택홀을 형성하는 단계; 콘택홀이 형성된 결과물 상에 도전물질을 증착한 후 패터닝하여 게이트전극, 스토리지 캐패시터의 상부전극, 상기 콘택홀을 통해 상기 도전막 패턴과 접촉하는 화소전극을 동시에 형성하는 단계; 및 사진공정에 의해 소오스/ 드레인이 형성될 영역을 한정된 후, 상기 반도체층에 불순물을 주입하여 소오스/ 드레인을 형성하는 단계를 포함하는 것을 특징으로 한다. 여기서, 상기 도전막 패턴을 형성하는 단계는, 기판 상에 도전막을 형성하는 단계; 상기 도전막 상에 절연막을 형성하는 단계; 및 상기 절연막 및 도전막을 동시에 이방성 식각하는 단계로 이루어지는 것이 바람직하다. 그리고, 상기 절연막중 반도체층이 덮이지 않은 부분의 절연막은 반도체층을 형성하는 단계 후에 습식식각에 의해 제거된다. 그리고, 상기 게이트전극, 스토리지 캐패시터의 상부전극 및 화소전극은 인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질로 형성되는 것이 바람직하다.

상기 다른 과제를 이루기 위하여 본 발명에 따른 박막 트랜지스터-액정 표시장치는 또한, 기판 상에 도전막 및 절연막을 차례로 형성한 후, 동시에 이방성 식각함으로써 데이터라인을 형성하기 위한 제1 패턴을 형성하는 단계; 스토리지 캐패시터가 형성될 부위의 상기 제1 패턴의 일부를 노출시키는 반도체층을 형성하는 단계; 상기 반도체층이 덮이지 않은 부분의 절연막을 제거하는 단계; 상기 절연막의 일부가 제거된 결과물의 전면에 게이트절연막을 형성하는 단계; 상기 제1 패턴의 일부를 노출시키는 콘택홀을 형성하는 단계; 콘택홀이 형성된 결과물 상에 도전물질을 증착한 후 패터닝하여 게이트전극, 스토리지 캐패시터의 상부전극, 상기 콘택홀을 통해 상기 도전막 패턴과 접촉하는 화소전극을 동시에 형성하는 단계; 및 사진공정에 의해 소오스/ 드레인이 형성될 영역을 한정된 후, 상기 반도체층에 불순물을 주입하여 소오스/ 드레인을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르면, 데이터라인을 하부 기판 표면에 형성하고 투광성 도전물질을 사용하여 게이트전극, 화소전극 및 스토리지 캐패시터의 상부전극을 동시에 형성함으로써, 콘택홀 형성공정을 안정적으로 진행할 수 있고, 사진식각 공정 횟수를 줄일 수 있고, 공정을 단순화할 수 있으며, 레이저 사용횟수를 1회로 줄이고, 마스크의 수를 종래에 비해 3 ~ 4배 줄일 수 있으므로, 제조단가를 절감할 수 있으며, 공정 신뢰성을 증가시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 박막 트랜지스터-액정 표시장치의 구조 및 그 제조방법을 더욱 상세히 설명하기로 한다.

## 구 조

도 3은 본 발명의 실시예에 의한 TFT - LCD를 도시한 단면도로서, 박막 트랜지스터 부분을 도시한 것이다.

도면 참조부호 30은 투광성 기판, 32는 데이터 라인, 34는 중간절연막, 42는 게이트 절연막, 50은 패드, 52는 게이트, 54는 화소전극, 56은 스토리지 캐패시터의 상부전극, 58은 소오스/ 드레인, 그리고 60은 채널영역을 각각 나타낸다.

투광성 기판(30)의 표면 위에 예컨대 알루미늄(Al)과 같은 금속층으로 이루어지며, 데이터라인 및 스토리지 캐패시터의 하부전극으로 사용될 도전막 패턴(32)이 형성되어 있고, 상기 도전막 패턴(32) 위에는 상기 도전막 패턴의 일부를 노출시키도록 300 ~ 700nm 정도 두께의 절연막(34)이 형성되어 있다. 상기 절연막(34)은 데이터라인과 게이트라인을 서로 이격시켜 데이터라인과 게이트라인이 직교하는 부분에서 기생 용량(parasitic capacitance)의 발생을 억제하는 역할을 한다.

상기 도전막 패턴 사이에는 게이트절연막(42)을 개재하여 게이트전극(52)이 형성되어 있고, 상기 게이트 절연막 하부에는 반도체층이 형성되어 있다. 상기 반도체층에서 불순물이 도우프된 영역은 박막 트랜지스터의 소오스/ 드레인(58)이 되고, 불순물이 도우프되지 않은 영역은 채널영역(60)이 된다. 상기 소오스/ 드레인(58)과 데이터라인은 측면으로 접촉하고 있다. 상기 금속막 패턴(32) 및 절연막(34)의 측면은, 소오스/ 드레인을 형성하기 위한 이온주입시 불순물이온의 주입이 용이하게 하기 위하여, 도시된 것과 같이 경사지게 형성되는 것이 바람직하다.

상기 도전막 패턴의 일부가 노출되는 콘택홀을 통해 상기 데이터라인과 접속되는 화소전극(54) 및 패드전극(50)이 형성되어 있다. 상기 절연막이 제거된 부분의 도전막 패턴은 스토리지 캐패시터의 하부전극으로 사용되고, 그 위에 형성된 게이트절연막 상에는 스토리지 캐패시터의 상부전극(56)이 형성되어 있다.

상기 게이트전극(52), 화소전극(54) 및 스토리지 캐패시터의 상부전극(56)은 모두 동일한 도전층, 예컨대 인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질로 이루어진다.

## 제조방법

도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 TFT - LCD의 제조방법을 설명하기 위하여 도시된 단면도들이다.

도 4a는 데이터 라인으로 사용될 금속막 패턴(32)을 형성하는 단계를 나타낸다.

상세하게는, 유리와 같은 투광성의 기판(30) 상에 금속막을 증착하고, 상기 금속막 상에 절연물질을 300nm ~ 700nm 정도의 두께로 증착하여 절연막(34)을 형성한다. 이어서, 1차 사진식각 공정을 실시하여

상기 절연막 및 금속막을 차례로 식각함으로써, LCD의 데이터 라인으로 사용될 금속막 패턴(32)을 형성한다.

상기 금속막 패턴(32) 및 절연막(34)의 측면은, 후속되는 소오스/드레인을 형성하기 위한 이온주입 공정 시 불순물이온의 주입이 용이하게 하기 위하여, 제 40 도에 도시된 바와 같이 경사지게 식각하는 것이 바람직하다.

도면 참조부호 36은 금속막 패턴을 형성하기 위한 제1 포토레지스트 패턴을 나타낸다.

도 4b는 반도체층 패턴(38)을 형성하는 단계를 나타낸다.

상세하게는, 상기 제1 포토레지스트 패턴을 제거한 뒤 금속막 패턴이 형성된 결과물 상에, 플라즈마 화학 기상 증착(PE - CVD)과 같은 증착법을 사용하여 비정질실리콘을 증착한다. 이어서, 2차 사진식각 공정을 실시하여 상기 비정질실리콘막을 식각하여 반도체층 패턴(38)을 형성한다. 도면 참조부호 40은 반도체층 패턴을 형성하기 위한 제2 포토레지스트 패턴을 나타낸다.

도 4c는 게이트절연막(42)을 형성하는 단계를 나타낸다.

상세하게는, 상기 제2 포토레지스트 패턴을 제거한 뒤, 상기 반도체층 패턴(38)을 식각 마스크로 적용하여 노출된 부위의 층간절연막(34)을 습식식각함으로써, 스토리지 캐패시터가 형성될 부위의 금속막 패턴(32)이 표면으로 노출되도록 한다. 이어서, 결과물의 전면에 절연물질을 증착하여 게이트 절연막(42)을 형성한다.

이 때, 상기 층간절연막(34)이 제거되어 표면으로 노출된 부위의 금속막 패턴(32)은, 상기 게이트절연막(42)을 유전체막으로 하고 이후에 형성될 도전층을 상부전극으로 하는 스토리지 캐패시터의 하부전극이 된다. 따라서, 종래와 같이 스토리지 캐패시터의 하부전극을 형성하기 위하여 반도체층에 불순물을 주입하는 공정과, 불순물 주입영역을 한정하기 위한 사진공정을 생략할 수 있다.

도 4d는 콘택홀(46, 48)을 형성하는 단계를 나타낸다.

상세하게는, 게이트 절연막(42)이 형성된 결과물 상에, 3차 사진공정을 실시하여 콘택홀이 형성될 부위의 상기 게이트 절연막(42)을 노출시키는 제3 포토레지스트 패턴(44)을 형성한다. 이어서, 상기 제3 포토레지스트 패턴(44)을 식각 마스크로 적용하여 노출된 부위의 상기 게이트 절연막을 식각함으로써, 패드와 데이터 라인(32)을 접속시키기 위한 제1 콘택홀(46)과, 화소전극과 데이터 라인(32)을 접속하기 위한 제2 콘택홀(48)을 동시에 형성한다.

도 4e는 패드(50), 게이트전극(52), 화소전극(54) 및 스토리지 캐패시터의 상부전극(56)을 형성하는 단계를 나타낸다.

상세하게는, 제1 및 제2 콘택홀이 형성된 결과물의 전면에 게이트 전극을 형성하기 위하여, 예컨대 인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질을 증착한 후, 4차 사진식각 공정을 실시하여 패드(50), 게이트전극(52), 화소전극(54) 및 스토리지 캐패시터의 상부전극(56)을 동시에 형성한다.

도 4f는 반도체층의 활성화 및 소오스/드레인(58) 형성단계를 나타낸다.

상세하게는, 패드(50), 게이트전극(52), 화소전극(54) 및 스토리지 캐패시터의 상부전극(56)이 형성된 결과물에 대해 5차 사진공정을 실시하여 N<sup>+</sup>불순물이 주입될 영역만을 오픈한 후, 상기 오픈된 영역에 N형의 불순물을 고농도로 주입하여 상기 반도체층을 도우프시킨다. 이어서, 6차 사진공정을 실시하여 P<sup>+</sup>불순물이 주입될 영역만을 오픈한 후, 오픈된 영역에 P형의 불순물을 고농도로 주입하여 상기 반도체층을 도우프시킴으로써, 소오스/드레인(58)을 형성한다. 이 때, 불순물이온이 주입되지 않은 부분의 반도체층은 박막 트랜지스터의 채널영역(60)이 된다.

상기 이온주입 공정은, 5차 및 6차 사진공정에 의해 마련되는 포토레지스트 패턴을 마스크로 적용하여 이루어지며, 예컨대 이온 샤워 도핑(ion shower doping) 방법을 사용하여 이루어진다.

계속해서, 레이저 공정을 실시하여 채널영역의 상기 반도체층(60)을 결정화시킴과 동시에, 상기 소오스/드레인(58)을 활성화시킨다. 상기 반도체층(60)에 대한 결정화와 소오스/드레인에 대한 활성화를 위한 레이저공정이 동시에 진행되므로, 종래에 비해 레이저공정이 1회로 줄어든다.

본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

### 발명의 효과

상술한 본 발명에 의한 TFT - LCD 및 그 제조방법에 따르면, 데이터라인을 하부 기판 표면상에 형성하고 투광성 도전물질을 사용하여 게이트전극, 패드, 화소전극 및 스토리지 캐패시터의 상부전극을 동시에 형성함으로써, 첫째, 콘택홀이 형성될 부위에 비교적 두꺼운 데이터라인을 형성함으로써 콘택홀 형성공정을 안정적으로 진행할 수 있으며, 둘째, 게이트전극, 화소전극 및 캐패시터의 상부전극을 동시에 패터닝함으로써, 사진식각 공정 횟수를 줄일 수 있고, 공정을 단순화할 수 있으며, 셋째, 레이저 사용횟수를 1회로 줄이고, 마스크의 수를 종래에 비해 3 ~ 4대 줄일 수 있으므로, 제조단가를 절감할 수 있으며, 넷째, 공정 신뢰성을 증가시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

투광성 기판;

상기 기판의 표면 위에 형성되며, 제1층의 도전층으로 이루어진 데이터라인;

상기 기판 상에 게이트절연막을 개재하여 형성되고, 제2층의 도전층으로 이루어진 게이트;

상기 제2층의 도전층으로 이루어지며, 콘택홀을 통해 상기 데이터라인과 접속하는 화소전극; 및

층간절연막에 의해 상기 데이터라인과 이격되며, 제2층의 도전층으로 이루어진 스토리지 캐패시터의 상부전극을 포함하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 2

제 1 항에 있어서, 상기 데이터라인 위에 300nm ~ 700nm 정도의 두께를 갖는 절연층이 더 형성되어 있는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 3

제 1 항에 있어서, 상기 제2층의 도전층은,

인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질로 이루어진 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 4

제 1 항에 있어서, 상기 데이터라인은,

상기 게이트 양측 하부의 반도체층에 형성된 소오스/ 드레인과 측면으로 접촉하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 5

투광성 기판;

상기 기판의 표면 위에 형성되며, 제1층의 도전층으로 이루어진 데이터라인;

상기 데이터라인의 일부를 노출시키도록 형성된 반도체층;

상기 반도체층 상에 게이트절연막을 개재하여 형성되고, 제2층의 도전층으로 이루어진 게이트;

상기 게이트 양측 하부의 반도체층에 형성된 소오스/ 드레인;

상기 게이트절연막 및 반도체층을 관통하는 콘택홀을 통해 상기 데이터라인과 접촉하는 패드;

상기 제2층의 도전층으로 이루어지며, 콘택홀을 통해 상기 데이터라인과 접속하는 화소전극; 및

게이트절연막에 의해 상기 데이터라인과 이격되며, 제2층의 도전층으로 이루어진 스토리지 캐패시터의 상부전극을 포함하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 6

상기 데이터라인 위에 300nm ~ 700nm 정도 두께를 갖는 절연층이 더 형성되어 있는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치.

## 청구항 7

기판 상에 데이터라인으로 사용될 도전막 패턴을 형성하는 단계;

상기 도전막 패턴의 일부를 덮는 반도체층을 형성하는 단계;

상기 반도체층이 형성된 결과물 전면에 게이트절연막을 형성하는 단계;

상기 도전막 패턴의 일부를 노출시키는 콘택홀을 형성하는 단계;

콘택홀이 형성된 결과물 상에 도전물질을 증착한 후 패터닝하여 게이트전극, 스토리지 캐패시터의 상부전극, 상기 콘택홀을 통해 상기 도전막 패턴과 접촉하는 화소전극을 동시에 형성하는 단계; 및

사진공정에 의해 소오스/ 드레인이 형성될 영역을 한정된 후, 상기 반도체층에 불순물을 주입하여 소오스 / 드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

## 청구항 8

제 7 항에 있어서, 상기 도전막 패턴을 형성하는 단계는,

기판 상에 도전막을 형성하는 단계;

상기 도전막 상에 절연막을 형성하는 단계; 및

상기 절연막 및 도전막을 동시에 이방성 식각하는 단계로 이루어지는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

## 청구항 9

제 7 항 및 제 8 항 중의 어느 한 항에 있어서, 상기 도전막 패턴을 경사지게 식각하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

**청구항 10**

제 8 항에 있어서, 상기 절연막중 반도체층이 덮이지 않은 부분의 절연막은, 반도체층을 형성하는 단계 후에 습식식각에 의해 제거되는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

**청구항 11**

제 7 항에 있어서, 상기 게이트전극, 스토리지 캐패시터의 상부전극 및 화소전극은, 인듐 주석 산화물(InSnOx; Indium Tin Oxide; ITO) 또는 아연산화물(ZnOx)과 같은 투광성 도전물질로 형성되는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

**청구항 12**

기판 상에 도전막 및 절연막을 차례로 형성한 후, 동시에 이방성 식각함으로써 데이터라인을 형성하기 위한 제1 패턴을 형성하는 단계;

스토리지 캐패시터가 형성될 부위의 상기 제1 패턴의 일부를 노출시키는 반도체층을 형성하는 단계;

상기 반도체층이 덮이지 않은 부분의 절연막을 제거하는 단계;

상기 절연막의 일부가 제거된 결과물의 전면에 게이트절연막을 형성하는 단계;

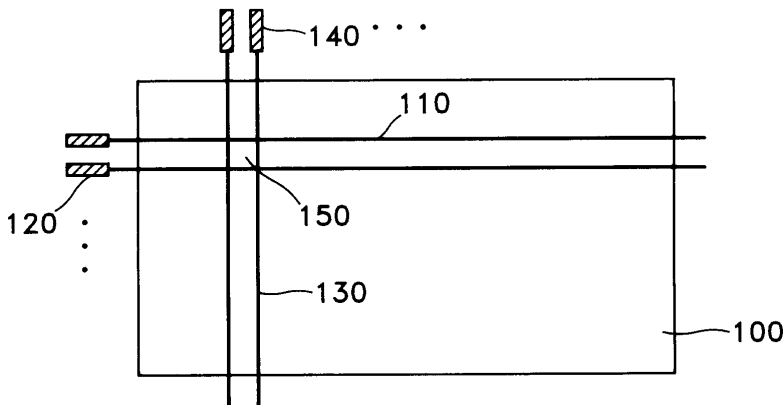
상기 제1 패턴의 일부를 노출시키는 콘택홀을 형성하는 단계;

콘택홀이 형성된 결과물 상에 도전물질을 증착한 후 패터닝하여 게이트전극, 스토리지 캐패시터의 상부전극, 상기 콘택홀을 통해 상기 도전막 패턴과 접촉하는 화소전극을 동시에 형성하는 단계; 및

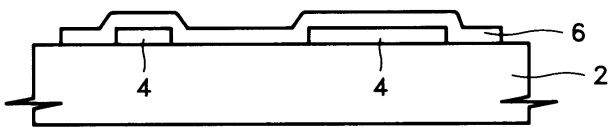
사진공정에 의해 소오스/드레인이 형성될 영역을 한정한 후, 상기 반도체층에 불순물을 주입하여 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터-액정 표시장치의 제조방법.

**도면**

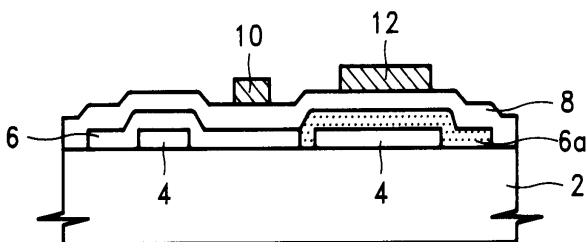
**도면1**



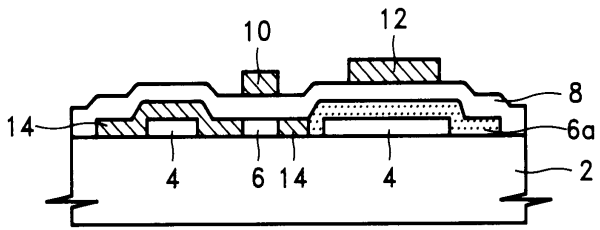
**도면2a**



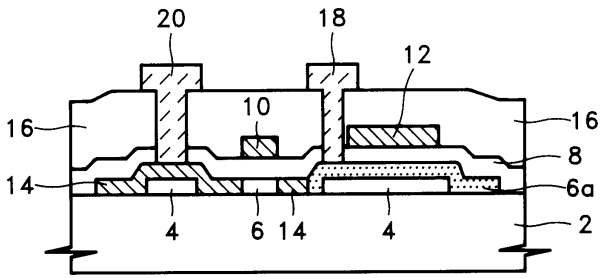
**도면2b**



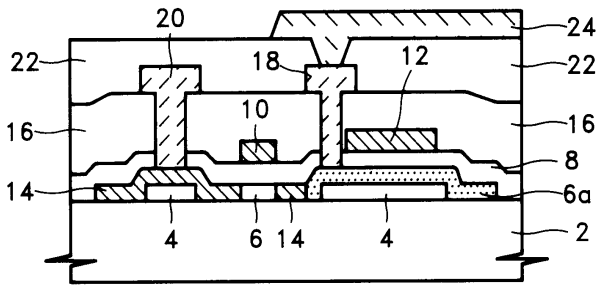
도면2c



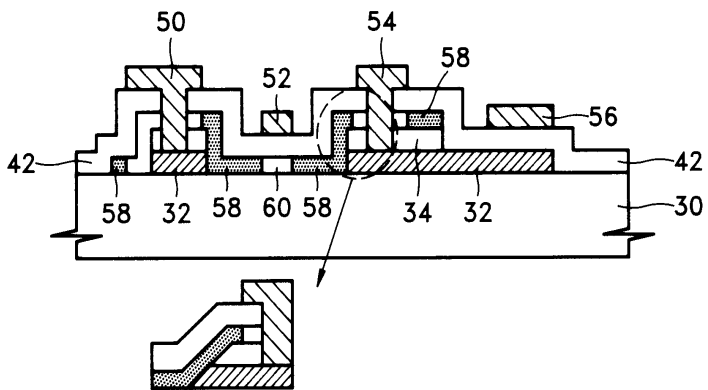
도면2d



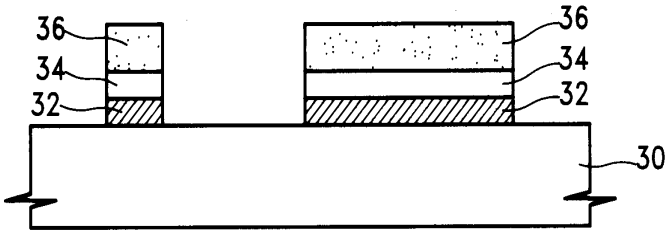
도면2e



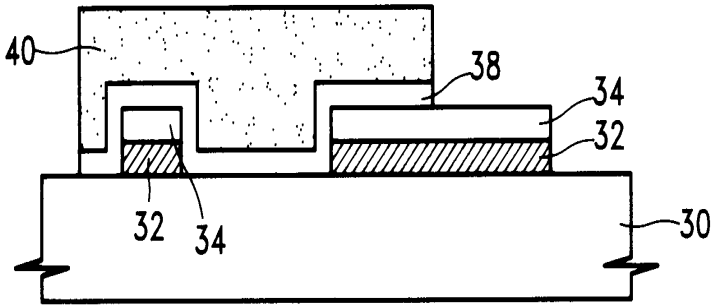
도면3



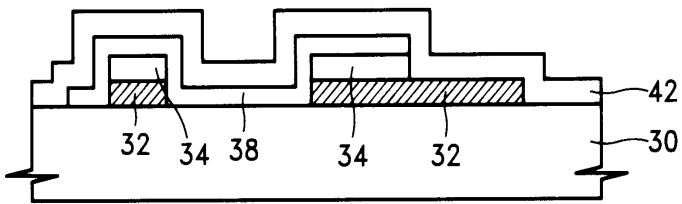
도면4a



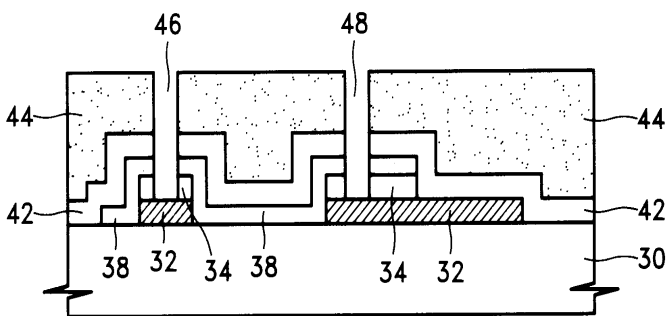
도면4b



도면4c

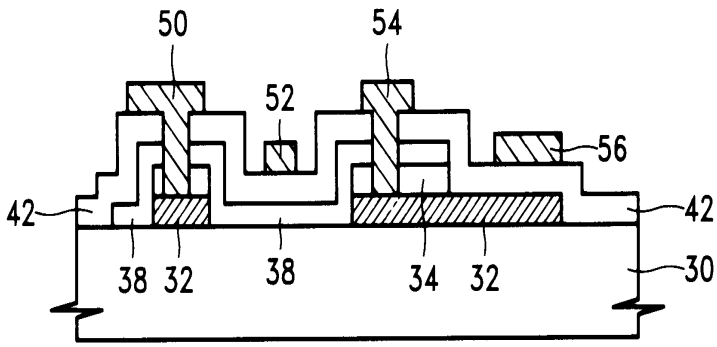


도면4d





도면4e



도면4f

