



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123860
(43) 공개일자 2017년11월09일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1251 (2013.01)
(21) 출원번호 10-2016-0053044
(22) 출원일자 2016년04월29일
심사청구일자 2016년04월29일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
성태연
서울특별시 서초구 신반포로33길 64, 1-506호
김대현
서울특별시 동대문구 약령시로 147, 3동 105호
이지윤
부산광역시 북구 금곡대로 166, 604동 1504호
(74) 대리인
특허법인 누리

전체 청구항 수 : 총 4 항

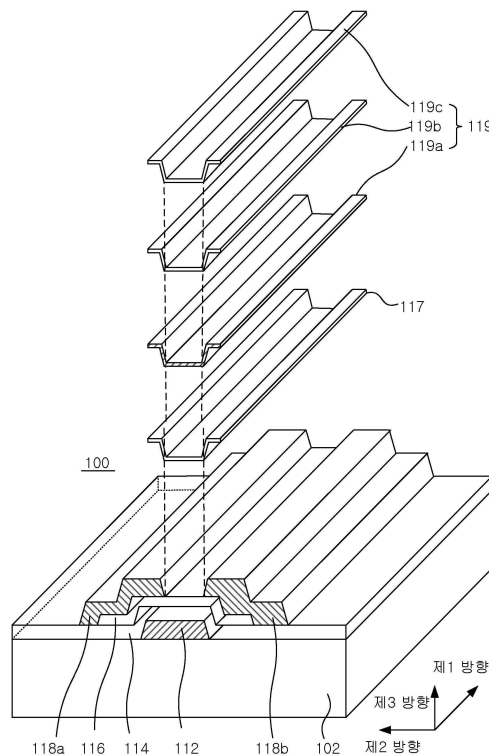
(54) 발명의 명칭 투명 금속산화막/금속/투명 금속산화막 보호층을 구비한 비정질 산화물 박막 트랜지스터

(57) 요약

본 발명은 산화물 박막 트랜지스터를 제공한다. 이 산화물 박막 트랜지스터는 기판; 상기 기판에서 제1 방향으로 연장되는 게이트 전극; 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직한 제2 방향으로 연장

(뒷면에 계속)

대표도 - 도1a



되는 산화물 반도체층; 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극; 상기 소오스 전극 및 상기 드레인 전극 상에 배치되고 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 절연층; 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층과 정렬되고 상기 절연층 상에 배치되는 보호층을 포함한다. 상기 보호층은 투명한 금속 산화물로 구성된 하부 보호층; 상기 하부 보호층 상에 배치된 금속층; 및 투명한 금속 산화물로 구성되고 상기 금속층 상에 배치된 상부 보호층을 포함한다.

(52) CPC특허분류

H01L 29/78606 (2013.01)

H01L 29/78639 (2013.01)

H01L 2924/13069 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관에서 제1 방향으로 연장되는 게이트 전극;

상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막;

상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 산화물 반도체층;

상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극;

상기 소오스 전극 및 상기 드레인 전극 상에 배치되고 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 절연층; 및

상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층과 정렬되고 상기 절연층 상에 배치되는 보호층을 포함하고,

상기 보호층은:

투명한 금속 산화물로 구성된 하부 보호층;

상기 하부 보호층 상에 배치된 금속층; 및

투명한 금속 산화물로 구성되고 상기 금속층 상에 배치된 상부 보호층을 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 2

제1 항에 있어서,

상기 하부 보호층 및 상기 상부 보호층은 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO이고.

상기 금속층은 은 또는 은 합금인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 3

제2 항에 있어서,

상기 금속층의 두께는 10 nm 내지 20nm이고,

상기 하부 보호층 및 상기 상부 보호층의 두께는 각각 30nm 내지 80 nm인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 4

제1 항에 있어서,

상기 보호층은 460 nm 이하의 파장에서 50 퍼센트 이하의 투과도를 가지는 것을 특징으로 하는 산화물 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 박막 트랜지스터에 관한 것이며, 보다 상세하게는 광안정성 및 신뢰도 향상을 위해 산화물 반도체의 밴드갭 이상의 특정 파장(450nm 이하)의 광을 선택적으로 흡수하는 광흡수층을 도입한 비정질 산화물 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 일반적으로 트랜지스터 구조는 크게 탑 게이트(Top Gate)와 버텀 게이트(Bottom Gate) 구조로 나뉜다. 탑 게이트(Top Gate) 구조는 소오스(source) 전극 및 드레인(drain) 전극을 증착한 후에 산화물 박막 트랜지스터(Oxide Thin Film Transistor; Oxide TFT)의 활성층(또는 채널층), 및 게이트 절연막(gate insulator)를 차례로 증착한 후에 게이트 전극을 증착하는 구조이다. 이러한 구조를 갖는 경우, 소오스(source)/드레인(drain) 전극과 게이트 전극 사이의 겹침(overlap)을 줄일 수 있기 때문에 기생 정전용량(parasitic capacitance)에 의해 발생하는 문제를 제거할 수 있어 우수한 전기적 특성을 확보할 수 있다. 또한, 게이트 절연막과 게이트 전극이 보호층으로 기능하기 때문에, 채널층이 외부로 노출되지 않는다. 따라서, 소자가 제작된 후에, 소자는 외부 환경에 의한 손상을 적게 입는다. 또한, 채널층이 기판 바로 위에 증착되어, 소자는 안정적인 구조를 구비한다. 전하 이동도(mobility)가 높은 장점이 있다. 그러나 반도체 소재와 소오스/드레인 전극을 증착한 후 그 위에 게이트 절연막(gate-insulator)를 증착하는 공정이 진행됨에 따라, 플라즈마에 의해 게이트 절연막이 손상을 입을 가능성이 크다.

[0003] 버텀 게이트(Bottom Gate) 구조는 현재 LCD 패널에서 양산되고 있는 a-Si TFT 공정에 쓰이는 구조이다. Oxide TFT를 양산하게 될 때에, 버텀 게이트 구조의 공정라인을 유사하게 사용할 수 있어 생산 비용을 줄일 수 있다. 그러나 후면 채널 표면(Back-channel surface)가 대기 중에 노출이 되면 대기 가스와의 흡착(adsorption), 탈착(desorption), 또는 확산(diffusion)에 의해 TFT의 소자 특성이 저하되고 불안정성(instability)을 유발시킨다. 또한 게이트 전극과 소오스/드레인 사이의 겹침(overlap)이 커서 기생 정전용량(parasitic capacitance)이 증가한다. 상기 기생 정전용량은 회로의 속도를 느리게 만든다. 그러나 채널층이 하부에 위치하기 때문에 후속 공정에 의하여 채널층이 의도치 않게 변화하는 것을 최소화할 수 있는 장점이 있다.

[0004] 비정질 산화물 트랜지스터는 기존의 비정질 실리콘 기반 트랜지스터에 비해 전하 이동도가 높아 대면적 고해상도 디스플레이에 적합하다. 또한 결정질 실리콘 트랜지스터에 비해서 균일도가 우수하여 모바일 기기용 소형 패널에서 TV용 대형 패널에 이르기까지 향후 적용 범위가 확대될 것으로 예상된다. 또한, 비정질 산화물 트랜지스터는 상온 증착이 가능해 플라스틱 기판의 사용으로 인한 낮은 공정 온도가 요구되는 유연성(Flexible) 디스플레이를 위한 트랜지스터에도 적합하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 해결하고자 하는 일 기술적 과제는 산화물 반도체의 밴드갭 이상의 광을 흡수하는 OMO 구조의 보호층을 제공하여 산화물 박막 트랜지스터의 소자 안정성을 향상시키는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터는 기판; 상기 기판에서 제1 방향으로 연장되는 게이트 전극; 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 산화물 반도체층; 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극; 상기 소오스 전극 및 상기 드레인 전극 상에 배치되고 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 절연층; 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층과 정렬되고 상기 절연층 상에 배치되는 보호층을 포함한다. 상기 보호층은 투명한 금속 산화물로 구성된 하부 보호층; 상기 하부 보호층 상에 배치된 금속층; 및 투명한 금속 산화물로 구성되고 상기 금속층 상에 배치된 상부 보호층을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 하부 보호층 및 상기 상부 보호층은 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO이고, 상기 금속층은 은 또는 은 합금일 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 금속층의 두께는 10 nm 내지 20nm이고, 상기 하부 보호층 및 상기 상부 보

호층의 두께는 각각 30 nm 내지 80 nm일 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 보호층은 450 nm 이하의 파장에서 50 퍼센트 이하의 투과도를 가질 수 있다.

발명의 효과

[0010] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터는 발광층에 의한 자외선 청색 또는 자외선을 차단하여 문턱 전압의 이동을 억제할 수 있다.

도면의 간단한 설명

[0011] 도 1a는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 설명하는 분해사시도이다.

도 1b는 도 1a의 산화물 박막 트랜지스터를 설명하는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 보호층의 광투과 특성을 나타내는 도면이다.

도 3은 본 발명의 다른 실시예에 따른 보호층을 구성하는 각 층의 두께에 따른 보호층의 투과도를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 OLED 패널을 설명하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 투명디스플레이는 화면이 투과도를 가지고 있어서 화면 뒷면이 보인다는 특징을 가진다. 투명 AMOLED(Active-Matrix Organic Light-Emitting Diode; AMOLED)의 경우 투명전극과 투명 TFT를 사용한 경우, 투명 TFT는 발광 영역에서 방출된 청색 및 자외선이 상기 투명 TFT에 조사된다.

[0013] 산화물 TFT(Oxide TFT)는 AMOLED나 LCD 등의 디스플레이에 주로 사용되는 스위치 소자이다. 디스플레이의 각 픽셀에서 스위치 소자가 광원을 제어한다. 그러나 이 스위치 소자는 각 픽셀에서 나오는 광원에 아주 취약하다. 이 빛에 의해 소자가 켜져 있거나 꺼져있을 때 문턱 전압(Threshold Voltage, V_{th})이 변한다. 상기 문턱 전압이 일정하지 않고 변하게 되면 소자의 안정성 및 신뢰도에 큰 영향을 주게 된다.

[0014] 산화물 반도체의 밴드갭 보다 높은 에너지의 빛이 들어오게 되면 전자-전공 쌍(Electron-Hole Pair)이 생긴다. 여기서, 게이트 전극에 음의 전압을 홀려주면, 전공이 인력에 의해 게이트 절연체와 반도체 사이의 계면에서 트랩된다. 정공 트랩(Hole Trap)으로 인해 문턱 전압이 음의 방향으로 이동하게 된다. 대략 2.7 eV의 밴드갭 이상의 빛을 조사하였을 때, 빛에 의해 유도된 중성 V_0 가 V_0^{2+} 로 이온화되면서 전도대에 전자를 제공하면서, 페르미 준위(Fermi level) 위쪽으로 에너지 레벨이 높아진다. 자유전자가 많이 생기면 n-형 도핑을 한 것과 같은 효과가 발생한다. 그래서 낮은 게이트 전압에도 쉽게 전류가 흘러, 게이트 전압에 따른 드레인 전류를 나타내는 트랜스퍼 커브(transfer curve)에서, 문턱 전압이 음의 방향으로 변화하는 것을 설명할 수 있다. 파장 대별 신뢰성을 측정 한 경우, 460nm(2.7eV) 이하의 파장 영역에서는 더욱 급격한 문턱 전압의 변화가 일어나므로 단파장에서 특히나 취약하다.

[0015] 디스플레이에서 나오는 백색광은 모든 파장 영역을 포함하고 있기 때문에 게이트 절연체/채널 계면의 홀 트랩(hole trap)과 산소 원자 결함(oxygen vacancy)의 이온화에 의한 도너(donor) 증가의 영향을 동시에 받게 된다.

[0016] SiO₂, Al₂O₃, SiNx 등의 보호층(passivation layer)은 채널층의 신뢰성 확보에 매우 중요한 역할을 한다. 하지만 일반적인 보호층은 광원에서 발생하는 단파장 영역의 빛을 모두 투과하므로, 광에 의한 채널층 특성 저하가 발생한다. 이러한 문제를 해결하기 위해 본 발명에서는 보호층에 절연막/금속/절연막 구조가 도입된 광학 필터층을 삽입하여 채널층으로 투과되는 460nm 이하 단파장 영역의 빛을 차단하고자 한다.

[0017] 본 발명의 일 실시예에 따르면, 비정질 산화물 박막 트랜지스터의 보호층에 금속 산화막/금속층/금속 산화막 구조를 도입한다. 이는 금속 산화막/금속층/금속 산화막 구조는 특정 파장의 빛을 흡수하거나 투과함으로써 채널층에 도달하는 단파장 빛을 차단할 수 있다. 상기 금속 산화막은 투명한 전도성 물질로 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO일 수 있다. 금속층의 물질은 Au, Ag, Al 등 다양한 금속 물질이 가능하다. 금속층의 두께와 재질, 상기 금속 산화막의 두께와 재질을 조절하여 차단하고자 하는 빛의 파

장과 파장폭, 그리고 흡수 및 투과도를 조절할 수 있다.

- [0018] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0019] 도 1a는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 설명하는 분해사시도이다.
- [0020] 도 1b는 도 1a의 산화물 박막 트랜지스터를 설명하는 단면도이다.
- [0021] 도 1a 및 도 1b를 참조하면, 산화물 박막 트랜지스터(100)는 기판(102); 상기 기판에서 제1 방향으로 연장되는 게이트 전극(112); 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막(114); 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 산화물 반도체층(116); 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극(118a) 및 드레인 전극(118b); 상기 소오스 전극 및 상기 드레인 전극 상에 배치되고 상기 소오스 전극(118a)과 상기 드레인 전극(118b) 사이의 노출된 산화물 반도체층(116) 상에 배치되는 절연층(117); 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층과 정렬되고 상기 절연층(117) 상에 배치되는 보호층(119)을 포함한다. 상기 보호층(119)은 투명한 금속 산화물로 구성된 하부 보호층(119a); 상기 하부 보호층 상에 배치된 금속층(119b); 및 투명한 금속 산화물로 구성되고 상기 금속층 상에 배치된 상부 보호층(119c)을 포함한다.
- [0022] 상기 기판(102)은 유리 기판 또는 플라스틱 기판일 수 있다.
- [0023] 상기 게이트 전극(112)은 상기 기판의 배치평면에서 제1 방향으로 연장될 수 있다. 상기 게이트 전극(112)은 포토리소그래피 공정을 통하여 패터닝될 수 있다. 상기 게이트 전극(112)의 재질은 알루미늄, 구리, 타이타늄, 및 몰리브덴 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 전극(112)은 복층 구조일 수 있다. 상기 게이트 전극(112)은 투명한 전도성 물질인 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO 일 수 있다.
- [0024] 상기 게이트 절연막(114)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 절연막(114)은 상기 게이트 전극(112) 상에 기판 전면에 배치될 수 있다.
- [0025] 상기 산화물 반도체층(116)은 상기 게이트 절연막(114) 상에 배치되고 상기 게이트 전극(112)과 정렬될 수 있다. 상기 산화물 반도체층(116)은 상기 게이트 전극(112)의 양 측면에서 상기 제1 방향에 수직인 제2 방향으로 연장될 수 있다. 상기 산화물 반도체층(116)은 포토리소그래피 공정에 의하여 패터닝될 수 있다. 상기 산화물 반도체층(116)은 트랜지스터의 활성층으로 동작하고, 상기 산화물 반도체층(116)은 상기 게이트 전극(112)에 인가되는 게이트 전압에 의하여 채널을 형성할 수 있다. 상기 산화물 반도체층(116)의 재료는 IGZO(InGaZnO), InGaO, InSnZnO, InZnO, 그리고 ZnO 중에서 적어도 하나를 포함할 수 있다.
- [0026] 소오스 전극(118a) 및 드레인 전극(118b)은 알루미늄, 구리, 타이타늄, 및 몰리브덴 중에서 적어도 하나를 포함할 수 있다. 상기 소오스 전극 및 상기 드레인 전극은 투명한 전도성 물질인 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO일 수 있다. 상기 소오스 전극(118a)과 상기 드레인 전극(118b)은 상기 산화물 반도체층(116)을 중심으로 서로 상기 제2 방향으로 이격되어 상기 제1 방향으로 연장될 수 있다. 상기 소오스 전극(118a)과 상기 드레인 전극(118b)은 상기 산화물 반도체층(116)의 중심 부위를 노출시킬 수 있다. 상기 소오스 전극과 상기 드레인 전극은 그 하부의 게이트 전극(112)과 서로 중첩되는 영역을 구비하도록 정렬될 수 있다.
- [0027] 상기 절연층(117)은 상기 소오스/드레인 전극(118a, 118b)과 상기 보호층(119)을 전기적으로 절연시킬 수 있다. 상기 절연층은 상기 보호층(119)과 정렬될 수 있다. 상기 절연층(119)은 실리콘 산화막일 수 있다. 상기 절연층은 노출된 산화물 반도체층(116)을 덮고 상기 소오스/드레인 전극(118a, 118b)의 일부를 덮을 수 있다.
- [0028] 상기 보호층(119)은 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층(116)에 정렬하고 상기 절연층(117) 상에 배치되어 상기 제1 방향으로 연장될 수 있다. 상기 보호층(119)은 상기 절연층을 개재하여 상기 소오스 전극 및 상기 드레인 전극의 일부를 덮도록 패터닝될 수 있다.
- [0029] 상기 보호층(119)은 차례로 적층된 하부 보호층(119a), 금속층(119b), 및 상부 보호층(119c)을 포함할 수 있다.

상기 보호층(119)은 상부의 발광 소자에서 방출된 광 중에서 자외선 또는 청색 성분을 차단할 수 있는 광필터로 동작한다. 상기 보호층(119)은 상기 산화물 반도체층(116)의 밴드갭 이상의 에너지에 대응하는 파장 성분을 차단할 수 있다. 상기 보호층(119)은 450 nm 이하의 파장을 차단하고 450 nm 이상의 파장을 투과시키는 광필터가 바람직할 수 있다. 바람직하게는, 상기 보호층(119)의 광필터 특성은 350 nm 내지 450 nm에서 최소의 투과도를 가질 수 있다. 이에 따라, 상기 보호층(119)은 350 nm 내지 400 nm의 청색 또는 자외선을 차단하여, 상기 산화물 반도체층(116)의 채널에 350 nm 내지 400 nm의 청색 또는 자외선은 입사하지 않을 수 있다.

[0030] 상기 하부 보호층(119c) 및 상기 상부 보호층(119c)은 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO 일 수 있다. 상기 금속층(119b)은 은 또는 은 합금일 수 있다. 상기 금속층(119b)의 두께는 15 nm 내지 20nm이고, 상기 하부 보호층(119a) 및 상기 상부 보호층(119c)의 두께는 각각 30nm 내지 80 nm일 수 있다. 이러한 구조의 OMO 보호층 구조는 450 nm이하의 파장 영역에 대하여 투과도를 감소시키어 산화물 반도체의 문턱 전압 이동을 최소화시킬 수 있다. 또한, 450nm 이상의 파장은 투과시키어 광추출효율을 극대화시킬 수 있다.

[0031] 상기 하부 보호층(119a), 상기 금속층(119b), 및 상기 상부 보호층(119c)은 하나의 마스크를 사용하여 연속적 식각되어 서로 수직으로 정렬될 수 있다.

[0032] 도 2는 본 발명의 일 실시예에 따른 보호층의 광투과 특성을 나타내는 도면이다.

[0033] 도 2를 참조하면, OMO 보호층 구조는 450 nm 이하의 파장을 차단하고, 450nm 초과 파장을 투과시킬 수 있다. 이에 따라, 상기 보호층의 하부에 배치된 산화물 반도체층은 산화물 반도체의 밴드갭 보다 높은 에너지의 빛에 의한 전자-전공 쌍(Electron-Hole Pair)을 억제할 수 있다. 상기 보호층의 광특성은 상기 산화물 반도체층의 밴드갭에 의존할 수 있다. 구체적으로, 상기 산화물 반도체층이 IGZO인 경우, IGZO의 밴드갭은 2.7 eV일 수 있다. 따라서, 상기 보호층의 광특성은 2.7 eV에 대응하는 약 460nm 이하의 파장을 차단할 수 있다.

[0034] 도 3은 본 발명의 다른 실시예에 따른 보호층을 구성하는 각 층의 두께에 보호층의 투과도를 나타내는 도면이다.

[0035] 도 3을 참조하면, 사각형은 하부보호층(ITO 40nm)/금속층(Ag 18nm)/상부보호층(ITO 40nm)인 경우의 투과도이다. 450 nm 에서 투과도는 76 퍼센트일 수 있다. 400nm에서, 투과도는 50% 이하일 수 있다.

[0036] 원형은 하부보호층(ITO 50nm)/금속층(Ag 18nm)/상부보호층(50nm)인 경우의 투과도이다. 400nm에서, 투과도는 30% 이하일 수 있다. 450 nm 에서 투과도는 46 퍼센트일 수 있다.

[0037] 도 4는 본 발명의 일 실시예에 따른 OLED 패널을 설명하는 단면도이다.

[0038] 도 4를 참조하면, 투명 OLED 패널(10)은 산화물 TFT(100)과 유기 발광층(300)을 포함한다. 상기 산화물 TFT(100)은 산화물 박막 트랜지스터가 형성되는 기판(102) 및 상기 기판(102)에 형성된 트랜지스터(100)를 포함한다. 유기 발광층(300)은 빛을 발광하는 부분으로서 양극(332), 유기층(334) 및 음극(336)을 포함한다. 유기층(334)은 양극(322) 및 음극(336) 사이에 위치한다. 양극(332)으로서 ITO 같은 투명 도전막이 사용될 수 있고, 음극(334)으로서 ITO 같은 투명 도전막 또는 Al 같은 금속이 사용될 수 있다.

[0039] 투명 디스플레이로 사용되는 경우, 상기 양극 및 상기 음극은 모두 투명 도전막일 수 있다. 통상적인 디스플레이로 사용되는 경우, 상기 양극은 투명 도전막, 상기 음극은 알루미늄과 같은 금속일 수 있다.

[0040] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

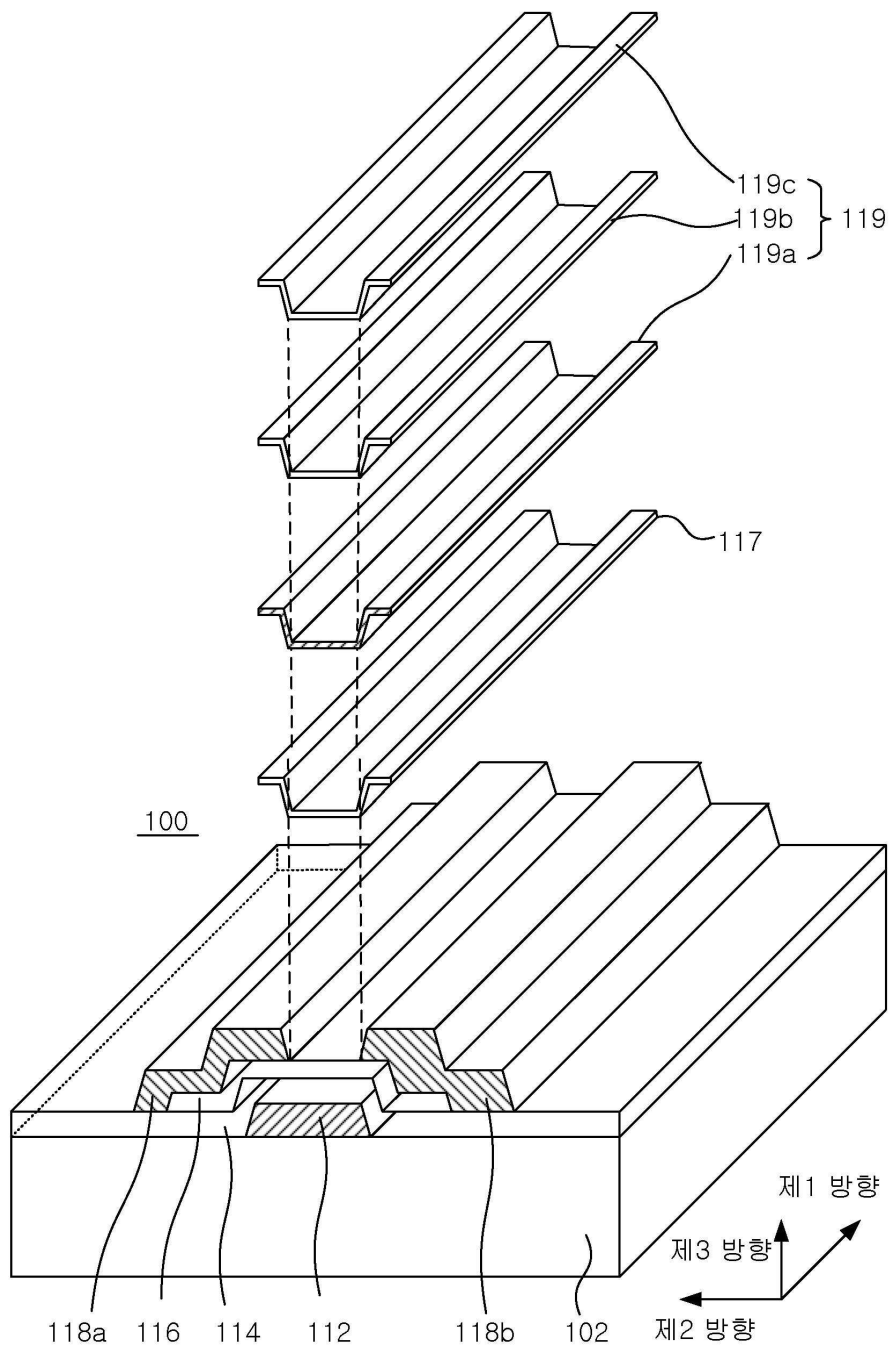
부호의 설명

- [0041] 100: 산화물 박막 트랜지스터
120: 기판
112: 게이트 전극
114: 게이트 절연막
116: 산화물 반도체층

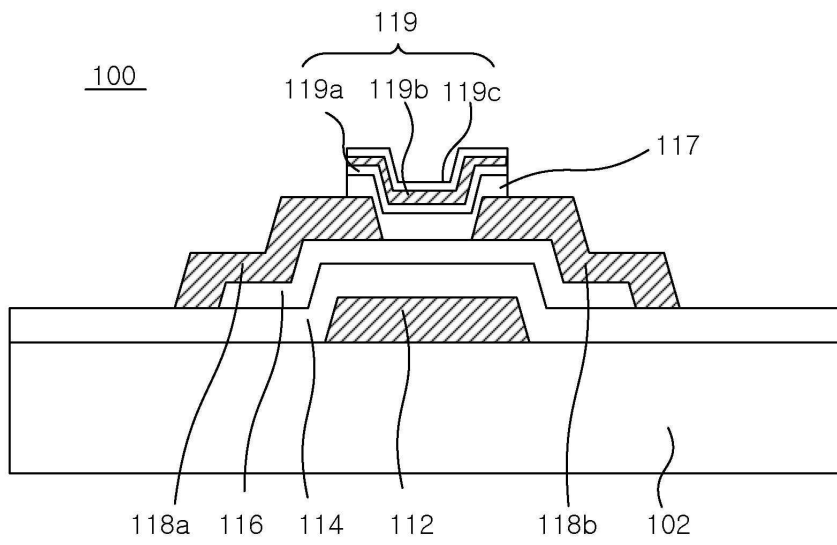
- 117: 절연층
- 118a: 소오스 전극
- 118b: 드레인 전극
- 119: 보호층

도면

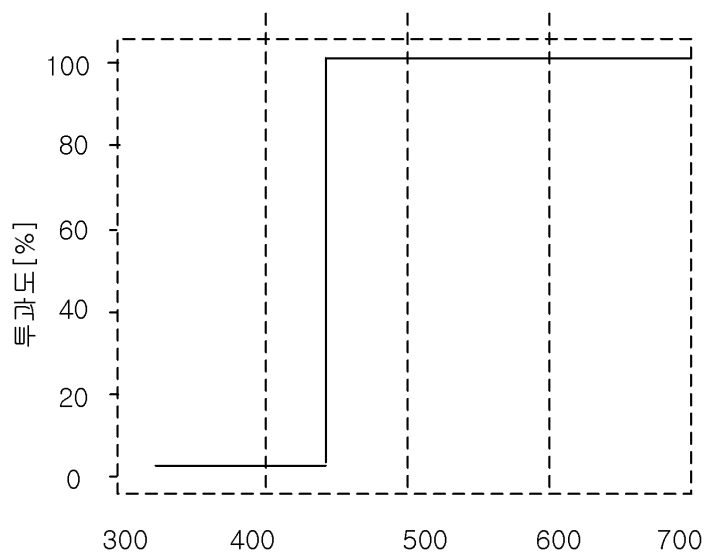
도면1a



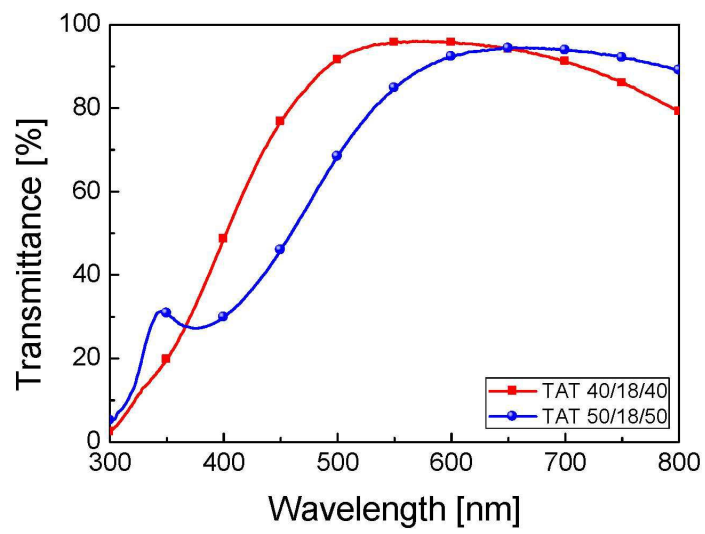
도면1b



도면2



도면3



도면4

