

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7673003号
(P7673003)

(45)発行日 令和7年5月8日(2025.5.8)

(24)登録日 令和7年4月25日(2025.4.25)

(51)国際特許分類		F I	
H 1 0 D	86/40 (2025.01)	H 1 0 D	86/40 1 0 1 Z
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 2 A
H 1 0 D	62/10 (2025.01)	H 1 0 D	30/67 2 0 6 Z
H 1 0 D	84/83 (2025.01)	H 1 0 D	62/10 1 0 1 F
B 8 1 B	7/02 (2006.01)	H 1 0 D	84/83 B
請求項の数 18 (全21頁) 最終頁に続く			
(21)出願番号	特願2022-19486(P2022-19486)	(73)特許権者	504407000
(22)出願日	令和4年2月10日(2022.2.10)		パロ アルト リサーチ センター, エル
(65)公開番号	特開2022-138120(P2022-138120 A)		エルシー
(43)公開日	令和4年9月22日(2022.9.22)		アメリカ合衆国 カリフォルニア州 9 4
審査請求日	令和7年2月10日(2025.2.10)		3 0 4 パロ アルト カイオーテ ヒル
(31)優先権主張番号	17/196,329	(74)代理人	100094569
(32)優先日	令和3年3月9日(2021.3.9)		弁理士 田中 伸一郎
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100109070
早期審査対象出願			弁理士 須田 洋之
		(74)代理人	100067013
			弁理士 大塚 文昭
		(74)代理人	
			西島 孝喜
		(74)代理人	
			最終頁に続く

(54)【発明の名称】 薄膜電子部品を使用するスケーラブルな高電圧制御回路

(57)【特許請求の範囲】

【請求項 1】

デバイスであって、
第 1 の段であって、
第 1 の光スイッチと、
前記第 1 の光スイッチに接続された第 1 のトランジスタと、
前記第 1 の光スイッチ及び前記第 1 のトランジスタに接続された第 2 のトランジスタと、を備え、前記第 2 のトランジスタが、ソース、ゲート、及びドレインを備え、前記第 2 のトランジスタの前記ゲートが、前記第 1 の光スイッチによって制御され、前記第 2 のトランジスタが、前記ゲートと前記ドレインとの間に非ゲートチャネル領域を有する薄膜トランジスタ (T F T)、及び前記ゲートと前記ドレインとの間の 1 つ以上のフィールドプレートを備える、第 1 の段と、
第 2 の段であって、
第 2 の光スイッチと、
前記第 2 のトランジスタ及び前記第 2 の光スイッチに接続された第 3 のトランジスタと、
前記第 2 のトランジスタ、前記第 2 の光スイッチ、及び前記第 3 のトランジスタに接続された第 4 のトランジスタと、を備える、第 2 の段と、を備える、デバイス。

【請求項 2】

前記第 1 の光スイッチが、 2 つの端子接点を有する半導体を備え、前記半導体が、水素

化アモルファスシリコン (a - S i : H) を含み、前記端子接点が、前記半導体に対するショットキバリアを形成する、請求項 1 に記載のデバイス。

【請求項 3】

前記第 1 の光スイッチが、2 つの端子接点を有する半導体を備え、前記半導体が、有機材料、金属酸化物、又はそれらの組み合わせを含む、請求項 1 に記載のデバイス。

【請求項 4】

前記第 1 及び第 2 の光スイッチ並びに前記第 2 及び第 4 のトランジスタが、前記デバイスの動作電圧範囲を拡大するために直列にカスケード接続される、請求項 1 に記載のデバイス。

【請求項 5】

前記デバイスが、
ゲート誘電体層と、
前記ゲート誘電体層上に位置付けられたレベル間誘電体 (I L D) 層と、を更に備え、
前記第 2 のトランジスタが、
ソースと、
ゲートと、
ドレインと、

第 1 のフィールドプレートであって、前記ゲート及び前記第 1 のフィールドプレートが、前記ゲート誘電体層内に少なくとも部分的に位置付けられ、前記ゲート及び前記第 1 のフィールドプレートが、それらの間の非ゲートチャネルによって分離される、第 1 のフィールドプレートと、

前記 I L D 層内に、かつ前記ソースと前記ドレインとの間に少なくとも部分的に位置付けられたチャネルであって、水素化アモルファスシリコン (a - S i : H) を含む、チャネルと、

前記 I L D 層内に、かつ前記ソースと前記ドレインとの間に少なくとも部分的に位置付けられた窒化物層であって、前記チャネル上に少なくとも部分的に位置付けられる、窒化物層と、を備える、請求項 1 に記載のデバイス。

【請求項 6】

前記第 1 の光スイッチが、

前記ゲート誘電体層内に位置付けられた第 2 のフィールドプレートと、

I L D 層内に少なくとも部分的に位置付けられた n + ドープされた a - S i : H 層であって、互いに分離されている第 1 の部分、第 2 の部分、及び第 3 の部分を備える、n + ドープされた a - S i : H 層と、

前記 I L D 層内に少なくとも部分的に位置付けられた金属層であって、前記金属層が、

前記 n + ドープされた a - S i : H 層の前記第 1 の部分に少なくとも部分的に位置付けられる第 1 の部分と、

前記 n + ドープされた a - S i : H 層の前記第 2 の部分に少なくとも部分的に位置付けられる第 2 の部分と、

前記 n + ドープされた a - S i : H 層の前記第 3 の部分に少なくとも部分的に位置付けられる第 3 の部分と、

前記第 2 のフィールドプレート上に少なくとも部分的に、前記 n + ドープされた a - S i : H 層の前記第 2 及び第 3 の部分の間に少なくとも部分的に、かつ前記金属層の前記第 2 及び第 3 の部分の間に少なくとも部分的に位置付けられる第 4 の部分と、を備える、金属層と、を備える、請求項 5 に記載のデバイス。

【請求項 7】

前記第 1 の光スイッチが、

前記 I L D 層内に少なくとも部分的に位置付けられた金属層であって、前記金属層が、第 1 の部分及び第 2 の部分を備え、前記金属層の前記第 1 及び第 2 の部分が、段付きプロファイルを有する、金属層と、

前記 I L D 層内に、かつ前記金属層の前記第 1 及び第 2 の部分の間に少なくとも部分的

10

20

30

40

50

に位置付けられた第2のチャンネルであって、 $a - Si : H$ を含む、第2のチャンネルと、

前記ILD層内に少なくとも部分的に、前記金属層の前記第1及び第2の部分の間に少なくとも部分的に、かつ前記第2のチャンネル上に少なくとも部分的に位置付けられた第2の窒化物層と、を備える、請求項5に記載のデバイス。

【請求項8】

デバイスであって、

第1の段であって、

第1の光スイッチと、

前記第1の光スイッチに接続された第1のトランジスタと、

前記第1の光スイッチ及び前記第1のトランジスタに接続された第2のトランジスタと、
を備え、前記第1のトランジスタが、前記第2のトランジスタよりも長く、かつ狭く、
前記第1のトランジスタが、約0.1～約0.01のW/L比を有し、前記第2のトランジスタが、前記第1のトランジスタよりも高い電圧で動作するように構成されている、第1の段と、

第2の段であって、

第2の光スイッチと、

前記第2のトランジスタ及び前記第2の光スイッチに接続された第3のトランジスタと、

前記第2のトランジスタ、前記第2の光スイッチ、及び前記第3のトランジスタに接続された第4のトランジスタと、を備える、第2の段と、を備える、デバイス。

【請求項9】

アクチュエータを駆動するためのスイッチングデバイスであって、

第1の段であって、

第1のフォトダイオードと、

ソースと、ゲートと、ドレインと、を備える、第1のトランジスタであって、前記第1のトランジスタの前記ソース及び前記ゲートが、互いに接続され、前記第1のトランジスタの前記ドレインが、前記第1のフォトダイオードに接続される、第1のトランジスタと、

ソースと、ゲートと、ドレインと、を備える、第2のトランジスタであって、前記第2のトランジスタの前記ソースが、前記第1のトランジスタの前記ソース及び前記ゲートに接続され、前記第2のトランジスタの前記ゲートが、前記第1のフォトダイオード及び前記第1のトランジスタの前記ドレインに接続され、前記第2のトランジスタの前記ドレインが、前記第1のフォトダイオードに接続される、第2のトランジスタと、を備える、第1の段と、

第2の段であって、

第2のフォトダイオードと、

ソースと、ゲートと、ドレインと、を備える、第3のトランジスタであって、前記第3のトランジスタの前記ソース及び前記ゲートが、互いにかつ前記第2のトランジスタの前記ドレインに接続され、前記第3のトランジスタの前記ドレインが、前記第2のフォトダイオードに接続される、第3のトランジスタと、

ソースと、ゲートと、ドレインと、を備える、第4のトランジスタであって、前記第4のトランジスタの前記ソースが、前記第2のトランジスタの前記ドレインに、かつ前記第3のトランジスタの前記ソース及び前記ゲートに接続され、前記第4のトランジスタの前記ゲートが、前記第2のフォトダイオード及び前記第3のトランジスタの前記ドレインに接続され、前記第4のトランジスタの前記ドレインが、前記第2のフォトダイオードに接続される、第4のトランジスタと、を備える、第2の段と、を備える、スイッチングデバイス。

【請求項10】

前記第1のトランジスタが、前記第2のトランジスタよりも長く、かつ狭く、前記第2のトランジスタが、前記第1のトランジスタよりも高い電圧で動作するように構成されている、請求項9に記載のスイッチングデバイス。

10

20

30

40

50

【請求項 1 1】

前記第 2 のトランジスタが、薄膜トランジスタ (T F T) を備え、前記第 2 のトランジスタの前記ゲートが、前記第 1 のフォトダイオードによって制御される、請求項 9 に記載のスイッチングデバイス。

【請求項 1 2】

前記第 2 のトランジスタが、前記第 2 のトランジスタの前記ゲートと前記ドレインとの間に位置付けられるフィールドプレート及び非ゲートチャネル領域を更に備え、前記非ゲートチャネル領域が、前記第 2 のトランジスタの前記ゲートと前記フィールドプレートとの間に位置付けられる、請求項 1 1 に記載のスイッチングデバイス。

【請求項 1 3】

光源が前記第 1 及び第 2 のフォトダイオードに光電流を誘導させて、前記第 2 及び第 4 のトランジスタのゲート電位をドレイン電圧に向かってバイアスすることに応答して、前記スイッチングデバイスがオン状態に作動するように構成されている、請求項 9 に記載のスイッチングデバイス。

【請求項 1 4】

微小電気機械システム (M E M S) アクチュエータを駆動するための高電圧スイッチングデバイスであって、

第 1 の段であって、

第 1 の端子接点及び第 2 の端子接点を有する半導体を備える第 1 のフォトダイオードであって、前記半導体が、水素化アモルファスシリコン (a - S i : H) を含み、前記第 1 及び第 2 の端子接点が、前記半導体に対するショットキバリアを形成する、第 1 のフォトダイオードと、

ソースと、ゲートと、ドレインと、を備える、第 1 のトランジスタであって、前記第 1 のトランジスタの前記ソース及び前記ゲートが、互いに接続され、前記第 1 のトランジスタの前記ドレインが、前記第 1 のフォトダイオードの前記第 1 の端子接点に接続され、前記第 1 のトランジスタが、約 0 . 1 ~ 約 0 . 0 1 の W / L 比を有する、第 1 のトランジスタと、

ソースと、ゲートと、ドレインと、を備える、第 2 のトランジスタであって、前記第 2 のトランジスタの前記ソースが、前記第 1 のトランジスタの前記ソース及び前記ゲートに接続され、前記第 2 のトランジスタの前記ゲートが、前記第 1 のフォトダイオード及び前記第 1 のトランジスタの前記ドレインの前記第 1 の端子接点に接続され、前記第 2 のトランジスタの前記ドレインが、前記第 1 のフォトダイオードの前記第 2 の端子接点に接続される、第 2 のトランジスタと、を備える、第 1 の段と、

第 2 の段であって、

第 2 のフォトダイオードと、

ソースと、ゲートと、ドレインと、を備える、第 3 のトランジスタであって、前記第 3 のトランジスタの前記ソース及び前記ゲートが、互いにかつ前記第 2 のトランジスタの前記ドレインに接続され、前記第 3 のトランジスタの前記ドレインが、前記第 2 のフォトダイオードに接続される、第 3 のトランジスタと、

ソースと、ゲートと、ドレインと、を備える、第 4 のトランジスタであって、前記第 4 のトランジスタの前記ソースが、前記第 2 のトランジスタの前記ドレインに、かつ前記第 3 のトランジスタの前記ソース及び前記ゲートに接続され、前記第 4 のトランジスタの前記ゲートが、前記第 2 のフォトダイオード及び前記第 3 のトランジスタの前記ドレインに接続され、前記第 4 のトランジスタの前記ドレインが、前記第 2 のフォトダイオードに接続される、第 4 のトランジスタと、を備える、第 2 の段と、を備える、高電圧スイッチングデバイス。

【請求項 1 5】

前記第 1 のトランジスタが、前記第 2 のトランジスタよりも長く、かつ狭く、前記第 2 のトランジスタが、前記第 1 のトランジスタよりも高い電圧で動作するように構成されている、請求項 1 4 に記載のスイッチングデバイス。

10

20

30

40

50

【請求項 16】

ゲート誘電体層と、

前記ゲート誘電体層上に位置付けられたレベル間誘電体 (ILD) 層と、を更に備え、
前記第2のトランジスタが、

第1のフィールドプレートであって、前記第2のトランジスタの前記ゲート及び前記第1のフィールドプレートが、前記ゲート誘電体層内に少なくとも部分的に位置付けられ、前記第2のトランジスタの前記ゲート及び前記第1のフィールドプレートが、それらの間の非ゲートチャネルによって分離される、第1のフィールドプレートと、

前記ILD層内に、かつ前記第2のトランジスタの前記ソースと前記ドレインとの間に少なくとも部分的に位置付けられたチャネルであって、水素化アモルファスシリコン (a-Si:H) を含む、チャネルと、

前記ILD層内に、かつ前記第2のトランジスタの前記ソースと前記ドレインとの間に少なくとも部分的に位置付けられた窒化物層であって、前記チャネル上に少なくとも部分的に位置付けられる、窒化物層と、を備える、請求項14に記載のスイッチングデバイス。

10

【請求項 17】

前記第1のフォトダイオードが、

前記ゲート誘電体層内に位置付けられた第2のフィールドプレートと、

前記ILD層内に少なくとも部分的に位置付けられたn+ドープされたa-Si:H層であって、互いに分離されている第1の部分、第2の部分、及び第3の部分を備える、n+ドープされたa-Si:H層と、

20

前記ILD層内に少なくとも部分的に位置付けられた金属層であって、前記金属層が、

前記n+ドープされたa-Si:H層の前記第1の部分に少なくとも部分的に位置付けられる第1の部分と、

前記n+ドープされたa-Si:H層の前記第2の部分に少なくとも部分的に位置付けられる第2の部分と、

前記n+ドープされたa-Si:H層の前記第3の部分に少なくとも部分的に位置付けられる第3の部分と、

前記第2のフィールドプレート上に少なくとも部分的に、前記n+ドープされたa-Si:H層の前記第2及び第3の部分の間に少なくとも部分的に、かつ前記金属層の前記第2及び第3の部分の間に少なくとも部分的に位置付けられる第4の部分と、を備える、金属層と、を備える、請求項16に記載のスイッチングデバイス。

30

【請求項 18】

前記第1のフォトダイオードが、

前記ILD層内に少なくとも部分的に位置付けられた金属層であって、前記金属層が、第1の部分及び第2の部分を備え、前記金属層の前記第1及び第2の部分が、段付きプロファイルを有する、金属層と、

前記ILD層内に、かつ前記金属層の前記第1及び第2の部分の間に少なくとも部分的に位置付けられた第2のチャネルであって、a-Si:Hを含む、第2のチャネルと、

前記ILD層内に少なくとも部分的に、前記金属層の前記第1及び第2の部分の間に少なくとも部分的に、かつ前記第2のチャネル上に少なくとも部分的に位置付けられた第2の窒化物層と、を備える、請求項16に記載のスイッチングデバイス。

40

【発明の詳細な説明】

【技術分野】

【0001】

本教示は、概して、微小電気機械システム (microelectromechanical system、MEMS) に関するものであり、より具体的には、MEMSアクチュエータを駆動するための高電圧スイッチングデバイスに関する。

【背景技術】

【0002】

50

MEMSは、小さい（例えば、顕微鏡的な）システム、特に可動部分を有するものである。MEMSは、1～100マイクロメートル（ μm ）のサイズの構成要素から作製され、MEMSは、一般に、20マイクロメートル～1ミリメートル（ mm ）のサイズの範囲である。MEMSは、通常、データを処理する中央ユニット（例えば、マイクロプロセッサ）と、環境（例えば、マイクロセンサ）と相互作用するいくつかの構成要素と、を含む。MEMSの大きい表面積対容積比のため、周囲の電磁気（例えば、静電荷及び磁気モーメント）及び流体力学（例えば、表面張力及び粘度）によって生成される力は、より大規模な機械デバイスによるものよりも重要な設計上の考慮事項である。

【0003】

MEMSは、典型的には、静電作動、圧電作動、又は熱作動を使用する。静電作動は、電磁作動及び熱作動よりも良好により小さいサイズにスケールダウンされる。しかしながら、静電作動は、典型的には、十分な出力を発生させるために、電磁作動及び熱作動よりも高い電圧（例えば、数 kV ）に依存する。同程度のサイズ及び重量のアクチュエータを有する微小電子部品においてそのような高電圧を発生させること及び制御することはどちらも困難である。

【発明の概要】

【0004】

以下は、本教示の1つ以上の実施形態のいくつかの態様の基本的な理解を提供するために、簡略化された概要を提示する。この概要は、広範な概略ではなく、本教示の主要又は重要な要素を特定することも、本開示の範囲を明示することも意図していない。むしろ、その主な目的は、単に、後に提示される詳細な説明の前置きとして、1つ以上の概念を簡略化された形式で提示するだけである。

【0005】

デバイスが開示される。本デバイスは、第1の光スイッチを有する第1の段と、第1の光スイッチに接続された第1のトランジスタと、第1の光スイッチ及び第1のトランジスタに接続された第2のトランジスタと、を含む。本デバイスはまた、第2の光スイッチを有する第2の段と、第2のトランジスタ及び第2の光スイッチに接続された第3のトランジスタと、第2のトランジスタ、第2の光スイッチ、及び第3のトランジスタに接続された第4のトランジスタと、を含む。

【0006】

アクチュエータを駆動するためのスイッチングデバイスが開示される。スイッチングデバイスは、第1の段を含む。第1の段は、第1のフォトダイオードを含む。第1の段はまた、ソースと、ゲートと、ドレインと、を有する、第1のトランジスタも含む。第1のトランジスタのソース及びゲートは、互いに接続され、第1のトランジスタのドレインは、第1のフォトダイオードに接続される。第1の段はまた、ソースと、ゲートと、ドレインと、を有する、第2のトランジスタも含む。第2のトランジスタのソースは、第1のトランジスタのソース及びゲートに接続される。第2のトランジスタのゲートは、第1のフォトダイオード及び第1のトランジスタのドレインに接続される。第2のトランジスタのドレインは、第1のフォトダイオードに接続される。スイッチングデバイスはまた、第2の段も含む。第2の段は、第2のフォトダイオードを含む。第2の段はまた、ソースと、ゲートと、ドレインと、を有する、第3のトランジスタも含む。第3のトランジスタのソース及びゲートは、互いに、かつ第2のトランジスタのドレインに接続され、第3のトランジスタのドレインは、第2のフォトダイオードに接続される。第2の段はまた、ソースと、ゲートと、ドレインと、を有する、第4のトランジスタも含む。第4のトランジスタのソースは、第2のトランジスタのドレインに、かつ第3のトランジスタのソース及びゲートに接続される。第4のトランジスタのゲートは、第2のフォトダイオード及び第3のトランジスタのドレインに接続される。第4のトランジスタのドレインは、第2のフォトダイオードに接続される。

【0007】

微小電気機械システム（MEMS）アクチュエータを駆動するための高電圧スイッチ

10

20

30

40

50

ングデバイスが開示される。スイッチングデバイスは、第 1 の段を含む。第 1 の段は、第 1 の端子接点及び第 2 の端子接点を備える半導体を有する第 1 のフォトダイオードを含む。半導体は、水素化アモルファスシリコン (hydrogenated amorphous silicon、a - Si : H) を含む。第 1 及び第 2 の端子接点は、半導体に対するショットキバリアを形成する。第 1 の段はまた、ソースと、ゲートと、ドレインと、を有する、第 1 のトランジスタも含む。第 1 のトランジスタのソース及びゲートは、互いに接続される。第 1 のトランジスタのドレインは、第 1 のフォトダイオードの第 1 の端子接触に接続される。第 1 のトランジスタは、約 0 . 0 1 ~ 約 0 . 1 の W / L 比を有する。第 1 の段はまた、ソースと、ゲートと、ドレインと、を有する、第 2 のトランジスタも含む。第 2 のトランジスタのソースは、第 1 のトランジスタのソース及びゲートに接続される。第 2 のトランジスタのゲートは、第 1 のフォトダイオードの第 1 の端子接点及び第 1 のトランジスタのドレインに接続される。第 2 のトランジスタのドレインは、第 1 のフォトダイオードの第 2 の端子接点に接続される。スイッチングデバイスはまた、第 2 の段も含む。第 2 の段は、第 2 のフォトダイオードを含む。第 2 の段はまた、ソースと、ゲートと、ドレインと、を有する、第 3 のトランジスタも含む。第 3 のトランジスタのソース及びゲートは、互いに、かつ第 2 のトランジスタのドレインに接続される。第 3 のトランジスタのドレインは、第 2 のフォトダイオードに接続される。第 2 の段はまた、ソースと、ゲートと、ドレインと、を有する、第 4 のトランジスタも含む。第 4 のトランジスタのソースは、第 2 のトランジスタのドレインに、かつ第 3 のトランジスタのソース及びゲートに接続される。第 4 のトランジスタのゲートは、第 2 のフォトダイオード及び第 3 のトランジスタのドレインに接続される。第 4 のトランジスタのドレインは、第 2 のフォトダイオードに接続される。

10

20

【図面の簡単な説明】

【 0 0 0 8 】

本明細書の一部に組み込まれ、本明細書の一部を構成する添付図面は、本教示の実施形態を示し、本明細書と共に本開示の原理を説明する役割を果たす。

【 0 0 0 9 】

【図 1】一実施形態による、MEMS アクチュエータを駆動するための高電圧スイッチングデバイスの概略図を表す。

【 0 0 1 0 】

【図 2】一実施形態による、図 1 の一部分の拡大図を表す。

30

【 0 0 1 1 】

【図 3】一実施形態による、デバイスの第 1 の段の回路図を表す。

【 0 0 1 2 】

【図 4】一実施形態による、一緒にスタックされたデバイスの複数 (例えば、4 つ) の段の回路図を表す。

【 0 0 1 3 】

【図 5】一実施形態による、デバイスの第 1 の段の一部分の概略側断面図を表す。

【 0 0 1 4 】

【図 6】一実施形態による、デバイスの第 1 の段の電流電圧特性を示すグラフを表す。

【 0 0 1 5 】

40

【図 7】一実施形態による、複数のスタック及び / 又はカスケードされたデバイスの段 (例えば、4 段) の電流電圧特性を示すグラフを表す。

【 0 0 1 6 】

【図 8】一実施形態による、デバイスの第 1 の段の一部分の概略側断面図を表す。

【 0 0 1 7 】

【図 9】一実施形態による、n + ドープされた a - Si : H 層が、S / D 金属層とチャネルとの間に少なくとも部分的に位置付けられる場合の、デバイスの光スイッチの電流電圧特性を示すグラフを表す。

【 0 0 1 8 】

【図 10】一実施形態による、S / D 金属層が、チャネル (図 8 の右側に示す) 上に少な

50

くとも部分的に位置付けられる（すなわち、と直接接触した）場合の、光スイッチの電流電圧特性を示すグラフを表す。

【 0 0 1 9 】

【 図 1 1 】一実施形態による、MEMSアクチュエータを駆動するための別の高電圧スイッチングデバイスの概略図を表す。

【 0 0 2 0 】

【 図 1 2 】一実施形態による、図 1 1 の拡大部分を表す。

【 0 0 2 1 】

【 図 1 3 】一実施形態による、図 1 1 に示されるデバイスの一部分の概略側断面図を表す。

【 0 0 2 2 】

【 図 1 4 】一実施形態による、図 1 1 のデバイスの変換特性を示すグラフを表す。

【 発明を実施するための形態 】

【 0 0 2 3 】

ここで、本教示の例示の実施形態を詳細に参照し、この実施例を添付図面に示す。可能な限り、同じ参照番号が、同じ、類似、又は同様の部分を指すように図面全体にわたって使用される。

【 0 0 2 4 】

本開示は、微小電気機械システム（MEMS）に関する。MEMSの第1の実施形態は、光カプラ（オプトカプラとも称される）であり得るか、又はそれを含み得る。光カプラ手法は、低電圧制御回路に対するインターフェース及び分離を簡略化する。光カプラ手法はまた、多数の段をカスケード（例えば、スタック）して、電圧定格を高め得る。光カプラ手法は、デバイスをオン及びオフするために光源が必要であるので、エネルギー効率が低下し得る。MEMSの第2の実施形態は、インバータ薄膜トランジスタ（thin-film transistor、TFT）及びバッファTFTがサブデバイスレベルで密に集積される、2段インバータ/バッファトランジスタ構造であり得るか、又はそれを含み得る。そのような密な集積は、高電圧定格を達成することができるよう、バッファTFTのドレイン領域全体に高電圧を均一に分配するのを補助する。

【 0 0 2 5 】

水素化アモルファスシリコン（a-Si:H）ベースの高電圧（high-voltage、HiV）-TFT、特に「オフセットゲート」TFTアーキテクチャは、200V～500V又は300V～400Vの動作電圧を提供することができる。オフセットゲートTFTアーキテクチャは、非ゲートドリフトチャネル領域を有し得、これは、高電圧を非ゲート領域全体に分配して、高電界に起因する任意の流出プロセスを防止するための半導体のセクションを提供する。非ゲート領域は、任意の電圧（例えば、 $E = V / L$ ）を有する同じ電界を維持するように、長さをスケールリングすることができる。一実施例では、この設計に基づいて、800VのHiV-TFTが構築され得る。

【 0 0 2 6 】

しかしながら、800Vを超える電圧をスケールリングするには、この手法は、次第に効果的でなくなる。高電圧が局所的に集中して暴走破壊プロセスを生じさせないように、非ゲート領域全体に高電圧を一様に分配するように保つことは困難である。加えて、より長い非ゲート領域を有することは、オン電流に対する悪影響を有し得る。非ゲートチャネルは、必然的に「抵抗性」である。長い非ゲートチャネルを有するTFTのオン電流は、同じチャネル幅には小さい場合がある。非ゲートチャネル長さの長さを拡大することは、オン/オフ比を急激に低下させ得る。800VのHiV-TFTは、約3～4桁のオン/オフ比を有し得る。広範囲にわたって所望の電圧を実装するための信頼性の高い方式を有するスケラブルな高電圧ドライバの基本的な難点は、暴走破壊プロセスを生じさせる高電圧が、チャネル材料又はデバイスの小さい領域に集中することを防止することである。

【 0 0 2 7 】

動作電圧範囲を拡大するために、複数の別個のトランジスタがカスケードされ得る。しかしながら、TFTの回路に実装することは困難であり、これまで行われなかった。別

10

20

30

40

50

個のデバイス及びTFTプロセスを使用することの間にはいくつかの違いが存在する。N型金属酸化膜半導体(N-type metal-oxide-semiconductor、NMOS)能動デバイスだけが、a-Si:H TFTプロセスにおいて利用可能である。利用可能なP型金属酸化膜半導体(P-type metal-oxide-semiconductor、PMOS)又はバイポーラデバイスは存在しない。抵抗器は、a-Si:H TFTプロセスの制限範囲を限定し、通常、レイアウト占有領域の非効率的な使用と考えられる。サブ回路は、典型的には、TFT回路の能力を超える複雑なDC-DCコンバータであるので、複数の電圧レールを提供して、カスケードされたトランジスタアレイのゲートを制御するためにサブ回路を担持することは、一般に、利用不可能である。

【0028】

10

図1は、一実施形態による、MEMSアクチュエータを駆動するための高電圧スイッチングデバイス100の概略図を表し、図2は、一実施形態による、図1の一部分の拡大図を表す。デバイス100は、1つ以上の光スイッチを含むことができる(10個が示される: 110A~110J)。光スイッチ110A~110Jは、光を電流に変換するフォトダイオード(例えば、半導体ダイオード)であり得るか、又はそれを含み得る。一実施形態では、半導体は、a-Si:Hであり得るか、又はそれを含み得る。半導体は、各々が2つの端子接点を含み得る。端子接点は、半導体に対するショットキバリアを形成し得る。端子接点材料は、TiW、MoCr、Mo、ITO、若しくはそれらの組み合わせであり得るか、又はそれを含み得る。

【0029】

20

デバイス100はまた、1つ以上の第1のトランジスタも含み得る(10個が示される: 120A~120J)。第1のトランジスタ120A~120Jは、TFTであり得るか、又はそれを含み得る。第1のトランジスタ120A、120Jは、(下で導入され、説明される)第2のトランジスタのゲートの放電経路を提供するために長く、かつ狭くあり得る。例えば、第1のトランジスタ120A~120Jは、約20 μ m~約500 μ mの長さ、及び約3 μ m~約10 μ mの幅を有し得る。

【0030】

第1のトランジスタ120A~120Jの各々は、ソース122Aと、ゲート124Aと、ドレイン124Aと、を含み得る。下で更に詳細に説明するように、第1のトランジスタ120A~120Jの各々は、光スイッチ110A~110Jのそれぞれ1つに接続され得る。例えば、第1のトランジスタ120Aが光スイッチ110Aに接続され得る、及び第1のトランジスタ120Bが光スイッチ110Bに接続され得る、などである。第1のトランジスタ120A~120Jは、1未満であるW/L比を有し得る。例えば、W/L比は、約0.1~約0.01であり得る。

30

【0031】

デバイス100はまた、1つ以上の第2のトランジスタも含み得る(10個が示される: 140A~140J)。第2のトランジスタ140A~140Jは、HiV-TFTであり得るか、又はそれを含み得る。より具体的には、第2のトランジスタ140A~140Jは、第1のトランジスタ120A~120Jよりも高い電圧で動作するように構成され得る。例えば、第1のトランジスタ120A~120Jは、約10V~約100V(例えば、20V)の電圧に定格され得、第2のトランジスタ140A~140Jは、約200V~約1000V(例えば、400V)の電圧に定格され得る。第2のトランジスタ140A~140Jは、第1のトランジスタ120A~120Jよりも短く、かつより広く/より厚くなり得る。例えば、第2のトランジスタ140A~140Jは、約3 μ m~約10 μ mの長さ、及び約10 μ m~約1000 μ mの幅を有し得る。

40

【0032】

第2のトランジスタ140A~140Jの各々は、ソース142Aと、ゲート144Aと、ドレイン144Aと、を含み得る。第2のトランジスタ140A~140Jの各々は、光スイッチ110A~110Jのそれぞれ1つに、及び第1のトランジスタ120A~120Jのそれぞれ1つに接続され得る。例えば、第2のトランジスタ140Aが光ス

50

イッチ 1 1 0 A 及び第 1 のトランジスタ 1 2 0 A に接続され得る、並びに第 2 のトランジスタ 1 4 0 B が光スイッチ 1 1 0 B 及び第 1 のトランジスタ 1 2 0 B に接続され得る、などである。第 2 のトランジスタ 1 4 0 A ~ 1 4 0 B のゲート 1 4 4 A ~ 1 4 4 J は、光スイッチ 1 1 0 A ~ 1 1 0 J によって制御され得る。例えば、第 2 のトランジスタの各々（例えば、1 4 0 A）は、光スイッチのそれぞれ 1 つ（例えば、1 1 0 A）及び / 又は第 1 のトランジスタのそれぞれ 1 つ（例えば、1 2 0 A）を使用して制御され得、第 2 のトランジスタ（例えば、1 4 0 A）のゲート（例えば、1 4 4 A）を、第 2 のトランジスタ（例えば、1 4 0 A）のソース（例えば、1 4 2 A）と同じ電位にさせる。これは、光スイッチ 1 1 0 A が照明されていないときに、第 2 のトランジスタ（例えば、1 4 0 A）をオフ状態にさせ得る。

10

【 0 0 3 3 】

光スイッチ 1 1 0 A、第 1 のトランジスタ 1 2 0 A、及び第 2 のトランジスタ 1 2 0 A がデバイス 1 0 0、光スイッチ 1 1 0 B、第 1 のトランジスタ 1 2 0 B の第 1 の段を形成し得る、並びに第 2 のトランジスタ 1 2 0 B がデバイス 1 0 0 の第 2 の段を形成し得る、などである。したがって、デバイス 1 0 0 は、スタック及び / 又はカスケードされる複数の（例えば、1 0 の）段を含み得、これは、デバイス 1 0 0 が、単一の T F T が取り扱うこと / 耐えることができるよりも高い（例えば、1 0 倍の）動作可能な電圧範囲を達成するのを補助し得る。例えば、光スイッチ 1 1 0 A ~ 1 1 0 J 及び第 2 のトランジスタ 1 4 0 A ~ 1 4 0 J は、デバイス 1 0 0 の動作電圧範囲を拡大するために、直列に接続されたカスケードであり得る。

20

【 0 0 3 4 】

デバイス 1 0 0 はまた、1 つ以上のパッドも含み得る（2 つが示される：1 5 0 A、1 5 0 B）。パッド 1 5 0 A、1 5 0 B は、プローブステーションを使用してプローブするために使用されるように構成されている、金属パッドであり得る。第 1 のパッド 1 5 0 A は、第 1 の段に（例えば、第 1 のトランジスタ 1 2 0 A 及び / 又は第 2 のトランジスタ 1 4 0 A に）接続され得る。第 2 のパッド 1 5 0 B は、最後の（例えば、第 1 0 の）段に（例えば、第 1 のトランジスタ 1 2 0 J 及び / 又は第 2 のトランジスタ 1 4 0 J に）接続され得る。

【 0 0 3 5 】

デバイス 1 0 0 はまた、1 つ以上のパッドも含み得る（1 0 個が示される：1 6 0 A ~ 1 6 0 J）。第 1 のパッド 1 6 0 A が第 1 の段に（例えば、第 1 のトランジスタ 1 2 0 A 及び / 又は第 2 のトランジスタ 1 4 0 A に）接続され得る、並びに第 2 のパッド 1 6 0 B が第 2 の段に（例えば、第 1 のトランジスタ 1 2 0 B 及び / 又は第 2 のトランジスタ 1 4 0 B に）接続され得る、などである。

30

【 0 0 3 6 】

デバイス 1 0 0 をオンにするには、光源（例えば、低電圧制御回路によって制御される L E D）が光スイッチ 1 1 0 A ~ 1 1 0 J を照明し、これが光電流を誘導し、第 2 のトランジスタ 1 4 0 A ~ 1 4 0 J のゲート電位をドレイン電圧に向かってバイアスする。これは、第 2 のトランジスタ 1 4 0 A ~ 1 4 0 J をオンにさせる。第 1 のトランジスタ 1 2 0 A ~ 1 2 0 J は、光スイッチ 1 1 0 A ~ 1 1 0 J の負荷としての役割を果たし得る。第 2 のトランジスタ 1 4 0 A ~ 1 4 0 J をオン状態に作動させる十分なゲート電圧を光電流によって誘導するために、所定の抵抗が必要である。

40

【 0 0 3 7 】

図 3 は、一実施形態による、デバイス 1 0 0 の第 1 の段の回路図を表す。上で述べられるように、第 1 のトランジスタ 1 2 0 A は、ソース 1 2 2 A と、ゲート 1 2 4 A と、ドレイン 1 2 6 A と、を含み得、第 2 のトランジスタ 1 4 0 A は、ソース 1 4 2 A と、ゲート 1 4 4 A と、ドレイン 1 4 6 A と、を含み得る。第 1 のトランジスタ 1 2 0 A のドレイン 1 2 6 A は、光スイッチ 1 1 0 A の第 1 の側及び第 2 のトランジスタ 1 4 0 A のゲート 1 4 4 A に接続され得る。第 1 のトランジスタ 1 2 0 A のソース 1 2 2 A は、（例えば、共通ノード 1 7 0 A において）第 1 のトランジスタ 1 2 0 A のゲート 1 2 4 A 及び第 2 の

50

トランジスタ 140A のソース 142A に接続され得る。第 2 のトランジスタ 140A のドレイン 146A は、光スイッチ 110A の第 2 の側に接続され得る。

【0038】

図 4 は、一実施形態による、一緒にスタックされたデバイス 100 の複数（例えば、4 つ）の段の回路図 400 を表す。示されるように、光スイッチ 110A 及び第 1 の段の第 2 のトランジスタ 140A のドレイン 146A は、第 2 の段の共通ノード 170B に接続され得、光スイッチ 110B 及び第 2 の段の第 2 のトランジスタ 140B の 146B は、第 3 の段階の共通ノード 170C に接続され得、光スイッチ 110C 及び第 3 の段の第 2 のトランジスタ 140C のドレイン 146C は、第 4 の段の共通ノード 170D に接続され得る。光スイッチ 110A ~ 110D は、光の利用及び照明の均一性を確実にするために、照明領域の中へ一緒に近づけて位置付けられ得る。光スイッチ 110A ~ 110D は、一緒にグループ化されて、低電圧電子部品によって作動される 1 つの（又はより多くの）光源によって制御され得る。

10

【0039】

図 5 は、一実施形態による、デバイス 100 の第 1 の段の一部分の概略側断面図を表す。第 1 の段は、後方チャネルエッチストップ a-Si:H TFT プロセスを使用して形成され得る。第 1 の段は、ゲート誘電体層（底部窒化物層とも称される）510 と、ゲート誘電体層 510 上に位置付けられたレベル間誘電体（interlevel dielectric、ILD）層 512 と、ILD 層 512 上に位置付けられた（頂部）不動態化層 514 と、を含み得る。

20

【0040】

第 1 の段はまた、光スイッチ 110A と、第 1 のトランジスタ 120A（図 5 に示さず）と、第 2 のトランジスタ 140A と、を含み得る。光スイッチ 110A は、ILD 層 512 及び / 又は不動態化層 514 内に少なくとも部分的に位置付けられ得る。光スイッチ 110A は、S/D 金属層に実装され得る（6 つの部分 120A ~ 120F を示す）。示されるように、光スイッチ 110A の第 1 の面は、S/D 金属層の第 1 の部分 520A に実装され得、光スイッチ 110A の第 2 の面は、S/D 金属層の第 2 の部分 520B に実装され得る。S/D 金属層の第 1 の部分 520A 及び第 2 の部分 520B は、ILD 層 512 内に位置付けられ得る。S/D 金属層の第 1 の部分 520A 及び第 2 の部分 520B は、互いに分離され得る（すなわち、ILD 層 512 の一部分は、それらの間に位置付けられ得る）。S/D 金属層の第 2 の部分 520B は、ゲート誘電体層 510 内に少なくとも部分的に位置付けられ得る S/D 金属層の第 3 の部分 520C に接続され得る。S/D 金属層の第 3 の部分 520C は、ゲート誘電体層 510 内に位置付けられるフィールドプレート 522 上に位置付けられ及び / 又は接続され得る。S/D 金属層の第 3 の部分 520C は、ILD 層 512 内に位置付けられる S/D 金属層 520D の第 4 の部分に接続され得る。

30

【0041】

n + ドープされた a-Si:H 層（5 つの部分が示される：524A ~ 524E）は、ILD 層 512 内に少なくとも部分的に位置付けられ得る。示されるように、S/D 金属層の第 1 の部分 520A は、n + ドープされた a-Si:H 層の第 1 の部分 524A に少なくとも部分的に位置付けられ得、S/D 金属層の第 2 の部分 520B は、n + ドープされた a-Si:H 層の第 2 の部分 524B に少なくとも部分的に位置付けられ得、S/D 金属層の第 4 の部分 520D は、n + ドープされた a-Si:H 層の第 3 の部分 524C に少なくとも部分的に位置付けられ得る。

40

【0042】

第 2 のトランジスタ 140A は、ソース 142A と、ゲート 144A と、ドレイン 146A と、を含み得る。第 2 のトランジスタ 140A はまた、ゲート誘電体層 510 内でゲート 144A からオフセットされるフィールドプレート 530 を含み得る。フィールドプレート 530 は、ゲート 144A とドレイン 146A との間に位置付けられ得る。非ゲートチャネル（例えば、オフセット領域）532 は、ゲート誘電体層 510 内に位置付け

50

られ得る。非ゲートチャネル532は、ゲート144Aとフィールドプレート530との間に位置付けられ得る。非ゲートチャネル532はまた、又はその代わりに、ゲート144Aとドレイン146Aとの間に位置付けられ得る。フィールドプレート530及び/又は非ゲートチャネル領域532は、約数10ボルトのS/D動作範囲を数百ボルトの動作範囲に拡大するために、ドレイン146Aの近くに位置付けられ得る。これは、オフセットゲートH i V - T F Tのアーキテクチャに特有である。

【0043】

第2のトランジスタ140Aはまた、S/D金属層の第5の部分520E及び第6の部分520Fを含み得る。S/D金属層の第5の部分520E及び第6の部分520Fは、ILD層512内に位置付けられ得る。S/D金属層の第5の部分520E及び第6の部分520Fは、互いに分離され得る（すなわち、ILD層512の一部分は、それらの間に位置付けられ得る）。S/D金属層の第5の部分520E及び第6の部分520Fは、それらが互いに向かってより近くに移動するにつれて各々が不動態化層514のより近くに前進するように、段付きプロファイルを有し得る。

10

【0044】

第2のトランジスタ140Aはまた、n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eを含み得る。n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eは、ILD層512内に位置付けられ得る。n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eは、互いに分離され得る（すなわち、ILD層512の一部分は、それらの間に位置付けられ得る）。n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eは、それらが互いに向かってより近くに移動するにつれて各々が不動態化層514のより近くに前進するように、段付きプロファイルを有し得る。

20

【0045】

第2のトランジスタ140Aはまた、チャネル540（例えば、a-Si:Hを含む）と、頂部窒化物（T.Nit.）層542と、を含み得る。チャネル540は、ゲート誘電体層510上に及び/又はILD層512内に位置付けられ得る。チャネル540は、n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eの間に少なくとも部分的に位置付けられ得る。頂部窒化物層542は、チャネル540上に位置付けられ得る。頂部窒化物層542は、n+ドープされたa-Si:H層の第4の部分524D及び第5の部分524Eの間に少なくとも部分的に位置付けられ得る。チャネル540は、頂部窒化物層542よりも広い幅を有し得る。

30

【0046】

ソース142Aは、S/D金属層の第6の部分520F、n+ドープされたa-Si:H層の第5の部分524E、チャネル540、及び頂部窒化物層542の少なくとも一部分を含み得る。ドレイン146Aは、S/D金属層の第5の部分520E、n+ドープされたa-Si:H層の第4の部分524D、チャネル540、及び頂部窒化物層542の少なくとも一部分を含み得る。チャネル540及び頂部窒化物層542は、ソース142Aとドレイン146との間に少なくとも部分的に位置付けられ得る。

【0047】

一実施形態では、光スイッチ110Aの分離されたa-Si:H層520は、同じa-Si:Hチャネル材料で実装され得る。しかしながら、プロセスの修正は、光スイッチ110Aが所定のオン/オフ比を有することを確実にするように行うことが必要である。この代替の注入は、後に考察される。

40

【0048】

図6は、一実施形態による、デバイス100の第1の段の電流電圧特性を示すグラフ600を表し、図7は、一実施形態による、複数のスタック及び/又はカスケードされたデバイス100の段（例えば、4段）の電流電圧特性を示すグラフ700を表す。グラフ600、700はどちらも、デバイス100の第1の（例えば、オン）状態の1つの曲線、及びデバイス100の第2の（例えば、オフ）状態の別の曲線を示す。グラフから分か

50

るように、デバイス 100 が 4 段を有する場合、デバイス 100 は、デバイス 100 が単一段を有する場合と比較したときに、4 倍の電圧を発生させ得る。例えば、単一段の実施形態は、最大約 300 V で機能し、多段の実施形態は、最大約 1200 V で機能する。単一段の実施形態の電流制限は、20 μ A に設定され、多段の実施形態の電流制限は、50 μ A に設定される。単一の実施形態及び多段の実施形態の両方について、6 桁を超えるオン/オフ比が示される。

【0049】

図 8 は、一実施形態による、デバイス 100 の第 1 の段の一部分の概略的な側断面図を表す。図 8 の実施形態は、図 5 の実施形態の代替例である。この実施形態では、第 1 の段は、ゲート誘電体層 510 と、ゲート誘電体層 510 に位置付けられたレベル間誘電体 (ILD) 層 512 と、を含み得る。(頂部) 不動態化層 514 は、随意に省略され得る。

10

【0050】

光スイッチ 110 A は、S/D 金属層の 2 つの部分 820 A、820 B を含み得る。S/D 金属層の部分 820 A、820 B は、それらが互いに向かってより近くに移動するにつれて各々がゲート誘電体層 510 からより遠くに前進するように、段付きプロファイルを有し得る。光スイッチ 110 A はまた、チャンネル 840 (例えば、a-Si:H を含む) と、頂部窒化物層 842 と、を含み得る。チャンネル 840 は、ゲート誘電体層 510 上に及び/又は ILD 層 512 内に位置付けられ得る。チャンネル 840 は、S/D 金属層の部分 820 A、820 B の間に少なくとも部分的に位置付けられ得る。頂部窒化物層 842 は、チャンネル 840 上に位置付けられ得る。頂部窒化物層 842 は、S/D 金属層の部分 820 A、820 B の間に少なくとも部分的に位置付けられ得る。

20

【0051】

上で述べられるように、光スイッチ 110 A 及び第 2 のトランジスタ 140 A は、同じ a-Si:H 材料層を共有し得、これは、層構造及びプロセスを簡略化し得る。示されるように、第 2 のトランジスタ 140 A (左側に例示する) 及び光スイッチ 110 A (右側に例示する) は、光スイッチ 110 A が 2 端子デバイスであるので光スイッチ 110 A がゲートを含まないことを除いて、ほぼ同一の構造を共有する。加えて、S/D 金属層 820 A、820 B とチャンネル 840 との間には、n+ドープされた a-Si:H 層が存在しない。この構造は、S/D 金属及び n+、a-Si:H が 1 つのステップでパターン化され、同じマスクパターンを共有すると仮定する従来の a-Si:H TFT プロセスと比較して、構築に追加のステップを必要とし得る。

30

【0052】

しかしながら、図 9 及び図 10 は、光スイッチ 110 A 及び第 2 のトランジスタ 140 A について異なる接点構造を別個に使用することの重要性を示す。

【0053】

図 9 は、一実施形態による、n+ドープされた a-Si:H 層が、S/D 金属層とチャンネルとの間に少なくとも部分的に位置付けられる場合の、光スイッチ 110 A の電流電圧特性を示すグラフ 900 を表す。より具体的には、図 9 は、n+ドープされた a-Si:H 層が、図 8 の左側に示される第 2 のトランジスタ 140 A と同様に、S/D 金属層とチャンネルとの間に位置付けられることを除いて、図 8 の右側に示される光スイッチ 110 A と同様の構造を有する光スイッチの電流電圧特性を示す。このデバイスのオン/オフ比は 10 未満であり、不十分である。

40

【0054】

図 10 は、一実施形態による、S/D 金属層 820 A、820 B が、チャンネル 840 (図 8 の右側に示す) 上に少なくとも部分的に位置付けられる(すなわち、と直接接触した)場合の、光スイッチ 110 A の電流電圧特性を示すグラフ 1000 を表す。オン/オフ比は、2 桁を超える程度から 1000 を超えるように改善される。同様に、第 2 のトランジスタ 140 A の n+ドープされた a-Si:H 層を伴うことなく、第 2 のトランジスタ 140 A は、非常に小さいオン電流を有し得る。

【0055】

50

図 1 1 は、一実施形態による、MEMSアクチュエータを駆動するための別の高電圧スイッチングデバイス 1 1 0 0 の概略図を表し、図 1 2 は、一実施形態による、図 1 1 の拡大部分を表す。デバイス 1 1 0 0 は、全電気注入であり得るか、又はそれを含み得る。図 1 1 に示されるデバイス 1 1 0 0 と、図 1 ~ 図 1 0 を参照して説明されるデバイス 1 0 0 との 1 つの違いは、図 1 1 のデバイス 1 1 0 0 が、複数の K V 範囲まで直接的にスケラブルであることである。

【 0 0 5 6 】

デバイス 1 1 0 0 は、複合デバイスであり得るか、又はそれを含み得る。デバイス 1 1 0 0 は、1 つ以上のトランジスタ (2 つが示される : 1 1 2 0 、 1 1 4 0) を含み得る。第 1 の (例えば、上部) トランジスタ 1 1 2 0 は、T F T であり得るか、又はそれを含み得る。例えば、第 1 のトランジスタ 1 1 2 0 は、ソース 1 1 2 2 と、ゲート 1 1 2 4 と、ドレイン 1 1 2 6 と、を有する、H i V - T F T であり得るか、又はそれを含み得る。第 1 のトランジスタ 1 1 2 0 は、長く、かつ狭くあり得る。例えば、第 1 のトランジスタ 1 1 2 0 は、約 2 0 μ m ~ 約 1 0 0 0 μ m の長さ、及び約 3 μ m ~ 約 2 0 μ m の幅 / 厚さを有し得る。第 1 のトランジスタ 1 1 2 0 は、インバータ (例えば、第 1 の段インバータ) としての役割を果たし得る。示される実施形態では、従来のインバータ回路とは異なり、第 1 のトランジスタ 1 1 2 0 の負荷抵抗器が存在しない。

10

【 0 0 5 7 】

デバイス 1 1 0 0 は、第 1 の (例えば、オフの) 状態と第 2 の (例えば、オンの) 状態との間で作動可能であり得る。デバイス 1 1 0 0 は、ゲート 1 1 2 4 が第 1 のトランジスタ 1 1 2 0 をオフにしたときに、オフ (例えば、低電流) の状態になり得る。デバイス 1 1 0 0 は、ゲート 1 1 2 4 が第 1 のトランジスタ 1 1 2 0 をオンにしたときに、オン (例えば、より高い電流) の状態になり得る。

20

【 0 0 5 8 】

第 2 の (例えば、下部) トランジスタ 1 1 4 0 もまた、T F T であり得るか、又はそれを含み得る。例えば、第 2 のトランジスタ 1 1 4 0 は、ソース 1 2 4 2 と、ゲート 1 1 4 4 と、ドレイン 1 1 4 6 と、を有する、H i V - T F T であり得るか、又はそれを含み得る。第 2 のトランジスタ 1 1 4 0 は、第 1 のトランジスタ 1 1 2 0 よりも広くなり得る。例えば、第 2 のトランジスタ 1 1 4 0 は、約 2 0 μ m ~ 約 1 0 0 0 μ m の幅を有し得る。第 2 のトランジスタ 1 1 4 0 は、駆動及び / 又は出力トランジスタとしての役割を果たし得る。

30

【 0 0 5 9 】

ソース 1 1 2 2 、 1 1 4 2 は、(例えば、金属によって) 接続され得るが、ソース 1 1 2 2 、 1 1 4 2 は、共有され得ない (例えば、それらの半導体チャネルが分離され得る) 。同様に、ドレイン 1 1 2 6 、 1 1 4 6 は、(例えば、金属によって) 接続され得るが、ドレイン 1 1 2 6 、 1 1 4 6 は、共有され得ない (例えば、それらの半導体チャネルが分離され得る) 。トランジスタ 1 1 2 0 、 1 1 4 0 のサブ構成要素は、デバイス 1 1 0 0 が従来のインバータ + 出力トランジスタでないように密に結合される。むしろ、デバイス 1 1 0 0 は、ソースと、ゲートと、ドレインと、を有する、複合 3 端子デバイスである。

【 0 0 6 0 】

第 1 のトランジスタ 1 1 2 0 は、1 つ以上のタップ電極 (5 つが示される : 1 1 3 0 A ~ 1 1 3 0 E) を含み得る。電極 1 1 3 0 A ~ 1 1 3 0 E は、第 1 のトランジスタ 1 1 2 0 の非ゲートチャネル (非ゲートドリフト領域とも称される) 1 1 3 2 の高電圧ドリフト領域全体に分配され得る。第 1 のトランジスタ 1 1 2 0 の電極 1 1 3 0 A ~ 1 1 3 0 E は、ゲート 1 1 2 4 とドレイン 1 1 2 6 との間に少なくとも部分的に位置付けられ得る。電極 1 1 3 0 A のうちの 1 つは、第 2 のトランジスタ 1 1 4 0 のゲート 1 1 4 4 に接続され得る。

40

【 0 0 6 1 】

第 2 のトランジスタ 1 1 4 0 は、1 つ以上のフィールドプレート (5 つが示される : 1 1 4 8 A ~ 1 1 4 8 E) を含み得る。第 2 のトランジスタ 1 1 4 0 のゲート 1 1 4 4 及

50

びフィールドプレート 1148A ~ 1148E は、第 1 のトランジスタ 1120 の電極 1130A ~ 1130E に（例えば、直接）接続され得る。フィールドプレート 1148A ~ 1148E は、ゲート 1144 とドレイン 1126、1146 との間に少なくとも部分的に位置付けられ得る。フィールドプレート 1148A ~ 1148E は、第 2 のトランジスタ 1140 の非ゲートチャネル（非ゲートドリフト領域とも称される）1152 全体に高電圧を実質的に一様に分配し得、これは、早期の破壊を低減及び／又は防止し得る。示されるように、非ゲートチャネル 1132、1152 は、ゲート 1124、1144 とドレイン 1126、1146 との間に少なくとも部分的に位置付けられ得る。デバイス 1100 の動作電圧範囲は、第 1 のトランジスタ 1120 の電極 1130A ~ 1130E の数を増加させることによって、及び／又は第 2 のトランジスタ 1140 のフィールドプレート 1148A ~ 1148E の数を増加させることによって拡大され得る。

10

【0062】

ソース 1122、1142、ゲート 1144、ドレイン、1126、1146、電極 1130A ~ 1130E、又はそれらの組み合わせは、第 1 の材料（例えば、S/D 金属）で作製され得る。ゲート 1124、フィールドプレート 1148A ~ 1148E、又はそれらの組み合わせは、第 1 の材料とは異なる第 2 の材料（例えば、ゲート金属）で作製され得る。チャネル 1132、1152 は、第 1 及び第 2 の材料とは異なる第 3 の材料（例えば、a : Si : H）で作製され得る。

【0063】

図 11 に示されるように、デバイス 1100 は、1 つ以上のパッド（4 つが示される：1160A ~ 1160D）に接続され得る。パッド 1160A ~ 1160D は、プローブステーションを使用してプローブするために使用されるように構成されている、金属パッドであり得る。示されるように、パッド 1160A は、ソース 1122、1142 に接続され得、パッド 1160B は、ゲート 1144 に接続され得、パッド 1160D は、ドレイン 1126、1146 に接続され得る。

20

【0064】

第 1 のトランジスタ 1120 は、修正された（例えば、非従来型の）構造を有し得る。より具体的には、ソース 1122、ゲート 1124、及びドレイン 1126 に加えて、第 1 のトランジスタ 1120 はまた、ゲート 1124 とドレイン 1126 との間の非ゲートドリフト領域 1132 に沿って分配された 1 つ以上のタップ付きドレインを含み得る。タップ付きドレインは、ゲート 1144 及び／又は電極 1130A ~ 1130E であり得るか、又はそれを含み得る。タップ付きドレインは、第 2 のトランジスタ 1140 のステップ電圧をサンプリングするように構成され得る。タップ付きドレインはまた、又はその代わりに、第 2 のトランジスタ 1140 のフィールドプレート電圧を提供するように構成され得る。一実施形態では、タップ付きドレインは、第 1 のトランジスタ 1120 のフィールドプレートであり得る。別の実施形態では、タップ付きドレインは、第 1 のトランジスタ 1120 のフィールドプレートでない場合がある。

30

【0065】

一実施形態では、電極 1130 は、第 1 のトランジスタ 1120 のフィールドプレート及び／又はドレインとしての役割を果たし得る。一実施形態では、ゲート 1144 は、第 1 のトランジスタ 1120 のフィールドプレート及び／又はドレインとしての役割を果たし得る。一実施形態では、電極 1130 は、第 2 のトランジスタ 1140 のフィールドプレートとしての役割を果たし得る。

40

【0066】

図 13 は、一実施形態による、図 11 の線 13 - 13 で切断した、デバイス 1100 の一部分の概略側断面図を表す。断面は、図 11 ではゲート 1144 を通っているように示されているが、断面はまた、又はその代わりに、電極 1130A ~ 1130E のうちの任意の 1 つを通して切断され得る。

【0067】

デバイス 1100 は、第 1 の（例えば、下部）金属層 1310 を含み得る。第 1 の金

50

属層 1 3 1 0 は、ゲート 1 1 2 4 と同じ種類の金属で作製され得る。ゲート誘電体層 1 1 2 0 は、第 1 の金属層 1 3 1 0 に少なくとも部分的に位置付けられ得る。第 2 の（例えば、上部）金属層 1 3 3 0 は、ゲート誘電体層 1 1 2 0 に少なくとも部分的に位置付けられ得る。第 2 の金属層 1 3 3 0 は、ドレイン 1 1 2 6 と同じ種類の金属で作製され得る。少なくとも 1 つの実施形態では、金属層 1 3 1 0、1 3 3 0 は、同じ種類の金属で作製され得る。別の実施形態では、金属層 1 3 1 0、1 3 3 0 は、異なる種類の金属で作製され得る。第 2 の金属層 1 3 3 0 は、第 1 の金属層 1 3 1 0 に向かってゲート誘電体層 1 1 2 0 を通って少なくとも部分的に拡大する、1 つ以上の脚部（2 つが示される：1 3 3 2、1 3 3 4）を含み得る。少なくとも 1 つの実施形態では、脚部 1 3 3 2、1 3 3 4 は、第 1 の金属層 1 3 1 0 に位置付けられ、及び / 又は接触する。

10

【 0 0 6 8 】

チャンネル 1 3 4 0 は、第 2 の金属層 1 3 3 0 内に少なくとも部分的に位置付けられ得る。チャンネル 1 3 4 0 は、 $a : Si : H$ で作製され得る。 $n +$ 層 1 3 5 0 は、第 2 の金属層 1 3 3 0 内に少なくとも部分的に位置付けられ得る。 $n +$ 層 1 3 5 0 は、少なくとも部分的にチャンネル 1 3 4 0 上に及び / 又はその上側に位置付けられ得る。 $n +$ 層 1 3 5 0 は、 $n +$ ドープされた $a - Si : H$ 層であり得るか、又はそれを含み得る。頂部窒化物層 1 3 6 0 は、第 2 の金属層 1 3 3 0 内に少なくとも部分的に位置付けられ得る。頂部窒化物層 1 3 6 0 は、チャンネル 1 3 4 0 と $n +$ 層 1 3 5 0 との間に少なくとも部分的に位置付けられ得る。例えば、頂部窒化物層 1 3 6 0 は、チャンネル 1 3 4 0 の上側に、かつ頂部窒化物層 1 3 6 0 の下側に位置付けられ得る。

20

【 0 0 6 9 】

第 3 の金属層 1 3 7 0 は、第 2 の金属層 1 3 3 0 及び / 又は $n +$ 層 1 3 5 0 上に及び / 又はその上側に少なくとも部分的に位置付けられ得る。第 3 の金属層 1 3 7 0 は、第 2 の金属層 1 3 3 0 と同じ種類の金属で作製され得る。少なくとも 1 つの実施形態では、層 1 3 3 0、1 3 7 0 は、同じ層であり得る。

【 0 0 7 0 】

図 1 4 は、一実施形態による、このデバイス 1 1 0 0 の変換特性を示すグラフ 1 4 0 0 を表す。低入力ゲート電圧 ($V_g < 2 V$) において、デバイス 1 1 0 0 は、 $10 \mu A$ （例えば、器具コンプライアンス設定）を超えるオン電流を有する「オン」状態であり、有する。高いゲート入力電圧 ($V_g > 2.5 V$) の場合、デバイス 1 1 0 0 は、オフ状態であり、漏出電流は、 $1100 V$ で数百 pA であり得る。一実施形態では、 $1100 V$ は、デバイス 1 1 0 0 が提供することができる最高電圧であり得る。入力電圧は、 $-5 V \sim +10 V$ へとスイープされ得、 S/D ドレインは、測定設定の最大電圧範囲（例えば、 $1100 V$ ）に設定され得る。電流対応は、 $10 \mu A$ に設定される。デバイス 1 1 0 0 は、4 ~ 5 桁のオン / オフを達成し得る。

30

【 0 0 7 1 】

本教示の広い範囲を記載する数値範囲及びパラメータは近似値であるにもかかわらず、特定の実施例に記載される数値は、可能な限り正確に報告される。しかしながら、いかなる数値も、それぞれの試験測定において見られる標準偏差から必然的に生じる特定の誤差を本質的に含む。更に、本明細書に開示される全ての範囲は、その中に含まれるありとあらゆるサブ範囲を包含すると理解されるべきである。例えば、「10 未満」の範囲は、0 の最小値と 10 の最大値との間の（0 の最小値と 10 の最大値とを含む）ありとあらゆるサブ範囲、すなわち、0 以上の最小値及び 10 以下の最大値を有するありとあらゆるサブ範囲、例えば、1 ~ 5 を含み得る。

40

【 0 0 7 2 】

本教示は、1 つ以上の実装態様に対して示されているが、添付の特許請求の範囲の趣旨及び範囲から逸脱することなく、示された実施例に対して変更及び / 又は修正が行われ得る。例えば、プロセスが一連の行為又は事象として説明されているが、本教示は、そのような行為又は事象の順序によって限定されないことが理解され得る。一部の行為は、異なる順序で、及び / 又は本明細書に記載されているものとは別の他の行為若しくは事象と

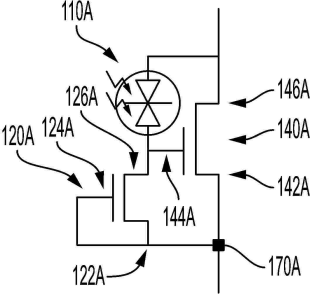
50

20

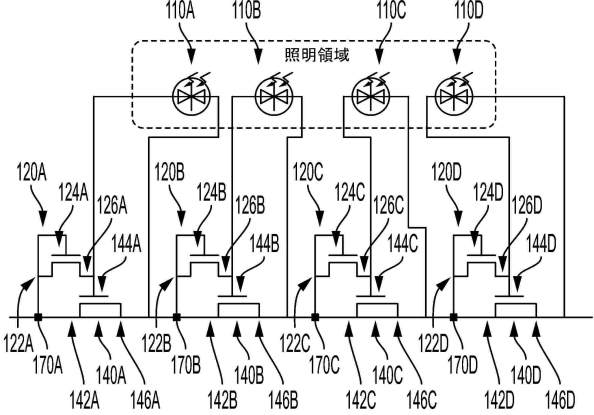
【 図 1 】



【図 3】

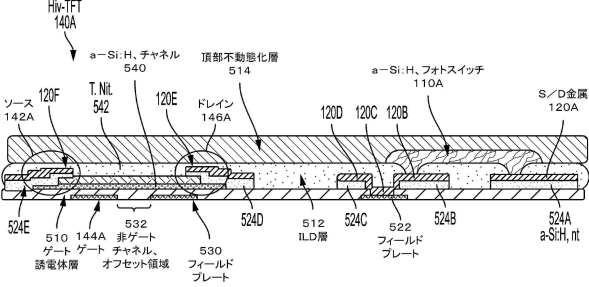


【図 4】

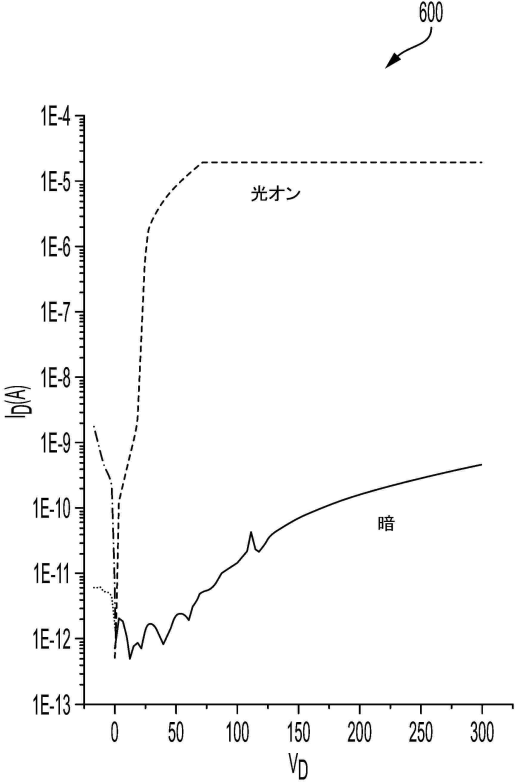


10

【図 5】



【図 6】



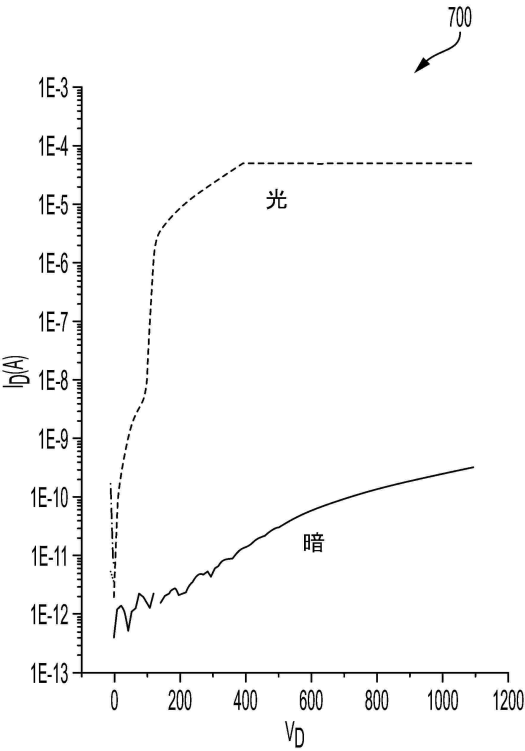
20

30

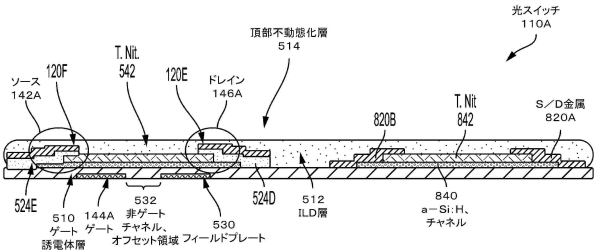
40

50

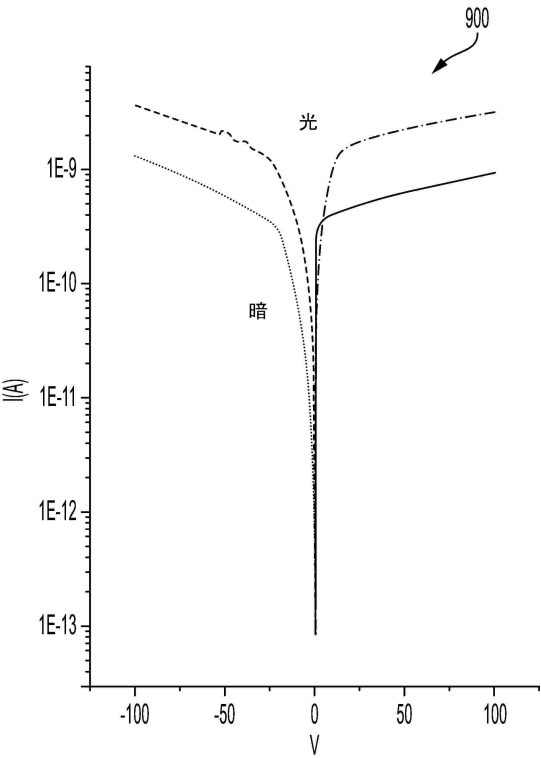
【 図 7 】



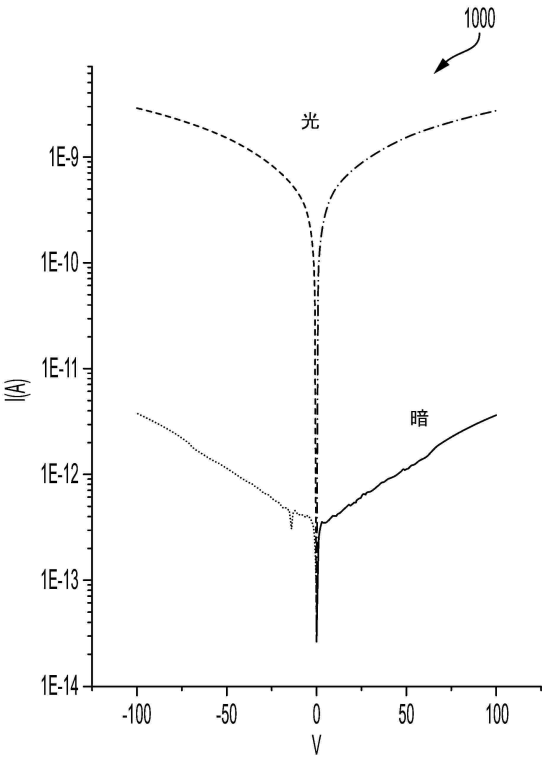
【 図 8 】



【 図 9 】



【 図 10 】



10

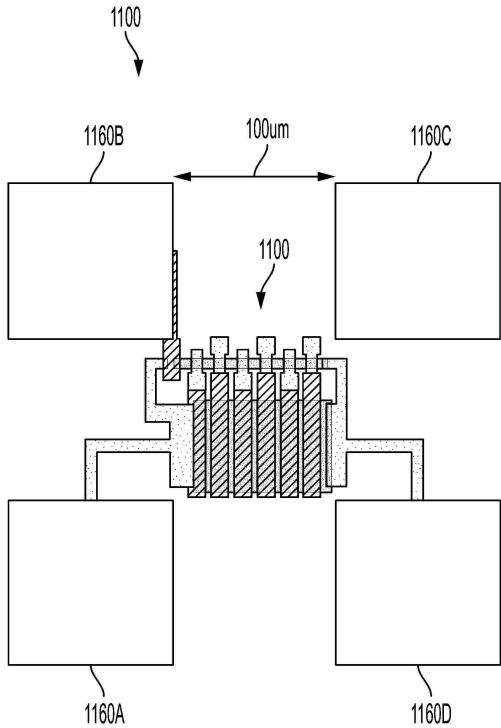
20

30

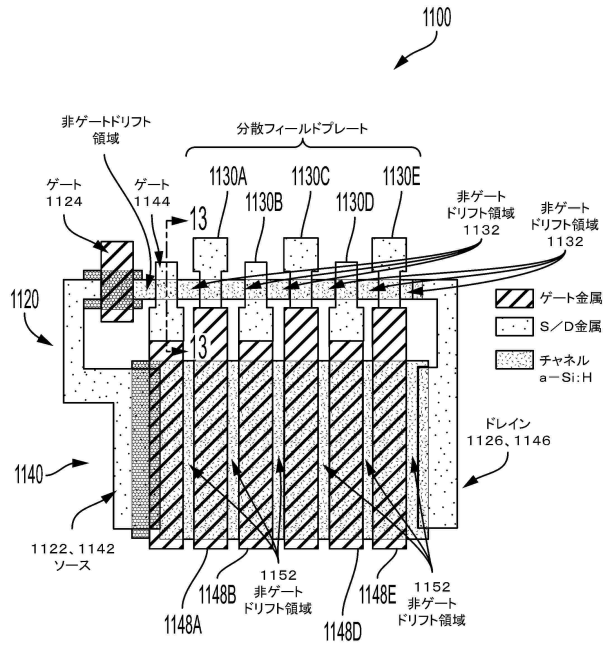
40

50

【図 1 1】



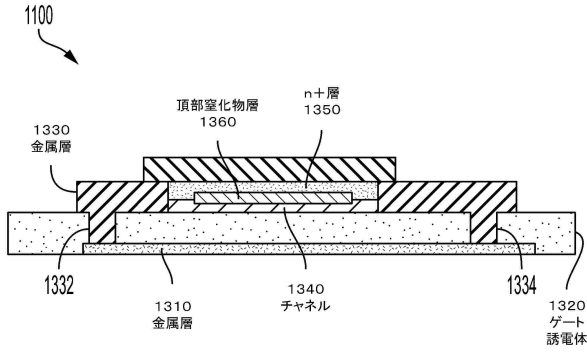
【図 1 2】



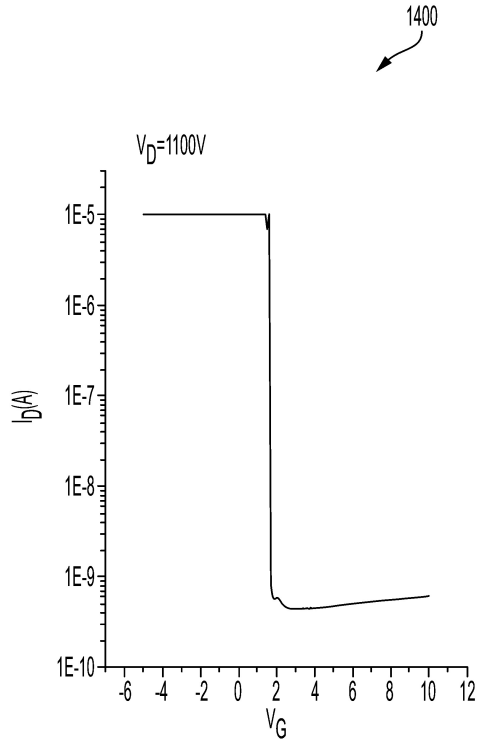
10

20

【図 1 3】



【図 1 4】



30

40

50

フロントページの続き

(51)国際特許分類 F I
H 1 0 D 84/83 1 0 1 E
B 8 1 B 7/02

上杉 浩
(74)代理人 100120525
弁理士 近藤 直樹
(74)代理人 100139712
弁理士 那須 威夫
(72)発明者 チョンピン・ルー
アメリカ合衆国 カリフォルニア州 9 4 3 0 4 パロアルト , コヨーテ ヒル ロード 3 3 3 3 ,
パロ アルト リサーチ センター インコーポレイテッド宛

審査官 市川 武宜
(56)参考文献 特開 2 0 0 9 - 2 6 0 3 0 5 (J P , A)
特開平 1 1 - 1 2 1 7 3 1 (J P , A)
特開 2 0 1 2 - 1 6 0 2 5 0 (J P , A)
特開平 5 - 3 3 2 0 (J P , A)
特開平 4 - 1 5 4 1 2 8 (J P , A)
特開 2 0 2 0 - 9 8 8 8 3 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
B 8 1 B 7 / 0 2
H 1 0 D 3 0 / 6 7
H 1 0 D 6 2 / 1 0
H 1 0 D 8 4 / 8 3
H 1 0 D 8 6 / 4 0