СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1101866 A

3 (51) G 08 C 9/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

13 ... 33
БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3541889/18-24
(22) 30.12.82
(46) 07.07.84. Бюл. № 25
(72) В.Б. Ибрагимов
(71) Специальное конструкторское бюро геофизического приборостроения АН Азербайджанской ССР
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 409262, кл. G 08 C 9/00, 1971.
2. Авторское свидетельство СССР № 732951, кл. G 08 C 9/00, 1976 (прототип).

(54) СПОСОБ ПРЕОБРАЗОВАНИЯ УГЛА ПОВОРОТА ВАЛА В КОД И УСТРОЙСТВО ДЛЯ ЕГО ОСУЩЕСТВЛЕНИЯ.

(57) 1. Способ преобразования угла поворота вала в код, основанный на преобразовании угла поворота вала в напряжения, пропорциональные синусу и косинусу угла поворота вала, сравнении этих напряжений, последовательном выпрямлении большего и меньшего напряжений, интегрировании опорного напряжения, обратного по знаку выпрямленному большему напряжению, в течение эталонного интервала времени, интегрировании выпрямленного большего напряжения до заданной величины и определении временного интервала его интегрирования, интегрировании выпрямленного меньшего напряжения за интервал времени интегрирования выпрямленного большего напряжения, интегрировании опорного напряжения, обратного по знаку выпрямленному меньшему напряжению, до заданной величины и определении временного интервала его интегрирования с последующим определением кода угла поворота вала по величине этого временного интервала, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, выпрямленное большее напряжение запоминают, выпрямляют меньшее напряжение непосредственно после выпрямления большего напряжения и его запоминания, а выпрямленное меньшее напряжение интегрируют непосредственно после интегрирования выпрямленного и запомненного большего напряжения.

2. Устройство для осуществления способа по п. 1, содержащее синусно-косинусный датчик, вход которого подключен к источнику напряжения питания, а выходы – к входам блока сравнения и к первым двум входам определителя октантов непосредственно и к входу выпрямителя через первый и второй ключи, опорный источник, вход которого подключен к источнику напряжения питания, интегратор, вход которого через третий и четвертый ключи подключен соответственно к выходам опорного источника и выпрямителя, а выход через компаратор – к первому входу блока преобразования временного интервала в код, первый выход которого подключен к одному входу вычислительного блока, другой вход которого соединен с выходом определителя октантов, а выход является выходом устройства, и блок управления, входы которого соединены с выходом блока сравнения и вторым выходом блока преобразования временного интервала в код, а выходы подключены к второму входу блока преобразования временного интервала в код и к управляющим входам первого, второго, третьего и

SU (11) 1101866 A

четвертого ключей, о т л и ч а ю щ е е с я тем, что в него введены последовательно соединенные блок памяти и пятый ключ, вход блока памяти соединен с выходом выпрямителя, выход пятого ключа подключен к интегратору, управляющие входы блока памяти и пятого ключа соединены с управляющими входами первого ключа и блока преобразования временного интервала в код соответственно, а выход источника напряжения питания подключен к третьему входу определителя октантов.

3. Устройство по п. 2, о т л и ч а ю щ е е с я тем, что блок преобразования временного интервала в код выполнен в виде трех триггеров, генератора импульсов, четырех элементов И, двух элементов ИЛИ, реверсивного счетчика, дешифратора нуля и блока выдачи кода, причем входы первого триггера соединены соответственно с выходом первого элемента ИЛИ и с первым входом блока преобразования, а прямой выход - с первым входом первого элемента И, входы второго триггера соединены соответственно с выходами второго элемента И и дешифратора нуля, а прямой выход - с первым входом третьего элемента И, выход генератора импульсов подключен к вторым входам первого и третьего элементов И, выходы которых соединены с входами реверсивного счетчика, выход которого подключен к входу дешифратора нуля, выход которого подключен к первым входам первого и второго элементов ИЛИ и третьего триггера, второй вход которого соединен с вторыми входами первого элемента ИЛИ и блока преобразования, а прямой выход - с первым входом четвертого элемента И, второй вход которого соединен с вторым входом первого триггера и с первым входом второго элемента И, а выход - с управляющим входом блока выдачи кода, вход которого подключен к выходу реверсивного счетчика, а выход - к первому выходу блока преобразования, второй вход второго элемента И соединен с инверсным выходом третьего триггера, а первый вход - с вторым входом второго элемента ИЛИ, выход которого соединен с вторым выходом блока преобразования.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для построения аналого-цифровых преобразователей угловых перемещений и устройств сопряжения аналоговых источников информации с микропроцессорами и ЭВМ.

Известен способ преобразования угла поворота вала в код, в соответствии с которым формируют напряжения, пропорциональные синусу и косинусу угла поворота вала, выпрямляют и сравнивают эти напряжения, а по результатам сравнения определяют меньшее и большее из них, интегрируют выпрямленное меньшее напряжение в течение эталонного временного интервала, интегрируют выпрямленное большее напряжение с противоположным знаком до заданной величины, а временной интервал интегрирования выпрямленного большего напряжения преобразуют в код [1].

2

Известно устройство для осуществления этого способа, содержащее синусно-косинусный датчик, вход которого подключен к источнику напряжения питания, а выход - к первым двум входам определителя октантов, третий вход которого соединен с источником напряжения питания, первый и второй выпрямители и блок сравнения, выход которого подключен к входу блока управления, выходы которого соединены с управляющими входами двух ключей, выходы которых объединены и через последовательно соединенные интегратор и компаратор подключены к первому входу блока преобразования временного интервала в код, второй вход которого соединен с третьим выходом блока управления, а выход - с одним из входов вычислительного блока, другой вход которого подключен к выходу определителя октантов, а выход является выходом устройства, входы пер-

вого и второго выпрямителей соединены с выходами синусно-косинусного датчика, а выходы - с входами блока сравнения и с информационными входами соответствующих ключей [1].

Недостатком данных способа и устройства является погрешность преобразования выходных напряжений синусно-косинусного датчика в постоянные напряжения посредством двух выпрямителей с неидентичными характеристиками.

Наиболее близким к предложенному по технической сущности является способ преобразования угла поворота вала в код, основанный на преобразовании угла поворота вала в напряжения, пропорциональное синусу и косинусу угла поворота вала, сравнении этих напряжений, последовательном выпрямлении большего и меньшего напряжений, интегрировании опорного напряжения, обратного по знаку выпрямленному большему напряжению, в течение эталонного интервала времени, интегрировании от выпрямленного большего напряжения до заданной величины и определении временного интервала его интегрирования, интегрировании выпрямленного меньшего напряжения за интервал времени интегрирования выпрямленного большего напряжения, интегрировании опорного напряжения, обратного по знаку выпрямленному меньшему напряжению, до заданной величины и определении временного интервала его интегрирования с последующим определением кода угла поворота вала по величине этого временного интервала, при этом выпрямление меньшего напряжения осуществляют не сразу после выпрямления большего напряжения, а с некоторой задержкой, необходимой для выполнения операции интегрирования выпрямленного большего напряжения до заданной величины, определения и запоминания (в виде кода) интервала времени его интегрирования; интегрирование выпрямленного меньшего напряжения осуществляют не сразу после интегрирования выпрямленного большего напряжения, а с некоторой задержкой, необходимой для выпрямления меньшего напряжения и "восстановления" запомненного ранее (в виде кода) интервала времени интегрирования выпрямленного большего напряжения, в течение которого должно интегрироваться выпрямленное меньшее напряжение [2].

Устройство для осуществления известного способа содержит синусно-косинусный датчик, вход которого подключен к источнику напряжения питания, а выходы - к входам блока сравнения и к первым двум входам определителя октантов непосредственно и к входу выпрямителя через первый и второй ключи, опорный источник, вход которого подключен к источнику напряжения питания и к третьему входу определителя октантов, интегратор, вход которого через третий и четвертый ключи подключен соответственно к выходам опорного источника и выпрямителя, а выход через компаратор - к первому входу блока преобразования временного интервала в код, первый выход которого подключен к одному входу вычислительного блока, другой вход которого соединен с выходом определителя октантов, а выход является выходом устройства, и блок управления, входы которого соединены с выходом блока сравнения и вторым выходом блока преобразования временного интервала в код с перестраиваемой характеристикой преобразования, а выходы подключены к второму входу блока преобразования временного интервала в код и к управляющим входам первого, второго, третьего и четвертого ключей [2].

Недостатком известных способа и устройства является низкое быстродействие.

Целью изобретения является повышение быстродействия способа преобразования угла поворота вала в код и устройства для его осуществления.

Поставленная цель достигается тем, что согласно способу преобразования угла поворота вала в код, основанному на преобразовании угла поворота в напряжения, пропорциональные синусу и косинусу угла поворота вала, сравнении этих напряжений, последовательном выпрямлении большего и меньшего напряжений, интегрировании опорного напряжения, обратного по знаку выпрямленному большему напряжению, в течение эталонного интервала времени, интегрировании выпрямленного большего напряжения до заданной величины и определении временного интервала его интегрирования, интегрировании выпрямленного меньшего напряжения за интервал времени интегрирования выпрямленного большего напряжения, интегриро-

вании опорного напряжения, обратного по знаку выпрямленному меньшему напряжению, до заданной величины и определении временного интервала его интегрирования с последующим определением кода угла поворота вала по величине этого временного интервала, выпрямленное большее напряжение запоминают, выпрямляют меньшее напряжение непосредственно после выпрямления большего напряжения и его запоминания, а выпрямленное меньшее напряжение интегрируют непосредственно после интегрирования выпрямленного и запоминающего большего напряжения.

В устройство для осуществления способа, содержащее синусно-косинусный датчик, вход которого подключен к источнику напряжения питания, а выходы - к входам блока сравнения и к первым двум входам определителя октантов непосредственно и к входу выпрямителя через первый и второй ключи, опорный источник, вход которого подключен к источнику напряжения питания, интегратор, вход которого через третий и четвертый ключи подключен соответственно к выходам опорного источника и выпрямителя, а выход через компаратор - к первому входу блока преобразования временного интервала в код, первый выход которого подключен к одному входу вычислительного блока, другой вход которого соеден с выходом определителя октантов, а выход является выходом устройства, и блок управления, входы которого соединены с выходом блока сравнения и вторым выходом блока преобразования временного интервала в код, а выходы подключены к второму входу блока преобразования временного интервала в код и к управляющим входам первого, второго, третьего и четвертого ключей, введены последовательно соединенные блок памяти и пятый ключ, вход блока памяти соединен с выходом выпрямителя, выход пятого ключа подключен к интегратору, управляющие входы блока памяти и пятого ключа соединены с управляющими входами первого ключа и блока преобразования временного интервала в код соответственно, а выход источника напряжения питания подключен к третьему входу определителя октантов.

Кроме того, блок преобразования временного интервала в код выполнен в виде трех триггеров, генератора импульсов, четырех элементов И, двух элементов ИЛИ, реверсивного счетчика, дешифратора нуля и блока выдачи кода, причем входы первого триггера соединены соответственно с выходом первого элемента ИЛИ и с первым входом блока преобразования, а прямой выход - с первым входом первого элемента И, входы второго триггера соединены соответственно с выходами второго элемента И и дешифратора нуля, а прямой выход - с первым входом третьего элемента И, выход генератора импульсов подключен к вторым входам первого и третьего элемента И, выходы которых соединены с входами реверсивного счетчика, выход которого подключен к входу дешифратора нуля, выход которого подключен к первым входам первого и второго элемента ИЛИ и третьего триггера, второй вход которого соединен с вторыми входами первого элемента ИЛИ и блока преобразования, а прямой выход - с первым входом четвертого элемента И, второй вход которого соединен с вторым входом первого триггера и с первым входом второго элемента И, а выход - с управляющим входом блока выдачи кода, вход которого подключен к выходу реверсивного счетчика, а выход - к первому выходу блока преобразования, второй вход второго элемента И соединен с инверсным выходом третьего триггера, а первый вход - с вторым входом второго элемента ИЛИ, выход которого соединен с вторым выходом блока преобразования.

Способ заключается в том, что выпрямление меньшего напряжения осуществляют непосредственно после получения результата выпрямления большего напряжения, который предварительно запоминают, а интегрирование выпрямленного меньшего напряжения осуществляют непосредственно после интегрирования выпрямленного и запомненного большего напряжения.

На фиг. 1 показана структурная схема предлагаемого устройства, реализующего способ; на фиг. 2 - схема блока преобразования временного интервала в код, входящего в состав устройства; на фиг. 3 - временные диаграммы работы устройства.

Устройство (фиг. 1) содержит синусно-косинусный датчик (СКД) 1, вход которого подключен к источнику

2 напряжения питания, а выходы – к входам блока 3 сравнения и к первым двум входам определителя 4 октантов непосредственно и к входу выпрямителя 5 через ключи 6 и 7, опорный источник 8, вход которого подключен к источнику напряжения питания и к третьему входу определителя октантов, блок 9 памяти, вход которого подключен к выходу выпрямителя, интегратор 10, вход которого через ключи 11-13 подключен соответственно к выходам опорного источника, блока памяти и выпрямителя, а выход через компаратор 14 – к первому входу 15 блока 16 преобразования временного интервала в код с перестраиваемой характеристикой преобразования, первый выход 17 которого подключен к одному из входов вычислительного блока 18, другой вход которого соединен с выходом определителя 4 октантов, а выход является выходом устройства, и блок 19 управления, входы которого соединены с выходом блока 3 сравнения и вторым выходом 20 блока 16, а выходы – с вторым входом 21 блока 16, с управляющим входом блока 9 памяти и с управляющими входами всех ключей 6, 7, 11, 12 и 13.

Блок 16 преобразования временного интервала в код с перестраиваемой характеристикой преобразования (фиг. 2) содержит первый триггер 22, входы которого соединены соответственно с выходом первого элемента ИЛИ 23 и с первым входом 15 блока 16, а выход – с первым входом первого элемента И 24, второй триггер 25, входы которого соединены с выходами второго элемента И 26 и дешифратора 27 нуля, а выход – с первым входом третьего элемента И 28, генератор 29 импульсов, выход которого подключен к вторым входам первого и третьего элементов И, выходы которых соединены с входами реверсивного счетчика 30, выход которого подключен к первым входам первого элемента ИЛИ, второго элемента ИЛИ 31 и третьего триггера 32, второй вход которого соединен с вторым входом первого элемента ИЛИ и входом 21 блока 16, а первый выход – с первым входом четвертого элемента И 33, второй вход которого соединен с вторым входом первого триггера и с первым входом второго элемента И, а выход – с управляющим входом блока 34 выдачи кода, вход которого подключен к выходу реверсивного счетчика, а выход – к первому выходу 17 блока 16, второй вход второго элемента И соединен с вторым выходом третьего триггера, а первый вход – с вторым входом второго элемента ИЛИ, выход которого соединен с вторым выходом 20 блока 16.

Преобразование угла поворота вала в код происходит в следующей последовательности.

В момент времени $t_н$ (фиг. 3а) блок 19 формирует первый управляющий сигнал (фиг. 3в), который в зависимости от результатов сравнения выходных напряжений СКД 1 блоком 3 устанавливает в замкнутое положение один из ключей 6 или 7, а именно тот из ключей, на входе которого действует большее из выходных напряжений СКД 1. Допустим, это – ключ 7 (фиг. 1). Большее по амплитуде выходное напряжение СКД 1 через замкнутый ключ 7 подается на вход выпрямителя 5 и преобразуется в постоянное напряжение за время $\tau_в$. Длительность τ_1 первого управляющего сигнала блока 19 выбирается из условия $\tau_1 \geqslant \tau_в$.

В момент времени t_0 (фиг. 3б) блок 19 формирует второй управляющий сигнал (фиг. 3д) с длительностью, равной эталонному интервалу времени. Этот сигнал устанавливает в замкнутое положение ключ 11, через который напряжение с выхода опорного источника 8 подается на вход интегратора 10 и интегрируется (фиг. 3б), интервал времени t_0-t_1. Задержка второго управляющего сигнала относительно первого и его длительность $\tau_2 = \tau_{эт}$ выбираются таким образом, чтобы успеть закончить выпрямление большего напряжения к моменту времени t_1, а выпрямление меньшего напряжения – к моменту времени t_2.

В момент времени $t_к$ (фиг. 3а) блок 19 формирует третий управляющий сигнал (фиг. 3г), передним фронтом которого заносится в блок 9 памяти постоянное напряжение с выхода выпрямителя 5 – результат выпрямления большего из выходных напряжений СКД 1. В момент времени $t_к$, кроме того, заканчивается первый управляющий сигнал (фиг. 3в), при этом ключ 7 размыкается (время отпускания ключа должно быть достаточным для того, чтобы надежно занести в блок 9 памяти выходное напряжение выпрямителя 5) и

большее напряжение отключается от выпрямителя, одновременно третьим управляющим сигналом блока 19 замыкается ключ 6 и к входу выпрямителя подключается меньшее из выходных напряжений СКД 1, которое преобразуется в постоянное напряжение.

В момент времени t_1 заканчивается второй управляющий сигнал (фиг. 3д), в результате чего ключ 11 размыкается и напряжение с выхода опорного источника 8 отключается от интегратора 10; формируется блоком 19 четвертый управляющий сигнал (фиг. 3е), который устанавливает в замкнутое положение ключ 12, подключая к входу указанного интегратора выпрямленное и запомненное блоком 9 большее выходное напряжение СКД 1 $U_{б(зап)}$. Начинается такт интегрирования этого напряжения (фиг. 3б, интервал времени $t_1 - t_2$). Четвертый управляющий сигнал, кроме того, подается на вход 21 блока 16, включая его в режим преобразования "Временной интервал - код". Передним фронтом этого сигнала устанавливается в положение "0" триггер 32 (фиг. 2), при этом потенциал высокого уровня, соответствующего уровню логической "1" (в дальнейшем - разрешающий потенциал), с выхода $\bar{Q}$ триггера (фиг. 3с) подготавливает элемент И 26; устанавливается в положение "1" (через элемент ИЛИ 23) триггер 22, с выхода Q которого разрешающий потенциал (фиг. 3и) подается на управляющий вход элемента И 24 и открывает его, при этом счетные импульсы с выхода генератора 29 через элемент И 24 поступают на вход "Сложение" реверсивного счетчика 30 и подсчитываются им (фиг. 3к).

В момент времени t_2, когда выходное напряжение интегратора 10 достигает заданной величины (фиг. 3б, нулевое значение), срабатывает компаратор 14, импульс с выхода которого (фиг. 3л) поступает на вход 15 блока 16 с перестраиваемой характеристикой преобразования и сразу же переводит его в режим преобразования кода во временной интервал. Для этого указанный импульс перебрасывает триггер 22 в исходное положение "0", при этом разрешающий потенциал с управляющего входа элемента И 24 снимается (фиг. 3и) и поступление счетных импульсов генератора 29 на вход сложения реверсивного счетчика 30 прекращается (фиг. 3к), проходит через открытый элемент И 26 (фиг. 3м) и устанавливает в положение "1" триггер 25, разрешающий потенциал с выхода Q которого (фиг. 3н) подается на управляющий вход элемента И 28 и открывает его, при этом счетные импульсы генератора 29 через элемент И 28 начинают поступать на вход вычитания реверсивного счетчика 30 (фиг. 3о), содержимое которого уменьшается с каждым поступившим счетным импульсом; проходит через элемент ИЛИ 31 и с выхода 20 блока 16 поступает на блок 19, который формирует задний фронт четвертого управляющего сигнала (фиг. 3е); разрешающий потенциал с управляющего входа ключа 12 снимается и он размыкается, отключая напряжение $U_{б(зап)}$ от интегратора и одновременно передний фронт пятого управляющего сигнала (фиг. 3ж), устанавливающего в замкнутое положение ключ 13, через который выпрямленное к этому моменту времени меньшее выходное напряжение СКД 1 с выхода выпрямителя 5 подключается к входу интегратора и интегрируется им (фиг. 3б, интервал времени $t_2 - t_3$).

В момент времени t_3 (т.е. через интервал времени Δt_3 с момента времени t_2, равный $\Delta t_3 = \Delta t_2 = t_2 - t_1$) содержимое реверсивного счетчика достигает нуля и срабатывает дешифратор 27, импульс с выхода которого (фиг. 3п), возвращает триггер 25 в исходное положение "0", при этом разрешающий потенциал с управляющего входа элемента И 28 снимается (фиг. 3н) и поступление счетных импульсов генератора 29 на вход вычитания реверсивного счетчика 30 прекращается (фиг. 3о); устанавливает в положение "1 триггер 32, при этом разрешающий потенциал с выхода Q этого триггера (фиг. 3р) подготавливает элемент И 33; проходит через элемент ИЛИ 23 и вновь устанавливает триггер 22 в положение "1" (переводя вторично блок 16 в режим преобразования "Временной интервал - код"), при этом разрешающий потенциал с выхода Q триггера (фиг. 3и) подается на управляющий вход элемента И 24, открывает его и разрешает поступление счетных импульсов генератора 29 на вход сложения реверсивного счетчика 30 (фиг. 3к); проходит

через элемент ИЛИ 31 на выход 20 блока 16 и далее на блок 19, который формирует задний фронт пятого управляющего сигнала (фиг. 3ж, разрешающий потенциал с управляющего входа ключа 13 снимается и он размыкается, отключая напряжение $U_м$ от интегратора) и одновременно передний фронт шестого управляющего сигнала (фиг. 3з), устанавливающего в замкнутое положение ключ 11, через который напряжение с выхода опорного источника 8 вновь подключается к входу интегратора 10 и интегрируется им (фиг. 3б, интервал времени $t_3 - t_4$).

В момент времени t_4, когда выходное напряжение интегратора 10 достигает заданной величины, т.е. нулевого значения (фиг. 3б), срабатывает компаратор 14, импульс с выхода которого (фиг. 3л) возвращает триггер 22 в исходное положение "0", при этом разрешающий потенциал с управляющего входа элемента И 24 снимается (фиг. 3и), поступление счетных импульсов генератора 29 на вход сложения реверсивного счетчика прекращается (фиг. 3к), а код в счетчике фиксируется, проходит через открытый элемент И 33 (фиг. 3т) и устанавливает блок 34 выдачи кода в положение, при котором код реверсивного счетчика считывается и (с выхода 17 преобразователя 16) поступает на вычислительный блок 18; проходит через элемент ИЛИ 31 и (с выхода 20 преобразователя) поступает на блок 19, который формирует задний фронт шестого и третьего управляющих сигналов (фиг. 3з и г соответственно, размыкаются ключи 11 и 6). На этом работа блока 19 управления и элементов схемы, связанных с ним, заканчивается.

Блок 4 определяет октант угла поворота θ и выдает полученный результат (в цифровой форме) на вычислительный блок 18, в котором происходит вычисление θ в пределах октанта.

Таким образом, измерение угла поворота вала осуществляется за время (фиг. 3)

$$\Delta t' = \Delta t_1 + \Delta t_2 + \Delta t_3 + \Delta t_4 + \Delta t_5,$$

где $\Delta t_1 = t_1 - t_0$ – эталонный интервал времени, в течение которого интегрируется опорное напряжение, обратное по знаку выпрямленному большему напряжению;

$\Delta t_2 = t_2 - t_1$ – интервал времени, в течение которого интегрируется выпрямленное и запомненное блоком 9 большее напряжение $U_{б(зап)}$;

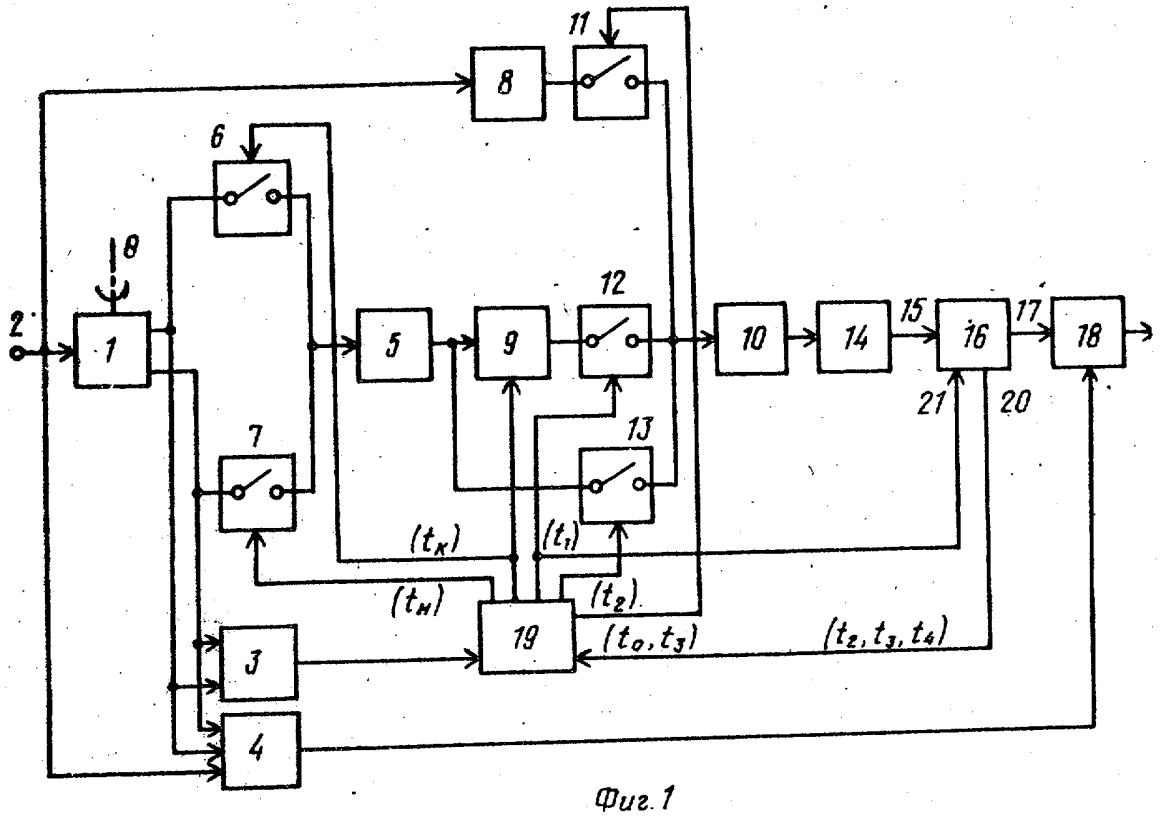
$\Delta t_3 = t_3 - t_2$ – "примыкающий" к Δt_2 интервал времени, в течение которого интегрируется выпрямленное меньшее напряжение ($\Delta t_3 = \Delta t_2$);

$\Delta t_4 = t_4 - t_3$ – интервал времени, в течение которого интегрируется опорное напряжение, обратное по знаку выпрямленному меньшему напряжению;

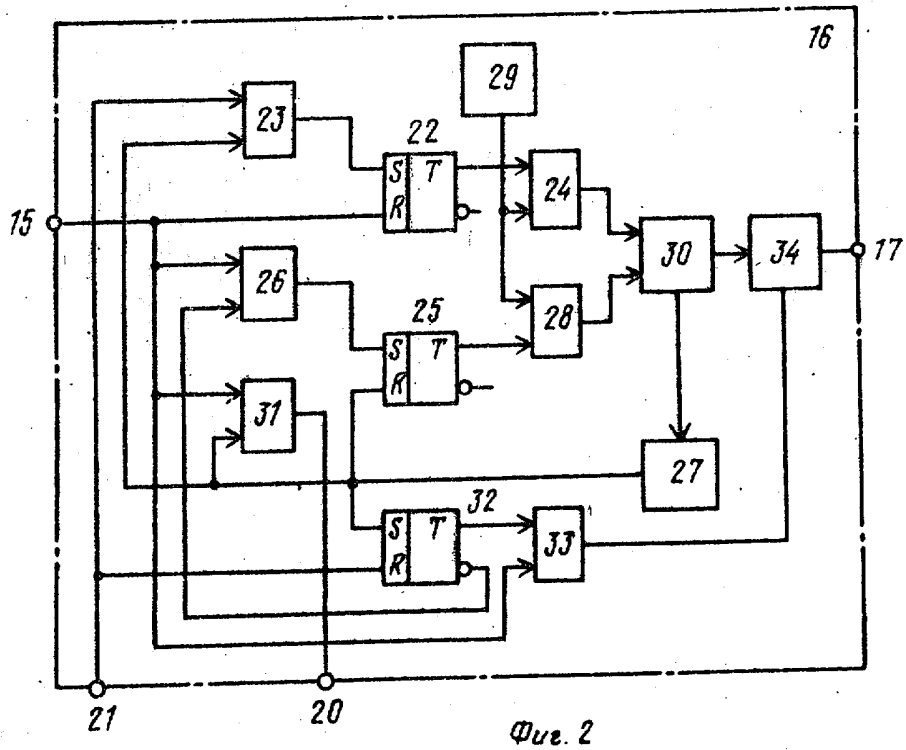
Δt_5 – интервал времени, в течение которого по измеренному Δt_4 определяется (вычислительным блоком) угол поворота вала в пределах октанта.

В предлагаемых способе и устройстве время преобразования меньше, чем в известных.

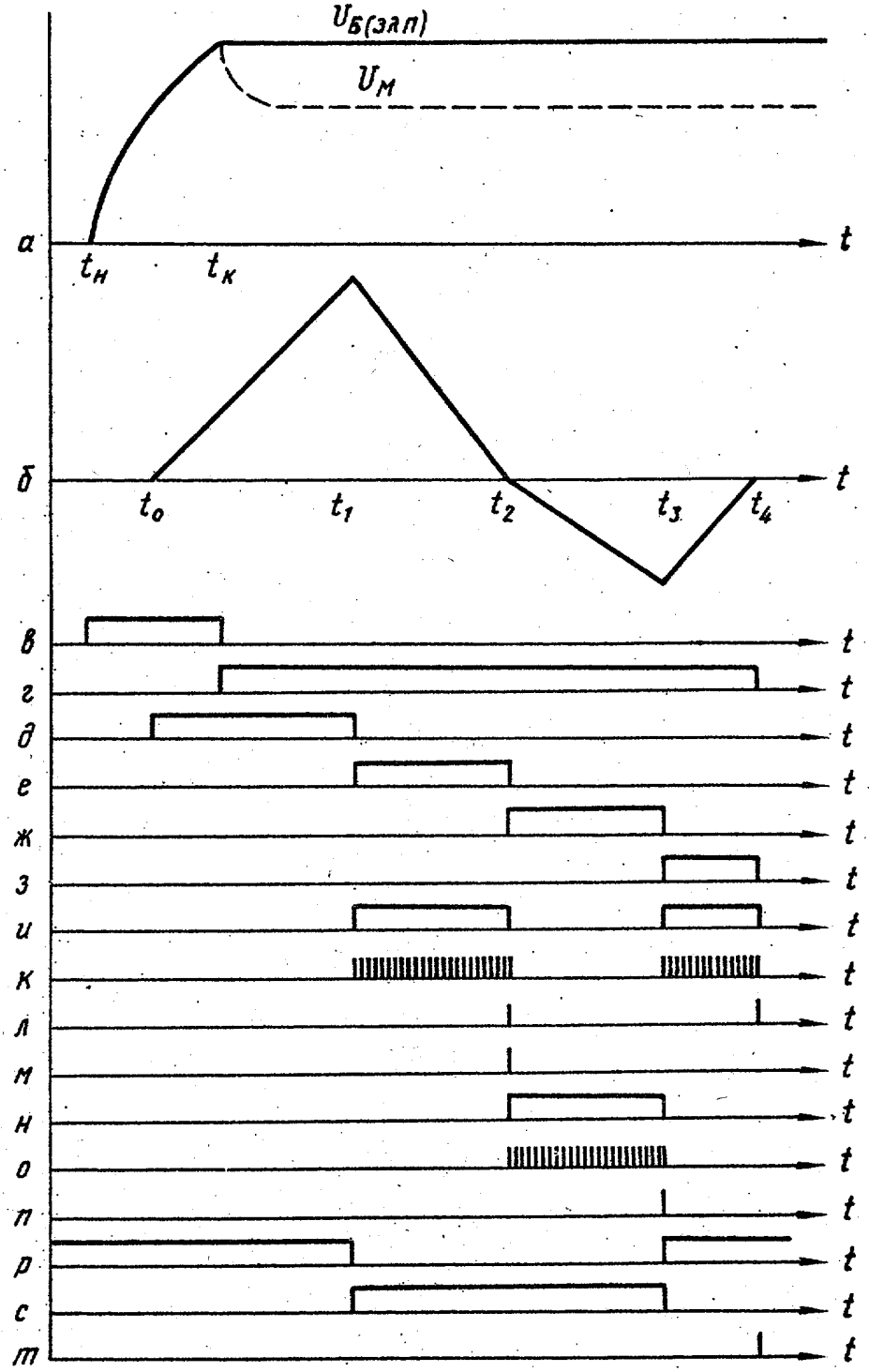
Экономический эффект от использования предлагаемого устройства определяется его техническими преимуществами.


11
8
6
8
2
1
5
9
12
10
14
15
16
17
18
21
20
13
7
$(t_к)$
(t_1)
$(t_н)$
(t_2)
19
(t_0, t_3)
(t_2, t_3, t_4)
3
4

Фиг. 1


16
29
23
22
S
R
T
24
15
30
34
17
26
25
28
31
27
32
33
21
20

Фиг. 2



Фиг.3

Составитель А. Смирнов
Редактор Л. Гратилло Техред С. Мигунова Корректор С.Шекмар

Заказ 4772/35 Тираж 569 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4