



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2023 209 380.4**

(22) Anmeldetag: **26.09.2023**

(43) Offenlegungstag: **04.04.2024**

(51) Int Cl.: **H01L 29/786** (2006.01)

H01L 29/26 (2006.01)

H01L 21/336 (2006.01)

(30) Unionspriorität:
2022-160543 04.10.2022 JP

(71) Anmelder:
Japan Display Inc., Tokyo, JP

(74) Vertreter:
**MERH-IP Matias Erny Reichl Hoffmann
Patentanwälte PartG mbB, 80336 München, DE**

(72) Erfinder:
**Watakabe, Hajime, Tokyo, JP; Tsubuku, Masashi,
Tokyo, JP; Sasaki, Toshinari, Tokyo, JP; Hanada,
Akihiro, Tokyo, JP; Tamaru, Takaya, Tokyo, JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

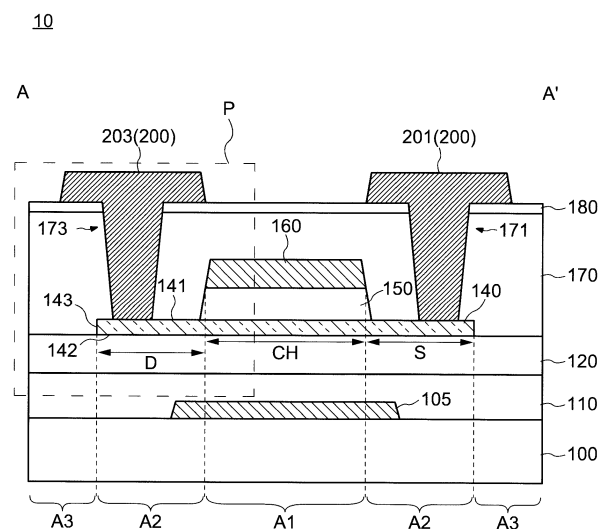
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERVORRICHTUNG UND VERFAHREN ZUM HERSTELLEN EINER HALBLEITERVORRICHTUNG**

(57) Zusammenfassung: [Problem] Bereitstellung einer Halbleitervorrichtung mit einem Wasserstoff einfangenden Bereich, der verhindert, dass Wasserstoff in einen Kanalbereich eindringt.

[Mittel zur Lösung des Problems]

Eine Halbleitervorrichtung gemäß einer Ausführungsform umfasst: eine isolierende Oxidschicht; eine Oxidhalbleiterschicht; eine Gate-Elektrode; eine Gate-Isolierschicht; und eine erste Isolierschicht, wobei das Halbleiterbauelement in einen ersten bis dritten Bereich unterteilt ist, eine Dicke der Gate-Isolierschicht im ersten Bereich 200 nm oder mehr beträgt, die Gate-Elektrode die erste Isolierschicht im ersten Bereich kontaktiert, die Oxidhalbleiterschicht die erste Isolierschicht im zweiten Bereich berührt, eine Menge an Verunreinigungen, die in der Oxidhalbleiterschicht im zweiten Bereich enthalten ist, größer ist als eine Menge an Verunreinigungen, die in der Oxidhalbleiterschicht im ersten Bereich enthalten sind, und eine Menge von Die Menge an Verunreinigungen, die in der Oxidisolierschicht im dritten Bereich enthalten sind, ist größer als die Menge an Verunreinigungen, die in der Oxidisolierschicht im zweiten Bereich enthalten sind.



Beschreibung

[Technischen Bereich]

[0001] Eine Ausführungsform der vorliegenden Erfindung betrifft eine Halbleitervorrichtung, die einen Oxidhalbleiter für einen Kanal verwendet, und ein Verfahren zur Herstellung der Halbleitervorrichtung.

[Hintergrundkunst]

[0002] In den letzten Jahren wurde eine Halbleitervorrichtung entwickelt, bei der ein Oxidhalbleiter anstelle von Siliziumhalbleitern wie amorphem Silizium, Niedertemperatur-Polysilizium und einkristallinem Silizium für einen Kanal verwendet wird (z. B. Patentliteratur 1 bis 6). Das Halbleiterbauelement, das einen solchen Oxidhalbleiter enthält, kann mit einer einfachen Struktur und einem Niedertemperaturprozess hergestellt werden, ähnlich einem Dünnschichttransistor, der amorphes Silizium enthält. Es ist bekannt, dass das Halbleiterbauelement, das den Oxidhalbleiter enthält, eine höhere Feldeffekt-mobilität aufweist als das Halbleiterbauelement, das amorphes Silizium enthält.

[Zitatliste]

[Patentliteratur]

[Patentliteratur 1] Japanische Patentoffenlegungsschrift Nr. 2021-141338

[Patentliteratur 2] Japanische Patentoffenlegungsschrift Nr. 2014-099601

[Patentliteratur 3] Japanische Patentoffenlegungsschrift Nr. 2021-153196

[Patentliteratur 4] Japanische Patentoffenlegungsschrift Nr. 2018-006730

[Patentliteratur 5] Japanische Patentoffenlegungsschrift Nr. 2016-184771

[Patentliteratur 6] Japanische Patentoffenlegungsschrift Nr. 2021-108405

[Zusammenfassung Der Erfindung]

[Technisches Problem]

[0003] Im Oxidhalbleiter werden Ladungsträger erzeugt, wenn Wasserstoff an Sauerstoffdefekte bindet. In der Halbleitervorrichtung kann dieser Mechanismus verwendet werden, um einen Source-Bereich und einen Drain-Bereich, bei denen es sich um Bereiche mit niedrigem Widerstand handelt, zu bilden, indem Sauerstoffdefekte in einer Oxidhalbleiterschicht gebildet werden und den Sauerstoffdefekten Wasserstoff zugeführt wird. Wenn andererseits Wasserstoff in einen Kanalbereich der Oxidhalbleiter-

schicht diffundiert, verschlechtern sich die Eigenschaften des Halbleiterbauelements als Kanal. Insbesondere verändert die Diffusion von Wasserstoff in den Kanalbereich CH die Schwellenspannung in den elektrischen Eigenschaften des Halbleiterbauelements, so dass die Schwankung der Schwellenspannung zunimmt und die Herstellungsausbeute des Halbleiterbauelements abnimmt. Daher ermöglicht die Verwendung einer Oxidschicht, die übermäßig viel Sauerstoff enthält und in der Lage ist, Wasserstoff einzufangen, als Isolierschicht in Kontakt mit der Oxidhalbleiterschicht, das Eindringen von Wasserstoff in den Kanalbereich zu unterdrücken.

[0004] Da jedoch die Oxidschicht, die überschüssigen Sauerstoff enthält, als Elektronenfalle fungiert, wird die Zuverlässigkeit des Halbleiterbauelements, das eine solche Oxidschicht enthält, erheblich verringert. Um eine Verschlechterung der Zuverlässigkeit zu verhindern, besteht daher ein Bedarf an einer Halbleitervorrichtung, die in der Lage ist, dem Source-Bereich und dem Drain-Bereich der Oxidhalbleiterschicht Wasserstoff zuzuführen und zu unterdrücken, dass Wasserstoff in den Kanalbereich der Oxidhalbleiterschicht eindringt.

[0005] Eine Aufgabe der Ausführungsform der vorliegenden Erfindung besteht darin, eine Halbleitervorrichtung bereitzustellen, die einen Wasserstoff einfangenden Bereich umfasst, der verhindert, dass Wasserstoff in einen Kanalbereich eindringt.

[Lösung Für Probleme]

[0006] Eine Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung umfasst: eine Oxidisolierschicht; eine Oxidhalbleiterschicht über der Oxidisolierschicht; eine Gate-Elektrode über der Oxidhalbleiterschicht; eine Gate-Isolierschicht zwischen der Oxidhalbleiterschicht und der Gate-Elektrode; und eine erste Isolierschicht, die die Oxidhalbleiterschicht und die Gate-Elektrode bedeckt, wobei die Halbleiterschicht in einen ersten Bereich, der die Gate-Elektrode überlappt, einen zweiten Bereich, der die Gate-Elektrode nicht überlappt und die Oxidhalbleiterschicht überlappt, und einen dritten Bereich, der nicht überlappt, unterteilt ist. Beim Überlappen der Gate-Elektrode und der Oxidhalbleiterschicht beträgt die Dicke der Gate-Isolierschicht im ersten Bereich 200 nm oder mehr. Die Gate-Elektrode kontaktiert die erste Isolierschicht im ersten Bereich. Die Oxidhalbleiterschicht kontaktiert die erste Isolierschicht. Im zweiten Bereich ist eine Menge an in der Oxidhalbleiterschicht im zweiten Bereich enthaltenen Verunreinigungen größer als eine Menge an in der Oxidhalbleiterschicht im ersten Bereich enthaltenen Verunreinigungen und eine Menge an in der Oxidisolierschicht im dritten Bereich enthaltenen Verunreinigungen. Die Menge an Verunreinigungen im zweiten Bereich ist größer als die

Menge an Verunreinigungen, die in der Oxidisolierschicht im zweiten Bereich enthalten sind.

[0007] Ein Verfahren zur Herstellung eines Halbleiterbauelements gemäß einer Ausführungsform der vorliegenden Erfindung umfasst: Bilden einer ersten Oxidisolierschicht; Bilden einer Oxidhalbleiterschicht über der ersten Oxidisolierschicht; Freilegen der ersten Oxid-Isolierschicht durch Bilden eines Musters der Oxid-Halbleiterschicht über der ersten Oxid-Isolierschicht; Bilden einer Gate-Isolierschicht über der Oxidhalbleiterschicht; Bilden einer Gate-Elektrode über der Gate-Isolierschicht; Freilegen der Oxidhalbleiterschicht und der ersten Oxidisolierschicht durch Bilden eines Musters der Gateisolierschicht und der Gateelektrode über der Oxidhalbleiterschicht; Implantieren einer Verunreinigung in die freigelegte Oxidhalbleiterschicht und die erste Oxidisolierschicht; Bilden einer zweiten isolierenden Oxidschicht über jeder der ersten isolierenden Oxidschicht, der Oxidhalbleiterschicht und der Gate-Elektrode; Implantieren einer Verunreinigung in die zweite Oxidisolierschicht; und Bilden einer Nitrid-Isolierschicht über der zweiten Oxid-Isolierschicht.

[0008] Ein Verfahren zur Herstellung eines Halbleiterbauelements gemäß einer Ausführungsform der vorliegenden Erfindung umfasst: Bilden einer ersten Oxidisolierschicht; Bilden einer Oxidhalbleiterschicht über der ersten Oxidisolierschicht; Freilegen der ersten Oxid-Isolierschicht durch Bilden eines Musters der Oxid-Halbleiterschicht über der ersten Oxid-Isolierschicht; Bilden einer Gate-Isolierschicht über der Oxidhalbleiterschicht; Bilden einer Gate-Elektrode über der Gate-Isolierschicht; Freilegen der Oxidhalbleiterschicht und der ersten Oxidisolierschicht durch Bilden eines Musters der Gateisolierschicht und der Gateelektrode über der Oxidhalbleiterschicht; Bilden einer zweiten isolierenden Oxidschicht mit einem Wasserstoffgehalt von $1 \times 10^{21} \text{ cm}^{-3}$ oder weniger über der ersten isolierenden Oxidschicht, der Oxidhalbleiterschicht und der Gate-Elektrode; Implantieren einer Verunreinigung in die Oxidhalbleiterschicht, die erste Oxidisolierschicht und die zweite Oxidisolierschicht; und Bilden einer Nitrid-Isolierschicht über der zweiten Oxid-Isolierschicht.

[Kurze Beschreibung Der Zeichnungen]

Fig. 1 ist eine Querschnittsansicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 2 ist eine Draufsicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 3 ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer

Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 4 ist ein Diagramm, das Profile von Störstellenkonzentrationen in einem ersten Bereich bis zu einem dritten Bereich in einem Halbleiterbauelement gemäß der Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 5 ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung eines Halbleiterbauelements gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 6 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 7 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 8 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 9 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 10 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 11 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 12 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 13 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 14 ist eine schematische Querschnittsansicht, die eine Wasserstoffeffangfunktion im zweiten Bereich und im dritten Bereich in einem Halbleiterbauelement gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulicht.

Fig. 15 ist eine schematische Querschnittsansicht, die eine Wasserstoffeffangfunktion im zweiten Bereich und im dritten Bereich in einem Halbleiterbauelement gemäß einer Aus-

führungsform der vorliegenden Erfindung veranschaulicht.

Fig. 16 ist eine schematische Querschnittsansicht, die die Auswirkungen des Wasserstoffeingangs veranschaulicht, und ein Diagramm, das die elektrischen Eigenschaften einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 17 ist eine Querschnittsansicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 18 ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 19 ist ein Diagramm, das Profile von Störstellenkonzentrationen in einem ersten Bereich bis zu einem dritten Bereich in einem Halbleiterbauelement gemäß der Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 20 ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 21 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 22 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 23 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 24 ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 25 ist ein Diagramm, das Profile von Störstellenkonzentrationen in einem ersten Bereich bis zu einem dritten Bereich in einem Halbleiterbauelement gemäß der Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 26 ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 27 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung

gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 28 ist eine Querschnittsansicht, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

[Beschreibung Der Ausführungsformen]

[0009] Nachfolgend werden Ausführungsformen der vorliegenden Erfindung anhand der Zeichnungen beschrieben. Die folgende Offenbarung ist lediglich ein Beispiel. Eine Konfiguration, die sich ein Fachmann leicht vorstellen kann, indem er die Konfiguration der Ausführungsform entsprechend ändert und dabei den Kern der Erfindung beibehält, ist selbstverständlich im Umfang der vorliegenden Erfindung enthalten. Aus Gründen der Klarheit der Beschreibung können die Zeichnungen im Hinblick auf Breiten, Dicken, Formen und dergleichen der jeweiligen Abschnitte im Vergleich zu tatsächlichen Ausführungsformen schematisch dargestellt werden. Die gezeigte Form ist jedoch lediglich ein Beispiel und schränkt die Interpretation der vorliegenden Erfindung nicht ein. In dieser Spezifikation und jeder der Zeichnungen werden die gleichen Symbole den gleichen Komponenten zugewiesen, wie sie zuvor unter Bezugnahme auf die vorangegangenen Zeichnungen beschrieben wurden, und eine detaillierte Beschreibung davon kann gegebenenfalls weggelassen werden.

[0010] In den Ausführungsformen der vorliegenden Erfindung wird eine Richtung von einem Substrat zu einer Oxidhalbleiterschicht als „auf“ oder „oben“ bezeichnet. Umgekehrt wird eine Richtung von der Oxidhalbleiterschicht zum Substrat als „unter“ oder „unten“ bezeichnet. Wie oben beschrieben, kann der Einfachheit halber zwar der Ausdruck „über (auf)“ oder „unter (unter)“ zur Erläuterung verwendet werden, doch kann beispielsweise eine vertikale Beziehung zwischen dem Substrat und der Oxidhalbleiterschicht anders angeordnet sein Richtung von der in der Zeichnung dargestellten Richtung. In der folgenden Beschreibung beschreibt beispielsweise der Ausdruck „die Oxidhalbleiterschicht auf dem Substrat“ lediglich die vertikale Beziehung zwischen dem Substrat und der Oxidhalbleiterschicht wie oben beschrieben, und andere Elemente können zwischen dem Substrat und der Oxidhalbleiterschicht angeordnet sein. Oben oder unten bedeutet eine Stapelreihenfolge in einer Struktur, in der mehrere Schichten gestapelt sind, und wenn sie als Pixelelektrode über einem Transistor ausgedrückt wird, kann es sich um eine Positionsbeziehung handeln, bei der der Transistor und die Pixelelektrode einander nicht überlappen in der Draufsicht. Wenn es hingegen als Pixelelektrode vertikal über einem Transistor ausgedrückt wird, bedeutet es eine Positionsbeziehung, bei der der Transistor und die

Pixelelektrode einander in einer Draufsicht überlappen.

[0011] In dieser Beschreibung können die Begriffe „Film“ und „Schicht“ optional untereinander vertauscht werden.

[0012] „Anzeigegerät“ bezieht sich auf eine Struktur, die dazu konfiguriert ist, ein Bild mithilfe elektrooptischer Schichten anzuzeigen. Beispielsweise kann sich der Begriff „Anzeigegerät“ auf ein Anzeigefeld beziehen, das die elektrooptische Schicht enthält, oder er kann sich auf eine Struktur beziehen, in der andere optische Elemente (z. B. Polarisationselement, Hintergrundbeleuchtung, Touchpanel usw.) an einer Anzeigezelle angebracht sind. Die „elektrooptische Schicht“ kann eine Flüssigkristallschicht, eine Elektrolumineszenzschicht (EL), eine elektrochrome Schicht (EC) und eine elektrophoretische Schicht umfassen, sofern kein technischer Widerspruch besteht. Obwohl die später beschriebenen Ausführungsformen anhand der Flüssigkristallanzeigevorrichtung mit einer Flüssigkristallschicht und einer organischen EL-Anzeigevorrichtung mit einer organischen EL-Schicht als Anzeigevorrichtung beispielhaft beschrieben werden, kann die Struktur der vorliegenden Ausführungsform daher auf eine Anzeigevorrichtung angewendet werden einschließlich der anderen oben beschriebenen elektrooptischen Schichten.

[0013] Die Ausdrücke „ α umfasst A, B oder C“, „ α umfasst eines von A, B und C“ und „ α umfasst eines, das aus einer Gruppe ausgewählt wird, die aus A, B und C besteht“ schließen den Fall nicht aus, dass α mehrere Kombinationen von A bis C umfasst, sofern nicht anders angegeben. Darüber hinaus schließen diese Ausdrücke den Fall nicht aus, dass α andere Elemente enthält.

[0014] Darüber hinaus sind die folgenden Ausführungsformen untereinander kombinierbar, sofern kein technischer Widerspruch besteht.

[1. Erste Ausführungsform]

[0015] Eine Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 1** bis **Fig. 16** beschrieben. Beispielsweise kann eine Halbleitervorrichtung der unten beschriebenen Ausführungsform zusätzlich zu einem in einer Anzeigevorrichtung verwendeten Transistor in einer integrierten Schaltung (IC) wie einer Mikroprozessoreinheit (MPU) oder einer Speicherschaltung verwendet werden.

[1-1. Konfiguration des Halbleiterbauelements 10]

[0016] Eine Konfiguration einer Halbleitervorrichtung 10 gemäß einer Ausführungsform der vorliegen-

den Erfindung wird unter Bezugnahme auf **Fig. 1** und **Fig. 2** beschrieben. **Fig. 1** ist eine Querschnittsansicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. **Fig. 2** ist eine Draufsicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt.

[0017] Wie in **Fig. 1** ist das Halbleiterbauelement 10 über einem Substrat 100 angeordnet. Das Halbleiterbauelement 10 umfasst eine Lichtabschirmschicht 105, eine Nitrid-Isolierschicht 110 und eine Oxid-Isolierschicht 120, eine Metalloxidschicht 130, eine Oxidhalbleiterschicht 140, eine Gate-Isolierschicht 150, eine Gate-Elektrode 160, Isolierschichten 170 und 180, eine Source-Elektrode 201 und eine Drain-Elektrode 203. Wenn die Source-Elektrode 201 und die Drain-Elektrode 203 nicht speziell voneinander unterschieden werden, können sie als Source-Drain-Elektrode 200 bezeichnet werden.

[0018] Die lichtabschirmende Schicht 105 ist auf dem Substrat 100 angeordnet. Die Nitrid-Isolierschicht 110 und die Oxid-Isolierschicht 120 sind auf dem Substrat 100 und der Lichtabschirmungsschicht 105 angeordnet. Die Nitrid-Isolierschicht 110 bedeckt eine obere Oberfläche und einen Endabschnitt der Lichtabschirmungsschicht 105. Die Oxidhalbleiterschicht 140 ist auf der Oxidisolierschicht 120 angeordnet. Die Oxidhalbleiterschicht 140 ist strukturiert. Ein Teil der Oxidisolierschicht 120 erstreckt sich außerhalb des Musters der Oxidhalbleiterschicht 140 über Endabschnitte der Oxidhalbleiterschicht 140 hinaus.

[0019] Obwohl in der vorliegenden Ausführungsform eine Konfiguration beispielhaft dargestellt ist, bei der die Oxidisolierschicht 120 und die Oxidhalbleiterschicht 140 miteinander in Kontakt stehen, ist die Konfiguration nicht auf diese Konfiguration beschränkt. Beispielsweise kann eine Metalloxidschicht zwischen der Oxidisolierschicht 120 und der Oxidhalbleiterschicht 140 angeordnet sein. Als Metalloxidschicht kann beispielsweise ein Metalloxid verwendet werden, das Aluminium als Hauptbestandteil enthält. Als Metalloxidschicht kann insbesondere Aluminiumoxid verwendet werden.

[0020] Die Gate-Elektrode 160 ist der Oxidhalbleiterschicht 140 über der Oxidhalbleiterschicht 140 zugewandt. Die Gate-Isolierschicht 150 ist zwischen der Oxidhalbleiterschicht 140 und der Gate-Elektrode 160 angeordnet. Die Gate-Isolierschicht 150 steht in Kontakt mit der Oxidhalbleiterschicht 140. Eine Oberfläche, die in Kontakt mit der Gate-Isolierschicht 150 steht, unter den Hauptoberflächen der Oxidhalbleiterschicht 140 ist eine obere Oberfläche 141. Eine Oberfläche, die mit der Oxidisolierschicht 120 in Kontakt steht, unter den Hauptoberflächen der Oxidhalbleiterschicht 140 ist eine untere Oberfläche

142. Eine Fläche zwischen der oberen Fläche 141 und der unteren Fläche 142 ist eine Seitenfläche 143.

[0021] Ein Musterende der Gate-Isolierschicht 150 ist ungefähr das gleiche wie ein Musterende der Gate-Elektrode 160. Das heißt, in einer Draufsicht stimmt das Muster der Gate-Isolierschicht 150 im Wesentlichen mit dem Muster der Gate-Elektrode 160 überein.

[0022] Die Isolierschicht 170 ist auf der Gate-Isolierschicht 150 und der Gate-Elektrode 160 angeordnet. Die Isolierschicht 170 bedeckt die Gate-Elektrode 160. Die Isolierschicht 170 kann als „erste Isolierschicht“ bezeichnet werden. Auf der Isolierschicht 170 ist die Isolierschicht 180 angeordnet. In den Isolierschichten 170 und 180 sind Öffnungen 171 und 173 angeordnet, die bis zur Oxidhalbleiterschicht 140 reichen. Die Source-Elektrode 201 ist innerhalb der Öffnung 171 angeordnet. Die Source-Elektrode 201 steht in Kontakt mit der Oxidhalbleiterschicht 140 am Boden der Öffnung 171. Die Drain-Elektrode 203 ist innerhalb der Öffnung 173 angeordnet. Die Drain-Elektrode 203 steht in Kontakt mit der Oxidhalbleiterschicht 140 am Boden der Öffnung 173.

[0023] Die lichtabschirmende Schicht 105 hat die Funktion, Licht abzuschirmen, das von einer Seite des Substrats 100 auf die Oxidhalbleiterschicht 140 einfällt. Die Nitrid-Isolierschicht 110 fungiert als Barrierefilm, der Verunreinigungen abschirmt, die vom Substrat 100 in Richtung der Oxidhalbleiterschicht 140 diffundieren. Die lichtabschirmende Schicht 105 kann als unteres Gate des Halbleiterbauelements 10 fungieren. In diesem Fall haben die Nitrid-Isolierschicht 110 und die Oxid-Isolierschicht 120 die Funktion als Gate-Isolierschichten für das untere Gate.

[0024] Der Betrieb des Halbleiterbauelements 10 wird hauptsächlich durch eine an die Gate-Elektrode 160 angelegte Spannung gesteuert. In dem Fall, in dem die lichtabschirmende Schicht 105 als unteres Gate fungiert, wird eine Hilfsspannung an die lichtabschirmende Schicht 105 angelegt. An die Lichtabschirmungsschicht 105 kann jedoch eine Spannung angelegt werden, die der an die Gate-Elektrode 160 angelegten Spannung ähnelt. Wenn andererseits die lichtabschirmende Schicht 105 lediglich als lichtabschirmender Film verwendet wird, wird der lichtabschirmenden Schicht 105 keine bestimmte Spannung zugeführt, und das Potenzial der lichtabschirmenden Schicht 105 kann schweben. Alternativ kann die lichtabschirmende Schicht 105 ein Isolator sein.

[0025] Das Halbleiterbauelement 10 ist basierend auf den Mustern der Gate-Elektrode 160 und der Oxidhalbleiterschicht 140 in einen ersten Bereich A1, einen zweiten Bereich A2 und einen dritten

Bereich A3 unterteilt. Der erste Bereich A1 ist ein Bereich, der in einer Draufsicht die Gate-Elektrode 160 überlappt. Der zweite Bereich A2 ist ein Bereich, der die Gate-Elektrode 160 nicht überlappt, aber in einer Draufsicht die Oxidhalbleiterschicht 140 überlappt. Der dritte Bereich A3 ist ein Bereich, der in einer Draufsicht weder die Gate-Elektrode 160 noch die Oxidhalbleiterschicht 140 überlappt.

[0026] Mit anderen Worten: Im ersten Bereich A1 ist die Oxidhalbleiterschicht 140 von der Gate-Isolierschicht 150 bedeckt. Andererseits liegt im zweiten Bereich A2 die Oxidhalbleiterschicht 140 von der Gate-Isolierschicht 150 frei, da die Gate-Isolierschicht 150 nicht auf der Oxidhalbleiterschicht 140 angeordnet ist. Daher steht die Oxidhalbleiterschicht 140 im zweiten Bereich A2 in Kontakt mit der Isolierschicht 170. In ähnlicher Weise steht im dritten Bereich A3 die Oxidisolierschicht 120 in Kontakt mit der Isolierschicht 170. Im ersten Bereich A1 steht die Gate-Elektrode 160 in Kontakt mit der Isolierschicht 170.

[0027] Eine Dicke der Gate-Isolierschicht 150 im ersten Bereich A1 beträgt 200 nm oder mehr. Eine Dicke der Gate-Isolierschicht 150 im ersten Bereich A1 kann 250 nm oder mehr oder 300 nm oder mehr betragen.

[0028] Die Oxidhalbleiterschicht 140 ist basierend auf dem Muster der Gate-Elektrode 160 in einen Source-Bereich S, einen Drain-Bereich D und einen Kanalbereich CH unterteilt. Der Source-Bereich S und der Drain-Bereich D sind Bereiche, die dem zweiten Bereich A2 entsprechen. Der Kanalbereich CH ist ein Bereich, der dem ersten Bereich A1 entspricht. In einer Draufsicht stimmt ein Endabschnitt im Kanalbereich CH mit einem Endabschnitt der Gate-Elektrode 160 überein. Die Oxidhalbleiterschicht 140 im Kanalbereich CH weist Halbleitereigenschaften auf. Jede der Oxidhalbleiterschichten 140 im Source-Bereich S und im Drain-Bereich D weist leitende Eigenschaften auf. Das heißt, die Trägerkonzentrationen der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D sind höher als eine Trägerkonzentration der Oxidhalbleiterschicht 140 im Kanalbereich CH. Die Source-Elektrode 201 und die Drain-Elektrode 203 kontaktieren die Oxidhalbleiterschicht 140 im Source-Bereich S bzw. im Drain-Bereich D und sind elektrisch mit der Oxidhalbleiterschicht 140 verbunden. Die Oxidhalbleiterschicht 140 kann eine Einzelschichtstruktur oder eine Stapelstruktur sein.

[0029] Obwohl in der vorliegenden Ausführungsform ein Top-Gate-Transistor, bei dem die Gate-Elektrode 160 über der Oxidhalbleiterschicht 140 angeordnet ist, als Halbleitervorrichtung 10 beispielhaft dargestellt ist, ist die Halbleitervorrichtung 10 nicht auf diese Konfiguration beschränkt. Beispiels-

weise kann es sich bei der Halbleitervorrichtung 10, wie oben beschrieben, um einen Dual-Gate-Transistor handeln, bei dem die lichtabschirmende Schicht 105 zusätzlich zur Gate-Elektrode 160 als Gate fungiert. Alternativ kann das Halbleiterbauelement 10 ein Bottom-Gate-Transistor sein, bei dem die Lichtabschirmungsschicht 105 hauptsächlich als Gate fungiert. Die obigen Konfigurationen sind lediglich Ausführungsformen und die vorliegende Erfindung ist nicht auf die obigen Konfigurationen beschränkt.

[0030] In einer in Fig. 2 gezeigten Richtung D1 ist eine Breite der Lichtabschirmungsschicht 105 größer als eine Breite der Gate-Elektrode 160. Die Richtung D1 ist eine Richtung, die die Source-Elektrode 201 und die Drain-Elektrode 203 verbindet, und ist eine Richtung, die eine Kanallänge L des Halbleiterbauelements 10 angibt. Insbesondere ist eine Länge in Richtung D1 in dem Bereich (dem Kanalbereich CH), in dem die Oxidhalbleiterschicht 140 die Gate-Elektrode 160 überlappt, die Kanallänge L, und eine Breite in Richtung D2 im Kanalbereich CH ist ein Kanal Breite W Die lichtabschirmende Schicht 105 und die Gate-Elektrode 160 erstrecken sich in Richtung D2.

[0031] In Fig. 2 ist zwar eine Konfiguration dargestellt, bei der die Source-Drain-Elektrode 200 die Lichtabschirmungsschicht 105 und die Gate-Elektrode 160 in einer Draufsicht nicht überlappt, die Konfiguration ist jedoch nicht auf diese Konfiguration beschränkt. Beispielsweise kann die Source-Drain-Elektrode 200 in einer Draufsicht die Lichtabschirmungsschicht 105 und/oder die Gate-Elektrode 160 überlappen. Die obige Konfiguration ist lediglich eine Ausführungsform und die vorliegende Erfindung ist nicht auf die obige Konfiguration beschränkt.

[1-2. Material jeder Komponentedes Halbleiterbauelements 10]

[0032] Als Substrat 100 wird ein starres Substrat mit Lichtdurchlässigkeit verwendet, beispielsweise ein Glassubstrat, ein Quarzsubstrat, ein Saphirsubstrat oder dergleichen. Für den Fall, dass das Substrat 100 flexibel sein muss, wird als Substrat 100 ein Substrat verwendet, das ein Harz enthält, beispielsweise ein Polyimidsubstrat, ein Acrylsubstrat, ein Siloxansubstrat oder ein Fluorharzsubstrat. Wenn das Substrat, das ein Harz enthält, als Substrat 100 verwendet wird, können Verunreinigungen in das Harz eingebracht werden, um die Wärmebeständigkeit des Substrats 100 zu verbessern. Insbesondere in dem Fall, in dem es sich bei der Halbleitervorrichtung 10 um ein Top-Emissions-Display handelt, können Verunreinigungen verwendet werden, die die Lichtdurchlässigkeit des Substrats 100 verschlechtern, da das Substrat 100 nicht transparent sein muss. Für den Fall, dass die Halbleitervorrichtung 10 für eine integrierte Schaltung verwendet wird, bei der

es sich nicht um eine Anzeigevorrichtung handelt, kann ein Substrat ohne Lichtdurchlässigkeit verwendet werden, beispielsweise ein Halbleitersubstrat wie etwa ein Siliziumsubstrat, ein Siliziumkarbidsubstrat, ein Verbindungshalbleitersubstrat oder ein leitfähiges Substrat Als Substrat 100 wird beispielsweise ein rostfreies Substrat verwendet.

[0033] Für die Lichtabschirmungsschicht 105, die Gate-Elektrode 160 und die Source-Drain-Elektrode 200 werden übliche Metallmaterialien verwendet. Zum Beispiel werden Aluminium (Al), Titan (Ti), Chrom (Cr), Kobalt (Co), Nickel (Ni), Molybdän (Mo), Hafnium (Hf), Tantal (Ta), Wolfram (W), Wismut (Bi), Silber (Ag), Kupfer (Cu) und Legierungen oder Verbindungen davon verwendet. Die oben beschriebenen Materialien können in einer einzelnen Schicht oder einer gestapelten Schicht als Lichtabschirmungsschicht 105, Gate-Elektrode 160 und Source-Drain-Elektrode 200 verwendet werden. Als lichtabschirmende Schicht 105 kann ein anderes Material als die oben beschriebenen Metallmaterialien verwendet werden, wenn keine Leitfähigkeit erforderlich ist. Als lichtabschirmende Schicht 105 kann beispielsweise eine schwarze Matrix wie etwa ein schwarzes Harz verwendet werden. Die lichtabschirmende Schicht 105 kann eine einschichtige Struktur oder eine gestapelte Struktur sein. Beispielsweise kann die lichtabschirmende Schicht 105 eine gestapelte Struktur aus einem roten Farbfilter, einem grünen Farbfilter und einem blauen Farbfilter sein.

[0034] Als Nitrid-Isolierschicht 110, Oxid-Isolierschicht 120 und Isolierschichten 170 und 180 werden übliche Isoliermaterialien verwendet. Beispielsweise werden anorganische Isolierschichten wie Siliziumoxid (SiOx), Siliziumoxynitrid (SiOxNy), Aluminiumoxid (AlOx) und Aluminiumoxinitrid (AlOxNy) als Oxidisolierschicht 120 und Isolierschicht 180 verwendet. Als Nitrid-Isolierschicht 110 und Isolierschicht 170 werden anorganische Isolierschichten wie Siliziumnitrid (SiNx), Siliziumnitridoxid (SiNxOy), Aluminiumnitrid (AlNx) und Aluminiumnitridoxid (AlNxOy) verwendet. Als Isolierschicht 170 kann jedoch auch eine anorganische Isolierschicht wie Siliziumoxid (SiOx), Siliziumoxinitrid (SiOxNy), Aluminiumoxid (AlOx) oder Aluminiumoxinitrid (AlOxNy) verwendet werden. Als Isolierschicht 180 kann eine anorganische Isolierschicht wie Siliziumnitrid (SiNx), Siliziumnitridoxid (SiNxOy), Aluminiumnitrid (AlNx) und Aluminiumnitridoxid (AlNxOy) verwendet werden.

[0035] Von den oben beschriebenen Isolierschichten wird die Sauerstoff enthaltende Isolierschicht als Gate-Isolierschicht 150 verwendet. Als Gate-Isolierschicht 150 wird beispielsweise eine anorganische Isolierschicht wie Siliziumoxid (SiOx), Siliziumoxinitrid (SiOxNy), Aluminiumoxid (AlOx) und Aluminiumoxinitrid (AlOxNy) verwendet.

[0036] Als Oxidisolierschicht 120 wird eine Isolierschicht verwendet, die die Funktion hat, durch Wärmebehandlung Sauerstoff freizusetzen. Das heißt, als Oxidisolierschicht 120 wird eine Oxidisolierschicht verwendet, die überschüssigen Sauerstoff enthält. Beispielsweise beträgt die Temperatur der Wärmebehandlung, bei der die Oxidisolierschicht 120 Sauerstoff freisetzt, 600 °C oder weniger, 500 °C oder weniger, 450 °C oder weniger oder 400 °C oder weniger. Das heißt, dass beispielsweise die Oxidisolierschicht 120 bei einer Wärmebehandlungstemperatur, die in einem Herstellungsprozess des Halbleiterbauelements 10 durchgeführt wird, Sauerstoff freisetzt, wenn ein Glassubstrat als Substrat 100 verwendet wird. Ähnlich wie bei der Oxidisolierschicht 120 kann für mindestens eine der Isolierschichten 170 und 180 eine Isolierschicht mit der Funktion der Freisetzung von Sauerstoff durch Wärmebehandlung verwendet werden.

[0037] Als Gate-Isolierschicht 150 wird eine isolierende Schicht mit wenigen Defekten verwendet. Zum Beispiel, wenn ein Zusammensetzungsverhältnis von Sauerstoff in der Gate-Isolierschicht 150 mit einem Zusammensetzungsverhältnis von Sauerstoff in einer Isolierschicht (im Folgenden als „andere Isolierschicht“ bezeichnet) verglichen wird, die eine ähnliche Zusammensetzung wie die Gate-Isolierschicht 150 aufweist, liegt das Zusammensetzungsverhältnis von Sauerstoff in der Gate-Isolierschicht 150 näher am stöchiometrischen Verhältnis in Bezug auf die Isolierschicht als das Zusammensetzungsverhältnis von Sauerstoff in dieser anderen Isolierschicht. Insbesondere in dem Fall, in dem Siliziumoxid (SiO_x) sowohl für die Gate-Isolierschicht 150 als auch für die Isolierschicht 180 verwendet wird, liegt das Zusammensetzungsverhältnis von Sauerstoff in dem als Gate-Isolierschicht 150 verwendeten Siliziumoxid nahe am stöchiometrischen Verhältnis von Siliziumoxid im Vergleich zum Zusammensetzungsverhältnis von Sauerstoff im Siliziumoxid, das als Isolierschicht 180 verwendet wird. Als Gate-Isolierschicht 150 kann beispielsweise eine Schicht verwendet werden, in der bei Auswertung durch die Elektronenspinresonanz (ESR) keine Defekte beobachtet werden.

[0038] Die oben beschriebenen SiO_xN_y und AlO_xN_y sind eine Siliziumverbindung und eine Aluminiumverbindung, die Stickstoff (N) in einem Verhältnis ($x > y$) enthalten, das kleiner als das von Sauerstoff (O) ist. SiN_xO_y und AlN_xO_y sind eine Siliziumverbindung und eine Aluminiumverbindung, die Sauerstoff in einem Verhältnis ($x > y$) enthalten, das kleiner als das von Stickstoff ist.

[0039] Als Oxidhalbleiterschicht 140 kann ein Metalloxid mit Halbleitereigenschaften verwendet werden. Als Oxidhalbleiterschicht 140 kann beispielsweise ein Oxidhalbleiter verwendet werden,

der Indium (In), Gallium (Ga), Zink (Zn) und Sauerstoff (O) enthält. Beispielsweise kann ein Oxidhalbleiter mit einem Zusammensetzungsverhältnis von In : Ga : Zn : O = 1 : 1 : 1 : 4 als Oxidhalbleiterschicht 140 verwendet werden. Der in der vorliegenden Ausführungsform verwendete Oxidhalbleiter, der In, Ga, Zn und O enthält, ist jedoch nicht auf die oben beschriebene Zusammensetzung beschränkt. Als Oxidhalbleiter kann ein Oxidhalbleiter mit einer anderen als der oben genannten Zusammensetzung verwendet werden. Beispielsweise kann eine Oxidhalbleiterschicht mit einem höheren In-Anteil als den oben beschriebenen verwendet werden, um die Mobilität zu verbessern. Um andererseits die Bandlücke zu vergrößern und den Effekt der Photobestrahlung zu verringern, kann eine Oxidhalbleiterschicht mit einem größeren Ga-Anteil als den oben beschriebenen verwendet werden.

[0040] Beispielsweise kann ein Oxidhalbleiter, der zwei oder mehr Metalle einschließlich Indium (In) enthält, als Oxidhalbleiterschicht 140 verwendet werden, in der der In-Anteil größer als der oben beschriebene ist. In diesem Fall kann der Anteil von Indium in Bezug auf die gesamte Oxidhalbleiterschicht 140 50 % oder mehr betragen. Gallium (Ga), Zink (Zn), Aluminium (Al), Hafnium (Hf), Yttrium (Y), Zirkonoxid (Zr) und Lanthanoide können zusätzlich zu Indium als Oxidhalbleiterschicht 140 verwendet werden. Als Oxidhalbleiterschicht 140 können andere Elemente als die oben beschriebenen verwendet werden.

[0041] Dem Oxidhalbleiter, der In, Ga, Zn und O als Oxidhalbleiterschicht 140 enthält, können andere Elemente hinzugefügt werden, und es können Metallelemente wie Al, Sn hinzugefügt werden. Zusätzlich zu dem oben genannten Oxidhalbleiter kann ein Oxidhalbleiter (IGO), der In, Ga enthält, ein Oxidhalbleiter (IZO), der In, Zn enthält, ein Oxidhalbleiter (ITZO), der In, Sn, Zn enthält, ein Oxidhalbleiter, der In, W enthält als Oxidhalbleiterschicht 140 verwendet werden.

[0042] Wenn der Anteil des Indiumelements groß ist, ist es wahrscheinlich, dass die Oxidhalbleiterschicht 140 kristallisiert. Wie oben beschrieben, kann in der Oxidhalbleiterschicht 140 die Oxidhalbleiterschicht 140 mit einer polykristallinen Struktur erhalten werden, indem ein Material verwendet wird, in dem der Anteil des Indiumelements in Bezug auf das gesamte Metallelement 50 % oder mehr beträgt. Die Oxidhalbleiterschicht 140 enthält vorzugsweise Gallium als ein von Indium verschiedenes Metallelement. Gallium gehört zum gleichen Element der Gruppe 13 wie Indium. Daher wird die Kristallinität der Oxidhalbleiterschicht 140 nicht durch Gallium gehemmt und die Oxidhalbleiterschicht 140 weist eine polykristalline Struktur auf.

[0043] Obwohl später ein detailliertes Verfahren zur Herstellung der Oxidhalbleiterschicht 140 beschrieben wird, kann die Oxidhalbleiterschicht 140 unter Verwendung eines Sputterverfahrens gebildet werden. Eine Zusammensetzung der durch das Sputterverfahren gebildeten Oxidhalbleiterschicht 140 hängt von der Zusammensetzung eines Sputtertargets ab. Obwohl die Oxidhalbleiterschicht 140 eine polykristalline Struktur aufweist, stimmt die Zusammensetzung des Sputtertargets im Wesentlichen mit der Zusammensetzung der Oxidhalbleiterschicht 140 überein. In diesem Fall kann die Zusammensetzung des Metallelements der Oxidhalbleiterschicht 140 basierend auf der Zusammensetzung des Metallelements des Sputtertargets spezifiziert werden.

[0044] In dem Fall, in dem die Oxidhalbleiterschicht 140 eine polykristalline Struktur aufweist, kann eine Zusammensetzung der Oxidhalbleiterschicht unter Verwendung von Röntgenbeugung (Röntgenbeugung: XRD) spezifiziert werden. Insbesondere kann eine Zusammensetzung des Metallelements der Oxidhalbleiterschicht basierend auf der Kristallstruktur und der Gitterkonstante der Oxidhalbleiterschicht, die durch das XRD-Verfahren erhalten wird, spezifiziert werden. Darüber hinaus kann die Zusammensetzung des Metallelements der Oxidhalbleiterschicht 140 auch mithilfe einer Fluoreszenzröntgenanalyse, einer EPMA-Analyse (Electron Probe Micro Analyzer) oder dergleichen identifiziert werden. Das in der Oxidhalbleiterschicht 140 enthaltene Sauerstoffelement kann jedoch durch diese Verfahren möglicherweise nicht spezifiziert werden, da das Sauerstoffelement abhängig von den Bedingungen des Sputterprozesses variiert.

[0045] Wie oben beschrieben kann die Oxidhalbleiterschicht 140 eine amorphe Struktur oder eine polykristalline Struktur aufweisen. Der Oxidhalbleiter mit einer polykristallinen Struktur kann unter Verwendung einer Poly-OS-Technik (Polykristalliner Oxidhalbleiter) hergestellt werden. Im Folgenden kann der Oxidhalbleiter mit der polykristallinen Struktur als Poly-OS beschrieben werden, wenn er vom Oxidhalbleiter mit der amorphen Struktur unterschieden wird.

[0046] Wie oben beschrieben wird in dem Fall, in dem eine Metalloxidschicht zwischen der Oxidisolierschicht 120 und der Oxidhalbleiterschicht 140 angeordnet ist, ein Metalloxid, das Aluminium als Hauptkomponente enthält, als Metalloxidschicht verwendet. Als Metalloxidschicht wird beispielsweise eine anorganische Isolierschicht wie Aluminiumoxid (AlOx), Aluminiumoxinitrid (AlOxNy) und Aluminiumnitridoxid (AlNxOy) verwendet. Die „Metalloxidschicht, die Aluminium als Hauptbestandteil enthält“ bedeutet, dass der Anteil des in der Metalloxidschicht enthaltenen Aluminiums 1 % oder mehr der Gesamtmenge der Metalloxidschicht beträgt. Der Anteil des

in der Metalloxidschicht enthaltenen Aluminiums kann 5 % oder mehr und 70 % oder weniger, 10 % oder mehr und 60 % oder weniger oder 30 % oder mehr und 50 % oder weniger der Gesamtmenge des Metalloxids betragen. Das Verhältnis kann ein Massenverhältnis oder ein Gewichtsverhältnis sein.

[1-3. Konfiguration der Wasserstoff einfangenden Region]

[0047] In der Oxidisolierschicht 120 wird ein Wasserstoff einfangender Bereich gebildet. Daher wird eine Konfiguration des in der Oxidisolierschicht 120 gebildeten Wasserstoffeffangbereichs unter Bezugnahme auf Fig. 3 und 4 beschrieben. Fig. 3 ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Insbesondere zeigt Fig. 3 eine vergrößerte Querschnittsansicht eines Bereichs P in Fig. 1. Obwohl der in Fig. 3 gezeigte Bereich P in der Nähe des Drain-Bereichs D liegt, hat der Bereich in der Nähe des Source-Bereichs S ebenfalls die gleiche Konfiguration wie der Bereich P.

[0048] Die Oxidisolierschicht 120 ist in den ersten Bereich A1, den zweiten Bereich A2 und den dritten Bereich A3 unterteilt. Die isolierende Oxidschicht 120 in jedem Bereich wird als isolierende Oxidschicht 120-1, 120-2 bzw. 120-3 beschrieben. Die Oxidisolierschichten 120-1 und 120-2 stehen in Kontakt mit der Oxidhalbleiterschicht 140. Die Oxidisolierschicht 120-3 steht in Kontakt mit der Isolierschicht 170.

[0049] Obwohl Einzelheiten später beschrieben werden, wird die Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D durch Ionenimplantation von Verunreinigungen unter Verwendung der Gate-Elektrode 160 als Maske gebildet. Als Verunreinigung werden beispielsweise Bor (B), Phosphor (P), Argon (Ar), Stickstoff (N) oder dergleichen verwendet. Durch Ionenimplantation werden in der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D Sauerstoffdefekte erzeugt. Der Widerstand der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D wird durch das Einfangen von Wasserstoff in den erzeugten Sauerstoffdefekten verringert. Da eine Siliziumnitridschicht beispielsweise mehr Wasserstoff enthält als eine Siliziumoxidschicht, kann die Verwendung von Siliziumnitrid als Isolierschicht 170 den Widerstand der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D verringern.

[0050] Obwohl Einzelheiten später beschrieben werden, wird die Ionenimplantation in einem Zustand durchgeführt, in dem die Gate-Isolierschicht 150 durch Ätzen entfernt wird und die Oxidhalbleiterschicht 140 im zweiten Bereich A2 und die Oxid-Iso-

lierschicht 120 im dritten Bereich A3 freigelegt werden. Im zweiten Bereich A2 erreichen die ionenimplantierten Verunreinigungen über die Oxidhalbleiterschicht 140 die Oxidisolierschicht 120. In ähnlicher Weise werden im dritten Bereich A3 die ionenimplantierten Verunreinigungen in die freiliegende Oxidisolierschicht 120 eingebracht. Daher wird in der Oxidisolierschicht 120 im zweiten Bereich A2 und im dritten Bereich A3 ein Dangling-Bond-Defekt DB erzeugt.

[0051] Im ersten Bereich A1 werden Verunreinigungen unter Verwendung der Gate-Elektrode 160 als Maske ionenimplantiert. Daher werden im ersten Bereich A1 keine Verunreinigungen in die Gate-Isolierschicht 150 und die Oxid-Isolierschicht 120-1 implantiert, und der Dangling-Bond-Defekt DB wird in diesen Isolierschichten nicht erzeugt. Andererseits wird, wie oben beschrieben, der Dangling-Bond-Defekt DB in den Oxidisolierschichten 120-2 und 120-3 erzeugt. Wenn beispielsweise Siliziumoxid als Oxid-Isolierschicht 120 verwendet wird, wird der Dangling-Bond-Defekt DB aus Silizium in den Oxid-Isolierschichten 120-2 und 120-3 gebildet.

[0052] Der in der Oxidisolierschicht 120 gebildete Dangling-Bond-Defekt DB fängt Wasserstoff ein. Das heißt, in der Halbleitervorrichtung 10 fungieren die Oxidisolierschichten 120-2 und 120-3 als ein Wasserstoff einfangender Bereich. Daher wird beispielsweise Wasserstoff, der zum Zeitpunkt der Abscheidung der Isolierschicht 170 aus der Isolierschicht 170 diffundiert, im Dangling-Bond-Defekt DB in den Oxid-Isolierschichten 120-2 und 120-3 eingefangen, so dass es möglich zu unterdrücken, dass Wasserstoff in die Oxidhalbleiterschicht 140 im Kanalbereich CH eindringt. Daher sind im Zustand nach der Bildung der Isolierschicht 170 die Wasserstoffkonzentrationen der Oxidisolierschichten 120-2 und 120-3 höher als die Wasserstoffkonzentration der Oxidisolierschicht 120-1.

[0053] Da der Dangling-Bond-Defekt DB durch Ionenimplantation gebildet wird, enthalten die Oxidisolierschichten 120-2 und 120-3 durch Ionenimplantation eingeführte Verunreinigungen. Die Verteilung der Menge an Dangling-Bond-Defekten DB, die in den Oxidisolierschichten 120-2 und 120-3 gebildet werden, entspricht einem Konzentrationsprofil der darin enthaltenen Verunreinigung. Das heißt, die Position und Menge des Dangling-Bond-Defekts DB kann durch Anpassen des durch die Ionenimplantation erhaltenen Profils der Verunreinigung angepasst werden.

[0054] Obwohl Einzelheiten später beschrieben werden, ist es effektiv, den Dangling-Bond-Defekt DB in der Oxidisolierschicht 120 zu bilden, um das Auftreten einer Abnormalität in den elektrischen Eigenschaften der Halbleitervorrichtung 10 aufgrund

des Eindringens von Wasserstoff in die Oxidhalbleiterschicht im Kanalbereich CH zu unterdrücken. Daher müssen Verunreinigungen implantiert werden, um die Oxidisolierschicht 120 zu erreichen.

[0055] Beispielsweise muss im Fall des Halbleiterbauelements, bei dem die Gate-Isolierschicht 150 hohen Spannungen standhalten muss, die Dicke der Gate-Isolierschicht 150 200 nm oder mehr betragen. Wenn andererseits bewirkt wird, dass die Verunreinigung durch Ionenimplantation die Oxidisolationschicht 120 erreicht, muss die Dicke der Isolierschicht, durch die die Verunreinigung durch Ionenimplantation hindurchtritt, weniger als 150 nm betragen, da es eine Einschränkung aufgrund der Beschleunigungsspannung des Ionenimplantationsgeräts gibt. Obwohl Einzelheiten später beschrieben werden, werden zur Erfüllung dieser Anforderungen in der vorliegenden Ausführungsform Verunreinigungen in einem Zustand ionenimplantiert, in dem die Gate-Isolierschicht 150 auf der Oxidhalbleiterschicht 140 im zweiten Bereich A2 und auf der Oxid-Isolierschicht 120 im dritten Bereich A3 entfernt ist.

[0056] Fig. 4 ist ein Diagramm, das Profile von Störstellenkonzentrationen im ersten Bereich A1 bis zum dritten Bereich A3 in einem Halbleiterbauelement gemäß der Ausführungsform der vorliegenden Erfindung zeigt. Die vertikalen Achsen jedes der drei in Fig. 4 gibt die Konzentration der Verunreinigungen pro Volumeneinheit an (Konzentration [cm^{-3}]) und die horizontalen Achsen geben den Namen der Schicht in Tiefenrichtung an. „UC“ auf der horizontalen Achse entspricht der Oxidisolierschicht 120 und der Nitridisolierschicht 110. „OS“ entspricht der Oxidhalbleiterschicht 140. „GI“ entspricht der Gate-Isolierschicht 150. „GL“ entspricht der Gate-Elektrode 160. „PAS“ entspricht der Isolierschicht 170.

[0057] Wie in Fig. 4 gezeigt, weist das Konzentrationsprofil der Verunreinigung im ersten Bereich A1 einen Peak in der Gate-Elektrode 160 (GL) auf. Daher ist in der Tiefenrichtung im ersten Bereich A1 die Menge an Verunreinigungen, die in einer vorbestimmten Position der Gate-Elektrode 160 enthalten sind, größer als jede Menge an Verunreinigungen, die in einer vorbestimmten Position der Gate-Isolierschicht 150 enthalten sind, die in einer vorbestimmten Position der Oxidhalbleiterschicht 140 enthalten sind, und die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 enthalten sind. Die obige „Tiefenrichtung“ bedeutet eine Dickenrichtung jeder Schicht. Das Metallmaterial weist eine hohe Stoppwirkung gegenüber durch Ionenimplantation eingebrachten Verunreinigungen auf. Wenn das Metallmaterial als Gate-Elektrode 160 verwendet wird, werden die Verunreinigungen durch die Gate-Elektrode 160 blockiert und erreichen nicht die Gate-Isolierschicht 150 (GI). Daher wird der Dangling-Bond-Defekt DB aufgrund der Einführung von Verunreinigungen

nicht in der Gate-Isolierschicht 150 und der Oxid-Isolierschicht 120 im ersten Bereich A1 gebildet. Allerdings können die Verunreinigungen die Gate-Isolierschicht 150 erreichen, solange die elektrischen Eigenschaften des Halbleiterbauelements 10 nicht beeinträchtigt werden.

[0058] Im zweiten Bereich A2 weist das Konzentrationsprofil der Verunreinigung Spitzen in der Oxidhalbleiterschicht 140 (OS) auf. Daher ist in der Tiefe des zweiten Bereichs A2 die Menge an Verunreinigungen, die in der vorbestimmten Position der Oxidhalbleiterschicht 140 enthalten sind, größer als die Mengen an Verunreinigungen, die in der vorbestimmten Position der Oxidisationsschicht 120 enthalten sind. Da der Zweck des Einbringens von Verunreinigungen darin besteht, den Widerstand der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D zu verringern, wird die Ionenimplantationsbedingung so eingestellt, dass sie das oben beschriebene Konzentrationsprofil aufweist. Die Menge der in der Oxidhalbleiterschicht 140 im zweiten Bereich A2 enthaltenen Verunreinigungen ist größer als die Menge der in der Oxidhalbleiterschicht 140 im ersten Bereich A1 enthaltenen Verunreinigungen. Ebenso ist die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 (UC) im zweiten Bereich A2 enthalten sind, größer als die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 im ersten Bereich A1 enthalten sind.

[0059] Wie oben beschrieben, werden im zweiten Bereich A2 auch Verunreinigungen in die Oxidisolierschicht 120 eingebracht. Daher wird der Dangling-Bond-Defekt DB, der mit der Einführung von Verunreinigungen verbunden ist, in der Oxidisolierschicht 120-2 gebildet (siehe **Fig. 3**).

[0060] Im dritten Bereich A3 weist das Konzentrationsprofil der Verunreinigung einen Höhepunkt in der Oxidisolierschicht 120 auf. Im dritten Bereich A3 ist die Oxidhalbleiterschicht 140 nicht auf der Oxidisolierschicht 120 angeordnet. Dies führt dazu, dass anstelle der Spitze des Konzentrationsprofils in der Oxidhalbleiterschicht 140 im zweiten Bereich A2 die Spitze des Konzentrationsprofils in der Oxidisolierschicht 120 im dritten Bereich A3 vorliegt. Das heißt, die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120 im dritten Bereich A3 enthalten sind, ist größer als die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120 im ersten Bereich A1 enthalten sind, und größer als die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120 im zweiten Bereich A2 enthalten sind.

[0061] Gemäß dem oben beschriebenen Konzentrationsprofil der Verunreinigung wird der mit der Einführung der Verunreinigung verbundene Dangling-Bond-Defekt DB in der Oxidisolierschicht 120-3

gebildet (siehe **Fig. 3**). Da, wie oben beschrieben, der Peak des Konzentrationsprofils in der Oxidisolierschicht 120 im dritten Bereich A3 vorhanden ist, ist die Menge des freien Bindungsdefekts DB, der in der Oxidisolierschicht 120 im dritten Bereich A3 vorhanden ist, größer als die Menge des Dangling-Bond-Defekts DB, der in der Oxidisolierschicht 120 im zweiten Bereich A2 vorhanden ist. Daher kann die Oxidisolierschicht 120 im dritten Bereich A3 mehr Wasserstoff einfangen als die Oxidisolierschicht 120 im zweiten Bereich A2.

[0062] In der vorliegenden Ausführungsform beträgt in der Tiefenrichtung des dritten Bereichs A3 die Menge an Verunreinigungen, die an einer vorbestimmten Position in der Oxidisationsschicht 120 enthalten sind, $1 \times 10^{16}/\text{cm}^3$ oder mehr, $1 \times 10^{17}/\text{cm}^3$ oder mehr oder $1 \times 10^{18}/\text{cm}^3$ oder mehr. Die vorgegebene Position kann eine Spitzenposition des Konzentrationsprofils oder eine Position sein, die einer Grenzfläche zwischen der Oxidisolierschicht 120 und der Isolierschicht 170 entspricht. Alternativ kann die vorbestimmte Position eine Position sein, die um eine vorbestimmte Tiefe von einer Position, die der Grenzfläche entspricht, in Richtung der Oxidisationsschicht 120 verschoben ist.

[0063] In der vorliegenden Ausführungsform wird zwar eine Konfiguration veranschaulicht, bei der die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 im dritten Bereich A3 enthalten sind, größer ist als die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 im zweiten Bereich A2 enthalten sind, die Konfiguration ist nicht auf diese Konfiguration beschränkt. In ähnlicher Weise ist in der vorliegenden Ausführungsform zwar eine Konfiguration beispielhaft dargestellt, bei der die Spitze des Konzentrationsprofils der Verunreinigung im dritten Bereich A3 in der Oxidisolierschicht 120 vorhanden ist, die Konfiguration ist jedoch nicht auf diese Konfiguration beschränkt. Beispielsweise kann in der Tiefenrichtung des dritten Bereichs A3 die Konzentration von Verunreinigungen an der oberen Oberfläche der Oxidisolierschicht 120 (der Oberfläche, die der Grenzfläche zwischen der Oxidisolierschicht 120 und der Isolierschicht 170 entspricht) am höchsten sein.

[0064] Bezugnehmend auf **Fig. 2** entspricht der Kanalbereich CH dem ersten Bereich A1, der Source-Bereich S und der Drain-Bereich D entsprechen dem zweiten Bereich A2, und andere Bereiche als der Kanalbereich CH, der Source-Bereich S und der Drain-Bereich D entsprechen dem dritten Bereich CH. Das heißt, der Kanalbereich CH ist zwischen dem zweiten Bereich A2 und von dem dritten Bereich A3 umgeben. Daher wird beispielsweise Wasserstoff, der zum Zeitpunkt der Abscheidung der Isolierschicht 170 aus der Isolierschicht 170 diffundiert, durch den Dangling-Bond-Defekt DB einge-

fangen, der in der Oxid-Isolierschicht 120 gebildet wird, die sich im zweiten Bereich A2 und im dritten Bereich A3 befindet rund um die Kanalregion CH. Dadurch ist es möglich, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140 im Kanalbereich CH zu unterdrücken.

[1-4. Verfahren zur Herstellung eines Halbleiterbauelements 10]

[0065] Ein Verfahren zur Herstellung eines Halbleiterbauelements 10 gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 5** bis 13 beschrieben. **Fig. 5** ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung eines Halbleiterbauelements gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. **Fig. 6** bis **Fig. 13** sind Querschnittsansichten, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigen.

[0066] Wie in **Fig. 5** und 6 gezeigt, wird die Lichtabschirmung 105 auf dem Substrat 100 als Bottom-Gate gebildet, und die Nitrid-Isolierschicht 110 und die Oxid-Isolierschicht 120 werden auf der Lichtabschirmung 105 gebildet („Ausbilden der Isolations-schicht/Lichtabschirmungsschicht“ in Schritt S1001 von **Fig. 5**). Als Nitrid-Isolierschicht 110 wird beispielsweise Siliziumnitrid gebildet. Als Oxidisolations-schicht 120 wird beispielsweise Siliziumoxid gebildet. Die Nitrid-Isolierschichten 110 und die Oxid-Isolierschicht 120 werden durch ein CVD-Verfahren (Chemical Vapour Deposition) abgeschieden. Beispielsweise beträgt eine Dicke der Nitrid-Isolierschicht 110 50 nm oder mehr und 500 nm oder weniger oder 150 nm oder mehr und 300 nm oder weniger. eine Dicke der Oxidisolierschicht 120 beträgt 50 nm oder mehr und 500 nm oder weniger, oder 150 nm oder mehr und 300 nm oder weniger.

[0067] Durch die Verwendung von Siliziumnitrid als Nitrid-Isolierschicht 110 kann die Nitrid-Isolierschicht 110 Verunreinigungen blockieren, die beispielsweise vom Substrat 100 in Richtung der Oxidhalbleiterschicht 140 diffundieren. Das als Oxidisolierschicht 120 verwendete Siliziumoxid ist Siliziumoxid mit der physikalischen Eigenschaft, durch Wärmebehandlung Sauerstoff freizusetzen.

[0068] Wie in **Fig. 5** und 7 gezeigt, wird die Oxidhalbleiterschicht 140 auf der Oxidisolierschicht 120 gebildet („OS Filmformation“ in Schritt S1002 von **Fig. 5**). Für diesen Prozess kann man sagen, dass die Gate-Isolierschicht 140 über dem Substrat 100 gebildet wird. Die Oxidhalbleiterschicht 140 wird durch ein Sputterverfahren oder ein Atomlagenabscheidungsverfahren (ALD) abgeschieden.

[0069] In dem Fall, in dem die Metalloxidschicht, die Aluminium als Hauptkomponente enthält, zwischen der Oxidisolierschicht 120 und der Oxidhalbleiterschicht 140 angeordnet ist, wird die Metalloxidschicht auch durch das Sputterverfahren oder ein Atomschichtabscheidungsverfahren in derselben Vorgehensweise wie oben beschrieben abgeschieden.

[0070] Beispielsweise beträgt eine Dicke der Oxidhalbleiterschicht 140 10 nm oder mehr und 100 nm oder weniger, 15 nm oder mehr und 70 nm oder weniger, oder 20 nm oder mehr und 40 nm oder weniger. In der vorliegenden Ausführungsform beträgt die Dicke der Oxidhalbleiterschicht 140 30 nm. Die Oxidhalbleiterschicht 140 ist vor der später beschriebenen Wärmebehandlung (OS-Tempnern) amorph.

[0071] In dem Fall, in dem die Oxidhalbleiterschicht 140 durch das später beschriebene OS-Tempnern kristallisiert wird, befindet sich die Oxidhalbleiterschicht 140 nach der Abscheidung und vor dem OS-Tempnern vorzugsweise in einem amorphen Zustand (ein Zustand, in dem es weniger niedrigkristalline Komponenten des Oxidhalbleiters gibt).). Das heißt, die Abscheidungsbedingungen der Oxidhalbleiterschicht 140 sind vorzugsweise solche, dass die Oxidhalbleiterschicht 140 unmittelbar nach der Abscheidung möglichst nicht kristallisiert. Wenn beispielsweise die Oxidhalbleiterschicht 140 durch das Sputterverfahren abgeschieden wird, wird die Oxidhalbleiterschicht 140 in einem Zustand abgeschieden, in dem die Temperatur des abzuschiedenden Objekts (des Substrats 100 und der darauf gebildeten Strukturen) gesteuert wird.

[0072] Wenn die Abscheidung auf dem abzuschiedenden Objekt durch das Sputterverfahren durchgeführt wird, kollidieren im Plasma erzeugte Ionen und von einem Sputtertarget zurückgeworfene Atome mit dem abzuschiedenden Objekt. Daher steigt die Temperatur des abzuschiedenden Objekts mit dem Abscheidungsprozess. Wenn die Temperatur des abzuschiedenden Objekts während des Abscheidungsprozesses ansteigt, bilden sich unmittelbar nach dem Abscheidungsprozess Mikrokristalle in der Oxidhalbleiterschicht 140. Es besteht die Möglichkeit, dass die Mikrokristalle die Kristallisation durch anschließendes OS-Tempnern hemmen. Um beispielsweise die Temperatur des abzuschiedenden Objekts wie oben beschrieben zu steuern, kann die Abscheidung durchgeführt werden, während das abzuschiedende Objekt gekühlt wird. Beispielsweise kann das abzuschiedende Objekt von einer Oberfläche gegenüber einer abzulagernden Oberfläche aus gekühlt werden, so dass die Temperatur der abgelagerten Oberfläche des abzuschiedenden Objekts (im Folgenden als „Ablagerungstemperatur“ bezeichnet) 100 °C oder weniger, 70 °C oder weniger, 50 °C oder weniger oder 30 °C oder weniger beträgt. Wie oben

beschrieben ermöglicht das Abscheiden der Oxidhalbleiterschicht 140 während des Abkühlens des abzuschneidenden Objekts das Abscheiden der Oxidhalbleiterschicht 140 mit wenigen kristallinen Komponenten in einem Zustand unmittelbar nach der Abscheidung. Ein Sauerstoffpartialdruck unter den Abscheidungsbedingungen der Oxidhalbleiterschicht 140 beträgt 2 % oder mehr und 20 % oder weniger, 3 % oder mehr und 15 % oder weniger, oder 3 % oder mehr und 10 % oder weniger

[0073] Wie in **Fig. 5** und **8** gezeigt, wird ein Muster der Oxidhalbleiterschicht 140 gebildet („Bilden des OS-Musters“ in Schritt S1003 von **Fig. 5**). Obwohl nicht dargestellt, wird eine Resistmaske auf der Oxidhalbleiterschicht 140 gebildet und die Oxidhalbleiterschicht 140 wird unter Verwendung der Resistmaske geätzt. Zum Ätzen der Oxidhalbleiterschicht 140 kann Nassätzen oder Trockenätzen verwendet werden. Das Nassätzen kann das Ätzen unter Verwendung eines sauren Ätzmittels umfassen. Als Ätzmittel können beispielsweise Oxalsäure, PAN, Schwefelsäure, Wasserstoffperoxid oder Flußsäure verwendet werden. Da die Oxidhalbleiterschicht 140 im Schritt S1003 amorph ist, kann die Oxidhalbleiterschicht 140 durch Nassätzen leicht in eine vorgegebene Form strukturiert werden.

[0074] Das Muster der Oxidhalbleiterschicht 140 wird gebildet und dann wird eine Wärmebehandlung (OS-Tempnern) an der Oxidhalbleiterschicht 140 durchgeführt („Ausglühen OS“ in Schritt S1004 von **Fig. 5**). Beim OS-Tempnern wird die Oxidhalbleiterschicht 140 für eine vorgegebene Zeit auf einer vorgegebenen Erreichenstemperatur gehalten. Die vorgegebene Erreichenstemperatur beträgt 300 °C oder mehr und 500 °C oder weniger oder 350 °C oder mehr und 450 °C oder weniger. Die Haltezeit bei der erreichten Temperatur beträgt 15 Minuten oder mehr und 120 Minuten oder weniger oder 30 Minuten oder mehr und 60 Minuten oder weniger. In der vorliegenden Ausführungsform wird die Oxidhalbleiterschicht 140 durch das OS-Tempnern kristallisiert. Allerdings muss die Oxidhalbleiterschicht 140 nicht unbedingt durch das OS-Tempnern kristallisiert werden.

[0075] Wie in **Fig. 5** und **9** gezeigt, wird die Gate-Isolierschicht 150 auf der Oxidhalbleiterschicht 140 abgeschieden („Bilden von GI“ in Schritt S1005 von **Fig. 5**). Beispielsweise wird Siliziumoxid als Gate-Isolierschicht 150 gebildet. Die Gate-Isolierschicht 150 wird durch das CVD-Verfahren gebildet. Beispielsweise kann die Gate-Isolierschicht 150 bei einer Abscheidungstemperatur von 350 °C oder höher abgeschieden werden, um eine Isolierschicht mit wenigen Defekten zu bilden, wie oben als Gate-Isolierschicht 150 beschrieben. Beispielsweise beträgt eine Dicke der Gate-Isolierschicht 150 200 nm oder mehr und 500 nm oder weniger, 200 nm

oder mehr und 400 nm oder weniger, oder 250 nm oder mehr und 350 nm oder weniger. Ein Prozess zum Implantieren von Sauerstoff kann auf einem oberen Teil der Gate-Isolierschicht 150 durchgeführt werden, nachdem die Gate-Isolierschicht 150 abgeschieden wurde.

[0076] Eine Wärmebehandlung (Oxidationsglühen) zum Zuführen von Sauerstoff zur Oxidhalbleiterschicht 140 wird in einem Zustand durchgeführt, in dem die Gate-Isolierschicht 150 auf der Oxidhalbleiterschicht 140 und die Metalloxidschicht 190 auf der Gate-Isolierschicht 150 abgeschieden sind („Glühen zur Oxidation“ in Schritt S1006 von **Fig. 5**). Im Prozess von der Abscheidung der Oxidhalbleiterschicht 140 bis zur Abscheidung der Gate-Isolierschicht 150 auf der Oxidhalbleiterschicht 140 kommt es in der oberen Oberfläche 141 und der Seitenoberfläche 143 der Oxidhalbleiterschicht zu einer großen Menge an Sauerstofffehlstellen 140. Von den Oxidisolierschichten 120 und der Gateisolierschicht 150 freigesetzter Sauerstoff wird der Oxidhalbleiterschicht 140 durch das oben beschriebene Oxidationsglühen zugeführt, und die Sauerstofffehlstellen werden repariert. Wenn der Prozess des Implantierens von Sauerstoff in die Gate-Isolierschicht 150 nicht durchgeführt wird, kann das Oxidationsglühen in einem Zustand durchgeführt werden, in dem eine Isolierschicht durch eine Wärmebehandlung Sauerstoff freisetzen kann.

[0077] Um die von der Gate-Isolierschicht 150 zur Oxidhalbleiterschicht 140 zugeführte Sauerstoffmenge zu erhöhen, kann auf der Gate-Isolierschicht 150 durch das Sputterverfahren eine Metalloxidschicht gebildet werden, die Aluminium als Hauptkomponente enthält und anschließend kann Oxidationsglühen in diesem Zustand durchgeführt werden. Die Verwendung von Aluminiumoxid, das eine hohe Barriereeigenschaft aufweist, als Metalloxidschicht ermöglicht es, zu unterdrücken, dass der Sauerstoff, der zum Zeitpunkt des Oxidationsglühens in die Gate-Isolierschicht 150 implantiert wird, nach außen diffundiert. In die Gate-Isolierschicht 150 implantierter Sauerstoff wird der Oxidhalbleiterschicht 140 durch Bildung der Metalloxidschicht und Oxidationsglühen effizient zugeführt.

[0078] Wie in **Fig. 5** und **10** gezeigt, wird die Gate-Elektrode 160 abgeschieden und die Gate-Elektrode 160 und die Gate-Isolierschicht 150 werden integral geätzt („Bilden von GE und Ätzen von GI“ in Schritt S1007 von **Fig. 5**). Die Gate-Elektrode 160 wird durch das Sputterverfahren oder das Atomlagenabscheidungsverfahren abgeschieden und durch einen Fotolithographieprozess strukturiert. Die Gate-Elektrode 160 und die Gate-Isolierschicht 150 werden durch einen Fotolithographieprozess strukturiert. Die Gate-Elektrode 160 und die Gate-Isolierschicht 150 können im selben Prozess (unter denselben

Bedingungen) geätzt werden, und jede kann in einem anderen Prozess (unter verschiedenen Bedingungen) geätzt werden. Das heißt, das Ätzen der Gate-Isolierschicht 150 kann durch ein Überätzen im Ätzprozess für die Gate-Elektrode 160 durchgeführt werden und kann durch ein Ätzen durchgeführt werden, das sich von dem Ätzen für die Gate-Elektrode 160 unterscheidet unter Verwendung von der Gate-Elektrode 160 als Maske nach dem Ätzen der Gate-Elektrode 160.

[0079] Wie in **Fig. 11** gezeigt, wird die Oxidhalbleiterschicht 140 im zweiten Bereich A2 freigelegt und die Oxidisolierschicht 120 im dritten Bereich A3 wird durch Strukturieren der Gate-Elektrode 160 und der Gate-Isolationsschicht 150 freigelegt. In diesem Zustand werden Verunreinigungen in die freigelegte Oxidisolierschicht 120 und die freigelegte Oxidhalbleiterschicht 140 ionenimplantiert („Implantieren von Fremdstoffionen“ in Schritt S1008 von **Fig. 5**). Insbesondere werden Verunreinigungen unter Verwendung der Gate-Elektrode 160 als Maske in die freigelegte Oxidisolierschicht 120 und die freigelegte Oxidhalbleiterschicht 140 implantiert.

[0080] Beispielsweise werden Elemente wie Bor (B), Phosphor (P), Argon (Ar) oder Stickstoff (N) durch Ionenimplantation in die Oxidisolierschicht 120 und die Oxidhalbleiterschicht 140 implantiert. In der Oxidhalbleiterschicht 140 im zweiten Bereich A2, der die Gate-Elektrode 160 nicht überlappt, werden durch Ionenimplantation Sauerstoffdefekte erzeugt. Der Widerstand der Oxidhalbleiterschicht 140 im zweiten Bereich A2 wird durch das Einfangen von Wasserstoff in den erzeugten Sauerstoffdefekten verringert. Andererseits werden in der Oxidhalbleiterschicht 140 im ersten Bereich A1, der die Gate-Elektrode 160 überlappt, keine Verunreinigungen implantiert, so dass keine Sauerstoffdefekte erzeugt werden und der Widerstand im ersten Bereich A1 nicht verringert wird. Durch die obigen Schritte wird der Kanalbereich CH in der Oxidhalbleiterschicht 140 im ersten Bereich A1 gebildet, und der Sourcebereich S und der Drainbereich D werden in der Oxidhalbleiterschicht 140 im zweiten Bereich A2 gebildet.

[0081] Der Dangling-Bond-Defekt DB wird in der Oxidisolierschicht 120 im zweiten Bereich A2 und im dritten Bereich A3 durch die Ionenimplantation erzeugt. Der Ort und die Menge des Dangling-Bond-Defekts DB können durch Anpassen der Prozessparameter (z. B. Dosismenge, Beschleunigungsspannung, Plasmaleistung und dergleichen) der Ionenimplantation gesteuert werden. Beispielsweise beträgt die Dosismenge $1 \times 10^{14}/\text{cm}^2$ oder mehr, $5 \times 10^{14}/\text{cm}^2$ oder mehr oder $1 \times 10^{15}/\text{cm}^2$ oder mehr. Beispielsweise ist die Beschleunigungsspannung größer als 10 keV, 15 keV oder mehr oder 20 keV oder mehr.

[0082] Wie in **Fig. 5** und **12** gezeigt, werden die Isolierschichten 170 und 180 auf der Gate-Isolierschicht 150 und der Gate-Elektrode 160 als Zwischenschichtfilme abgeschieden („Zwischenschichtfilms Filmformation“ in Schritt S1009 von **Fig. 5**). Die Isolierschichten 170 und 180 werden durch das CVD-Verfahren abgeschieden. Beispielsweise wird eine Siliziumnitridschicht als Isolierschicht 170 und eine Siliziumoxidschicht als Isolierschicht 180 gebildet. Die als Isolierschichten 170 und 180 verwendeten Materialien sind nicht auf die oben genannten beschränkt. Die Dicke der Isolierschicht 170 beträgt 50 nm oder mehr und 500 nm oder weniger. Die Dicke der Isolierschicht 180 beträgt 50 nm oder mehr und 500 nm oder weniger.

[0083] Wie in **Fig. 5** und **12** gezeigt, werden die Öffnungen 171 und 173 in den Isolierschichten 170 und 180 gebildet („Öffnen des Kontaktlochs“ in Schritt S1010 von **Fig. 5**). Die Oxidhalbleiterschicht 140 im Source-Bereich S wird durch die Öffnung 171 freigelegt. Die Oxidhalbleiterschicht 140 im Drainbereich D wird durch die Öffnung 173 freigelegt. Die Halbleitervorrichtung 10 gemäß **Fig. 1** wird durch Bilden der Source-Drain-Elektrode 200 auf der durch die Öffnungen 171 und 173 freigelegten Oxidhalbleiterschicht 140 und auf der Isolierschicht 180 vervollständigt („SD Formation“ in Schritt S1011 von **Fig. 5**).

[1-5. Wasserstoffeffang in Dangling-Bond-Defekt-DB]

[0084] Bezugnehmend auf **Fig. 4**, **Fig. 5** und **Fig. 14**, werden durch die Ionenimplantation von Schritt S1008 auch Verunreinigungen in die Oxidisolierschicht 120 (UC) im zweiten Bereich A2 und im dritten Bereich A3 implantiert. Diese Ionenimplantation von Verunreinigungen erzeugt den Dangling-Bond-Defekt DB in der Oxidisolierschicht 120 im zweiten Bereich A2 und im dritten Bereich A3. Mit anderen Worten: Die Oxidisolierschicht 120 enthält Verunreinigungen wie Bor (B), Phosphor (P), Argon (Ar) oder Stickstoff (N). In der vorliegenden Ausführungsform ist, wie oben beschrieben, die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 im dritten Bereich A3 enthalten ist, am größten als die Menge an Verunreinigungen, die in der Oxidisolierschicht 120 im zweiten Bereich A2 enthalten sind. **Fig. 14** zeigt schematisch den Dangling-Bond-Defekt DB, der in der Oxidisolierschicht 120 für den Fall gebildet wird, dass die Verunreinigungen wie oben beschrieben eingebracht werden.

[0085] Damit die Isolierschicht 170 die Funktion hat, von oben eindiffundierende Verunreinigungen zu blockieren, ist die Isolierschicht 170 vorzugsweise ein dichter Film mit wenigen Defekten. Um eine solche Isolierschicht 170 zu erhalten, muss die Isolierschicht 170 bei einer hohen Temperatur abgeschieden werden. Wenn beispielsweise die Siliziumnitrid-

schicht als Isolierschicht 170 bei einer hohen Temperatur gebildet wird, ist eine große Menge Wasserstoff in der Isolierschicht 170 enthalten, so dass eine große Menge Wasserstoff aus der Isolierschicht 170 auf die Oxidisolierschicht 120 und die Oxidhalbleiterschicht 140 aufgrund der Abscheidungstemperatur diffundiert. Daher diffundiert Wasserstoff nicht nur in die Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D, sondern auch in die Halbleiterschicht 140 im Kanalbereich CH durch die Oxidisolierschicht 120 falls der Wasserstoff-Einfangbereich nicht in der Oxidisolierschicht 120 gebildet ist.

[0086] In Schritt S1008 wird in dem Fall, in dem der in Fig. 14 gezeigte Dangling-Bond-Defekt DB in der Oxidisolationssschicht 120 gebildet wird, wie in Fig. 15 gezeigt, wird Wasserstoff H, der zum Zeitpunkt der Abscheidung der Isolierschicht 170 aus der Isolierschicht 170 diffundiert, durch den Dangling-Bond-Defekt DB eingefangen („○“ ist über „x“ gelegt). Daher ist es in Schritt S1009 möglich, den Wasserstoff H, der zum Zeitpunkt der Abscheidung oder nach der Abscheidung aus der Isolierschicht 170 diffundiert, daran zu hindern, in die Oxidhalbleiterschicht 140 im Kanalbereich CH einzudringen. Daher kann ein Film, der eine große Menge Wasserstoff enthält, als Isolierschicht 170 verwendet werden, so dass die Isolierschicht 170 mit einer hohen Blockierfunktion für Verunreinigungen realisiert werden kann. Darüber hinaus kann der Widerstand der Oxidhalbleiterschicht 140 im Source-Bereich S und im Drain-Bereich D ausreichend reduziert werden.

[0087] In der vorliegenden Ausführungsform ist die Menge des in der Oxidisolierschicht 120 im dritten Bereich A3 eingeschlossenen Wasserstoffs H größer als die Menge des in der Oxidisolierschicht 120 im zweiten Bereich A2 eingeschlossenen Wasserstoffs H, basierend auf der Verteilung des Dangling-Bond-Defekt DB in der Oxidisolierschicht 120.

[0088] Fig. 16 ist eine schematische Querschnittsansicht, die die Auswirkungen des Wasserstoffeingangs veranschaulicht, und ein Diagramm, das die elektrischen Eigenschaften einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Die Fig. 16 zeigt ein Ergebnis 300 der Untersuchung des Einflusses der Stelle (Schicht), an der die Wasserstofffalle gebildet wird, auf die elektrischen Eigenschaften. Die mit 310 in Fig. 16 gezeigten elektrischen Eigenschaften zeigen den Fall, dass die Wasserstofffalle nicht (relativ wenige) sowohl in der Oxidisolierschicht 120 als auch in der Gateisolierschicht 150 gebildet wird. Die in Fig. 16 mit 320 bezeichneten elektrischen Eigenschaften sind elektrische Eigenschaften für den Fall, dass die Wasserstofffalle nur in der Gate-Isolierschicht 150 gebildet ist. Die mit 330 in Fig. 16 gezeigten elektrischen Eigenschaften zeigen den Fall, dass

die Wasserstofffalle nur in der Oxidisolierschicht 120 gebildet ist.

[0089] Die oben beschriebene Wasserstofffalle wird nicht wie in der vorliegenden Ausführungsform durch Ionenimplantation von Verunreinigungen gebildet, sondern durch Pseudoeinstellung der Filmbildungsbedingungen jeder Isolierschicht. In der Konfiguration von Fig. 16 werden Siliziumoxidschichten als Oxidisolationssschicht 120 und Gateisolationssschicht 150 verwendet. Es ist bekannt, dass, wenn eine Siliziumoxidschicht unter Bedingungen mit übermäßigem Sauerstoffgehalt gebildet wird, die Siliziumoxidschicht viele Wasserstofffallen enthält. Das heißt, unter der in Fig. 16 mit 320 angegebenen Bedingung wird eine Siliziumoxidschicht, die überschüssigen Sauerstoff enthält, als Gate-Isolierschicht 150 verwendet. In dem in Fig. 16 mit 330 gekennzeichneten Zustand wird eine Siliziumoxidschicht, die überschüssigen Sauerstoff enthält, als Oxidisolationssschicht 120 verwendet. Die Konfiguration von Fig. 16 ist die gleiche wie die Konfiguration von Fig. 1.

[0090] Wie 310 in Fig. 16 zeigt, werden für den Fall, dass die Wasserstofffalle nicht sowohl in der Oxidisolierschicht 120 als auch in der Gateisolierschicht 150 gebildet wird, Buckel in den elektrischen Eigenschaften bestätigt. Es ist bekannt, dass Buckel in den elektrischen Eigenschaften erzeugt werden, wenn Wasserstoff zum Zeitpunkt der Abscheidung des Isolierschichtfilms 170 in die Oxidhalbleiterschicht 140 im Kanalbereich CH eindringt. Wie bei 320 in Fig. 16 gezeigt, werden die Buckel in den elektrischen Eigenschaften nicht verbessert, wenn die Wasserstofffalle nur in der Gate-Isolierschicht 150 gebildet wird. Andererseits, wie bei 330 in Fig. 16 gezeigt, werden in dem Fall, in dem die Wasserstofffalle nur in der Oxidisolierschicht 120 gebildet wird, die Buckel in den elektrischen Eigenschaften reduziert. Aus diesen Ergebnissen ist ersichtlich, dass es wesentlich ist, die Wasserstofffalle in der Oxidisolierschicht 120 zu bilden, um zu unterdrücken, dass Wasserstoff zum Zeitpunkt der Abscheidung der Isolierschicht 170 in die Oxidhalbleiterschicht 140 im Kanalbereich CH eindringt.

[0091] In der vorliegenden Ausführungsform, wie in Fig. 2, Fig. 4 und Fig. 14 gezeigt, werden in der Oxidisolationssschicht 120 im dritten Bereich A3, der den Kanalbereich CH umgibt, viele Dangling-Bond-Defekte DB gebildet. Gemäß dieser Konfiguration ist es möglich, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140 im Kanalbereich CH zu unterdrücken. Dadurch ist es möglich, das Halbleiterbauelement 10 mit elektrischen Eigenschaften zu erhalten, bei denen die Buckel unterdrückt sind.

[2. Zweite Ausführungsform]

[0092] Eine Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 17** bis 23 beschrieben. Eine Halbleitervorrichtung 10A gemäß der vorliegenden Ausführungsform ähnelt der Halbleitervorrichtung 10 gemäß der ersten Ausführungsform, unterscheidet sich jedoch von der Halbleitervorrichtung 10 dadurch, dass eine Oxidisolierschicht 165A zwischen einer Oxidhalbleiterschicht 140A und einer Isolierschicht 170A angeordnet ist. In der folgenden Beschreibung kann eine Beschreibung der gleichen Konfiguration wie die der Halbleitervorrichtung 10 gemäß der ersten Ausführungsform weggelassen werden, indem der Buchstabe „A“ nach den in den Zeichnungen gemäß der ersten Ausführungsform gezeigten Bezugszeichen hinzugefügt wird.

[2-1. Konfiguration des Halbleiterbauelements 10A]

[0093] Eine Konfiguration des Halbleiterbauelements 10A gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 17** beschrieben. **Fig. 17** ist eine Querschnittsansicht, die einen Umriss einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Da eine Draufsicht auf das Halbleiterbauelement 10A die gleiche ist wie die in **Fig. 2** gezeigte Draufsicht, werden Beschreibungen weggelassen.

[0094] Wie in **Fig. 17** gezeigt, umfasst das Halbleiterbauelement 10A zusätzlich zu einer Oxid-Lichtabschirmschicht 105A die Oxid-Isolierschicht 165A, eine Nitrid-Isolierschicht 110A, eine Oxid-Isolierschicht 120A, die Oxid-Halbleiterschicht 140A, eine Gate-Isolierschicht 150A und eine Gate-Elektrode 160A, die Isolierschichten 170A und 180A und eine Source-Drain-Elektrode 200A. Die Oxidisolierschicht 165A kann als „erste Isolierschicht“ bezeichnet werden. In diesem Fall wird die Isolierschicht 170A als „zweite Isolierschicht“ bezeichnet. Wie oben beschrieben wird eine Nitrid-Isolierschicht als Isolierschicht 170A verwendet.

[0095] Die Oxidisolierschicht 165A bedeckt die Oxidhalbleiterschicht 140A und die Gate-Elektrode 160A. Das heißt, die Oxidisolierschicht 165A ist zwischen der ersten Gate-Elektrode 160A und der Isolierschicht 170A im ersten Bereich A1, zwischen der Oxidhalbleiterschicht 140A und der Isolierschicht 170A im zweiten Bereich A2 und zwischen der Oxid-Isolierschicht 120A und der Isolierschicht 170A im dritten Bereich A3. Die Dicke der Oxidisolierschicht 165A beträgt 50 nm oder mehr oder 100 nm oder mehr.

[2-2. Konfiguration der Wasserstoffeffangregion]

[0096] **Fig. 18** ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Wie in **Fig. 18** gezeigt, werden die Oxidisolierschichten 165A im ersten Bereich A1, im zweiten Bereich A2 und im dritten Bereich A3 als Oxidisolierschichten 165A-1, 165A-2 bzw. 165A-3 beschrieben. Die Oxidisolierschicht 165A-1 steht in Kontakt mit der Gate-Elektrode 160A und der Isolierschicht 170A. Die Oxidisolierschicht 165A-2 steht in Kontakt mit der Oxidhalbleiterschicht 140A und der Isolierschicht 170A. Die Oxidisolierschicht 165A-3 steht in Kontakt mit der Oxidisolierschicht 120A-3 und der Isolierschicht 170A.

[0097] Obwohl Einzelheiten später beschrieben werden, wird in der vorliegenden Ausführungsform die Ionenimplantation mindestens zweimal durchgeführt. Ähnlich wie bei der ersten Ausführungsform (**Fig. 11**) wird die erste Ionenimplantation in dem Zustand durchgeführt, in dem die Gate-Isolierschicht 150A durch Ätzen entfernt ist und die Oxidhalbleiterschicht 140A im zweiten Bereich A2 und die Oxid-Isolierschicht 120A im dritten Bereich A3 sind freigelegt. Die zweite Ionenimplantation wird in dem Zustand durchgeführt, in dem die Oxidisolierschicht 165A nach der ersten Ionenimplantation gebildet wird. Der Dangling-Bond-Defekt DB wird in der Oxidisolierschicht 120A durch die erste Implantation wie in **Fig. 3** gebildet. Der Dangling-Bond-Defekt DB wird in der Oxidisolationschicht 165A durch die zweite Ionenimplantation erzeugt, wie in **Fig. 18** gezeigt. Der Dangling-Bond-Defekt DB kann jedoch durch die zweite Ionenimplantation in der Oxidisolierschicht 120A im zweiten Bereich A2 und im dritten Bereich A3 erzeugt werden.

[0098] Der in der Oxidisolierschicht 120A und der Oxidisolierschicht 165A gebildete Dangling-Bond-Defekt DB fängt Wasserstoff ein. Mit anderen Worten: In der Halbleitervorrichtung 10A fungieren die Oxidisolierschichten 120A-2 und 120A-3 und die Oxidisolierschichten 165A-1, 165A-2 und 165A-3 als der Wasserstoff einfangende Bereich. Da diese Isolierschichten als Wasserstoffeffangbereich fungieren, wird beispielsweise zum Zeitpunkt der Abscheidung der Isolierschicht 170A aus der Isolierschicht 170A diffundierter Wasserstoff in dem in den Oxidisolierschichten 120A-2 und 120A-3 und den Oxidisolierschichten 165A-1, 165A-2 und 165A-3 gebildeten Dangling-Bond-Defekt DB eingefangen. Dadurch ist es möglich, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140A im Kanalbereich CH zu unterdrücken. Daher sind im Zustand nach der Bildung der Isolierschicht 170A die Wasserstoffkonzentrationen der Oxidisolierschichten 120A-2 und 120A-3 und der Oxidisolierschichten 165A-1,

165A-2 und 165A-3 höher als die Wasserstoffkonzentration Konzentration der Oxidisolierschicht 120A-1.

[0099] Da der Dangling-Bond-Defekt DB durch Ionenimplantation gebildet wird, enthalten die Oxidisolierschichten 120A-2 und 120A-3 sowie die Oxidisolierschichten 165A-1, 165A-2 und 165A-3 durch Ionenimplantation eingeführte Verunreinigungen. Die Verteilung der in diesen Isolierschichten gebildeten Dangling-Bond-Defekt-DB-Mengen entspricht den Konzentrationsprofilen der darin enthaltenen Verunreinigungen. Das heißt, die Position und Menge des Dangling-Bond-Defekts DB kann durch Anpassen des durch die Ionenimplantation erhaltenen Profils der Verunreinigung angepasst werden.

[0100] Fig. 19 ist ein Diagramm, das Profile von Störstellenkonzentrationen im ersten Bereich A1 bis zum dritten Bereich A3 in einem Halbleiterbauelement gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Die vertikale Achse jedes der drei in Fig. 19 gibt die Konzentration der Verunreinigungen pro Volumeneinheit an (Konzentration [cm^{-3}]) und die horizontale Achse gibt den Namen der Schicht in Tiefenrichtung an. „UC“ auf der horizontalen Achse entspricht der Oxidisolierschicht 120A und der Nitridisolierschicht 110A. „OS“ entspricht der Oxidhalbleiterschicht 140A. „GI“ entspricht der Gate-Isolierschicht 150A. „GL“ entspricht der Gate-Elektrode 160A. „PAS1“ entspricht der Oxidisolierschicht 165A. „PAS2“ entspricht der Isolierschicht 170A.

[0101] Wie in Fig. 19 gezeigt, weist das Konzentrationsprofil der Verunreinigung im ersten Bereich A1 zwei Spitzen auf (P3 und P4). Der Peak P4 ist in der Gate-Elektrode 160A (GL) vorhanden. Der Peak P3 ist in der Oxidisolierschicht 165A (PAS1) vorhanden. Das heißt, im ersten Bereich A1 sind Verunreinigungen sowohl in der Gate-Elektrode 160A als auch in der Oxidisolierschicht 165A enthalten. Daher wird der mit der Einführung von Verunreinigungen verbundene Dangling-Bond-Defekt DB in der Oxidisolierschicht 165A auf der Gate-Elektrode 160A gebildet. Andererseits enthält die Isolierschicht 170A (PAS2) im ersten Bereich A1 nahezu keine Verunreinigungen. In der Tiefenrichtung im ersten Bereich A1 ist die Menge an Verunreinigungen, die an einer vorbestimmten Position sowohl der Gate-Elektrode 160A als auch der Oxidisolierschicht 165A enthalten sind, größer als die Menge an Verunreinigungen, die an einer vorbestimmten Position der Gate-Isolierschicht 150A enthalten sind, die Menge an Verunreinigungen, die in einer vorbestimmten Position der Oxidhalbleiterschicht 140A enthalten sind, und die Menge an Verunreinigungen, die in einer vorbestimmten Position der Oxidisolationschicht 120A enthalten sind.

[0102] Im zweiten Bereich A2 weist das Konzentrationsprofil der Verunreinigung zwei Spitzen auf (P5 und P6). Der Peak P6 ist in der Oxidhalbleiterschicht 140A (OS) vorhanden. Das Konzentrationsprofil der Verunreinigung im Zusammenhang mit dem Peak P6 breitet sich auf die Oxidisolierschicht 120A (UC) aus. Der Peak P5 ist in der Oxidisolierschicht 165A (PAS1) vorhanden. Das heißt, im zweiten Bereich A2 sind Verunreinigungen in der Oxidisolierschicht 120A, der Oxidhalbleiterschicht 140A und der Oxidisolierschicht 165A enthalten. Im zweiten Bereich A2 hingegen enthält die Isolierschicht 170A nahezu keine Verunreinigungen. Im zweiten Bereich A2 ist die Menge an Verunreinigungen, die in den vorbestimmten Positionen sowohl der Oxidhalbleiterschicht 140A als auch der Oxidisolierschicht 165A enthalten sind, größer als die Menge an Verunreinigungen, die in der vorbestimmten Position der Oxidisolierschicht 120A enthalten sind.

[0103] Wie oben beschrieben, werden im zweiten Bereich A2 Verunreinigungen in die Oxidisolierschicht 120A und die Oxidisolierschicht 165A eingebracht. Daher wird der mit der Einführung von Verunreinigungen verbundene Dangling-Bond-Defekt DB in der Oxidisolierschicht 120A und der Oxidisolierschicht 165A gebildet.

[0104] Im dritten Bereich A3 weist das Konzentrationsprofil der Verunreinigung zwei Spitzen auf (P1 und P2). Der Peak P2 ist in der Oxidisolierschicht 120A (UC) vorhanden. Der Peak P1 ist in der Oxidisolierschicht 165A (PAS1) vorhanden. Das heißt, im dritten Bereich A3 sind Verunreinigungen in der Oxidisolierschicht 120A und der Oxidisolierschicht 165A enthalten. Im dritten Bereich A3 hingegen enthält die Isolierschicht 170A nahezu keine Verunreinigungen. Im dritten Bereich A3 ist die Oxidhalbleiterschicht 140A nicht auf der Oxidisolierschicht 120A angeordnet. Infolgedessen gibt es anstelle der Spitze des Konzentrationsprofils in der Oxidhalbleiterschicht 140A im zweiten Bereich A2 die Spitze P2 des Konzentrationsprofils in der Oxidisolierschicht 120A im dritten Bereich A3. Das heißt, die Menge an Verunreinigungen, die in der Oxidisolierschicht 120A im dritten Bereich A3 enthalten sind, ist größer als die Menge an Verunreinigungen, die in der Oxidisolierschicht 120A im ersten Bereich A1 enthalten sind, und größer als die Menge an Verunreinigungen, die in der Oxidisolierschicht 120A im zweiten Bereich A2 enthalten sind.

[0105] Gemäß dem oben beschriebenen Konzentrationsprofil der Verunreinigung wird der mit der Einführung von Verunreinigungen verbundene Dangling-Bond-Defekt DB in der Oxidisolierschicht 120A und der Oxidisolierschicht 165A gebildet. Da, wie oben beschrieben, der Peak P2 des Konzentrationsprofils in der Oxidisolierschicht 120A im dritten Bereich A3 vorhanden ist, ist die Menge des Dang-

ling-Bond-Defekts DB, der in der Oxidisolierschicht 120A im dritten Bereich A3 vorhanden ist, größer als der Menge des Dangling-Bond-Defekts DB, der in der Oxidisolierschicht 120A im zweiten Bereich A2 vorhanden ist. Daher kann die Oxidisolierschicht 120A im dritten Bereich A3 mehr Wasserstoff einfangen als die Oxidisolierschicht 120A im zweiten Bereich A2.

[0106] Da im ersten Bereich A1 bis zum dritten Bereich A3 die Spitzen P1, P3 und P5 der Konzentrationsprofile in der Oxidisolierschicht 165A vorhanden sind, wird in der Oxidisolierschicht 165A ein ähnlicher Grad an Dangling-Bond-Defekten DB gebildet in diesen Regionen. Der in der Oxidisolierschicht 165A vorhandene Dangling-Bond-Defekt DB kann Wasserstoff aus der Isolierschicht 170A einfangen. Da die Dicke der Oxidisolierschicht 165A 50 nm oder mehr beträgt, wird durch das Einfangen von Wasserstoff aus der Isolierschicht 170A ein bemerkenswerter Effekt erzielt. Da die Dicke der Oxidisolierschicht 165A 100 nm oder mehr beträgt, sind die oben beschriebenen Effekte noch bemerkenswerter.

[0107] In der vorliegenden Ausführungsform beträgt in der Tiefenrichtung im dritten Bereich A3 die Menge an Verunreinigungen, die an einer vorbestimmten Position in der Oxidisolationschicht 120A enthalten sind, $1 \times 10^{16}/\text{cm}^3$ oder mehr, $1 \times 10^{17}/\text{cm}^3$ oder mehr oder $1 \times 10^{18} /\text{cm}^3$ oder mehr. Die vorbestimmte Position kann eine Spitzenposition des Dichteprofils oder eine Position sein, die einer Grenzfläche zwischen der Oxidisolierschicht 120A und der Oxidisolierschicht 165A entspricht. In ähnlicher Weise beträgt in der Tiefenrichtung im dritten Bereich A3 die Menge an Verunreinigungen, die an einer vorbestimmten Position in der Oxidisolationschicht 165A enthalten sind, $1 \times 10^{16}/\text{cm}^3$ oder mehr, $1 \times 10^{17}/\text{cm}^3$ oder mehr oder $1 \times 10^{18}/\text{cm}^3$ oder mehr. Die vorgegebene Position kann eine Position des Peaks P1 des Konzentrationsprofils oder eine Position sein, die einer Grenzfläche zwischen der Oxidisolierschicht 165A und der Isolierschicht 170A entspricht.

[2-3. Verfahren zur Herstellung des Halbleiterbauelements 10A]

[0108] Ein Verfahren zur Herstellung des Halbleiterbauelements 10A gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 20** bis **23** beschrieben. **Fig. 20** ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. **Fig. 21** bis **Fig. 23** sind Querschnittsansichten, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigen. Da die Schritte S1001 bis S1008 in **Fig. 20** gleich sind wie die Schritte S1001 bis S1008 wie in **Fig. 5**

und **Fig. 6** bis **Fig. 11** wird auf Beschreibungen verzichtet.

[0109] Ähnlich wie **Fig. 11**, nachdem die Verunreinigungen in die freigelegte Oxidisolierschicht 120A und die freigelegte Oxidhalbleiterschicht 140A ionenimplantiert wurden, wie in **Fig. 21** gezeigt, wird die Oxidisolierschicht 165A auf der Oxidisolierschicht 120A, der Oxidhalbleiterschicht 140A und der Gate-Elektrode 160A abgeschieden („Ausbilden der Isolierschicht“ in Schritt S1020 von **Fig. 20**). Die Oxidisolierschicht 165A wird durch ein CVD-Verfahren gebildet. Beispielsweise wird eine Siliziumoxid-schicht als Oxidisolationschicht 165A gebildet. Allerdings ist das als Oxidisolationschicht 165A verwendete Material nicht auf das obige beschränkt. Die Dicke der Oxidisolierschicht 165A beträgt 50 nm oder mehr und 150 nm oder weniger.

[0110] Wie in **Fig. 20** und **Fig. 22** gezeigt, werden Verunreinigungen ionenimplantiert in die Oxidisolationschicht 165A („Implantieren von Fremdstoffionen“ in Schritt S1021 von **Fig. 20**). In der vorliegenden Ausführungsform werden Verunreinigungen so implantiert, dass ein Peak des Konzentrationsprofils der Verunreinigungen in der Oxidisolierschicht 165A vorhanden ist. Beispielsweise werden Elemente wie Bor (B), Phosphor (P), Argon (Ar) oder Stickstoff (N) durch Ionenimplantation in die Oxidisolierschicht 165A implantiert. Der Dangling-Bond-Defekt DB wird in der Oxidisolierschicht 165A im ersten Bereich A1 bis zum dritten Bereich A3 durch die Ionenimplantation erzeugt. Die Position und Menge der Dangling-Bond-Defekt-DB kann durch Anpassen der Prozessparameter (z. B. Dosismenge, Beschleunigungsspannung, Plasmaleistung und dergleichen) der Ionenimplantation gesteuert werden. Beispielsweise beträgt die Dosismenge $1 \times 10^{14}/\text{cm}^2$ oder mehr, $5 \times 10^{14}/\text{cm}^2$ oder mehr oder $1 \times 10^{15}/\text{cm}^2$ oder mehr. Wenn beispielsweise das zu implantierende Element Bor (B) ist, beträgt die Beschleunigungsspannung 10 keV oder mehr und 50 keV oder weniger. Der Höhepunkt des Konzentrationsprofils ist jedoch möglicherweise nicht in der Oxidisolierschicht 165A vorhanden.

[0111] Wie in **Fig. 20** und **Fig. 23** gezeigt, werden die Isolierschichten 170A und 180A auf der Oxidisolierschicht 165A als Zwischenschichtfilme gebildet („Zwischenschichtfilms Filmformation“ in Schritt S1009 von **Fig. 20**), und Öffnungen 171A und 173A werden in den Isolierschichten 170A und 180A gebildet („Öffnen des Kontaktlochs“ in Schritt S1010 von **Fig. 20**). Das Bilden der Source-Drain-Elektrode 200A auf der Oxidhalbleiterschicht 140A und der durch die Öffnungen 171A und 173A freigelegten Isolierschicht 180A („SD Formation“ in Schritt S1011 von **Fig. 20**) vervollständigt das in **Fig. 17** gezeigte Halbleiterbauelement 10A.

[0112] In der vorliegenden Ausführungsform, wie in **Fig. 18** und **Fig. 19** gezeigt, wird der Dangling-Bond-Defekt DB zusätzlich zur Oxidisolierschicht 120A auch in der Oxidisolierschicht 165A gebildet, so dass es möglich ist, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140A im Kanalbereich CH zu unterdrücken. Dadurch kann die Halbleitervorrichtung 10A mit elektrischen Eigenschaften erhalten werden, bei denen Buckel unterdrückt werden.

[3. Dritte Ausführungsform]

[0113] Eine Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 24** bis **28** beschrieben. Die Halbleitervorrichtung 10B gemäß der vorliegenden Ausführungsform ähnelt der Halbleitervorrichtung 10A gemäß der zweiten Ausführungsform, unterscheidet sich jedoch von der Halbleitervorrichtung 10A im Konzentrationsprofil der durch die Ionenimplantation eingeführten Verunreinigung. In der folgenden Beschreibung kann eine Beschreibung der gleichen Konfiguration wie die der Halbleitervorrichtung 10A gemäß der zweiten Ausführungsform weggelassen werden, indem der Buchstabe „B“ anstelle des Buchstabens „A“ nach den in den Zeichnungen gemäß gezeigten Bezugszeichen hinzugefügt wird.

[3-1. Konfiguration des Halbleiterbauelements 10B]

[0114] Eine Konfiguration der Halbleitervorrichtung 10B in der vorliegenden Ausführungsform ist die gleiche wie die Konfiguration der in **Fig. 17** gezeigten Halbleitervorrichtung 10A. Allerdings unterscheidet sich die Filmqualität der Oxidisolierschicht 165B in der Halbleitervorrichtung 10B von der Oxidisolierschicht 165A in der Halbleitervorrichtung 10A. Da ansonsten die Konfiguration der Halbleitervorrichtung 10B die gleiche ist wie die der Halbleitervorrichtung 10A, wird auf Beschreibungen verzichtet.

[3-2. Konfiguration der Wasserstoffeffangregion]

[0115] **Fig. 24** ist eine schematische, teilweise vergrößerte Querschnittsansicht, die eine Konfiguration einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. Obwohl Einzelheiten später beschrieben werden, ist der in der Oxidisolierschicht 120B und der Oxidisolierschicht 165B gebildete Dangling-Bond-Defekt DB, der in **Fig. 24** gezeigt wird, durch eine Ionenimplantation nach Bildung der Oxidisolierschicht 165B erzeugt.

[0116] **Fig. 25** ist ein Diagramm, das das Profil der Verunreinigungskonzentration im ersten Bereich A1 bis zum dritten Bereich A3 in einer Halbleitervorrichtung gemäß der Ausführungsform der vorliegenden Erfindung zeigt. Die vertikale Achse jedes der drei in **Fig. 25** gibt die Konzentration der Verunreinigungen

pro Volumeneinheit an (Konzentration [cm^{-3}]) und die horizontale Achse gibt den Namen der Schicht in Tiefenrichtung an. „UC“ auf der horizontalen Achse entspricht der Oxidisolierschicht 120B und der Nitridisolierschicht 110B. „OS“ entspricht einer Oxidhalbleiterschicht 140B. „GI“ entspricht einer Gate-Isolierschicht 150B. „GL“ entspricht einer Gate-Elektrode 160B. „PAS1“ entspricht der Oxidisolierschicht 165B. „PAS2“ entspricht der Isolierschicht 170B.

[0117] Wie in **Fig. 25** gezeigt, sind im ersten Bereich A1 Verunreinigungen in der Gate-Elektrode 160B (GL) und der Oxidisolationschicht 165B (PAS1) enthalten, und das Konzentrationsprofil der Verunreinigungen weist einen Spitzenwert in der Gate-Elektrode 160B auf. Daher ist in der Tiefenrichtung im ersten Bereich A1 die Menge an Verunreinigungen, die in den vorbestimmten Positionen sowohl der Gate-Elektrode 160B als auch der Oxidisolierschicht 165B enthalten sind, größer als die Menge an Verunreinigungen, die jeweils in der vorbestimmten Position der Gate-Isolierschicht 150B enthalten sind, die Menge an Verunreinigungen, die in der vorbestimmten Position der Oxidhalbleiterschicht 140B enthalten sind, und die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120B enthalten sind.

[0118] Im zweiten Bereich A2 sind Verunreinigungen in der Oxid-Isolierschicht 120B (UC), der Oxid-Halbleiterschicht 140B (OS) und der Oxid-Isolierschicht 165B enthalten, und das Konzentrationsprofil der Verunreinigungen weist einen Höhepunkt in der Oxid-Halbleiterschicht auf 140B. Daher ist in der Tiefenrichtung im zweiten Bereich A2 die Menge an Verunreinigungen, die in der vorbestimmten Position der Oxidhalbleiterschicht 140B enthalten sind, größer als die Menge an Verunreinigungen, die in der vorbestimmten Position der Oxidisolationschicht 120B enthalten sind, und größer als die Menge von Verunreinigungen, die in der vorbestimmten Position der Oxidisolierschicht 165B enthalten sind.

[0119] Wie oben beschrieben, werden im zweiten Bereich A2 Verunreinigungen in die Oxidisolierschicht 120B und die Oxidisolierschicht 165B eingebracht. Daher wird der mit der Einführung von Verunreinigungen verbundene Dangling-Bond-Defekt DB in der Oxidisolierschicht 120B und der Oxidisolierschicht 165B gebildet.

[0120] Im dritten Bereich A3 sind Verunreinigungen in der Oxid-Isolierschicht 120B und der Isolierschicht 165B enthalten, und das Konzentrationsprofil der Verunreinigungen weist einen Spitzenwert in der Oxid-Isolierschicht 120B (UC) auf. Im dritten Bereich A3 ist die Oxidhalbleiterschicht 140B nicht auf der Oxidisolierschicht 120B angeordnet. Infolgedessen gibt es anstelle der Spitze des Konzentrationsprofils in der Oxidhalbleiterschicht 140B im zweiten Bereich

A2 die Spitze des Konzentrationsprofils in der Oxidisolierschicht 120B im dritten Bereich A3. Das heißt, die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120B im dritten Bereich A3 enthalten sind, ist größer als die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120B im ersten Bereich A1 enthalten sind, und größer als die Menge an Verunreinigungen, die in der Oxid-Isolierschicht 120B im zweiten Bereich A2 enthalten sind.

[0121] Gemäß dem Konzentrationsprofil der Verunreinigung, wie oben beschrieben, wird der Dangling-Bond-Defekt DB, der mit der Einführung von Verunreinigungen verbunden ist, in der Oxidisolierschicht 120B und der Oxidisolierschicht 165B gebildet. Wie oben beschrieben, im dritten Bereich A3, da der Peak des Konzentrationsprofils in der Oxid-Isolierschicht 120B ist, ist die Menge an Dangling-Bond-Defekten DB, die in der Oxid-Isolierschicht 120B im dritten Bereich A3 vorhanden ist, größer als die Menge der Dangling-Bond-Defekte DB, die in der Oxidisolierschicht 120B im zweiten Bereich A2 vorhanden ist. Daher kann die Oxidisolierschicht 120B im dritten Bereich A3 mehr Wasserstoff einfangen als die Oxidisolierschicht 120B im zweiten Bereich A2. Da die Dicke der Oxidisolierschicht 165B 50 nm oder mehr beträgt, wird durch das Einfangen von Wasserstoff aus der Isolierschicht 170B ein bemerkenswerter Effekt erzielt. Da die Dicke der Oxidisolierschicht 165B 100 nm oder mehr beträgt, sind die oben beschriebenen Effekte noch bemerkenswerter.

[0122] In der vorliegenden Ausführungsform, wie oben beschrieben, obwohl eine Konfiguration beispielhaft dargestellt wurde, bei der das Konzentrationsprofil der Verunreinigung einen Peak in der Gate-Elektrode 160B im ersten Bereich A1 aufweist, das Konzentrationsprofil einen Peak in der Oxidhalbleiterschicht 140B im zweiten Bereich A2 aufweist und das Konzentrationsprofil einen Peak in der Oxidisolierschicht 120B im dritten Bereich A3 aufweist, ist die Konfiguration nicht auf diese Konfiguration beschränkt.

[0123] Wenn beispielsweise die Dicke der Oxidhalbleiterschicht 140B relativ gering ist, kann das Konzentrationsprofil im zweiten Bereich A2 einen Höhepunkt in der Oxidisolierschicht 120B oder in der Nähe der Grenzfläche zwischen der Oxidhalbleiterschicht 140B und der Oxidisolierschicht 120B aufweisen. Wenn andererseits die Dicke der Oxid-Isolierschicht 165B relativ groß ist, kann das Konzentrationsprofil einen Peak in der Oxid-Isolierschicht 165B oder nahe der Grenzfläche zwischen der Oxid-Isolierschicht 165B und der unteren Schicht der Oxid-Isolierschicht aufweisen 165B im ersten Bereich A1 bis zum dritten Bereich A3. Die untere Schicht der Oxidisolierschicht 165B ist die Gate-Elektrode 160B im ersten Bereich A1, die Oxidhalbleiterschicht 140B im zweiten

Bereich A2 und die Oxidisolierschicht 120B im dritten Bereich A3.

[0124] In der vorliegenden Ausführungsform beträgt in der Tiefenrichtung des dritten Bereichs A3 die Menge an Verunreinigungen, die an einer vorbestimmten Position in der Oxidisolationssschicht 120B enthalten sind, $1 \times 10^{16}/\text{cm}^3$ oder mehr, $1 \times 10^{17}/\text{cm}^3$ oder mehr oder $1 \times 10^{18}/\text{cm}^3$ oder mehr. Die vorgegebene Position kann die Spitzenposition des Konzentrationsprofils oder eine Position sein, die einer Grenzfläche zwischen der Oxidisolierschicht 120B und der Oxidisolierschicht 165B entspricht. Alternativ kann die vorbestimmte Position eine Position sein, die um eine vorbestimmte Tiefe von einer Position, die der Grenzfläche entspricht, in Richtung der Oxidisolationssschicht 120B verschoben ist.

[3-3. Verfahren zur Herstellung des Halbleiterbauelements 10B]

[0125] Ein Verfahren zur Herstellung des Halbleiterbauelements 10B gemäß einer Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf **Fig. 26 bis 28** beschrieben. **Fig. 26** ist ein Ablaufdiagramm, das ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt. **Fig. 27 bis Fig. 28** sind Querschnittsansichten, die ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigen. Da die Schritte S1001 bis S1007 in **Fig. 26** sind die gleichen Schritte S1001 bis S1007 wie die in **Fig. 5** und **Fig. 6 bis Fig. 10**, so dass Beschreibungen werden weggelassen werden.

[0126] Ähnlich wie **Fig. 10** gezeigt, wird die Gate-Elektrode 160B abgeschieden und die Gate-Elektrode 160B und die Gate-Isolierschicht 150B werden auf einmal geätzt, und dann wird, wie in **Fig. 27** gezeigt, die Oxidisolierschicht 165B auf der Oxidisolierschicht 120B, der Oxidhalbleiterschicht 140B und der Gate-Elektrode 160B abgeschieden („Ausbilden der Isolierschicht“ in Schritt S1020 von **Fig. 26**). Die Oxidisolierschicht 165B wird durch ein CVD-Verfahren gebildet. Beispielsweise wird eine Siliziumoxidschicht als Oxidisolationssschicht 165B gebildet. Als Oxidisolierschicht 165B wird eine Isolierschicht mit relativ geringem Wasserstoffgehalt verwendet. Beispielsweise beträgt der Wasserstoffgehalt der Oxidisolierschicht 165B $1 \times 10^{21} \text{ cm}^{-3}$ oder weniger.

[0127] Wenn eine Siliziumoxidschicht als Oxidisolationssschicht 165B verwendet wird, wird die Siliziumoxidschicht unter einer Bedingung gebildet, bei der das Verhältnis von Silan (SiH_4) zu Distickstoffoxid (N_2O) relativ klein ist. Beispielsweise beträgt in der Bedingung $[\text{N}_2\text{O}/\text{SiH}_4]$ 30 oder weniger.

[0128] Für den Fall, dass die Verunreinigung durch Ionenimplantation die Oxidisolierschicht 120B erreichen kann, gibt es eine Einschränkung aufgrund der Beschleunigungsspannung der Ionenimplantationsvorrichtung. Daher beträgt die Dicke der Oxidisolierschicht 165B weniger als 150 nm.

[0129] Wie in **Fig. 26** und **Fig. 28** gezeigt, werden Verunreinigungen ionenimplantiert in die Oxidisationsschicht 165B („Implantieren von Fremdstoffionen“ in Schritt S1021 von **Fig. 26**). In der vorliegenden Ausführungsform werden Verunreinigungen so implantiert, dass der Peak des Konzentrationsprofils der Verunreinigungen in der Oxidhalbleiterschicht 140B (zweiter Bereich A2) und der Oxidisolierschicht 120B (dritter Bereich A3) vorhanden ist, die unter der Oxidisolierschicht 165B angeordnet ist. Beispielsweise werden Elemente wie Bor (B), Phosphor (P), Argon (Ar) oder Stickstoff (N) durch Ionenimplantation in die Oxidhalbleiterschicht 140B und die Oxidisolierschicht 120B über die Oxidisolierschicht 165B implantiert. Der Dangling-Bond-Defekt DB wird in der Oxidisolierschicht 120B im zweiten Bereich A2, der Oxidisolierschicht 120B im dritten Bereich A3 und der Oxidisolierschicht 165B im ersten bis dritten Bereich A1 durch die Ionenimplantation erzeugt. Die Position und Menge des Dangling-Bond-Defekts DB kann durch Anpassen der Prozessparameter (z. B. Dosismenge, Beschleunigungsspannung, Plasmaleistung und dergleichen) der Ionenimplantation gesteuert werden. Beispielsweise beträgt die Dosismenge $1 \times 10^{14}/\text{cm}^2$ oder mehr, $5 \times 10^{14}/\text{cm}^2$ oder mehr oder $1 \times 10^{15}/\text{cm}^2$ oder mehr. Wenn beispielsweise das zu implantierende Element Bor (B) ist, beträgt die Beschleunigungsspannung 10 keV oder mehr und 50 keV oder weniger.

[0130] Nach der obigen Ionenimplantation werden die Isolierschichten 170B und 180B als Zwischenschichtfilme auf der Oxidisolierschicht 165B abgeschieden („Zwischenschichtfilms Filmformation“ in Schritt S1009 von **Fig. 26**) und Öffnungen 171B und 173B werden in den Isolierschichten 170B und 180B gebildet („Öffnen des Kontaktlochs“ in Schritt S1010 von **Fig. 26**). Das Bilden einer Source-Drain-Elektrode 200B auf der Oxidhalbleiterschicht 140B und der Isolierschicht 180B, die durch die Öffnungen 171B und 173B freigelegt werden („SD Formation“ in Schritt S1011 von **Fig. 26**), vervollständigt das Halbleiterbauelement 10B ähnlich dem von **Fig. 17**.

[0131] In der vorliegenden Ausführungsform, wie in **Fig. 24** und **Fig. 25** gezeigt, wird der Dangling-Bond-Defekt DB in der Oxidisolierschicht 165B zusätzlich zur Oxidisolierschicht 120B gebildet, so dass es möglich ist, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140B im Kanalbereich CH zu unterdrücken. Dadurch ist es möglich, das Halbleiterbauelement 10B mit elektrischen Eigenschaften zu erhalten, bei denen Buckel unterdrückt sind. Da in

der vorliegenden Ausführungsform außerdem die Isolierschicht mit relativ niedrigem Wasserstoffgehalt als Oxidisolierschicht 165B verwendet wird, ist es zum Zeitpunkt der Abscheidung der Oxidisolierschicht 165B möglich, das Eindringen von Wasserstoff in die Oxidhalbleiterschicht 140B in der Kanalregion CH zu unterdrücken. Darüber hinaus kann der Dangling-Bond-Defekt DB sowohl in der Oxidisolierschicht 120B als auch in der Oxidisolierschicht 165B durch eine Ionenimplantation gebildet werden.

[0132] Jede der oben als Ausführungsform der vorliegenden Erfindung beschriebenen Ausführungsformen kann angemessen kombiniert und implementiert werden, solange kein Widerspruch entsteht. Darüber hinaus sind das Hinzufügen, Entfernen oder Design-Ändern von Komponenten oder das Hinzufügen, Entfernen oder Zustands-Ändern von Prozessen, wie sie von Fachleuten auf der Grundlage jeder Ausführungsform angemessen sind, ebenfalls im Schutzzumfang der vorliegenden Erfindung enthalten, sofern diesen den Kern der vorliegenden Erfindung bereitstellen.

[0133] Darüber hinaus versteht es sich, dass selbst wenn sich die Wirkung von der Wirkung der oben beschriebenen Ausführungsformen unterscheidet, die Wirkung, die aus der Beschreibung in der Beschreibung offensichtlich ist oder von Fachleuten leicht vorhergesagt werden kann, offensichtlich aus der vorliegenden Erfindung abgeleitet ist.

[Liste der Bezugszeichen]

[0134] 10: Halbleitervorrichtung, 100: Substrat, 105: Lichtabschirmschicht, 110: Nitrid-Isolierschicht, 120: Oxid-Isolierschicht, 140: Oxid-Halbleiterschicht, 141: Oberseite, 142: Unterseite, 143: Seitenfläche, 150: Gate-Isolierschicht, 160: Gate-Elektrode, 165A: Oxid-Isolierschicht, 170: Isolierschicht, 171: Öffnung, 173: Öffnung, 180: Isolierschicht, 200: Source-Drain-Elektrode, 201: Source-Elektrode, 203: Drain-Elektrode, A1: erster Bereich, A2: zweiter Bereich, A3: dritter Bereich, CH: Kanalbereich, D: Drain-Bereich, DB: Dangling-Bond-Defekt, S: Source-Bereich

Patentansprüche

1. Eine Halbleitervorrichtung umfassend: eine Oxidisolierschicht; eine Oxidhalbleiterschicht über der Oxidisolierschicht; eine Gate-Elektrode über der Oxidhalbleiterschicht; eine Gate-Isolierschicht zwischen der Oxidhalbleiterschicht und der Gate-Elektrode; und eine erste Isolierschicht, die die Oxidhalbleiterschicht und die Gate-Elektrode bedeckt, wobei das Halbleiterbauelement unterteilt ist in einen ersten Bereich, der die Gate-Elektrode

überlappt,
einen zweiten Bereich, der die Gate-Elektrode nicht überlappt und die Oxidhalbleiterschicht überlappt, und
einen dritten Bereich, der die Gate-Elektrode und die Oxidhalbleiterschicht nicht überlappt,
eine Dicke der Gate-Isolierschicht im ersten Bereich 200 nm oder mehr beträgt,
die Gate-Elektrode die erste Isolierschicht im ersten Bereich berührt,
die Oxidhalbleiterschicht berührt die erste Isolierschicht im zweiten Bereich,
eine Menge an Verunreinigungen, die in der Oxidhalbleiterschicht des zweiten Bereiches enthalten sind, größer ist als eine Menge an Verunreinigungen, die in der Oxidhalbleiterschicht im ersten Bereich enthalten sind, und
eine Menge an Verunreinigungen, die in der Oxidisolierschicht im dritten Bereich enthalten ist, größer ist als eine Menge an Verunreinigungen, die in der Oxidisolierschicht im zweiten Bereich enthalten sind.

2. Halbleitervorrichtung nach Anspruch 1,
wobei
die erste Isolierschicht Nitrid ist.

3. Halbleitervorrichtung nach Anspruch 1 oder 2,
wobei
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht und der ersten Isolierschicht in der Oxidisolierschicht im dritten Bereich vorliegt.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3,
wobei
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht in der Oxidhalbleiterschicht im zweiten Bereich vorliegt.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3,
wobei
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht in der Oxidisolierschicht oder in der Nähe einer Grenzfläche zwischen der Oxidisolierschicht und der Oxidhalbleiterschicht im zweiten Bereich vorliegt.

6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 5,
weiter umfassend:
eine zweite Isolierschicht über der ersten Isolierschicht,
wobei
die erste Isolierschicht Oxid ist und
die zweite Isolierschicht Nitrid ist.

7. Halbleitervorrichtung nach Anspruch 6,
wobei,
im dritten Bereich,
die Verunreinigung in der Oxidisolierschicht und der ersten Isolierschicht enthalten ist, und
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der ersten Isolierschicht und der zweiten Isolierschicht in der Oxidhalbleiterschicht vorliegt.

8. Halbleitervorrichtung nach Anspruch 6 oder 7,
wobei,
im ersten Bereich,
die Verunreinigung in der Gate-Elektrode und der ersten Isolierschicht enthalten ist, und
in der Gate-Elektrode ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Gate-Elektrode und der ersten Isolierschicht vorliegt.

9. Halbleitervorrichtung nach einem der Ansprüche 6 bis 8,
wobei,
im zweiten Bereich,
die Verunreinigung in der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht enthalten ist, und
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der Oxidhalbleiterschicht, der ersten Isolierschicht und der zweiten Isolierschicht in der Oxidhalbleiterschicht vorliegt.

10. Halbleitervorrichtung nach einem der Ansprüche 6 bis 8,
wobei,
im zweiten Bereich,
die Verunreinigung in der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht enthalten ist, und
ein Peak eines Profils der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der Oxidhalbleiterschicht, der ersten Isolierschicht, und der zweiten Isolierschicht in der ersten Isolierschicht oder in der Nähe einer Grenzfläche zwischen der Oxidhalbleiterschicht und der ersten Isolierschicht vorliegt.

11. Halbleitervorrichtung nach einem der Ansprüche 6 bis 10,
wobei,
im dritten Bereich,
die Verunreinigung in der Oxidisolierschicht und der ersten Isolierschicht enthalten ist, und
ein Profil der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der ersten Isolierschicht und der zweiten Isolierschicht umfasst einen ersten Peak und einen zweiten Peak, wobei der erste Peak in der Oxidisolierschicht vorliegt und der zweite Peak in der ersten Isolierschicht vorliegt.

12. Halbleitervorrichtung nach Anspruch 11, wobei, im ersten Bereich, die Verunreinigung in der Gate-Elektrode und der ersten Isolierschicht enthalten ist, und ein Profil der Verunreinigung in einer Dickenrichtung der Gate-Elektrode und der ersten Isolierschicht umfasst einen dritten Peak und einen vierten Peak, und der dritte Peak liegt in der Gate-Elektrode vor, und der vierte Peak liegt in der ersten Isolierschicht vor.

13. Halbleitervorrichtung nach Anspruch 12, wobei, im zweiten Bereich, die Verunreinigung in der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht enthalten ist, ein Profil der Verunreinigung in einer Dickenrichtung der Oxidisolierschicht, der Oxidhalbleiterschicht und der ersten Isolierschicht und der zweiten Isolierschicht umfasst einen fünften Peak und einen sechsten Peak, und der fünfte Peak ist in der Oxidhalbleiterschicht vorhanden und der sechste Peak ist in der ersten Isolierschicht vorhanden.

14. Halbleitervorrichtung nach einem der Ansprüche 1 bis 13, wobei die erste Isolierschicht die Oxidisolierschicht im dritten Bereich kontaktiert.

15. Halbleitervorrichtung nach einem der Ansprüche 1 bis 14, wobei eine Dicke der ersten Isolierschicht 50 nm oder mehr beträgt.

16. Halbleitervorrichtung nach einem der Ansprüche 1 bis 14, wobei eine Dicke der ersten Isolierschicht 100 nm oder mehr beträgt.

17. Halbleitervorrichtung nach einem der Ansprüche 1 bis 16, wobei eine Dicke der ersten Isolierschicht weniger als 150 nm beträgt.

18. Halbleitervorrichtung nach Anspruch 17, wobei eine Dicke der ersten Isolierschicht 50 nm oder mehr beträgt.

19. Halbleitervorrichtung nach Anspruch 17, wobei

eine Dicke der ersten Isolierschicht 100 nm oder mehr beträgt.

20. Verfahren zur Herstellung einer Halbleitervorrichtung, umfassend:
Bilden einer ersten Oxidisolierschicht;
Bilden einer Oxidhalbleiterschicht über der ersten Oxidisolierschicht;
Freilegen der ersten Oxidisolierschicht durch Bilden eines Musters der Oxid-Halbleiterschicht über der ersten Oxidisolierschicht;
Bilden einer Gate-Isolierschicht über der Oxidhalbleiterschicht;
Bilden einer Gate-Elektrode über der Gate-Isolierschicht;
Freilegen der Oxidhalbleiterschicht und der ersten Oxidisolierschicht durch Bilden eines Musters der Gate-Isolierschicht und der Gate-Elektrode über der Oxidhalbleiterschicht;
Implantieren einer Verunreinigung in die freigelegte Oxidhalbleiterschicht und die erste Oxidisolierschicht;
Bilden einer zweiten Oxidisolierschicht über jeder der ersten Oxidisolierschicht, der Oxidhalbleiterschicht und der Gate-Elektrode;
Implantieren einer Verunreinigung in die zweite Oxidisolierschicht; und
Bilden einer Nitrid-Isolierschicht über der zweiten Oxidisolierschicht.

21. Verfahren zur Herstellung einer Halbleitervorrichtung, umfassend:
Bilden einer ersten Oxidisolierschicht;
Bilden einer Oxidhalbleiterschicht über der ersten Oxidisolierschicht;
Freilegen der ersten Oxidisolierschicht durch Bilden eines Musters der Oxid-Halbleiterschicht über der ersten Oxidisolierschicht;
Bilden einer Gate-Isolierschicht über der Oxidhalbleiterschicht;
Bilden einer Gate-Elektrode über der Gate-Isolierschicht;
Freilegen der Oxidhalbleiterschicht und der ersten Oxidisolierschicht durch Bilden eines Musters der Gate-Isolierschicht und der Gate-Elektrode über der Oxidhalbleiterschicht;
Bilden einer zweiten Oxidisolierschicht mit einem Wasserstoffgehalt von $1 \times 10^{21} \text{ cm}^{-3}$ oder weniger über der ersten Oxidisolierschicht, der Oxidhalbleiterschicht und der Gate-Elektrode;
Implantieren einer Verunreinigung in die Oxidhalbleiterschicht, die erste Oxidisolierschicht und die zweite Oxidisolierschicht; und
Bilden einer Nitrid-Isolierschicht über der zweiten Oxidisolierschicht.

Es folgen 28 Seiten Zeichnungen

FIG. 1

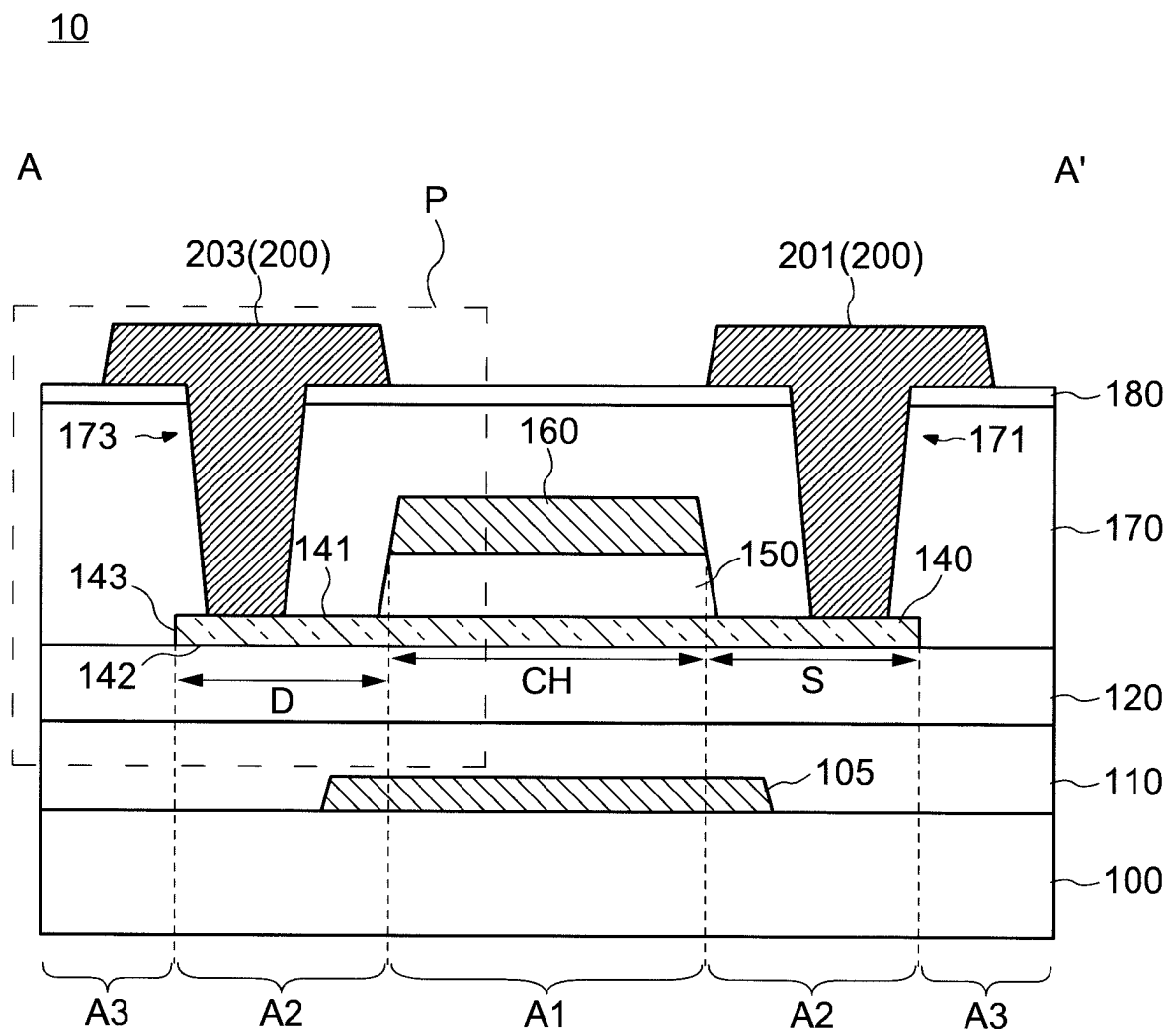


FIG. 2

10

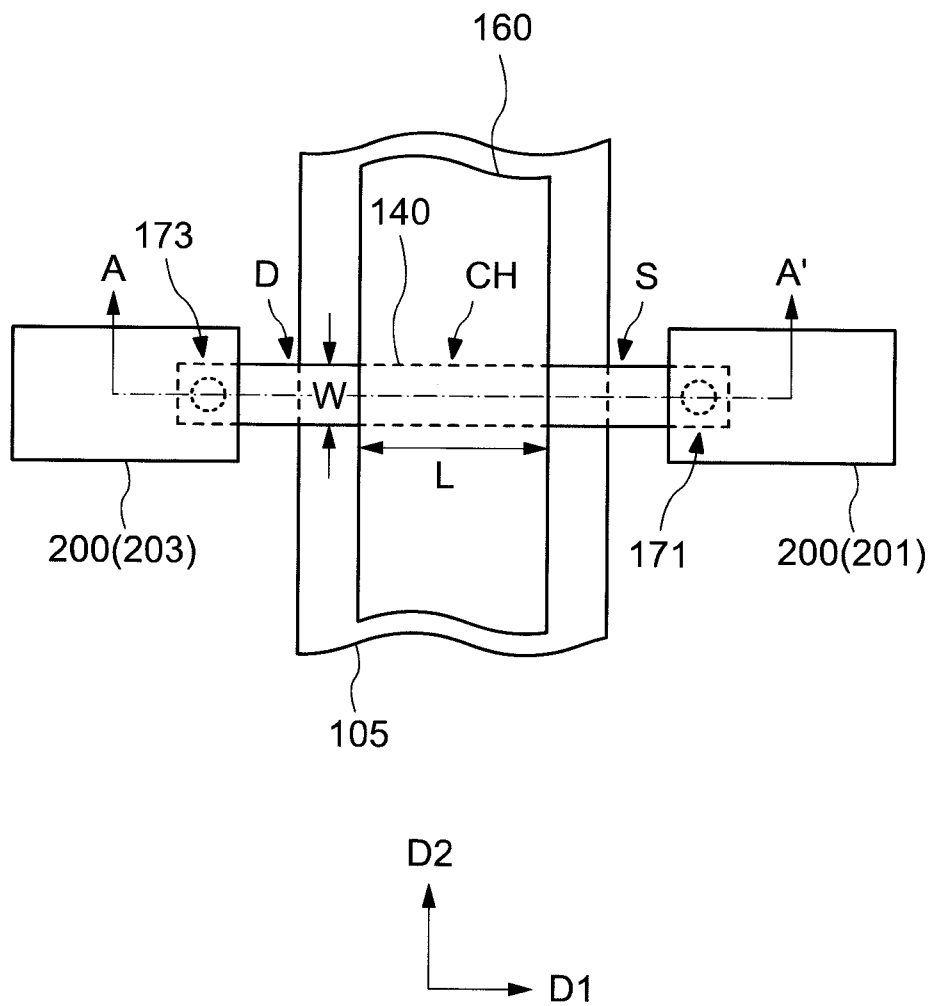


FIG. 3

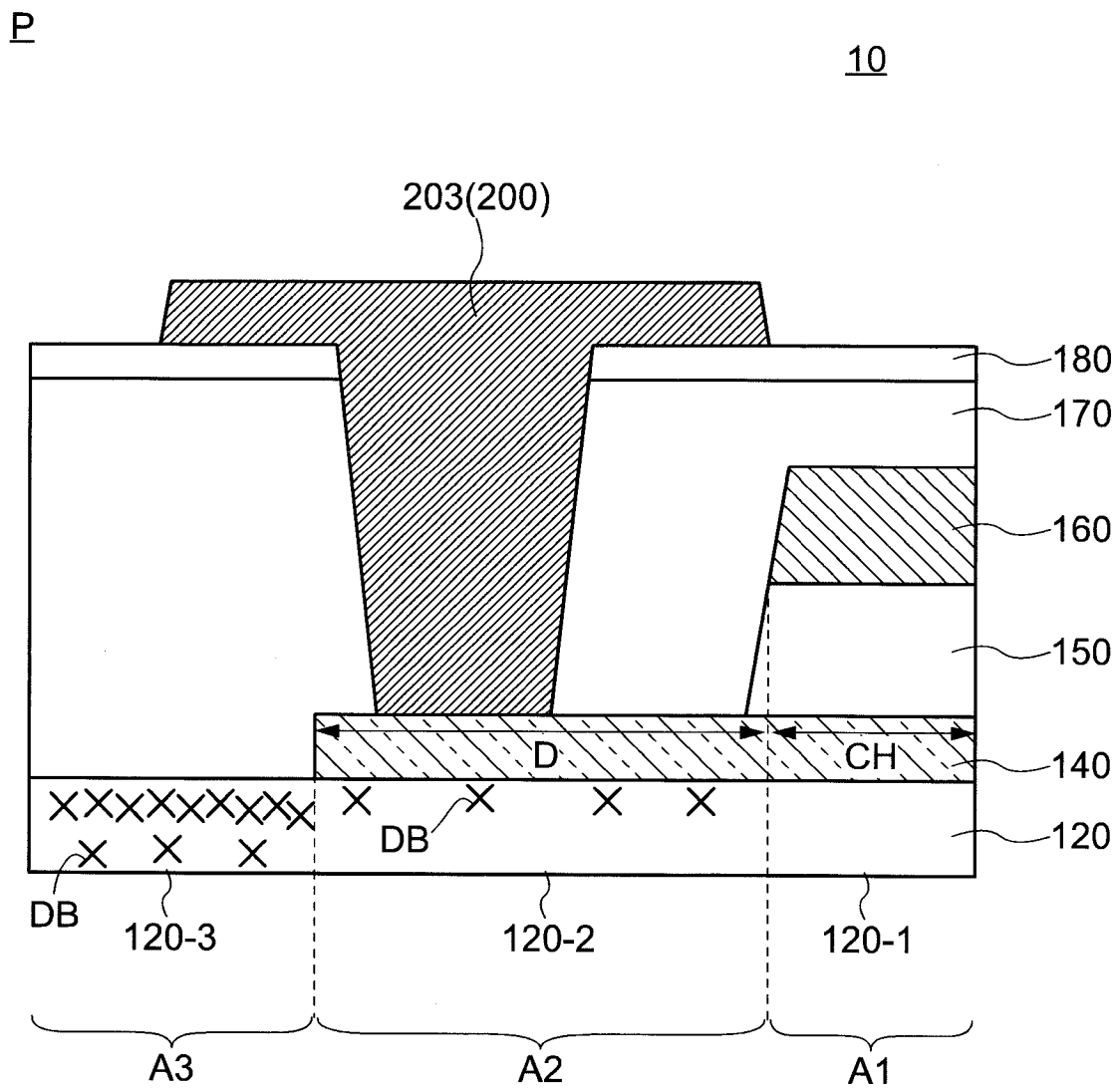


FIG. 4

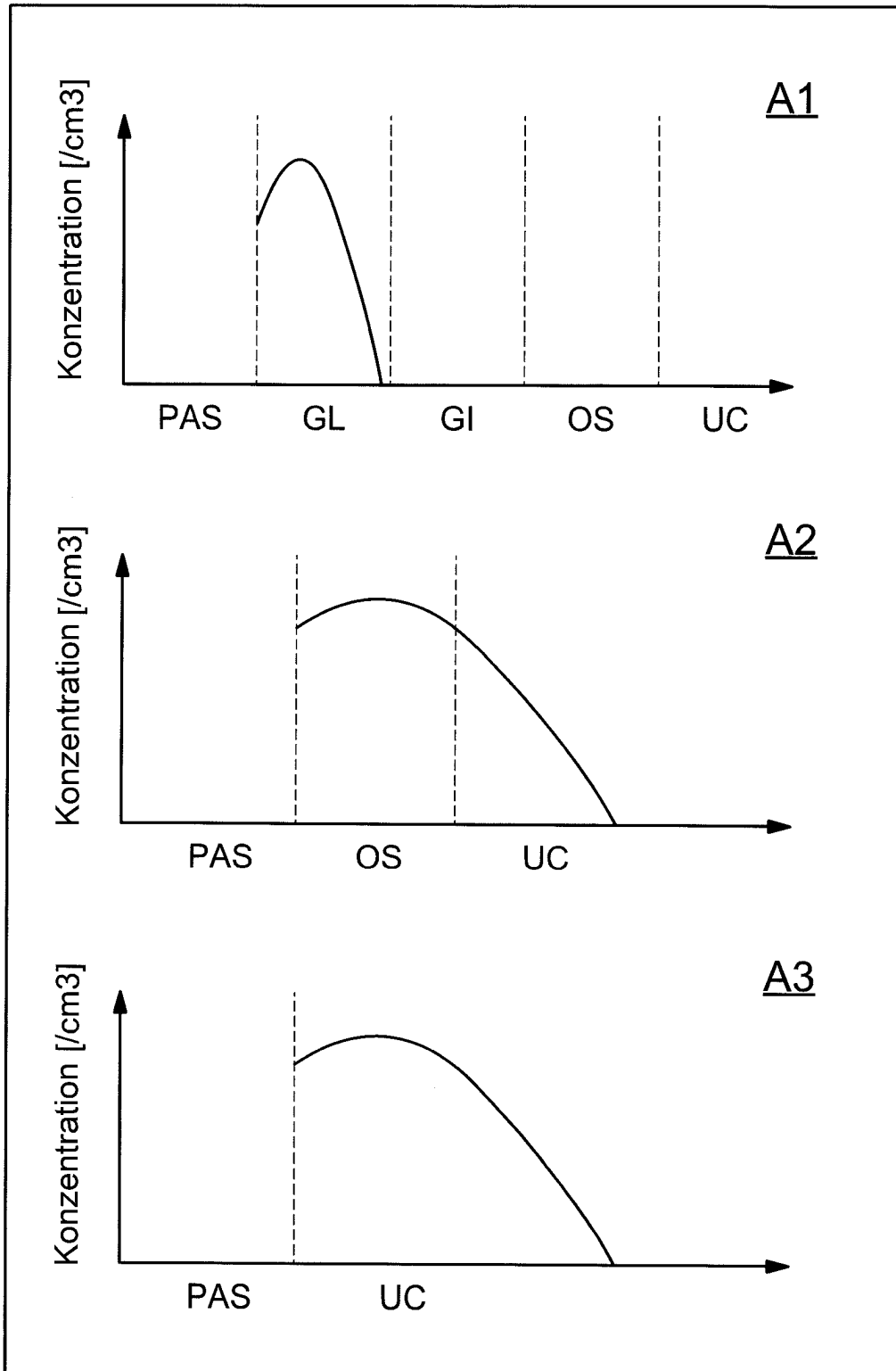


FIG. 5

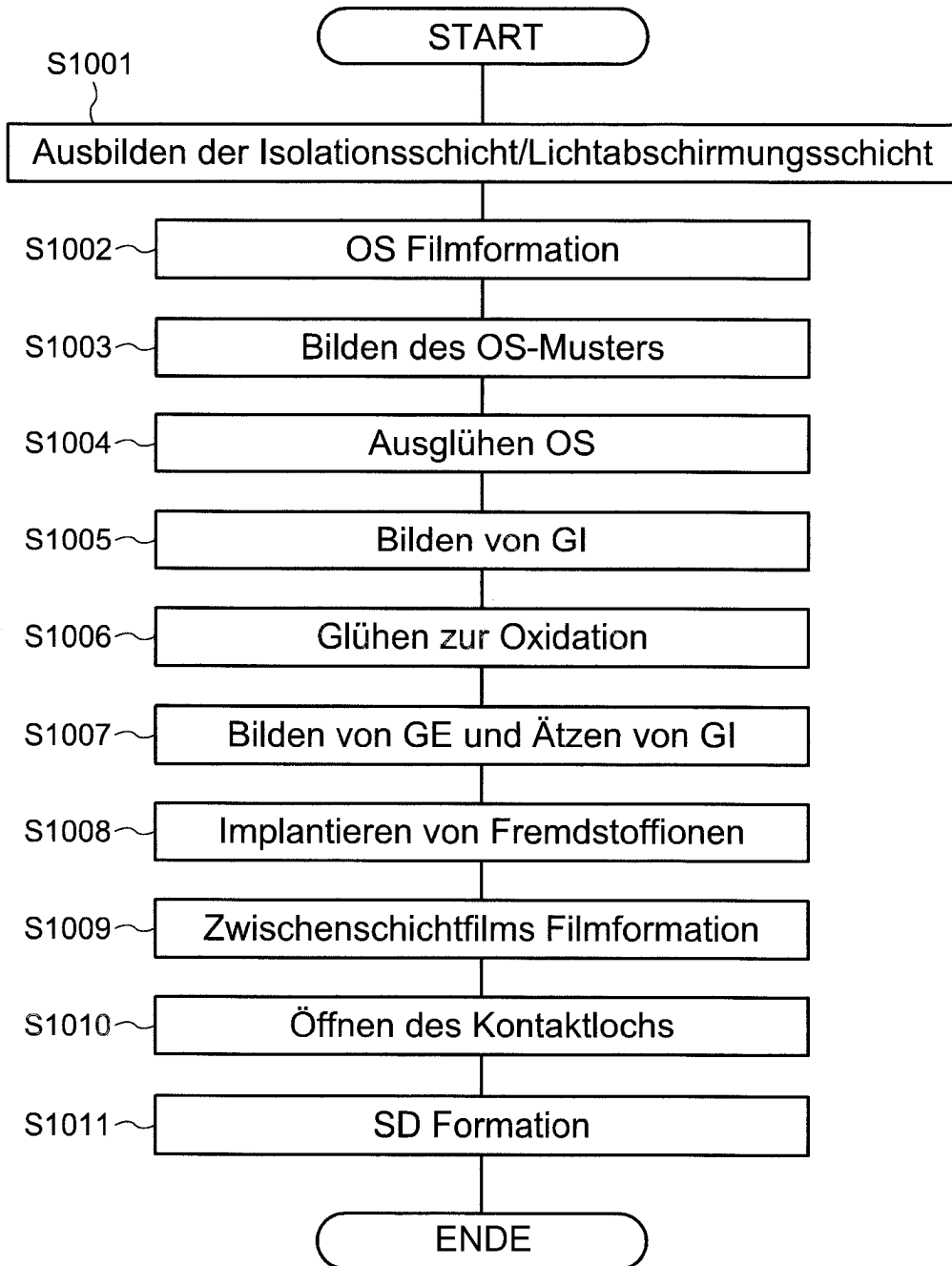


FIG. 6

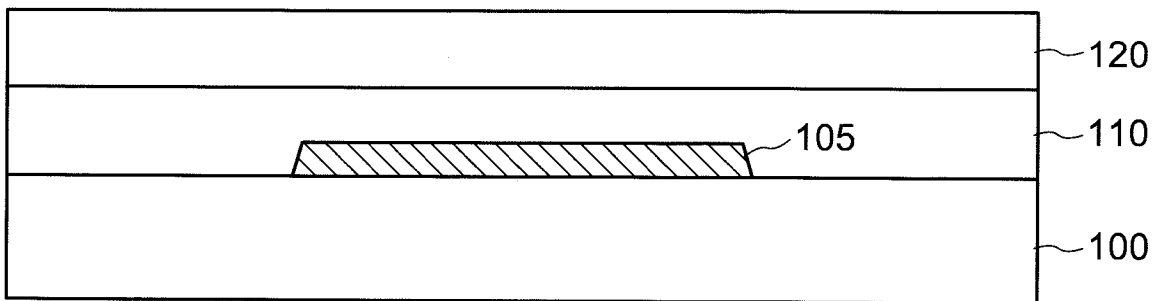


FIG. 7

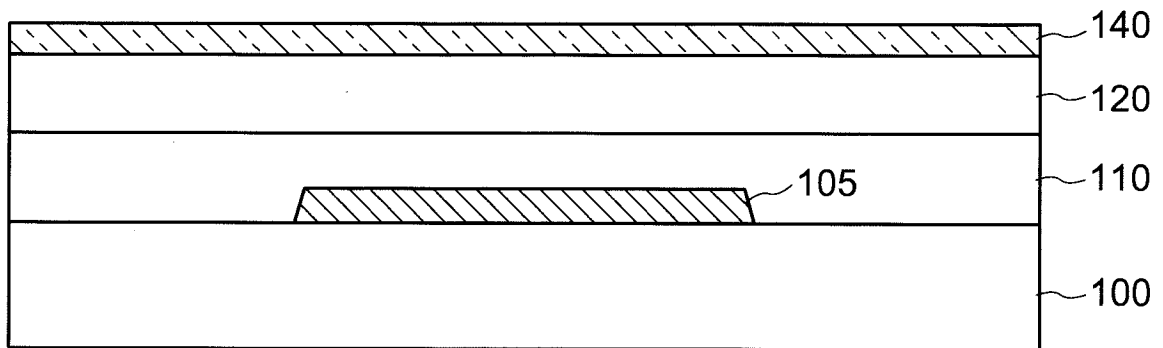


FIG. 8

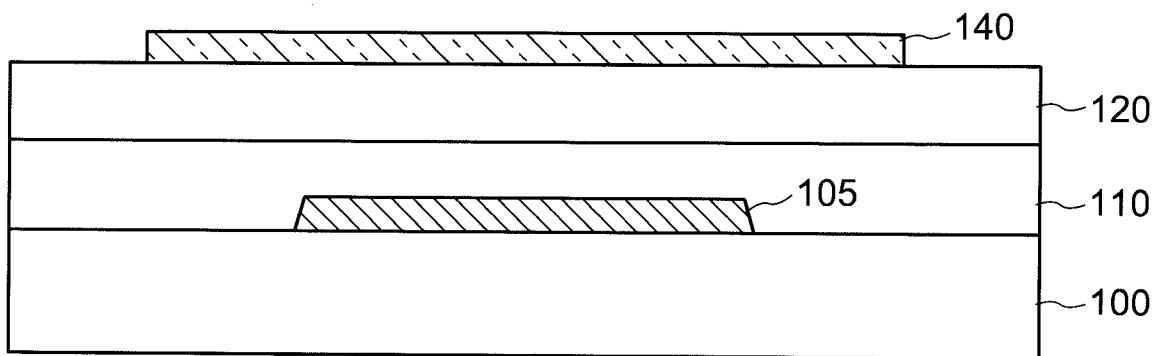


FIG. 9

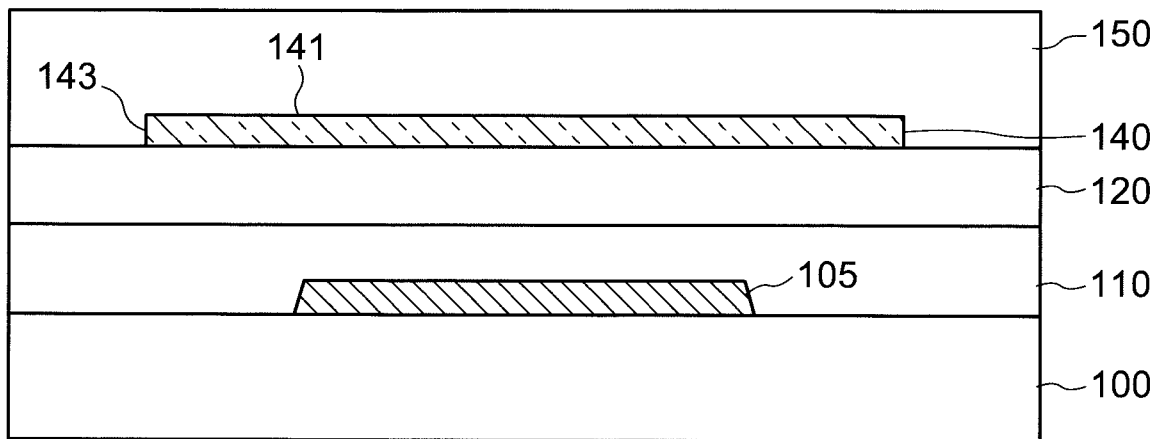


FIG. 10

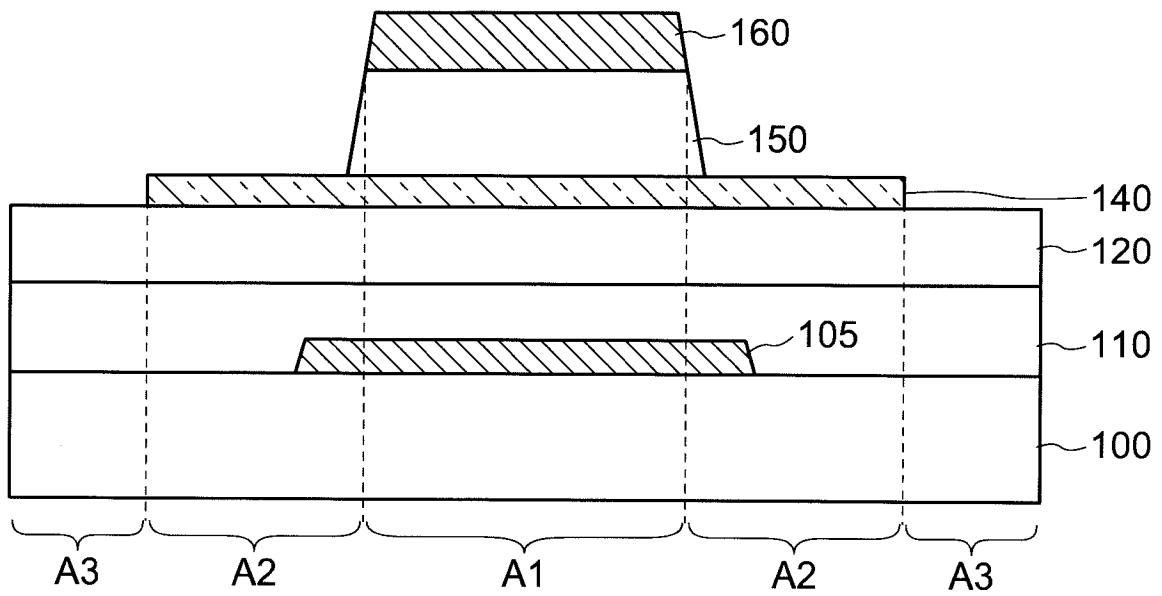


FIG. 11

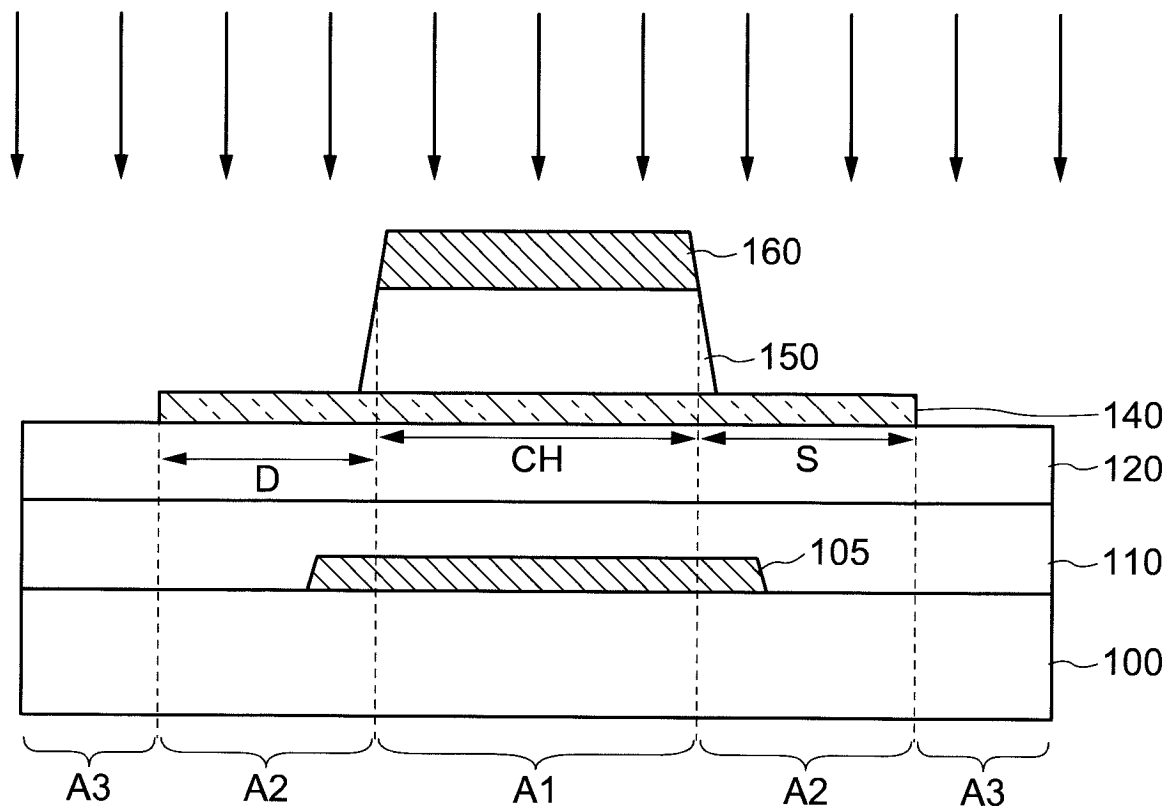


FIG. 12

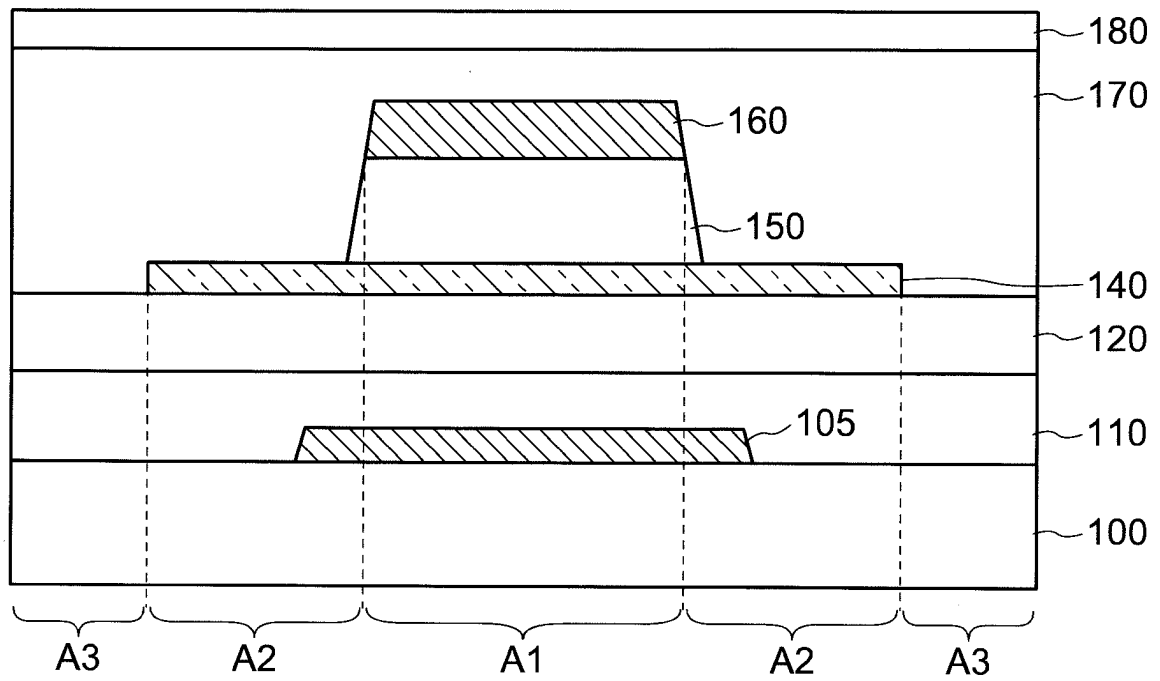


FIG. 13

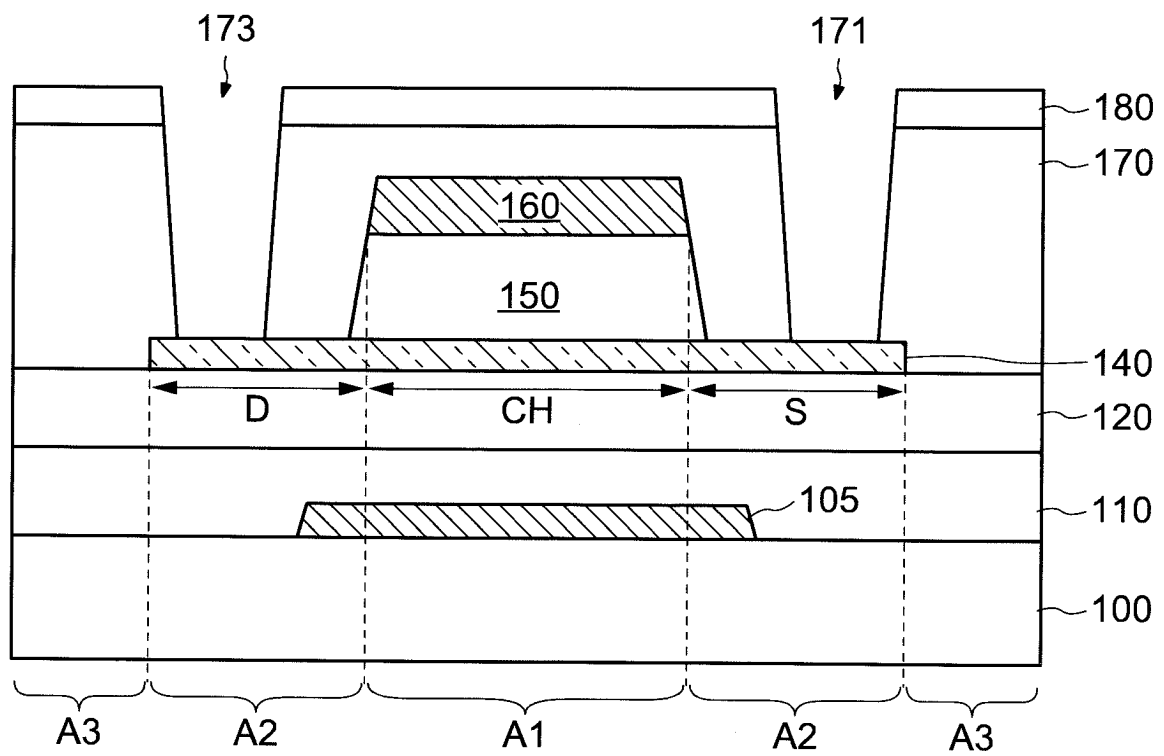


FIG. 14

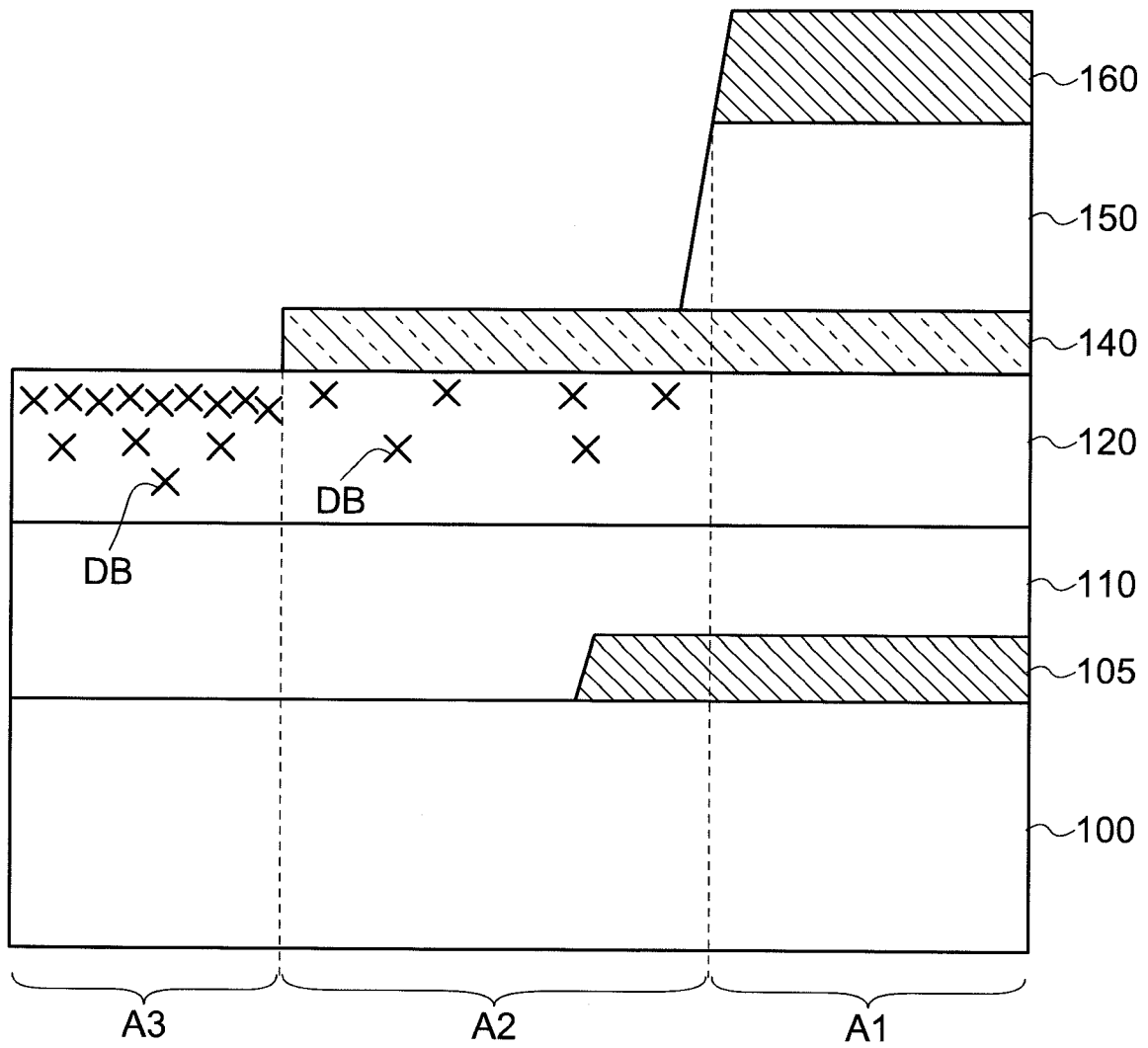


FIG. 15

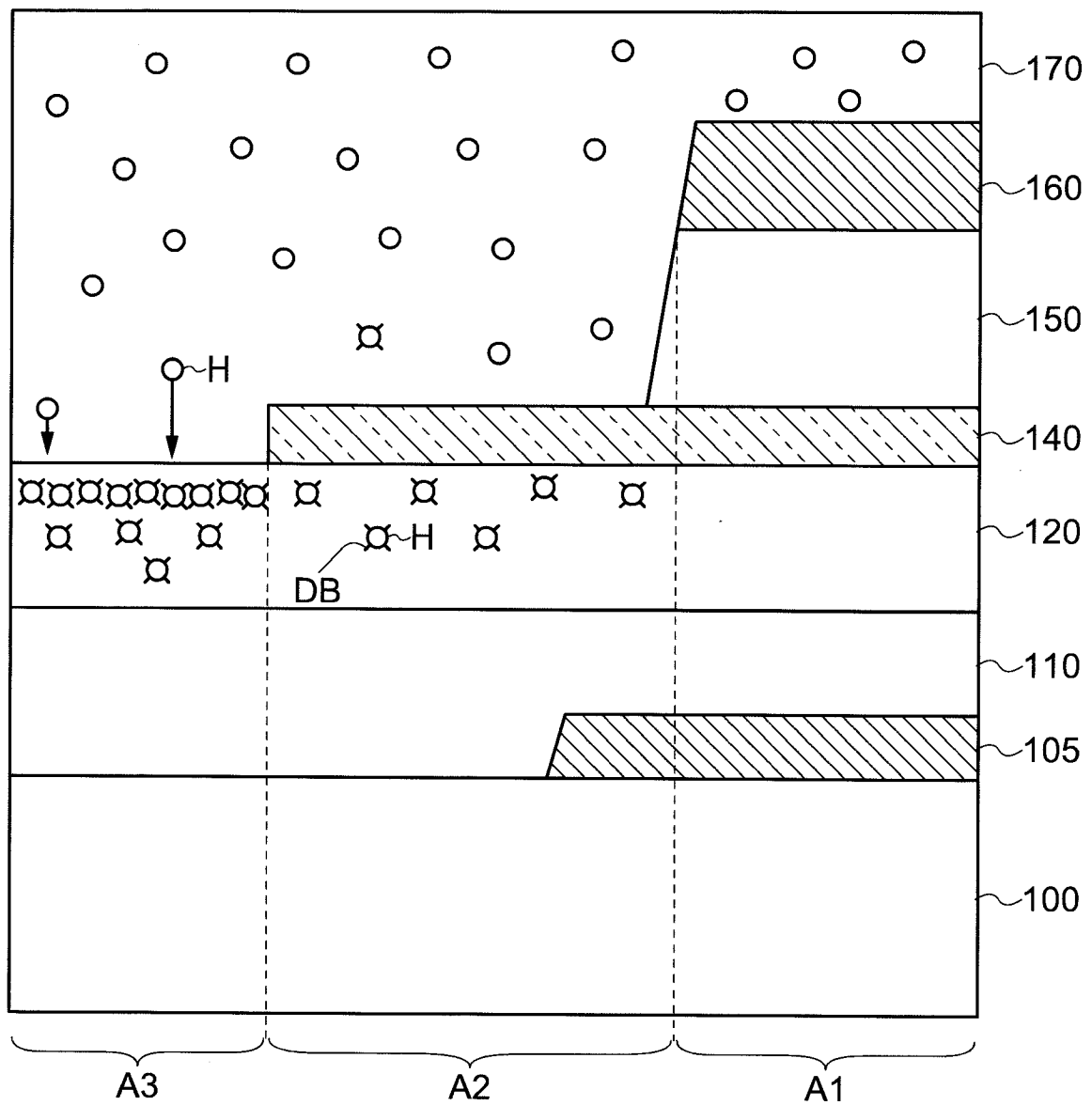


FIG.16

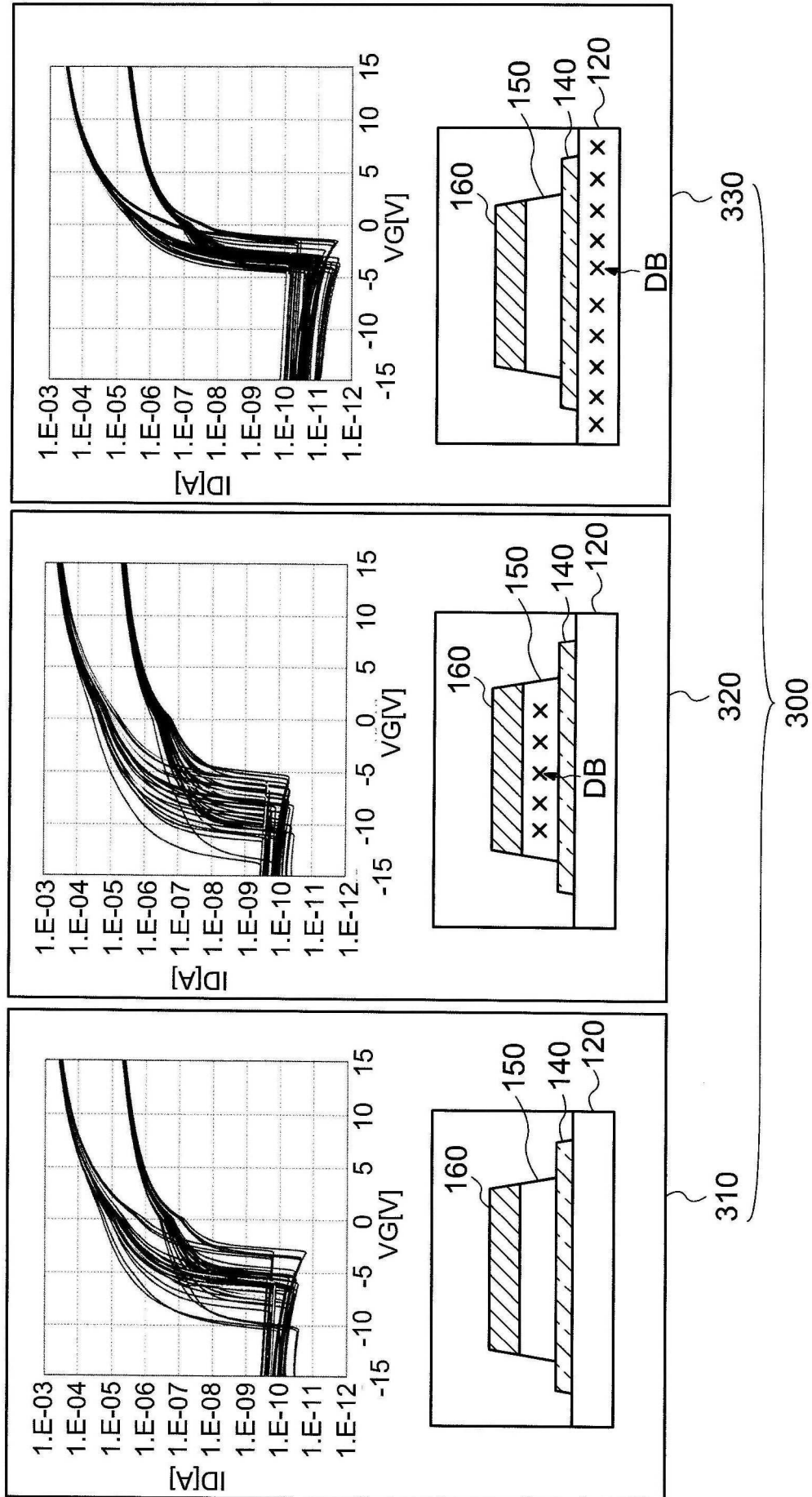


FIG. 17

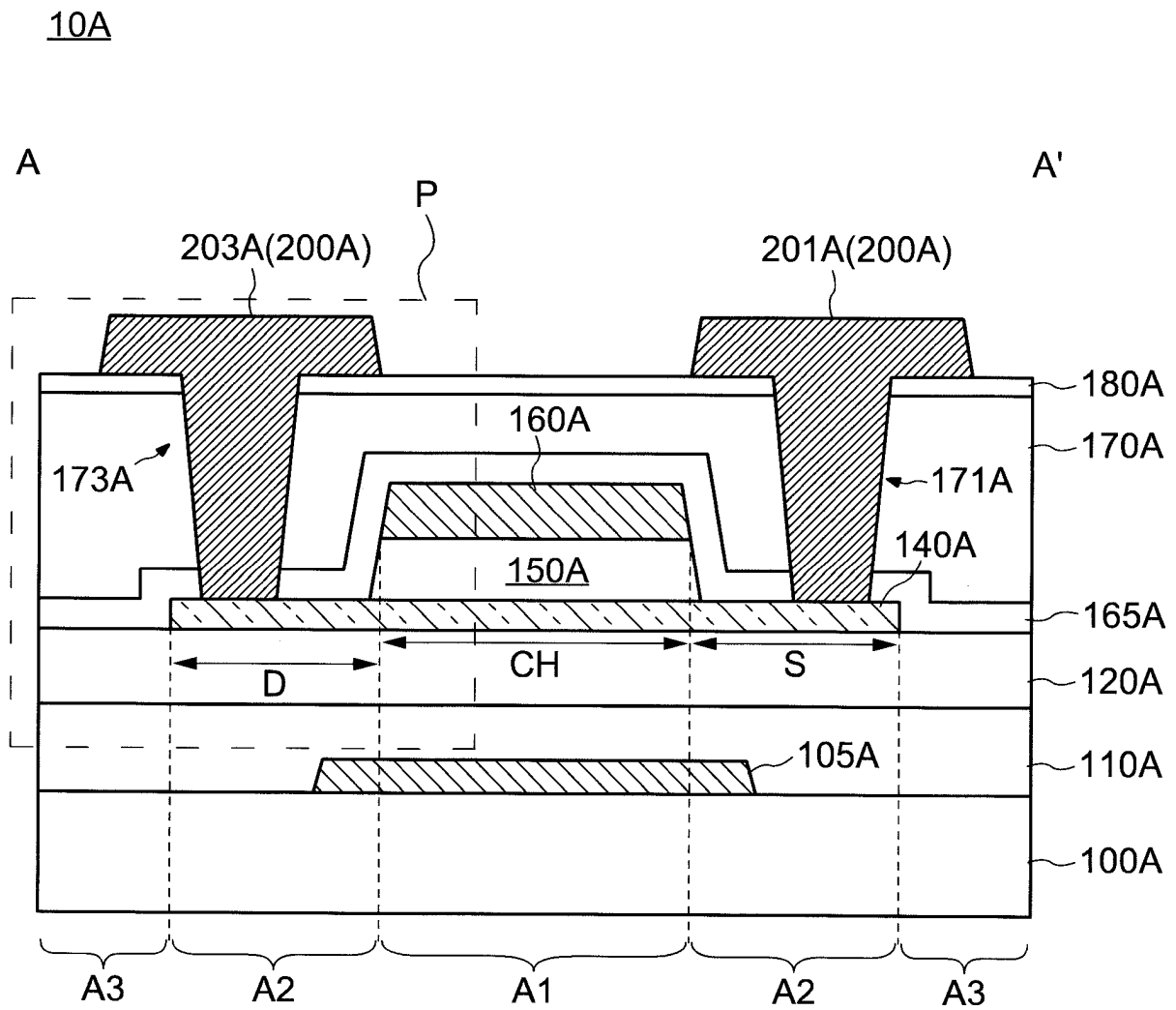


FIG. 18

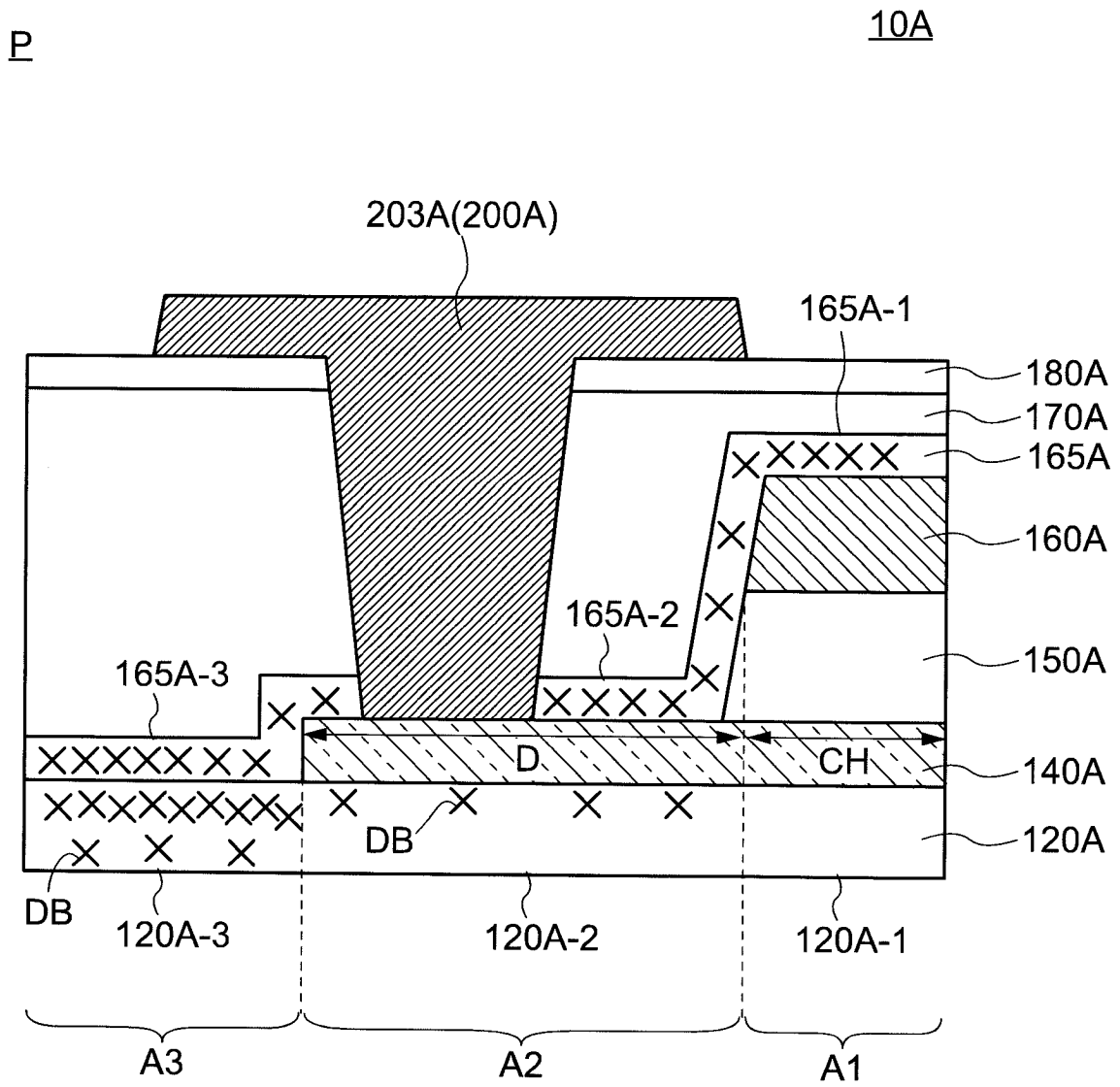


FIG. 19

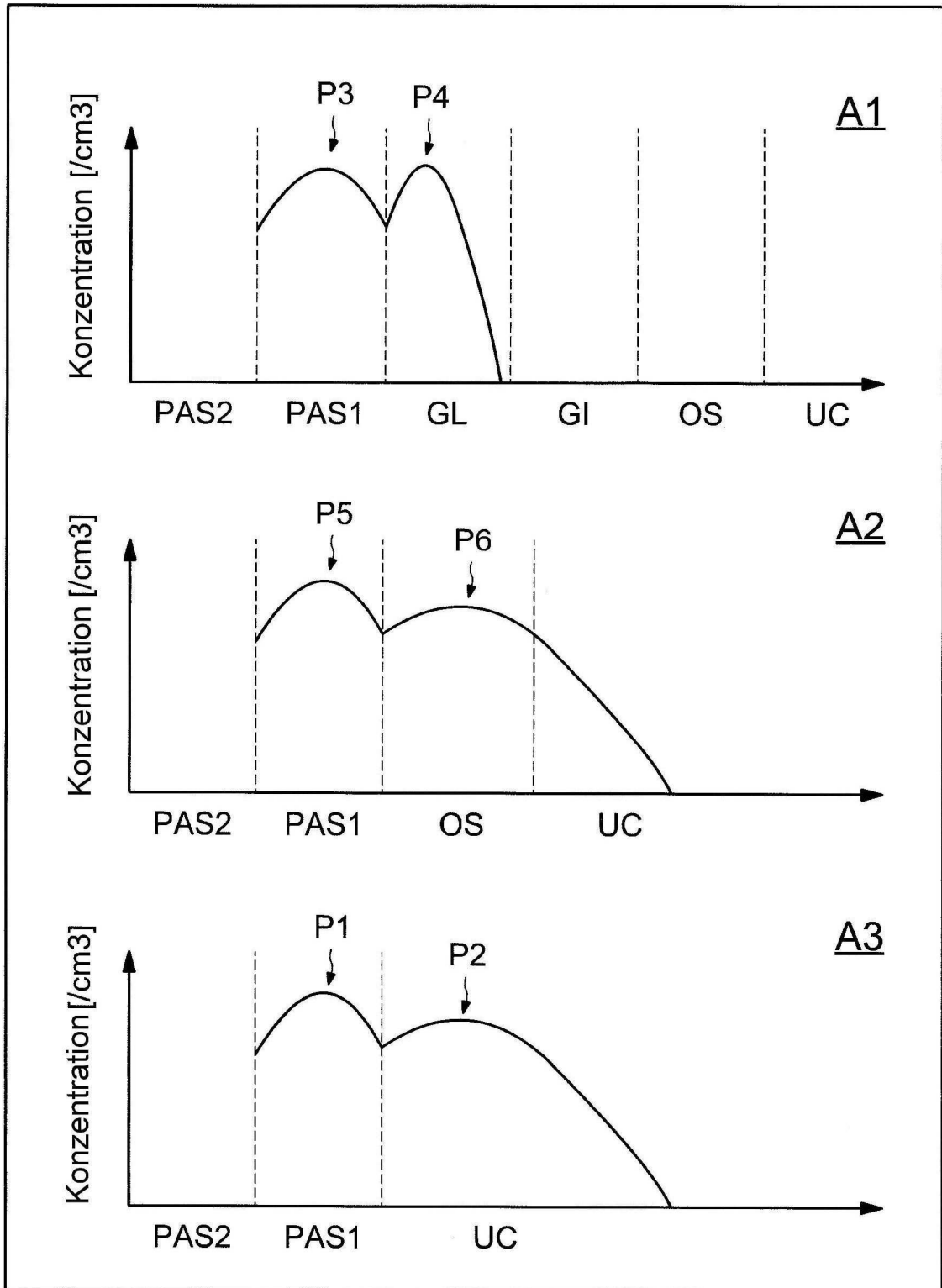


FIG. 20

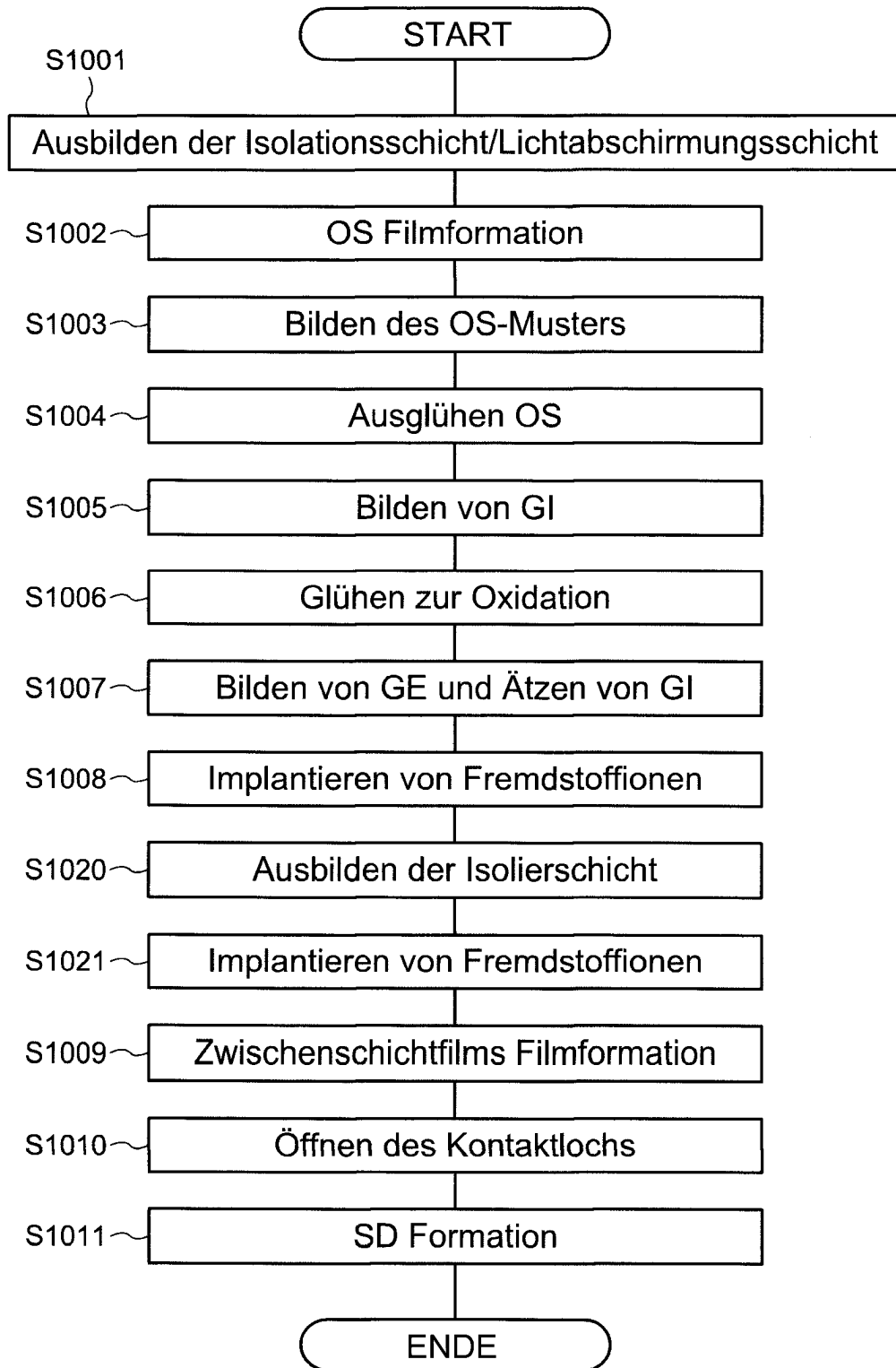


FIG. 21

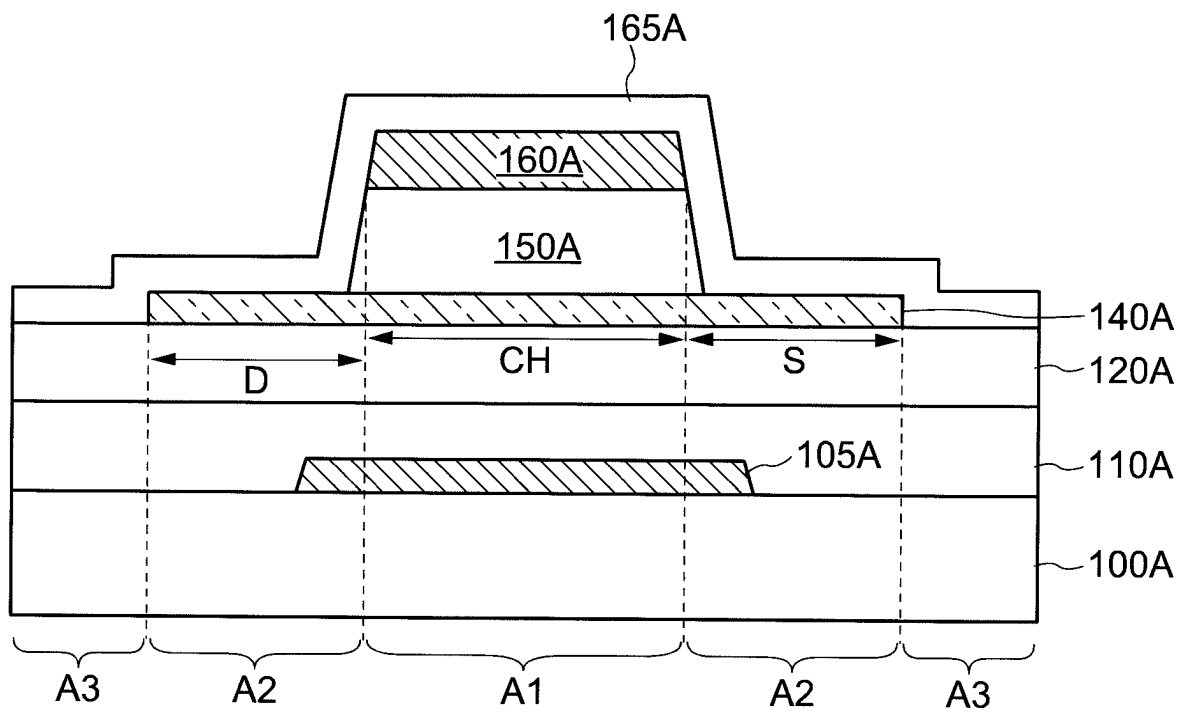


FIG. 22

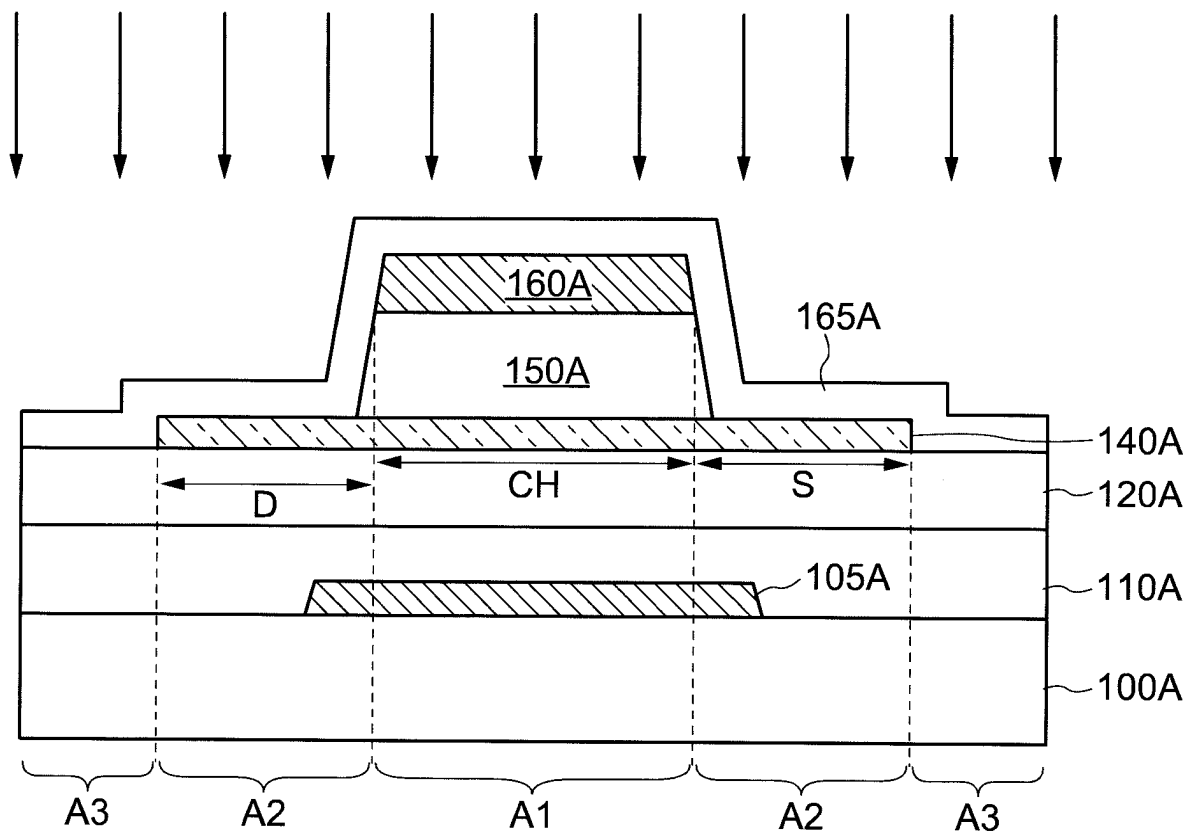


FIG. 23

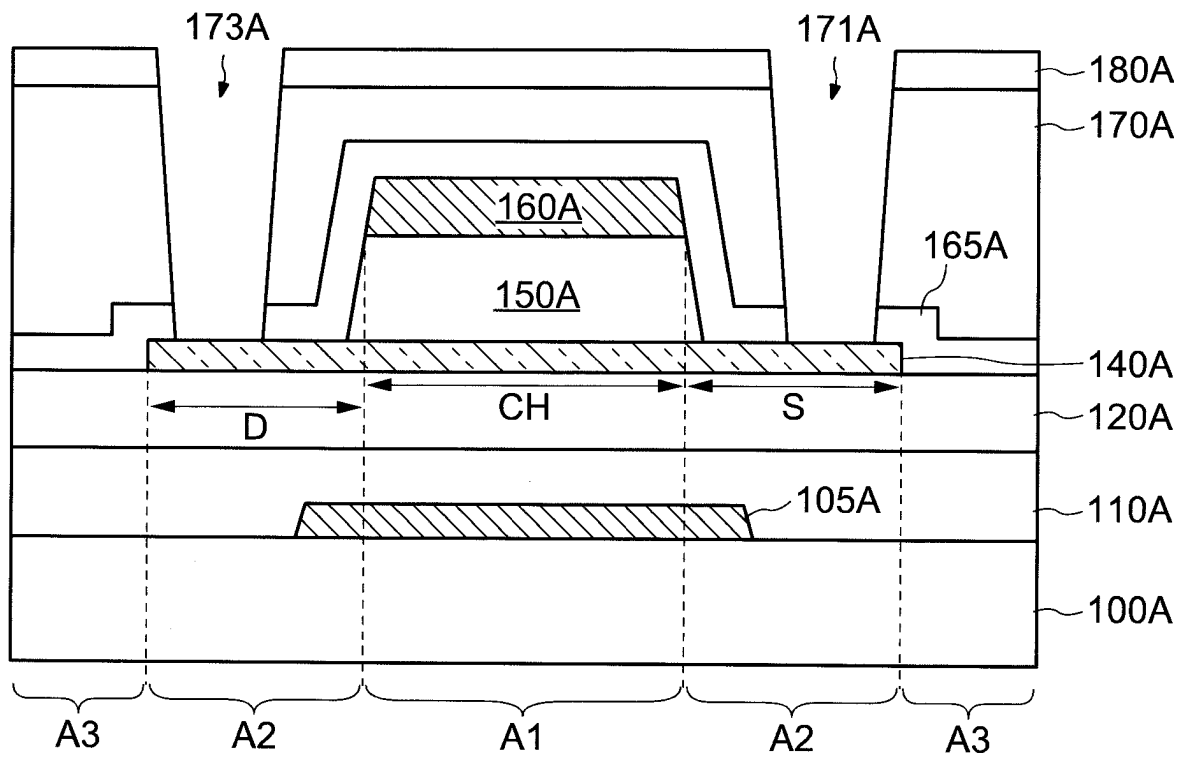


FIG. 24

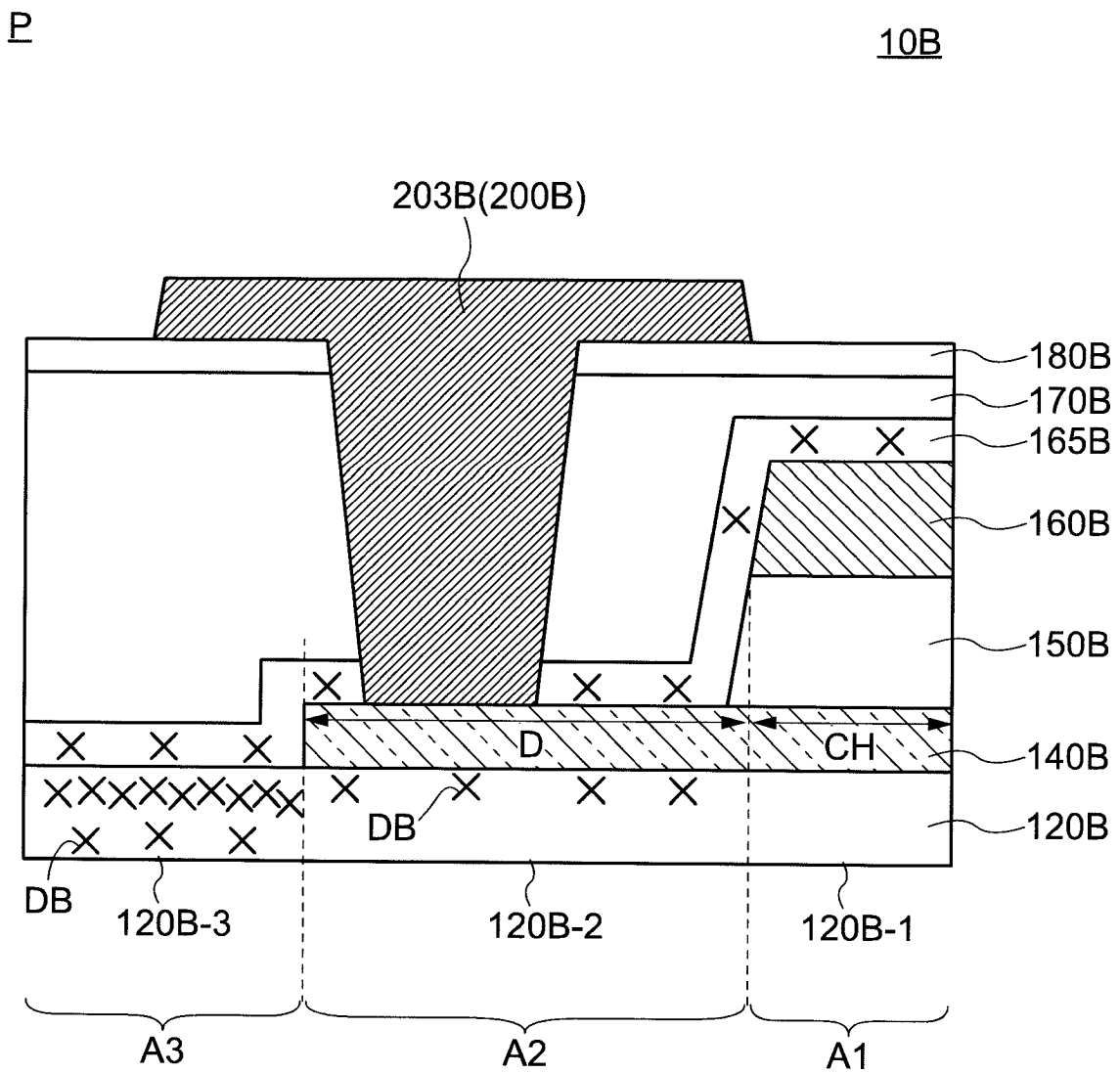


FIG. 25

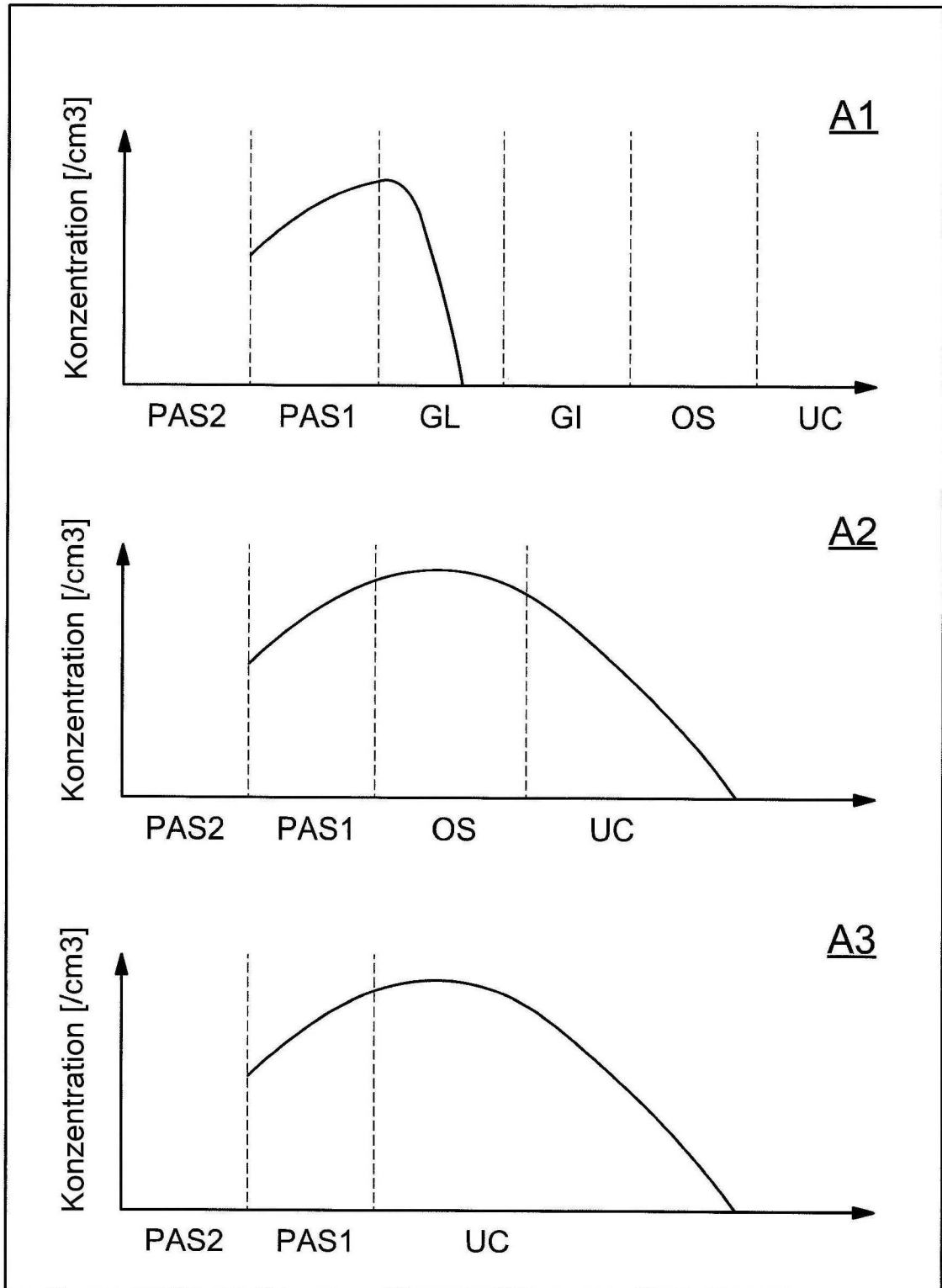


FIG. 26

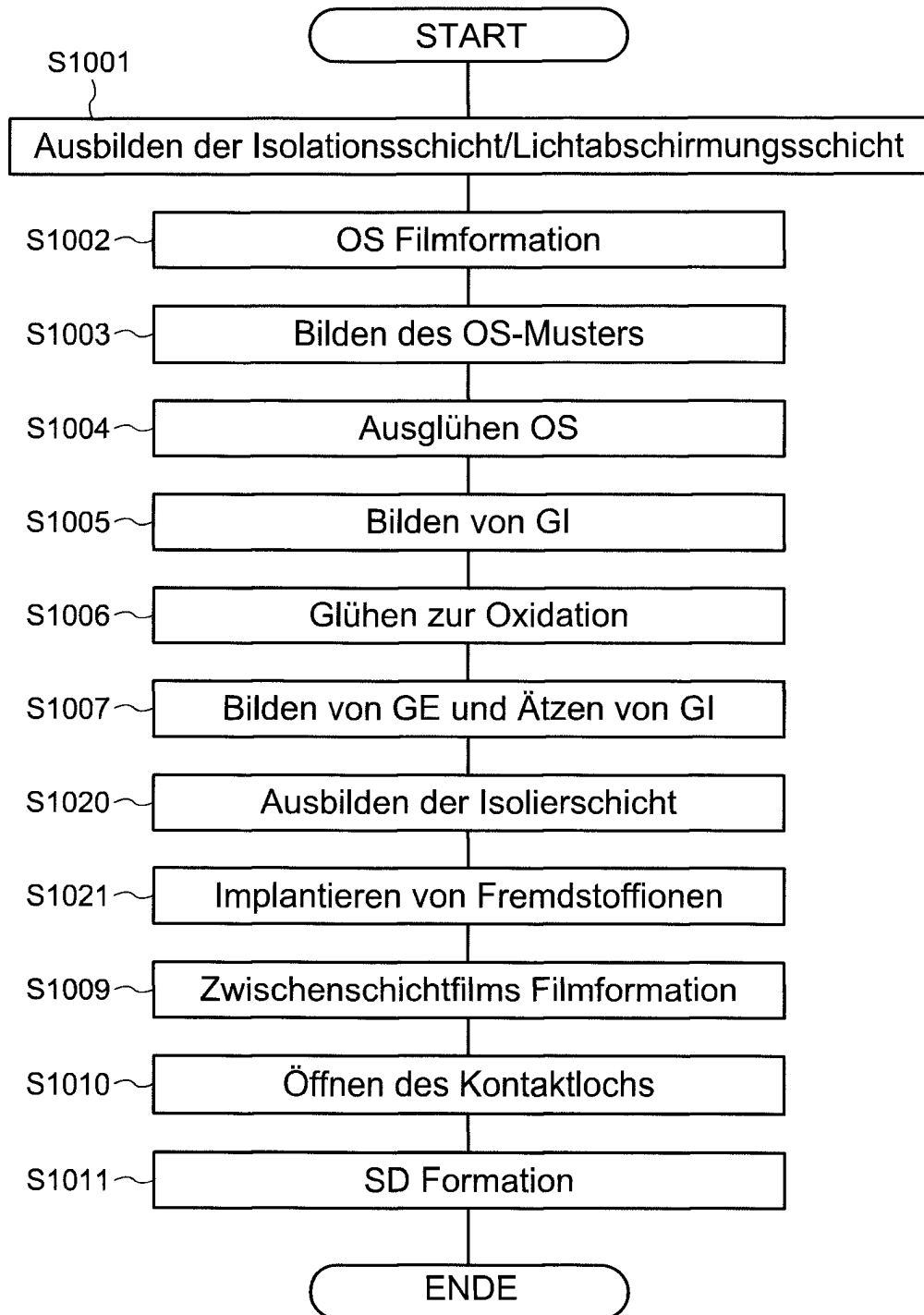


FIG. 27

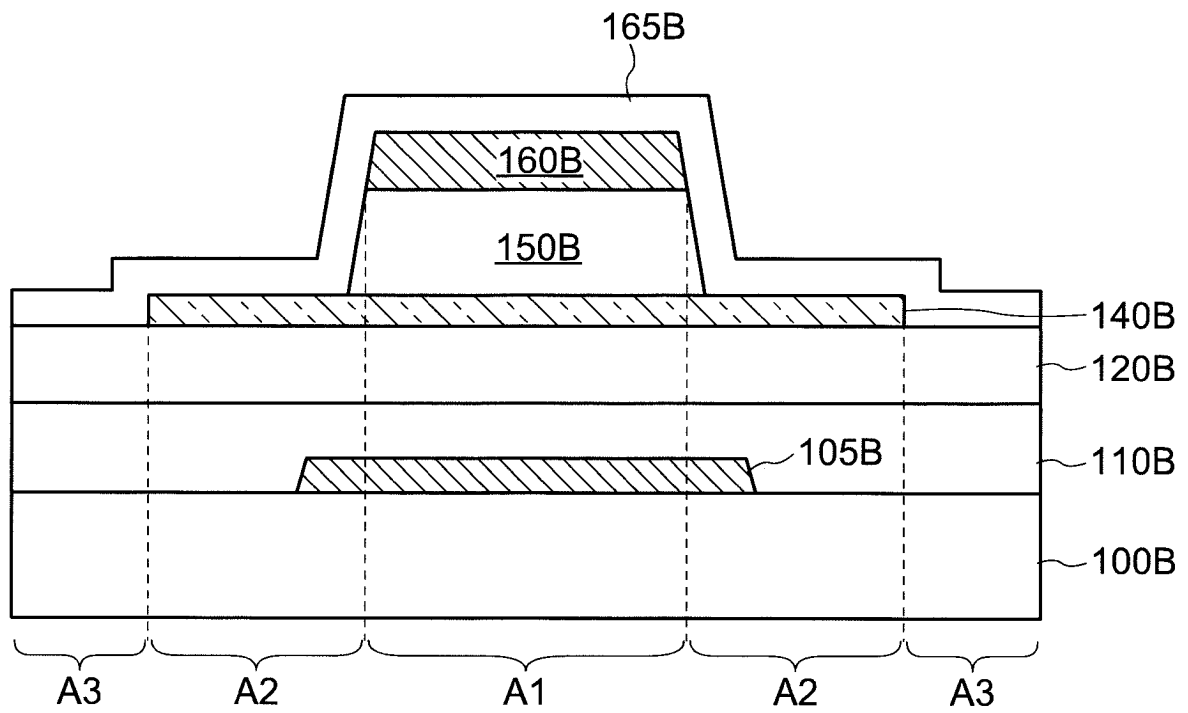


FIG. 28

