



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월02일  
(11) 등록번호 10-0790252  
(24) 등록일자 2007년12월21일

(51) Int. Cl.

*H01L 27/146* (2006.01)

(21) 출원번호 10-2006-0076185

(22) 출원일자 2006년08월11일

심사청구일자 2006년08월11일

(56) 선행기술조사문헌

KR1020040095938 A

KR1020050117036 A

KR1020030002018 A

KR1020040059758 A

전체 청구항 수 : 총 4 항

심사관 : 조근상

(73) 특허권자

동부일렉트로닉스 주식회사

서울 강남구 대치동 891-10

(72) 발명자

이상기

경기 부천시 원미구 중2동 복사골 건영2차아파트  
1711-1001

(74) 대리인

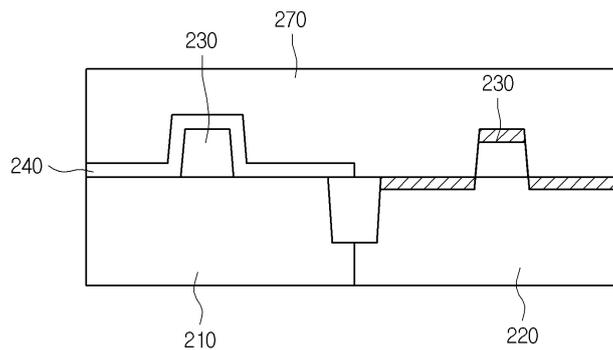
허용록

(54) CMOS 이미지 센서 제조방법

(57) 요약

CMOS 이미지 센서의 제조 방법이 개시되어 있다. 본 발명에 의한 CMOS 이미지 센서는 기판상에 적층된 질화막이 실리사이드 방어막 제거 공정에서 게이트 산화막을 보호하여 소자의 성능이 향상된다.

대표도 - 도2d



**특허청구의 범위**

**청구항 1**

화소 영역 및 주변부 영역을 포함하며 상부에 게이트를 포함하는 반도체 기판상에 질화막을 증착하는 단계;  
 상기 반도체 기판상에 실리사이드 방어막을 증착하는 단계;  
 상기 기판상의 주변부 영역에 증착된 상기 실리사이드 방어막을 제거하는 단계;  
 상기 주변부 영역에 실리사이드를 형성하는 단계;  
 상기 화소 영역에 형성된 실리사이드 방어막을 제거하는 단계;  
 절연막을 기판상에 적층하는 단계; 및  
 화소 영역 상에 형성된 상기 질화막을 종점막으로 상기 절연막을 선택 식각하여 콘택 형성 영역을 형성하는 단계를 포함하는 CMOS 이미지 센서 제조 방법.

**청구항 2**

제 1항에 있어서, 상기 질화막의 두께는 300Å 내지 500 Å임을 특징으로 하는 CMOS 이미지 센서 제조 방법.

**청구항 3**

제 1항에 있어서, 상기 실리사이드 방어막은 TEOS를 포함하는 것을 특징으로 하는 CMOS 이미지 센서 제조 방법.

**청구항 4**

삭제

**청구항 5**

제 1항에 있어서, 상기 절연막은 PSG를 포함하는 것을 특징으로 하는 CMOS 이미지 센서 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <7> 본 발명은 CMOS(complementary metal oxide silicate) 이미지 센서의 제조방법에 관한것으로, 보다 상세하게는 게이트 산화막이 보호되어 성능이 개선된 CMOS 이미지 센서의 제조방법에 관한 것이다.
- <8> 일반적으로 CMOS 이미지 센서는 머신 비전(machine vision)으로 광학영상을 전기신호로 변환시키는 소자이며 광학 신호에 반응하는 화소(pixel)영역과 그렇지 않은 주변부(periphery)영역으로 구분된다.
- <9> 이러한 CMOS 이미지 센서의 제작 방법에 있어 소자의 높은 성능을 유지하기 위하여 실리사이드 공정이 요구되는데 이때 주변부 영역에 대하여 실리사이드를 형성할 필요가 있다. 왜냐하면 화소 영역상의 다이오드에 형성된 실리사이드는 빛의 투과 특성을 저해하고 화소 트랜지스터의 접합 전류누출(junction leakage)이 시키기 때문이다.
- <10> 도 1a 내지 1c는 종래의 방법에 따른 실리사이드 공정을 이용한 CMOS 이미지 센서 제작방법을 나타내는 도면이다.
- <11> 도 1a를 참조하면, 먼저 STI(shallow trench isolation, 120)에 의하여 화소영역(100)과 주변부영역(110)으로 구분되며 상부에 게이트(130)를 포함하는 반도체 기판 상에 실리사이드 공정으로부터 화소 영역을 보호하기 위한 실리사이드 방어막 (140)이 적층된다.
- <12> 도 1b를 참조하면, 상기 화소영역을 제외한 나머지 주변부 영역(110) 상에 적층된 상기 실리사이드 방

어막은 식각 공정에 의하여 제거되며 이후 실리사이드 공정이 주변부에 대하여 진행되어 실리사이드(150)가 형성된다. 이때 상기 화소 영역(100)상에 형성된 실리사이드 방어막(140)은 상기 화소 영역(100)을 상기 실리사이드 공정으로부터 보호하게 된다.

<13> 도 1c를 참조하면, 실리사이드 공정 후 상기 실리사이드 방어막은 상기 화소 영역(100)으로부터 식각 공정에 의하여 제거된다.

<14> 상기 식각 공정 후 질화막(160)이 기판 상에 형성되고 절연막(170)이 적층된다. 이후 상기 질화막(160)을 공정의 종점막(end point layer)으로 하는 식각 공정에 의하여 콘택 형성 영역(180)이 형성된다.

<15> 실리사이드 방어막이 화소 영역에서 제거되는 공정에서 화소 영역상에 형성된 게이트 산화막도 상기 식각 공정에 의하여 제거되므로 광학 다이오드의 성능이 떨어지며 CMOS 이미지 센서의 수율(yield)이 떨어지는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

<16> 본 발명이 이루고자 하는 기술적 과제는 게이트 산화막이 보호되어 성능이 향상된 CMOS 이미지 센서의 제작방법을 제공하는 데 있다.

<17> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

<18> 상기 기술적 과제를 달성하기 위하여 본 발명이 일 실시예에 따른 반도체 제조방법은 화소 영역 및 주변부 영역을 포함하며 상부에 게이트를 포함하는 반도체 기판상에 질화막을 증착하는 단계와, 상기 반도체 기판상에 실리사이드 방어막을 증착하는 단계와, 상기 기판상의 주변부 영역에 증착된 상기 실리사이드 방어막을 제거하는 단계와, 상기 주변부 영역에 실리사이드를 형성하는 단계, 및 상기 화소 영역에 형성된 실리사이드 방어막을 제거하는 단계를 포함한다.

<19> 이하 도면등을 이용하여 본 발명의 바람직한 실시예를 자세히 설명한다.

<20> 도 2a 내지 도 2d는 본 발명의 바람직한 일 실시예에 따른 이미지 센서의 제조 공정을 나타내는 도면이다.

<21> 도 2a를 참조하면, 먼저 반도체 기판은 화소영역(210)과 주변부 영역(220)으로 구분된다. 상기 기판의 상부에 게이트(230)가 형성되고 이후 상기 기판상에 질화막(240)이 적층된다. 이때 상기 질화막(240)의 두께는 300Å 내지 500Å이 바람직하다.

<22> 상기 질화막(240)의 두께가 300Å미만인 경우 상기 게이트 산화막을 보호하기에 효율적이지 않으며 500Å를 초과하는 경우 스트레스에 의한 변형이 이루어지기 때문이다.

<23> 도 2b를 참조하면, 상기 질화막(240)이 형성된 반도체 기판상에 실리사이드 방어막이 형성된다. 이후 패터닝되어 주변부 영역상(220)상의 실리사이드 방어막은 제거된다. 일반적으로 실리사이드 방어막(250)으로 TEOS와 같은 산화막이 사용된다.

<24> 도 2c를 참조하면, 상기 실리사이드 방어막이 제거된 상기 주변부영역에 대하여 실리사이드(260)가 형성된다. 상기 주변부 영역상의 실리사이드(260)은 주변부 영역을 통하여 빛이 투과되는 것을 막아주고 이에 따른 누설 전류를 막는 기능을 수행한다. 일반적으로 상기 실리사이드 공정은 코발트와 같은 금속물질을 스퍼터링(sputtering)하고 어닐링하는 단계로 이루어진다.

<25> 도 2d를 참조하면, 상기 실리사이드 공정 후 상기 실리사이드 방어막(250)은 화소영역에서 제거된다. 화소 영역 상에 형성된 실리사이드 방어막(250)은 상기 화소 영역으로 조사되는 빛을 차단, 반사하여 이미지 센서의 성능을 떨어뜨리기 때문이다. 상기 실리사이드 방어막(250)의 제거는 일반적으로 식각 공정에 의하여 이루어진다.

<26> 상기 실리사이드 방어막(250)을 제거하는 과정에서 상기 게이트 상부에 적층된 질화막(240)은 상기 질화막(240) 하부에 형성된 게이트(230)의 산화막을 상기 식각 공정에 노출시키지 않음으로써 상기 게이트(230)의 산화막을 보호한다.

- <27> 따라서, 게이트(230)의 산화막이 식각 공정에서 흠(defect)을 입는 것을 상기 질화막 (240)이 보호하게 된다.
- <28> 이후 기판상에 다시 절연막(270)이 적층되고 평탄화되는데, 상기 절연막으로는 PSG(phosphorus silicate glass)가 사용된다. 또한 상기 평탄화 공정은 화학적 기계적 평탄화 공정(CMP)에 의하여 이루어진다.
- <29> 상기 질화막(240)은 상술한 바와 다른 기능을 수행하는 데 이하 도면을 이용하여 본 발명의 또 다른 실시예를 상세히 설명한다.
- <30> 도 3a 내지 도 3e은 본 발명의 또 다른 실시예에 따른 CMOS 이미지 센서의 제조 공정을 나타내는 도면이다.
- <31> 도 3a를 참조하면, 먼저 반도체 기판은 화소영역(310)과 주변부 영역(320)으로 구분된다. 상기 기판의 상부에 게이트(330)가 형성되고 이후 상기 기판상에 질화막(340)이 적층된다. 이때 상기 질화막(340)의 두께는 300Å 내지 500Å이 바람직하다.
- <32> 만약 상기 질화막(340)의 두께가 300Å미만인 경우 상기 게이트 산화막을 보호하기에 효율적이지 않으며 500Å를 초과하는 경우 스트레스에 의한 변형이 이루어지기 때문이다.
- <33> 도 3b를 참조하면, 상기 질화막(340)이 형성된 반도체 기판상에 실리사이드 방어막이 형성된 후 주변부 영역상(320)상의 실리사이드 방어막은 제거되어, 상기 주변부 영역(320)은 외부에 노출된다. 일반적으로 실리사이드 방어막(350)으로 TEOS와 같은 산화막이 사용되며, 화학 증기 증착법(CVD)에 의하여 형성된다.
- <34> 이후 상기 주변부 영역(320)에 대하여 실리사이드 공정이 진행되어 실리사이드(360)가 형성된다.
- <35> 상기 주변부 영역의 실리사이드(360)는 주변부 영역을 통하여 빛이 투과되는 것을 막아주고, 누설 전류를 막는 기능을 수행한다. 일반적으로 상기 실리사이드 공정은 코발트와 같은 금속물질을 스퍼터링(sputtering)하고 어닐링하는 단계로 이루어진다.
- <36> 도 3c를 참조하면 상기 실리사이드 공정 후 상기 실리사이드 방어막(350)이 화소영역상에서 제거된다. 상기 실리사이드 방어막(350)의 제거는 식각 공정에 의하여 이루어진다.
- <37> 상기 실리사이드 방어막(350)을 제거하는 과정에서 상기 게이트 상부에 적층된 질화막(340)은 상기 질화막(340)하부에 형성된 게이트(330)를 상기 식각 공정에 노출시키지 않게 한다. 그 결과 게이트(330)의 산화막은 상기 질화막에 의하여 상기 식각 공정으로부터 보호된다.
- <38> 이후 기판상에 다시 절연막(370)이 적층되고 평탄화된다. 상기 절연막으로는 PSG(phosphorus silicate glass)가 사용되며, 상기 평탄화 공정은 화학적 기계적 평탄화 공정(CMP)에 의하여 이루어진다.
- <39> 도 3d를 참조하면, 상기 공정 후 상기 절연막(370)에 선택적으로 식각 공정이 진행되어 콘택 형성 영역(380)이 형성된다. 상기 식각 공정은 상기 기판상에 형성된 질화막 (340)을 공점의 종점막(end point layer)로 한다.
- <40> 따라서 상기 질화막(340)은 게이트 산화막을 보호하는 기능 이외에 콘택 형성을 위하여 식각 공정에 있어 공점의 종점막으로 기능을 하게 된다.
- <41> 이상 본원 발명의 실시예를 도면 등을 참조하면 설명하였지만, 본원 발명이 속하는 기술분야에서 통상의 지식을 가지는 자에 의하여 통상의 수단으로 변경이 가능하며, 따라서 이상의 실시예는 예시적인 것으로 한정적이지 아닌 것으로 이해해야 한다.

**발명의 효과**

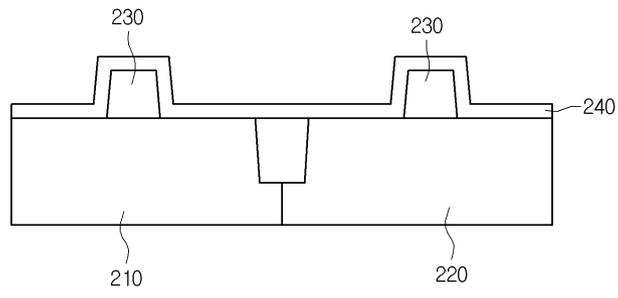
- <42> 본 발명에 따른 CMOS 이미지 센서는 게이트 산화막을 실리사이드 공정으로부터 보호하는 질화막을 제공하여 CMOS 이미지 센서의 성능 및 수율을 개선하는 효과가 있다.

**도면의 간단한 설명**

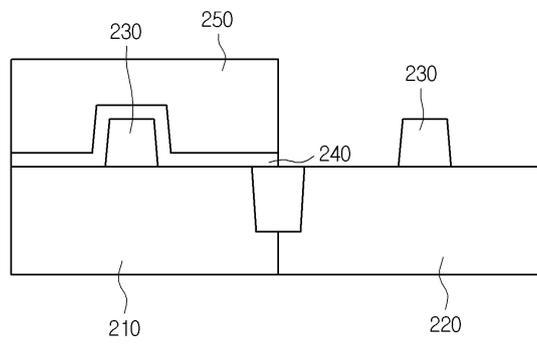
- <1> 도 1a 내지 도 1c는 종래의 기술에 따른 CMOS 이미지 센서의 제조 공정을 나타내는 도면이다.
- <2> 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 CMOS 이미지 센서의 제조 공정을 나타내는 도면이다.
- <3> 도 3a 내지 도 3d는 본 발명의 또 다른 일 실시예에 따른 CMOS 이미지 센서의 제조 공정을 나타내는 도면이다.
- <4> <도면의 주요부분에 대한 부호의 설명>



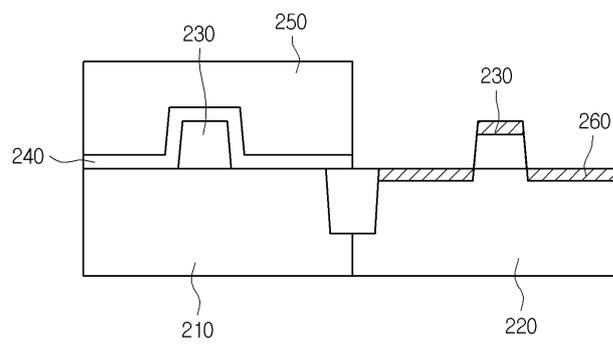
도면2a



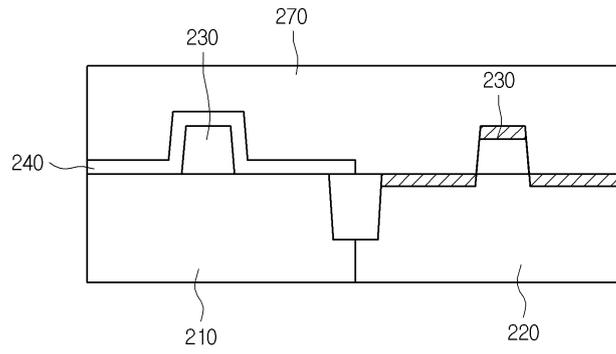
도면2b



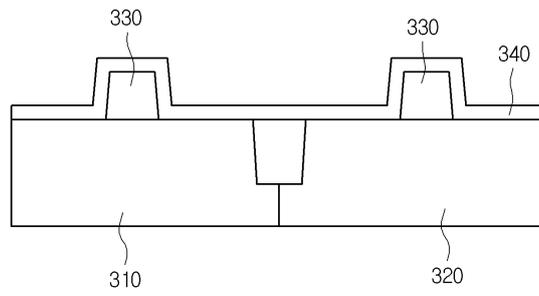
도면2c



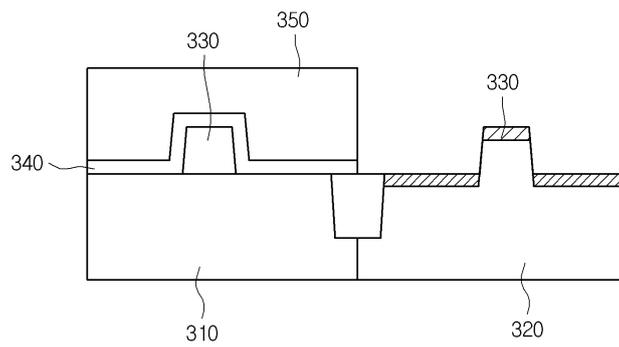
도면2d



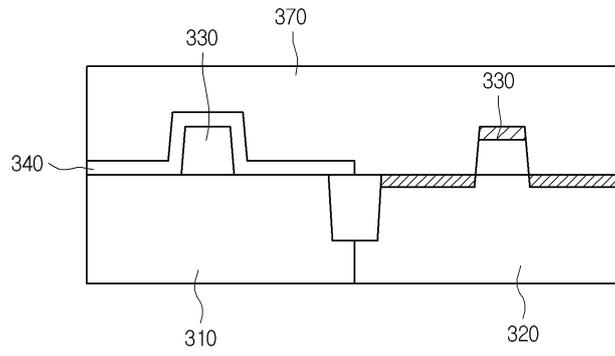
도면3a



도면3b



도면3c



도면3d

