



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년04월08일
 (11) 등록번호 10-1966991
 (24) 등록일자 2019년04월02일

- (51) 국제특허분류(Int. Cl.)
H04N 5/369 (2011.01)
- (21) 출원번호 10-2012-0086099
 (22) 출원일자 2012년08월07일
 심사청구일자 2017년07월20일
 (65) 공개번호 10-2013-0020566
 (43) 공개일자 2013년02월27일
 (30) 우선권주장
 JP-P-2011-178682 2011년08월18일 일본(JP)
 (56) 선행기술조사문헌
 JP2009017218 A*
 JP2010183435 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
소니 세미컨덕터 솔루션즈 가부시키가이샤
 일본국 가나가와Ken 아초기시 아사히쵸 4-14-1
 (72) 발명자
센다 미치루
 일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
 사내
후지모토 신지
 일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
 사내
 (74) 대리인
최달용

전체 청구항 수 : 총 15 항

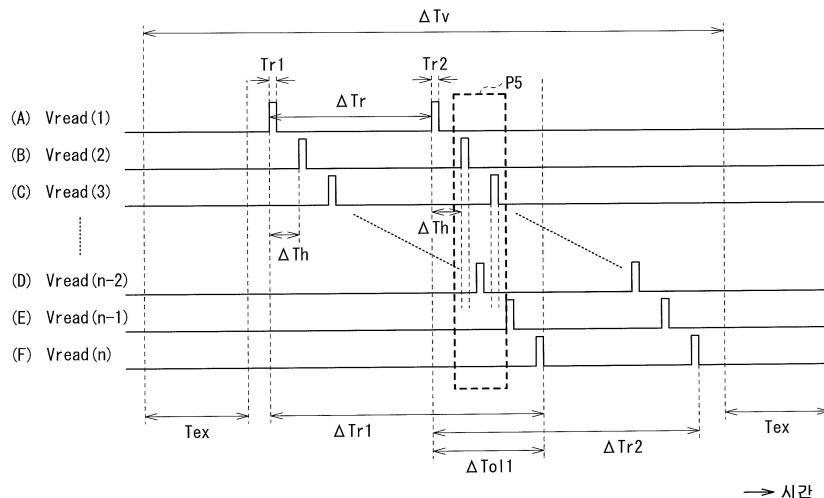
심사관 : 이성현

(54) 발명의 명칭 **촬상 장치 및 촬상 표시 시스템**

(57) 요약

촬상 장치는: 각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 촬상부; 및 상기 광전 변환 소자에 의해 얻어진 신호 전하를 상기 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 화소 내의 상기 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행하는 구동부를 구비한다. 상기 구동부는, 상기 선순차 리셋 구동을 1프레임 기간 내에서 간헐적으로 복수회 행하여, 오버랩 기간 내의 리셋 동작 기간의 적어도 일부에 비오버랩 기간이 마련되도록 한다. 상기 오버랩 기간은, 복수의 선순차 리셋 구동 중 하나의 구동 기간과 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간이 중첩되는 기간이고, 상기 비오버랩 기간은, 복수의 선순차 구동 중 하나에 의한 리셋 동작 각각이 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 오버랩되지 않는 기간이다.

대 표 도



명세서

청구범위

청구항 1

각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 활상부와,

상기 광전 변환 소자에 의해 얻어진 신호 전하를 상기 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 화소 내의 상기 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행함과 함께, 상기 선순차 판독 구동 및 상기 선순차 리셋 구동시에 상기 복수의 화소에 대한 선순차 주사를 행하는 주사부를 갖는 구동부를 구비하고,

상기 선순차 리셋 구동시의 구동 기간에, 상기 리셋 동작의 기간이 복수 포함되어 있고,

상기 선순차 리셋 구동이 1프레임 기간 내에서 간헐적으로 복수회 행하여짐에 의해, 상기 1프레임 기간 내에서 각 화소에서 상기 리셋 동작이 상기 복수회 행해짐과 함께,

하나의 선순차 리셋 구동시의 구동 기간과 다른 하나의 선순차 리셋 구동시의 구동기간이 부분적으로 중첩되는 기간인, 구동 오버랩 기간이 마련되어 있고,

상기 구동부는,

상기 하나의 선순차 리셋 구동에 의한 각 리셋 동작의 기간과 상기 다른 하나의 선순차 리셋 구동에 의한 각 리셋 동작의 기간이 모두 겹치지 않는 기간인 리셋 비중첩 기간이, 상기 구동 오버랩 기간내에서 적어도 일부에 마련되도록, 상기 복수회의 선순차 리셋 구동을 행하고,

상기 주사부는,

상기 선순차 리셋 구동의 실행 회수에 대응하여 마련된 복수열의 시프트 레지스터 회로부와,

각 열의 시프트 레지스터 회로부로부터의 출력 신호 끼리의 논리합 신호를, 각 출력 신호의 유효 기간을 제어하면서 생성하는 논리 회로를 갖는 것을 특징으로 하는 활상 장치.

청구항 2

제1항에 있어서,

상기 구동 오버랩 기간 내에서, 상기 리셋 비중첩 기간이 일부의 기간에만 마련되는 것을 특징으로 하는 활상 장치.

청구항 3

제1항에 있어서,

상기 구동 오버랩 기간 내에서의 상기 리셋 동작의 기간이, 모든 기간에서 상기 리셋 비중첩 기간으로 되어 있는 것을 특징으로 하는 활상 장치.

청구항 4

제1항에 있어서,

상기 선순차 판독 구동과 1회째의 상기 선순차 리셋 구동이, 단일의 선순차 구동에 의해 동시에 행하여지는 것을 특징으로 하는 활상 장치.

청구항 5

제4항에 있어서,

상기 구동부는, 상기 판독 동작을 행하는 때에 사용되는 신호선이 한 쪽의 입력 단자에 접속됨과 함께 소정의 리셋 전압이 다른 쪽의 입력 단자에 입력되는 차지 앰프를 갖고,

상기 차지 앰프에서의 가상 단락 현상을 이용하여, 상기 1회째의 선순차 리셋 구동시의 상기 리셋 동작이 수행되는 것을 특징으로 하는 활상 장치.

청구항 6

제5항에 있어서,

상기 차지 앰프에서의 귀환 특성 또는 가상 단락 현상을 이용하여, 2회째 이후의 상기 선순차 리셋 구동시의 상기 리셋 동작이 수행되는 것을 특징으로 하는 활상 장치.

청구항 7

제1항에 있어서,

상기 선순차 판독 구동과 각 회의 상기 선순차 리셋 구동이, 서로 독립하여 개별적으로 행하여지는 것을 특징으로 하는 활상 장치.

청구항 8

제7항에 있어서,

각 화소는 리셋용 트랜지스터를 가지며,

상기 리셋용 트랜지스터가 온 상태가 됨에 의해, 상기 각 회의 선순차 리셋 구동시의 상기 리셋 동작이 수행되는 것을 특징으로 하는 활상 장치.

청구항 9

제1항에 있어서,

상기 선순차 리셋 구동이, 1수평 기간을 초과하는 기간에 걸쳐서 간헐적으로 복수회 수행되는 것을 특징으로 하는 활상 장치.

청구항 10

제1항에 있어서,

상기 광전 변환 소자가, PIN형의 포토다이오드로 이루어지는 것을 특징으로 하는 활상 장치.

청구항 11

제1항에 있어서,

상기 활상부가, 입사한 방사선에 응하여 전기 신호를 발생시키고, 방사선 활상 장치로서 구성되는 것을 특징으로 하는 활상 장치.

청구항 12

제11항에 있어서,

상기 활상부는,

상기 광전 변환 소자를 구성하는 광전 변환층과,

상기 방사선을 상기 광전 변환층의 감도역으로 파장 변환하는 파장 변환층을 포함하는 것을 특징으로 하는 활상 장치.

청구항 13

제11항에 있어서,

상기 활상부는, 상기 광전 변환 소자를 구성함과 함께 상기 방사선에 응하여 상기 전기 신호를 직접 발생시키는 것을 특징으로 하는 활상 장치.

청구항 14

제11항에 있어서,

상기 방사선은 X선인 것을 특징으로 하는 활상 장치.

청구항 15

활상 장치와, 이 활상 장치에 의해 얻어진 활상 신호에 의거한 화상 표시를 행하는 표시 장치를 포함하고,

상기 활상 장치는,

각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 활상부와,

상기 광전 변환 소자에 의해 얻어진 신호 전하를 상기 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 화소 내의 상기 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행함과 함께, 상기 선순차 판독 구동 및 상기 선순차 리셋 구동시에 상기 복수의 화소에 대한 선순차 주사를 행하는 주사부를 갖는 구동부를 구비하고,

상기 선순차 리셋 구동시의 구동 기간에, 상기 리셋 동작의 기간이 복수 포함되어 있고,

상기 선순차 리셋 구동이 1프레임 기간 내에서 간헐적으로 복수회 행하여짐에 의해, 상기 1프레임 기간 내에서 각 화소에서 상기 리셋 동작이 상기 복수회 행해짐과 함께,

하나의 선순차 리셋 구동시의 구동 기간과 다른 하나의 선순차 리셋 구동시의 구동기간이 부분적으로 중첩되는 기간인, 구동 오버랩 기간이 마련되어 있고,

상기 구동부는,

상기 하나의 선순차 리셋 구동에 의한 각 리셋 동작의 기간과 상기 다른 하나의 선순차 리셋 구동에 의한 각 리셋 동작의 기간이 모두 겹치지 않는 기간인 리셋 비중첩 기간이, 상기 구동 오버랩 기간내에서 적어도 일부에 마련되도록, 상기 복수회의 선순차 리셋 구동을 행하고,

상기 주사부는,

상기 선순차 리셋 구동의 실행 회수에 대응하여 마련된 복수열의 시프트 레지스터 회로부와,

각 열의 시프트 레지스터 회로부로부터의 출력 신호 끼리의 논리합 신호를, 각 출력 신호의 유효 기간을 제어하면서 생성하는 논리 회로를 갖는 것을 특징으로 하는 활상 표시 시스템.

청구항 16

삭제

청구항 17

삭제

발명의 설명**기술 분야**

[0001] 본 개시는, 광전 변환 소자를 갖는 활상 장치, 및 그와 같은 활상 장치를 구비한 활상 표시 시스템에 관한 것이다.

배경 기술

[0002] 종래, 각 화소(활상 화소)에 광전 변환 소자를 내장하는 활상 장치로서, 여러가지의 것이 제안되어 있다. 예를 들면 일본 특개2011-135561호 공보에는, 그와 같은 광전 변환 소자를 갖는 활상 장치의 한 예로서, 이른바 광학식의 터치 패널이나, 방사선 활상 장치 등이 설명되어 있다.

발명의 내용

해결하려는 과제

[0003]

그런데, 상기한 바와 같은 활상 장치에서는 일반적으로, 복수의 화소를 구동(활상 구동)함에 의해 활상 화상을 얻을 수 있다. 이와 같은 활상 구동의 수법에 관해서도, 종래로부터 여러가지의 것이 제안되어 있지만, 활상 구동할 때의 동작(예를 들면 타이밍 등)의 자유도를 향상시키는 것을 가능하게 한 활상 장치의 제안이 요망된다.

[0004]

본 개시는 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 활상 구동할 때의 동작의 자유도를 향상시키는 것이 가능한 활상 장치, 및 그와 같은 활상 장치를 구비한 활상 표시 시스템을 제공하는 것에 있다.

과제의 해결 수단

[0005]

본 개시된 활상 장치는: 각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 활상부: 및 광전 변환 소자에 의해 얻어진 신호 전하를 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 화소 내의 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행하는 구동부를 구비한다. 구동부는, 선순차 리셋 구동을, 1프레임 기간 내에서 간헐적으로 복수회 행하여, 오버랩 기간 내의 리셋 동작의 적어도 일부에 비오버랩 기간이 마련되도록 한다. 오버랩 기간은, 복수의 선순차 리셋 구동 중 하나의 구동 기간과 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간이 중첩되는 기간이다. 비오버랩 기간은, 복수의 선순차 구동 중 하나에 의한 리셋 동작 각각이 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 오버랩되지 않는 기간이다.

[0006]

본 개시된 활상 표시 시스템은, 상기 개시된 활상 장치와, 이 활상 장치에 의해 얻어진 활상 신호에 의거한 화상 표시를 행하는 표시 장치를 구비한다. 상기 활상 장치는: 각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 활상부: 및 광전 변환 소자에 의해 얻어진 신호 전하를 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 화소 내의 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행하는 구동부를 구비한다. 구동부는, 선순차 리셋 구동을, 1프레임 기간 내에서 간헐적으로 복수회 행하여, 오버랩 기간 내의 리셋 동작의 적어도 일부에 비오버랩 기간이 마련되도록 한다. 오버랩 기간은, 복수의 선순차 리셋 구동 중 하나의 구동 기간과 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간이 중첩되는 기간이다. 비오버랩 기간은, 복수의 선순차 구동 중 하나에 의한 리셋 동작 각각이 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 오버랩되지 않는 기간이다.

[0007]

본 개시된 활상 장치 및 활상 표시 시스템에서는, 상기 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동이 행하여진다. 이 때, 선순차 리셋 구동이 1프레임 기간 내에서 간헐적으로 복수회 행하여짐에 의해, 리셋 동작 후에 있어서의 화소 내의 잔류 전하(신호 전하의 잔존량)가 저감된다. 여기서, 이들 복수회의 선순차 리셋 구동에서는, 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작 각각이, 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 중첩되지 않는 비오버랩 기간이, 복수의 선순차 리셋 구동 중 하나의 구동 기간이 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간과 중첩되는 오버랩 기간 내의 리셋 동작 기간의 적어도 일부에 마련된다. 이에 의해, 예를 들면, 상기 오버랩 기간 내의 리셋 동작의 기간에서 상기 비오버랩 기간이 전혀 마련되지 않는(상기 오버랩 기간 내의 각 리셋 동작의 기간이 모두 오버랩하고 있는) 경우와는 달리, 복수회의 선순차 리셋 구동할 때의 각 리셋 동작의 타이밍 등이, 임의로 설정 가능해진다.

발명의 효과

[0008]

본 개시된 활상 장치 및 활상 표시 시스템에 의하면, 복수회의 선순차 리셋 구동할 때에, 상기 오버랩 기간 내의 리셋 동작의 기간에서, 비오버랩 기간이 적어도 일부에 마련되도록 하였기 때문에, 그들 복수회의 선순차 리셋 구동할 때의 각 리셋 동작의 타이밍 등을, 임의로 설정할 수 있게 된다. 따라서, 활상 구동할 때의 동작의 자유도를 향상시키는 것이 가능해진다.

[0009]

상기의 일반적인 설명 및 하기의 상세한 설명은 예시적인 것으로, 특히 청구범위에서 청구된 기술을 보충하기 위한 것이다.

[0010]

첨부된 도면은 본 개시의 이해를 돋기 위한 것으로, 본원 명세서의 일부를 구성한다. 도면은 발명의 상세한 설명과 함께 실시의 형태를 설명하며, 본 기술의 원리를 설명할 것이다.

도면의 간단한 설명

[0011]

- 도 1은 본 개시된 한 실시의 형태에 관한 활상 장치의 전체 구성예를 도시하는 블록도.
- 도 2는 도 1에 도시한 활상부의 개략 구성예를 도시하는 모식도.
- 도 3은 도 1에 도시한 화소 등의 상세 구성예를 도시하는 회로도.
- 도 4는 도 1에 도시한 행 주사부의 상세 구성예를 도시하는 블록도.
- 도 5는 도 1에 도시한 열 선택부의 상세 구성예를 도시하는 블록도.
- 도 6의 A 및 B는 노광 기간 및 판독/제 1 리셋 기간에서의 동작 상태의 한 예를 도시하는 회로도.
- 도 7의 A 및 B는 래터럴형 구조의 PIN형의 포토 다이오드인 경우에 있어서의 광전 변환 소자로의 축적 상태 및 공핍 상태에 관해 설명하기 위한 모식도.
- 도 8은 버티컬형 구조의 PIN형의 포토 다이오드로 이루어지는 광전 변환 소자의 구성예를 도시하는 모식 단면도.
- 도 9는 화소 내의 기생 용량에 기인한 전하 분배 현상에 관해 설명하기 위한 회로도.
- 도 10의 A 및 B는 잔류 전하 발생의 메커니즘을 설명하기 위한 특성도.
- 도 11의 A 및 B는 판독/제 1 리셋 기간 후의 경과 시간과 Decay 전류와의 관계의 한 예를 도시하는 특성도.
- 도 12는 잔류 전하량과 Decay 전류와의 관계에 관해 설명하기 위한 특성도.
- 도 13은 실시의 형태에 관한 활상 동작의 개요를 설명하기 위한 타이밍 과정도.
- 도 14의 A 및 B는 제 2의 리셋 기간에서의 동작 상태의 예를 도시하는 회로도.
- 도 15는 2회째의 리셋 동작에 의해 저감되는 잔류 전하량에 관해 설명하기 위한 특성도.
- 도 16은 실시의 형태에 관한 선순차 활상 구동의 한 예를 도시하는 타이밍 과정도.
- 도 17은 도 16에 도시한 선순차 활상 구동의 일부를 확대하여 도시하는 타이밍 과정도.
- 도 18은 실시의 형태에 관한 선순차 활상 구동의 다른 예를 도시하는 타이밍 과정도.
- 도 19는 실시의 형태에 관한 선순차 활상 구동의 다른 예를 도시하는 타이밍 과정도.
- 도 20은 비교예에 관한 선순차 활상 구동을 도시하는 타이밍 과정도.
- 도 21은 변형예1에 관한 화소 등의 구성을 도시하는 회로도.
- 도 22는 변형예2에 관한 화소 등의 구성을 도시하는 회로도.
- 도 23은 변형예3에 관한 화소 등의 구성을 도시하는 회로도.
- 도 24의 A 및 B는 패시브형 및 액티브형의 화소 회로에서의 선순차 활상 구동의 한 예를 도시하는 타이밍 과정도.
- 도 25의 A 및 B는 변형예4 및 변형예5에 관한 활상부의 개략 구성을 도시하는 모식도.
- 도 26은 적용예에 관한 활상 표시 시스템의 개략 구성을 도시하는 모식도.

발명을 실시하기 위한 구체적인 내용

[0012]

이하, 본 개시된 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0013]

1. 실시의 형태(패시브형의 화소 회로의 예 1)

[0014]

2. 변형예

[0015]

변형예1(패시브형의 화소 회로의 예 2)

[0016]

변형예2 및 변형예3(액티브형의 화소 회로의 예)

[0017]

변형예4 및 변형예5(방사선에 의거하여 활상을 행하는 활상부의 예)

[0018] 3. 적용예(활상 표시 시스템에의 적용예)

[0019] 4. 기타의 변형 예

[0020] <실시의 형태>

[0021] [활상 장치(1)의 전체 구성]

도 1은, 본 개시된 한 실시의 형태에 관한 활상 장치(활상 장치(1))의 전체의 블록 구성을 도시하는 것이다. 활상 장치(1)는, 활상광에 의거하여 피사체의 정보를 판독하는(피사체를 활상하는) 것이다. 이 활상 장치(1)는, 활상부(11), 행 주사부(13), A/D 변환부(14), 열 주사부(15) 및 시스템 제어부(16)를 구비하고 있다. 이 중, 행 주사부(13), A/D 변환부(14), 열 주사부(15) 및 시스템 제어부(16)가, 본 개시에서의 "구동부"의 한 구체예에 대응하고, 행 주사부(13)가, 본 개시에서의 "주사부"의 한 구체예에 대응한다.

[0023] (활상부(11))

활상부(11)는, 입사한 활상광에 응하여 전기 신호를 발생시키는 것(활상 영역)이다. 이 활상부(11)에서는, 입사한 활상광의 광량에 응한 전하량의 광 전하를 발생하여 내부에 축적하는 광전 변환부(후술하는 광전 변환 소자(21))를 갖는 화소(활상 화소, 단위 화소(20))가, 행렬형상(매트릭스형상)으로 2차원 배치되어 있다. 또한, 도 1에 도시한 바와 같이, 이하, 활상부(11) 내에서 수평 방향(행방향)을 "H"방향으로 하고, 수직 방향(열방향)을 "V"방향으로 하여 설명한다.

도 2는, 이 활상부(11)의 개략 구성을 도시한 것이다. 활상부(11)에는, 상기한 복수의 화소(20)가 배치된 광전 변환층(111)이 마련되어 있다. 이 광전 변환층(111)에서는, 도면에 도시한 바와 같이, 입사한 활상광(Lin)에 의거한 광전 변환(활상광(Lin)으로부터 신호 전하로의 변환)이 이루어지도록 되어 있다.

도 3은, 화소(20)의 회로 구성예(이른바 패시브형의 회로 구성예)를, A/D 변환부(14) 내의 후술하는 열 선택부(17)의 회로 구성예와 함께 도시한 것이다. 이 패시브형의 화소(20)에는, 하나의 광전 변환 소자(21)와, 하나의 트랜지스터(22)가 마련되어 있다. 이 화소(20)에는 또한, H방향에 따라서 연재되는 판독 제어선(Lread)과, V방향에 따라서 연재되는 신호선(Lsig)이 접속되어 있다.

광전 변환 소자(21)는, 예를 들면 PIN(Positive Intrinsic Negative)형의 포토 다이오드로 이루어지고, 전술한 바와 같이, 입사광(활상광(Lin))의 광량에 응한 전하량의 신호 전하를 발생시키도록 되어 있다. 또한, 이 광전 변환 소자(21)의 캐소드는, 축적 노드(N)에 접속되어 있다.

트랜지스터(22)는, 판독 제어선(Lread)으로부터 공급되는 행 주사 신호에 응하여 온 상태가 됨에 의해, 광전 변환 소자(21)에 의해 얻어진 신호 전하(입력 전압(Vin))을 신호선(Lsig)에 출력하는 트랜지스터(판독용 트랜지스터)이다. 이 트랜지스터(22)는, 여기서는 N채널형(N형)의 전계 효과 트랜지스터(FET ; Field Effect Transistor)에 의해 구성되어 있다. 단, 트랜지스터(22)가 P채널형(P형)의 FET 등에 의해 구성되어 있어도 좋다. 이 트랜지스터(22)는 또한, 예를 들면, 미결정 실리콘(Si) 또는 다결정 실리콘(폴리실리콘) 등의 실리콘 계 반도체를 이용하여 구성되어 있다. 또는, 산화 인듐갈륨아연(InGaZnO) 또는 산화 아연(ZnO) 등의 산화물 반도체를 이용하여 구성하여도 좋다. 미결정 실리콘, 다결정 실리콘 및 산화물 반도체는, 비정질 실리콘(어모퍼스 실리콘)에 비하여 이동도(μ)가 높기 때문에, 예를 들면 트랜지스터(22)에 의한 신호 전하의 고속 판독이 가능해진다.

이 화소(20)에서는, 트랜지스터(22)의 게이트가 판독 제어선(Lread)에 접속되고, 소스가 신호선(Lsig)에 접속되고, 드레인, 광전 변환 소자(21)의 캐소드(축적 노드(N))에 접속되어 있다. 또한, 광전 변환 소자(21)의 애노드는, 여기서는 그라운드(접지)에 접속되어 있다.

[0030] (행 주사부(13))

도 1에 도시한 행 주사부(13)는, 후술하는 시프트 레지스터 회로나 소정의 논리 회로 등을 포함하여 구성되어 있고, 활상부(11) 내의 복수의 화소(20)에 대해 행 단위(수평 라인 단위)로의 구동(선순차 주사)을 행하는 화소 구동부(행 주사 회로)이다. 구체적으로는, 후술하는 선순차 판독 구동이나 선순차 리셋 구동 등의 선순차 활상 구동할 때에, 그와 같은 선순차 주사를 행한다. 또한, 이 선순차 주사는, 판독 제어선(Lread)을 통하여 전술한 행 주사 신호를 각 화소(20)에 공급함에 의해 행하여지도록 되어 있다.

- [0032] 도 4는, 행 주사부(13)의 블록 구성을 도시한 것이다. 행 주사부(13)는, V방향에 따라서 연재되는 복수의 단위 회로(130)를 갖고 있다. 또한, 여기서는, 도면에 도시한 4개의 단위 회로(130)에 접속된 8개의 판독 제어선(Lread)을, 위로부터 차례로, Lread(1) 내지 Lread(8)로서 나타내고 있다.
- [0033] 각 단위 회로(130)는, 복수열(여기서는 2열)의 시프트 레지스터 회로(131, 132)(도면 중의 블록 내에서는 편의상, "S/R"로 기재 ; 이하 마찬가지)와, 4개의 AND 회로(논리곱 회로)(133A 내지 133D)와, 2개의 OR 회로(논리합 회로)(134A, 134B)와, 2개의 버퍼 회로(135A, 135B)를 갖고 있다. 이들 중, AND 회로(133A 내지 133D) 및 OR 회로(134A, 134B)가, 본 개시에서 "논리 회로"의 한 구체예에 대응하고 있다.
- [0034] 시프트 레지스터 회로(131)는, 시스템 제어부(16)로부터 공급되는 스타트 펄스(VST1) 및 클록 신호(CLK1)에 의거하여, 복수의 단위 회로(130) 전체로서, V방향으로 순차적으로 시프트하는 펄스 신호를 생성하는 회로이다. 마찬가지로, 시프트 레지스터 회로(132)는, 시스템 제어부(16)로부터 공급되는 스타트 펄스(VST2) 및 클록 신호(CLK2)에 의거하여, 복수의 단위 회로(130) 전체로서, V방향으로 순차적으로 시프트하는 펄스 신호를 생성하는 회로이다. 이들의 시프트 레지스터 회로(131, 132)는, 후술하는 복수회의 선순차 리셋 구동에서의 실행 회수(여기서는 2회)에 대응하여 마련된 것이다(실행 회수에 대응하여 2열 마련되어 있다). 즉, 예를 들면, 시프트 레지스터 회로(131)는, 1회째의 선순차 리셋 구동용의 펄스 신호를 생성하는 역할을 담당하는 한편, 시프트 레지스터 회로(132)는, 2회째의 선순차 리셋 구동용의 펄스 신호를 생성하는 역할을 담당하고 있다.
- [0035] AND 회로(133A 내지 133D)에는 각각, 시프트 레지스터 회로(131, 132)로부터 출력되는 각 펄스 신호(각 출력 신호)의 유효 기간을 제어(규정)하기 위한 4종류의 이네이블 신호(EN1 내지 EN4)가 입력되어 있다. 구체적으로는, AND 회로(133A)에서는, 한쪽의 입력 단자에는 시프트 레지스터 회로(132)로부터의 펄스 신호가 입력되고, 다른 쪽의 입력 단자에는 이네이블 신호(EN1)가 입력되어 있다. AND 회로(133B)에서는, 한쪽의 입력 단자에는 시프트 레지스터 회로(131)로부터의 펄스 신호가 입력되고, 다른쪽의 입력 단자에는 이네이블 신호(EN2)가 입력되어 있다. AND 회로(133C)에서는, 한쪽의 입력 단자에는 시프트 레지스터 회로(132)로부터의 펄스 신호가 입력되고, 다른쪽의 입력 단자에는 이네이블 신호(EN3)가 입력되어 있다. AND 회로(133D)에서는, 한쪽의 입력 단자에는 시프트 레지스터 회로(131)로부터의 펄스 신호가 입력되고, 다른쪽의 입력 단자에는 이네이블 신호(EN4)가 입력되어 있다.
- [0036] OR 회로(134A)는, AND 회로(133A)로부터의 출력 신호와 AND 회로(133B)로부터의 출력 신호와의 논리합 신호(OR 신호)를 생성하는 회로이다. 마찬가지로, OR 회로(134B)는, AND 회로(133C)로부터의 출력 신호와 AND 회로(133D)로부터의 출력 신호와의 논리합 신호를 생성하는 회로이다. 이와 같이 하여, 상기한 AND 회로(133A 내지 133D)와 OR 회로(134A, 134B)에 의해, 시프트 레지스터 회로(131, 132)로부터의 출력 신호(펄스 신호)끼리의 논리합 신호가, 각 출력 신호의 유효 기간을 제어하면서 생성된다. 이에 의해, 후술하는 복수회의 선순차 리셋 구동할 때의 구동 타이밍 등이 규정되도록 되어 있다.
- [0037] 버퍼 회로(135A)는, OR 회로(134A)로부터의 출력 신호(펄스 신호)에 대한 버퍼로서 기능하는 회로이고, 버퍼 회로(135B)는, OR 회로(134B)로부터의 출력 신호에 대한 버퍼로서 기능하는 회로이다. 이들의 버퍼 회로(135A, 135B)에 의한 버퍼 후의 펄스 신호(행 주사 신호)는, 판독 제어선(Lread)을 통하여 활상부(11) 내의 각 화소(20)에 출력되도록 되어 있다.
- [0038] (A/D 변환부(14))
- [0039] A/D 변환부(14)는, 도 1에 도시한 바와 같이, 복수(여기서는 4개)의 신호선(Lsig)마다 하나 마련된 복수의 열 선택부(17)를 갖고 있고, 신호선(Lsig)을 통하여 입력한 신호 전압(신호 전하)에 의거하여 A/D변환(아날로그/디지털 변환)을 행하는 것이다. 이에 의해, 디지털 신호로 이루어지는 출력 데이터(Dout)(활상 신호)가 생성되고, 외부에 출력되도록 되어 있다.
- [0040] 각 열 선택부(17)는, 예를 들면 도 3 및 도 5에 도시한 바와 같이, 차지 앰프(charge amplifier; 172), 용량 소자(콘덴서, 피드백 용량 소자)(C1), 스위치(SW1), 샘플 홀드(S/H)회로(173), 4개의 스위치(SW2)를 포함하는 멀티플렉서 회로(선택 회로)(174), 및 A/D 컨버터(175)를 갖고 있다. 이 중, 차지 앰프(172), 용량 소자(C1), 스위치(SW1), S/H 회로(173) 및 스위치(SW2)는 각각, 도 5에 도시한 바와 같이, 신호선(Lsig)마다 하나씩 마련되어 있다. 한편, 멀티플렉서 회로(174) 및 A/D 컨버터(175)는, 열 선택부(17) 전체로서 하나 마련되어 있다.
- [0041] 차지 앰프(172)는, 신호선(Lsig)으로부터 판독된 신호 전하를 전압으로 변환(Q-V 변환)하기 위한 앰프(증폭기)이다. 이 차지 앰프(172)에서는, 부측(-측)의 입력 단자에 신호선(Lsig)의 일단이 접속되고, 정측(+측)의 입력 단자에는 소정의 리셋 전압(Vrst)이 입력되도록 되어 있다. 또한, 차지 앰프(172)의 출력 단자와 부측의 입력

단자와의 사이는, 용량 소자(C1)와 스위치(SW1)와의 병렬 접속 회로를 통하여 귀환 접속(피드백 접속)되어 있다. 즉, 용량 소자(C1)의 한쪽의 단자가 차지 앰프(172)의 부측의 입력 단자에 접속되고, 다른쪽의 단자가 차지 앰프(172)의 출력 단자에 접속되어 있다. 마찬가지로, 스위치(SW1)의 한쪽의 단자가 차지 앰프(172)의 부측의 입력 단자에 접속되고, 다른쪽의 단자가 차지 앰프(172)의 출력 단자에 접속되어 있다. 또한, 이 스위치(SW1)의 온·오프 상태는, 시스템 제어부(16)로부터 앰프 리셋 제어선(Lcarst)을 통하여 공급되는 제어 신호(앰프 리셋 제어 신호)에 의해 제어되도록 되어 있다. 이와 같이 하여, 차지 앰프(172), 용량 소자(C1) 및 스위치(SW1)에 의해, 상기한 Q-V 변환을 행하는 차지 앰프 회로가 형성되어 있다.

[0042] S/H 회로(173)는, 차지 앰프(172)와 멀티플렉서 회로(174)(스위치(SW2))와의 사이에 배치되어 있고, 차지 앰프(172)로부터의 출력 전압(Vca)을 일시적으로 유지하기 위하는 회로이다.

[0043] 멀티플렉서 회로(174)는, 열 주사부(15)에 의한 주사 구동에 따라 4개의 스위치(SW2) 중의 하나가 순차적으로 온 상태가 됨에 의해, 각 S/H 회로(173)와 A/D 컨버터(175)와의 사이를 선택적으로 접속 또는 차단하는 회로이다.

[0044] A/D 컨버터(175)는, 스위치(SW2)를 통하여 입력된 S/H 회로(173)로부터의 출력 전압에 대해 A/D변환을 행함에 의해, 상기한 출력 데이터(Dout)를 생성하여 출력하는 회로이다.

[0045] (열 주사부(15) · 시스템 제어부(16))

[0046] 열 주사부(15)는, 예를 들면 도시하지 않은 시프트 레지스터나 어드레스 디코더 등을 포함하여 구성되어 있고, 상기한 열 선택부(17) 내의 각 스위치(SW2)를 주사하면서 순번대로 구동하는 것이다. 이와 같은 열 주사부(15)에 의한 선택 주사에 의해, 신호선(Lsig)의 각각을 통하여 판독된 각 화소(20)의 신호(상기한 출력 데이터(Dout))가, 순번대로 외부에 출력되도록 되어 있다.

[0047] 시스템 제어부(16)는, 행 주사부(13), A/D 변환부(14) 및 열 주사부(15)의 동작을 제어하는 것이다. 구체적으로는, 이 시스템 제어부(16)는, 전술한 각종의 타이밍 신호(제어 신호)를 생성하는 타이밍 제너레이터를 갖고 있고, 이 타이밍 제너레이터에서 생성되는 각종의 타이밍 신호를 기초로, 행 주사부(13), A/D 변환부(14) 및 열 주사부(15)의 구동 제어를 행한다. 이와 같이 하여, 시스템 제어부(16)의 제어에 의거하여, 행 주사부(13), A/D 변환부(14) 및 열 주사부(15)가 각각 활상부(11) 내의 복수의 화소(20)에 대한 활상 구동(선순차 활상 구동)을 행함에 의해, 활상부(11)로부터 출력 데이터(Dout)가 취득되도록 되어 있다.

[0048] [활상 장치(1)의 작용 및 효과]

[0049] (1. 기본 동작)

[0050] 이 활상 장치(1)에서는, 도 2에 도시한 바와 같이, 후술하는 노광 기간(Tex)에서 활상광(Lin)이 활상부(11)에 입사하면, 광전 변환층(111)(도 3에 도시한 각 화소(20) 내의 광전 변환 소자(21))에서는, 이 활상광(Lin)이 신호 전하로 변환(광전 변환)된다. 이 광전 변환에 의해 발생한 신호 전하에 의해, 축적 노드(N)에서는 축적 노드 용량에 응한 전압 변화가 생긴다. 구체적으로는, 축적 노드 용량을 Cs, 발생한 신호 전하를 q라고 하면, 축적 노드(N)에서는 (q/Cs) 의 분만큼 전압이 저하된다. 이와 같은 전압 변화에 응하여, 트랜ジ스터(22)의 드레인에는 입력 전압(Vin)(신호 전하에 대응한 전압)이 인가된다. 이 트랜지스터(22)에 공급되는 입력 전압(Vin)은, 판독 제어선(Lread)으로부터 공급되는 행 주사 신호에 응하여 트랜지스터(22)가 온 상태가 되면, 그 전하가 화소(20)로부터 신호선(Lsig)에 판독된다(판독 기간).

[0051] 이와 같이 하여 판독된 신호 전하는, 신호선(Lsig)을 통하여 복수(여기서는 4개)의 화소열마다, A/D 변환부(14) 내의 열 선택부(17)에 입력된다. 열 선택부(17)에서는, 우선, 각 신호선(Lsig)으로부터 입력되는 신호 전하마다, 차지 앰프(172) 등으로 이루어지는 차지 앰프 회로에서 Q-V 변환(신호 전하로부터 신호 전압으로의 변환)을 행한다. 뒤이어, 변환된 신호 전압(차지 앰프 회로(172)로부터의 출력 전압(Vca))마다, S/H 회로(173) 및 멀티플렉서 회로(174)를 통하여 A/D 컨버터(175)에서 A/D변환을 행하여, 디지털 신호로 이루어지는 출력 데이터(Dout)(활상 신호)를 생성한다. 이와 같이 하여, 각 열 선택부(17)로부터 출력 데이터(Dout)가 순번대로 출력되고, 외부에 전송된다.

[0052] (2. 노광 기간(Tex) 및 판독 기간에서의 동작)

[0053] 여기서, 도 6의 A, B를 참조하여, 상기한 노광 기간(Tex) 및 판독 기간에서의 화소(20) 및 열 선택부(17) 내의 차지 앰프 회로의 동작에 관해, 상세히 설명한다. 또한, 이하에서는 설명의 편의상, 트랜지스터(22)의 온·오프

상태를, 스위치를 이용하여 도시하고 있다.

[0054] 우선, 도 6의 A에 도시한 바와 같이, 화소(20) 내의 광전 변환 소자(21)에 활상광(Lin)이 입사하는 노광 기간(Tex)에서는, 축적 노드(N)에 축적된 신호 전하가 노광 기간(Tex) 중에는 신호선(Lsig)측에 출력되지 않도록(판독되지 않도록), 트랜지스터(22)는 오프 상태가 되어 있다. 또한, 이 때 차지 앰프 회로에서는, 후술하는 앰프 리셋 동작(차지 앰프 회로의 리셋 동작)이 이루어진 후의 상태이기 때문에, 스위치(SW1)가 온 상태가 되어 있고, 결과로서 전압 팔로워 회로가 형성되어 있다.

[0055] 한편, 상기한 판독 기간은, 본 실시의 형태에서는, 화소(20) 내에 축적된 신호 전하를 리셋하기 위한 리셋 동작(화소 리셋 동작)을 행하는 기간으로도 되어 있다. 즉, 본 실시의 형태의 화소(20)는 패시브형의 화소 회로로 되어 있는 것에 기인하여, 광전 변환 소자(21)에 의해 얻어진 신호 전하를 화소(20)로부터 판독하는 "판독 동작"과, 상기한 "리셋 동작"이, 실질적으로 동시에 (병행하여) 행하여진다. 환언하면, 상세는 후술하지만, 이 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동이, 단일한 선순차 구동에 의해 (실질적으로) 동시에 행하여지도록 되어 있다. 또한, 이 때의 리셋 동작은, 후술하는 복수회(여기서는 2회)의 리셋 동작중의 1회째의 리셋 동작에 대응하고 있기 때문에, 이하에서는, 이 판독 동작과 1회째의 리셋 동작이 실질적 동시에 행하여지는 기간을, "판독/제 1 리셋 기간(Tr1)"이라고 칭한다.

[0056] 이 판독/제 1 리셋 기간(Tr1)에서는, 도 6의 B에 도시한 바와 같이, 트랜지스터(22)가 온 상태가 됨에 의해, 화소(20) 내의 축적 노드(N)로부터 신호선(Lsig)측에 신호 전하가 판독된다(도면중의 화살표(P11) 참조). 이와 같이 하여 판독된 신호 전하는, 차지 앰프 회로에 입력된다. 여기서, 이 판독/제 1 리셋 기간(Tr1)에서는, 차지 앰프 회로에서의 스위치(SW1)는, 오프 상태가 되어 있다. 즉, 차지 앰프 회로가 판독 동작 상태가 되어 있다. 따라서 이 차지 앰프 회로에 입력된 신호 전하는 용량 소자(C1)에 축적되고, 그 축적 전하에 응한 신호 전압(출력 전압(Vca))이 차지 앰프(172)로부터 출력된다. 이와 같이 하여 차지 앰프 회로에서, 신호 전하로부터 신호 전압으로의 변환(Q-V 변환)이 이루어진다. 또한, 이와 같이 하여 용량 소자(C1)에 축적된 전하는, 후술하는 앰프 리셋 동작시에 스위치(SW1)가 온 상태가 됨에 의해, 리셋되도록(앰프 리셋 동작이 이루어지도록) 되어 있다.

[0057] 또한, 이와 같은 판독 동작과 함께, 이 판독/제 1 리셋 기간(Tr1)에서는, 이하와 같이 하여 1회째의 리셋 동작(제 1의 리셋 동작)이 행하여진다. 즉, 도면 중의 화살표(P12)로 도시한 바와 같이, 차지 앰프 회로(차지 앰프(172))에서의 가상 단락(imaginary short) 현상을 이용하여, 1회째의 리셋 동작이 이루어진다. 즉, 이 가상 단락 현상에 의해, 차지 앰프(172)에서의 부측의 입력 단자측(신호선(Lsig) 측)의 전압이, 정측의 입력 단자에 인가되어 있는 리셋 전압(Vrst)에 개략 동등하게 되기 때문에, 트랜지스터(22)를 통하여 화소(20) 내의 축적 노드(N)도, 이 리셋 전압(Vrst)으로 되는 것이다. 이와 같이 하여, 상기한 판독 동작에 수반하여, 축적 노드(N)의 축적 전하가 소정의 리셋 전압(Vrst)으로 리셋된다.

[0058] (3. 1회째의 리셋 동작 후에 있어서의 화소(20) 내에서의 신호 전하의 잔존에 관해)

[0059] 그런데, 상기한 바와 같은 1회째의 리셋 동작(제 1의 리셋 동작)을 행하였음에도 불구하고, 이 1회째의 리셋 동작 전에 축적된 신호 전하의 일부가 화소(20) 내에 잔존하여 버리는 경우가 있다. 이와 같이 신호 전하의 일부가 화소(20) 내에 남아 버리면, 다음 판독 동작시(다음 프레임 기간으로의 활상시)에서 그 잔류 전하에 기인한 잔상이 발생하고, 활상 화질이 저하되어 버린다는 문제가 있다. 이하, 도 7 내지 도 12를 참조하여, 이와 같은 1회째의 리셋 동작 후에 있어서의 화소(20) 내에서의 신호 전하의 잔존(축적 전하의 잔류)에 관해, 상세히 설명한다.

[0060] 우선, 광전 변환 소자(21)가 PIN형의 포토 다이오드(박막 포토 다이오드)인 경우, 이하의 2개의 구조의 것으로 대별된다. 즉, 도 7의 A, B에 도시한 바와 같은, 이른바 래터럴형(횡형) 구조의 것과, 도 8에 도시한 바와 같은, 이른바 버티컬형(종형) 구조의 것이다.

[0061] 도 7의 A, B에 도시한 래터럴형 구조인 경우, 광전 변환 소자(21)는 횡방향(적층면 내 방향)에 따라서, p형 반도체층(21P), 진성(眞性) 반도체층(i층)(21I) 및 n형 반도체층(21N)을, 이 순서로 갖고 있다. 또한, 진성 반도체층(21I) 부근에서 게이트 절연막(도시 생략)을 통하여 대향 배치된, 게이트 전극(21G)을 갖고 있다. 한편, 도 8에 도시한 버티컬형 구조인 경우, 광전 변환 소자(21)는 종방향(적층 방향)에 따라서, 예를 들면, 하부 전극(211a), n형 반도체층(21N), 진성 반도체층(21I), p형 반도체층(21P) 및 상부 전극(211b)을, 이 순서로 갖고 있다.

[0062] (3-1. 강(強) 외광이 조사되어 화소(20) 내의 전하가 포화되는 경우의 발생 메커니즘)

[0063] 여기서, 상기한 신호 전하의 잔존이 발생하는 메커니즘의 한 예로서, 강 외광이 조사되어 화소(20) 내의 전하가 포화되어 버리는 경우에 관해, 상기한 래터럴형 구조의 PIN형의 포토 다이오드로 이루어지는 광전 변환 소자(21)를 예로 들어서 설명한다. 이 구조의 광전 변환 소자(21)에서는, 게이트 전극(21G)에 인가되는 게이트 전압에 의해, 진성 반도체층(21I)이, 축적 상태(포화 상태), 공핍 상태, 반전 상태의 어느 하나의 상태가 된다. 여기서, 박막 포토 다이오드의 경우, 이 축적 상태 또는 반전 상태에서 게이트 전극(21G)측의 계면에 전하가 야기된 상태(도 7의 A)로부터, 공핍 상태(도 7의 B)로 천이하는데는, 수백 μ s 오더의 시간이 필요해진다. 통상, PIN형의 포토 다이오드는, 공핍 상태에서 광 감도가 최대가 되기 때문에 공핍 상태에서 사용하는데, 예를 들면 강 외광이 조사되어 $V_{np} < 0V$ 의 상태가 되면, 축적 상태로 이행한다. 그리고, V_{np} 는, p형 반도체층(21P)측에서 본 n형 반도체층(21N)의 전위이다.

[0064] 이 때문에, 예를 들면, 강 외광이 조사된 직후에 암 상태로 환경이 변화하고, 또한 리셋 동작(1회째의 리셋 동작)이 행하여져서 $V_{np} > 0$ 의 상태로 되돌아와도, 수백 μ s의 동안은 축적 상태로부터 공핍 상태로 천이할 수가 없다. 이 때, 공핍 상태와, 축적 상태 또는 반전 상태에서는, 상기한 게이트 전극(21G)측의 계면에 야기된 전하의 영향에 의해, PIN형의 포토 다이오드에서의 용량 특성이 다른 것이 알려져 있다. 즉, 도 7의 A, B에 도시한 바와 같이, 게이트 전극(21G)과 p형 반도체층(21P)과 사이에 형성된 기생 용량(C_{gp})은, 축적 상태에서는 크고, 공핍 상태에서는 작다.

[0065] 한편, 화소(20) 내의 축적 노드(N)(축적 용량)는, 상기한 1회째의 리셋 동작에 의해 소정의 리셋 전압(V_{rst})이 되는데, 이 1회째의 리셋 동작 후에 트랜지스터(22)가 온 상태로부터 오프 상태로 천이할 때에, 이하의 현상이 일어난다. 즉, 예를 들면 도 9에 도시한 바와 같이, 화소(20) 내의 기생 용량(트랜지스터(22)의 게이트 및 드레인 사이에 형성된 기생 용량(C_{gd}))에 축적된 전하에 기인하여, 축적 노드(N)의 전위가 리셋 전압(V_{rst})으로부터 미소하게 변동한다(도면 중의 화살표(P2) 참조). 이와 같은 현상은, 전하 분배 현상(차지 인젝션 현상)이라고 불린다.

[0066] 여기서, 상술한 바와 같이, 축적 노드(N)에 접속되어 있는 PIN형의 포토 다이오드(광전 변환 소자(21))에서의 기생 용량(C_{gp})이, 공핍 상태와 축적 또는 반전 상태에서 다른 경우, 이 광전 변환 소자(21)의 상태에 의해, 화소(20) 내에서의 전체의 커플링량(기생 용량의 크기)이 변화하여 버린다. 이것이 영향을 주어, 1회째의 리셋 동작 후에서도, 직전까지 입사하고 있던 광(활상광(Lin))의 정보(전하)가, 축적 노드(N)에 남아 버린다. 이와 같은 메커니즘에 의해, 강 외광이 조사되어 화소(20) 내의 전하가 포화되어 버리는 경우에는, 1회째의 리셋 동작을 행하였음에도 불구하고, 이 1회째의 리셋 동작 전에 축적된 신호 전하의 일부가, 화소(20) 내에 잔존하여 버리는 것이다. 또한, 여기서는, 도 7의 A, B에 도시한 래터럴형 구조인 경우를 예로 들어서 설명하였지만, 예를 들면 도 8에 도시한 베티컬형 구조인 경우에도, 강 외광이 조사되어 화소(20) 내의 전하가 포화된 때에는, 마찬가지 메커니즘에 의해 신호 전하의 잔존이 생긴다.

[0067] (3-2. 일반적인 발생 메커니즘)

[0068] 뒤이어, 상기한 바와 같은 경우(강 외광이 조사되어 화소(20) 내의 전하가 포화되어 버리는 경우)에는 한정되지 않는, 신호 전하의 잔존(잔류 전하)이 일반적인 발생 메커니즘에 관해 설명한다. 즉, 상기한 바와 같은, 용량 변화가 발생하는 강 외광이 조사되지 않아도, 이하 설명하는 Decay 전류가 광전 변환 소자(21)(PIN형의 포토 다이오드)로부터 생김에 의해, 잔류 전하가 발생하는 것에 관해 설명한다.

[0069] 도 10의 A, B는 각각, 전술한 PIN형의 포토 다이오드에서의, 에너지 밴드 구조(각 충의 위치와 에너지 준위와의 관계)를 도시한 것이다. 이들의 도면으로부터 알 수 있는 바와 같이, 진성 반도체층(21I)에는 다수의 결함 준위(Ed)가 존재하고 있다. 그리고, 도 10의 A에 도시한 바와 같이, 판독/제 1 리셋 기간(Tr1)(1회째의 리셋 동작)의 종료 직후에서는, 이들의 결함 준위(Ed)에 전하(e)가 포획(트랩)된 상태로 되어 있다. 그런데, 예를 들면 도 10의 B에 도시한 바와 같이, 판독/제 1 리셋 기간(Tr1)부터 어느 정도의 시간이 경과하면, 결함 준위(Ed)에 트랩되어 있는 전하(e)가, 진성 반도체층(21I)으로부터 포토 다이오드(광전 변환 소자(21))의 외부에 방출된다(도면 중의 파선의 화살표 참조). 이에 의해, 상기한 Decay 전류(Idacay)가 광전 변환 소자(21)로부터 발생한다.

[0070] 여기서, 도 11의 A, B는 각각, 판독/제 1 리셋 기간(Tr1) 후의 경과 시간(t)과 Decay 전류(Idacay)와의 관계의 한 예를 도시한 것이다. 도 11의 A에서는, 종축 및 횡축 모두 대수(log) 스케일로 나타내고, 도 11의 B에서는, 종축을 대수 스케일로 나타내는 한편, 횡축에 관해서는 선형(리니어) 스케일로 나타내고 있다. 또한, 도 11의 A, B 중에는, 특성선 중의 일부의 공통 영역을, 부호 G1로 나타내고 있다. 이를 도면으로부터 알 수 있는 바와 같이, Decay 전류(Idacay)는, 판독/제 1 리셋 기간(Tr1)의 종료시($t=0$)로부터 시간의 경과와 함께 상승적으로

감소하여 가는 경향에 있다($I_{decay} = (I_0/t)$, I_0 : 정수치). 또한, 이때 발생하는 잔류 전하(q1라고 한다)는, 예를 들면 도 12에 도시한 바와 같이, Decay 전류(I_{decay})=(I_0/t)를 경과 시간(t)으로 적분함에 의해 구하여지는 것을 알 수 있다.

[0071] 이상과 같은 일반적인 발생 메커니즘에 의해, 1회째의 리셋 동작을 행하였음에도 불구하고, 이 1회째의 리셋 동작 전에 축적된 신호 전하의 일부가, 화소(20) 내에 잔존하여 버리는(상기한 잔류 전하(q1)가 발생하여 버리는) 것이다.

[0072] (4. 복수회의 리셋 동작을 이용한 잔류 전하의 저감 작용)

[0073] 그래서 본 실시의 형태에서는, 예를 들면 도 13에 도시한 바와 같이, 복수회(여기서는 2회)의 리셋 동작을 행함에 의해 상기한 잔류 전하를 저감하고, 이 잔류 전하에 기인한 잔상을 억제하도록 하고 있다. 이하, 이 복수회의 리셋 동작을 이용한 잔류 전하의 저감 작용에 관해 상세히 설명한다.

[0074] 도 13에서, (A)는 판독 제어선(Lread)의 전위(Vread)의 타이밍 파형을, (B)는, 차지 앰프(172)로부터의 출력 전압(Vca)의 타이밍 파형을, (C)는 신호선(Lsig)의 전위(Vsig)의 타이밍 파형을, (D)는 축적 노드(N)의 전위(Vn)의 타이밍 파형을, 각각 도시한다. 또한, 이들의 각 타이밍 파형은, 1수직 기간(1프레임 기간)(ΔT_V)을 포함하는 전후의 기간에 대한 것이다.

[0075] 이 1프레임 기간(ΔT_V)에서는, 우선 타이밍(t11 내지 t12)의 노광 기간(Tex)에서, 도 6의 A 등을 이용하여 전술한 바와 같이 하여, 노광 동작이 행하여진다. 즉, 활상광(Lin)이 활상부(11)에 입사하면, 각 화소(20) 내의 광전 변환 소자(21)에서는, 이 활상광(Lin)이 신호 전하로 변환(광전 변환)된다. 그리고, 이 신호 전하가 화소(20) 내의 축적 노드(N)에 축적되어, 그 전위(Vn)가 서서히 변화한다(도 13 중의 화살표(P31) 참조). 또한, 이 노광 동작에 수반하여, 전위(Vn)가 리셋 전압(Vrst)측부터 0V를 향하여 서서히 저하되어 가고 있는 것은, 여기서는 광전 변환 소자(21)의 캐소드측이 축적 노드(N)로 되어 있기 때문이다.

[0076] 뒤이어, 타이밍(t13 내지 t14)의 판독/제 1 리셋 기간(Tr1)에서는, 도 6의 B 등을 이용하여 전술한 바와 같이 하여, 판독 동작과 1회째의 리셋 동작(화소 리셋 동작)이 행하여진다. 즉, 화소(20)로부터 신호 전하를 판독하는 판독 동작과, 이 화소(20) 내의 신호 전하를 리셋하기 위한 1회째의 리셋 동작이, 실질적으로 동시에 행하여진다. 단, 도 13 중의 화살표(P32)로 도시한 바와 같이, 이 1회째의 리셋 동작 후에 있어서 축적 노드(N)의 전위(Vn)가 서서히 저하되어 가고, 전술한 잔류 전하(q1)가 발생하여 버리고 있다.

[0077] 또한, 그 후의 타이밍(t15)에서는, 차지 앰프 회로에서의 스위치(SW1)가 온 상태가 됨에 의해, 이 차지 앰프 회로 내의 용량 소자(C1)에 축적된 전하가 리셋된다. 즉, 차지 앰프 회로의 리셋 동작(앰프 리셋 동작)이 행하여진다.

[0078] 계속해서, 그 후의 타이밍(t16 내지 t17)에서, 이하 설명하는 2회째의 리셋 동작(제 2 리셋 동작)이 행하여진다(제 2 리셋 기간(Tr2)).

[0079] 이 제 2 리셋 기간(Tr2)에서는, 구체적으로는, 예를 들면 도 14의 A에 도시한 제 1의 동작예와 같이 하여, 2회째의 리셋 동작이 행하여진다. 즉, 이 제 1의 동작예에서는, 화소(20) 내의 트랜지스터(22)가 온 상태가 됨과 함께, 차지 앰프 회로에서의 스위치(SW1)도 온 상태가 되어, 차지 앰프(172)를 이용한 전압 팔로워 회로가 형성된다. 이 때문에, 이 차지 앰프(172)에서의 귀환 특성(피드백 특성)에 의해, 차지 앰프(172)에서의 부측의 입력 단자측(신호선(Lsig) 측)의 전압이, 정측의 입력 단자에 인가되어 있는 리셋 전압(Vrst)에 갤럭 동등하게 된다. 이와 같이 제 1의 동작예에서는, 차지 앰프(172)에서의 귀환 특성을 이용하여, 화소(20) 내의 축적 노드(N)의 전위(Vn)가 리셋 전압(Vrst)으로 설정된다(2회째의 리셋 동작이 이루어진다).

[0080] 한편, 도 14의 B에 도시한 제 2의 동작예에서는, 전술한 1회째의 리셋 동작일 때와 마찬가지로, 차지 앰프 회로(차지 앰프(172))에서의 가상 단락 현상을 이용하여, 2회째의 리셋 동작이 이루어진다(도면중의 화살표(P42) 참조). 즉, 이 가상 단락 현상에 의해, 화소(20) 내의 축적 노드(N)의 전위(Vn)가 리셋 전압(Vrst)으로 설정된다. 또한, 이 때는, 판독/제 1 리셋 기간(Tr1)일 때와 마찬가지로, 화소(20) 내의 트랜지스터(22)가 온 상태임과 함께 차지 앰프 회로에서의 스위치(SW1)가 오프 상태이기 때문에, 차지 앰프 회로가 판독 동작 상태로 되어 있다. 즉, 도면 중의 화살표(P41)로 도시한 바와 같이, 이 제 2의 동작예에서는, 축적 노드(N)에 잔존하고 있는 전하를 차지 앰프 회로에 의해 판독하는 것도 가능하게 되어 있다.

[0081] 이와 같이 하여 본 실시의 형태에서는, 화소(20) 내의 축적 전하의 리셋 동작(후술하는 선순차 리셋 구동)이, 1프레임 기간 내에서 간헐적으로 (독립하여) 복수회 행하여진다. 구체적으로는, 여기서는 1회째의 리셋 동작(판

독/제 1 리셋 기간(Tr1)과 2회째의 리셋 동작(제 2 리셋 기간(Tr2))이, 간헐적으로 행하여지도록 설정되어 있다. 이에 의해, 1회째의 리셋 동작 후에 있어서의 화소(20) 내의 잔류 전하(q1)(신호 전하의 잔존량)가 보다 확실하게 리셋되어, 그와 같은 잔류 전하(q1)가 저감된다(도 13 중에 도시한 화살표(P33) 참조).

[0082] 구체적으로는, 1회째의 리셋 동작의 종료시(Tr1의 종료시)부터 2회째의 리셋 동작의 종료시(Tr2의 종료시)까지의 시간을 Δt_{12} 라고 하면(도 13 참조), 발생한 잔류 전하(q1)중의 저감되는 전하량은, 예를 들면 도 15에 도시한 바와 같이 된다. 즉, 예를 들면 도 12에서 설명한 잔류 전하(q1) 중, 시간(Δt_{12})의 시작시(t1)(=0)부터 종료시(t2)까지의 시간 적분치에 대응하는 전하(q12)가, 이 2회째의 리셋 동작에 의해 배출되는(저감하는) 전하량에 상당한다. 또한, $(q_1 - q_{12}) = q_{23}$ 에 의해 산출된 전하(q23)가, 2회째의 리셋 동작 후에도 잔존하는 전하량에 상당한다. 이 때문에, 상기한 시간(Δt_{12})을 될 수 있는 한 길어지도록 설정하는 것이 바람직하다고 말할 수 있다. 이상과 같이 하여, 1회째의 리셋 동작 후에 있어서의 화소(20) 내의 잔류 전하(q1)가 저감되고, 그 결과, 다음의 판독 동작시(다음의 프레임 기간으로의 활상시)에서, 이 잔류 전하에 기인한 잔상의 발생이 억제되고, 활상 화질을 향상시킬 수 있다.

[0083] 또한, 이와 같은 복수회의 리셋 동작(선순차 리셋 구동)은, 예를 들면 1수평 기간(1수평 주사 기간 : 한 예로서 $32\mu s$ 정도)을 초과하는 기간에 걸쳐서 간헐적으로 행하여지도록 하는 것이 바람직하다. 이것은, 이하의 이유에 의한 것이다. 즉, 전술한 바와 같이, PIN형의 포토 다이오드에서의 상태 천이에는, 수백 μs 정도의 시간이 걸린다. 이 때문에, 예를 들면 $100\mu s$ 정도의 시간, 리셋 전압(Vrst)을 연속적 또는 간헐적으로 축적 노드(N)에 줌으로써, 잔류 전하의 발생을 저감할 수 있다고 생각된다. 단, 실제로는, 이 리셋 전압(Vrst)을 주는 기간이 1수평 기간(예를 들면 $32\mu s$ 정도)을 초과하면 잔류 전하가 크게 감소하기 시작하는 것이, 실험 등에 의해 확인되어 있다.

[0084] (5. 선순차 리셋 구동할 때의 각 리셋 동작의 타이밍 등에 관해)

[0085] 또한, 본 실시의 형태에서는, 예를 들면 이하의 도 16 내지 도 19에 도시한 바와 같이 하여, 선순차 활상 구동(선순차 판독 구동 및 선순차 리셋 구동)할 때의 각 동작의 타이밍이 설정되어 있다.

[0086] 도 16은, 본 실시의 형태에 관한 선순차 활상 구동의 한 예를, 타이밍 파형도로 도시한 것이다. 여기서, (A) 내지 (F)는 각각, 판독 제어선(Lread(1) 내지 Lread(3), Lread(n-2) 내지 Lread(n))의 전위(Vread(1) 내지 Vread(3), Vread(n-2) 내지 Vread(n))의 타이밍 파형을 도시하고 있다. 또한, 도면 중에 도시한 ΔTh 는, 1수평 기간(1수평 주사 기간)을 나타내고 있다. 또한, 후술하는 도 17 내지 도 19에서는 각각, 전술한 앤프 리셋 제어선(Lcarst)의 전위(Vcarst)를, 전술한 제 1의 동작예의 경우(각 도면의 (D)) 및 제 2의 동작예의 경우(각 도면의 (E))의 각각에 관해 나타내고 있다.

[0087] 우선, 도 16의 (A) 내지 (F)로 부터 알 수 있는 바와 같이, 1회째의 리셋 동작 등(판독/제 1 리셋 기간(Tr1)의 동작)이 선순차로 행하여지는 구동 기간(선순차 구동 기간(ΔTr_1))과, 2회째의 리셋 동작이 선순차로 행하여지는 구동 기간(선순차 구동 기간(ΔTr_2))에서는, 부분적으로 중첩 기간(구동 오버랩 기간(ΔTol_1))이 존재하고 있다.

[0088] 그리고, 본 실시의 형태에서는, 이 구동 오버랩 기간(ΔTol_1) 내에서의 각 리셋 동작의 기간(판독/제 1 리셋 기간(Tr1) 및 제 2 리셋 기간(Tr2))이, 이하와 같이 설정되어 있다. 구체적으로는, 1회째의 선순차 리셋 구동할 때의 각 리셋 동작(선순차 구동 기간(ΔTr_1) 내의 각 판독/제 1 리셋 기간(Tr1))과, 2회째의 선순차 리셋 구동할 때의 각 리셋 동작(선순차 구동 기간(ΔTr_2) 내의 각 제 2 리셋 기간(Tr2))이, 다음과 같이 설정된다. 즉, 이들의 선순차 구동 기간(ΔTr_1) 내의 각 판독/제 1 리셋 기간(Tr1)과 선순차 구동 기간(ΔTr_2) 내의 각 제 2 리셋 기간(Tr2)이 모두 중첩되지 않는 비중첩 기간(비오버랩 기간)이, 적어도 일부에 존재하도록 설정된다(예를 들면, 도 16 중의 부호 P5로 나타낸 기간 참조).

[0089] 상세하게는, 도 17의 (A) 내지 (E)에 확대하여 도시한 타이밍 파형(부호 P5로 나타낸 기간 부근의 확대 파형)의 예에서는, 이하와 같이 설정되어 있다. 즉, 이 예에서는, 구동 오버랩 기간(ΔTol_1) 내에서 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)이, 모든 기간에서 상기한 비오버랩 기간으로 되어 있다. 환연하면, 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)이, 서로 전혀 오버랩하지 않는다. 또한, 이 예에서는, 부호 P5로 나타낸 기간 내에서, Vread(2)(제 2 리셋 기간(Tr2)) \rightarrow Vread(n-2)(판독/제 1 리셋 기간(Tr1)) \rightarrow Vread(3)(제 2 리셋 기간(Tr2))의 순으로, 행 주사 신호에 상당하는 전위(Vread)가 인가되어 있다.

[0090] 한편, 예를 들면 도 18의 (A) 내지 (E) 중에 도시한 부호 P5a의 기간 내에서는, 도 16, 도 17 중에 도시한 부호 P5의 기간과는 달리, 이하의 순번으로, 행 주사 신호에 상당하는 전위(Vread)가 인가되어 있다. 즉, Vread(n-

2)(판독/제 1 리셋 기간(Tr1))→ Vread(2)(제 2 리셋 기간(Tr2))→ Vread(3)(제 2 리셋 기간(Tr2))의 순으로, 전위(Vread)가 인가되어 있다. 단, 이 경우에도, 부호 P5의 기간과 마찬가지로, 구동 오버랩 기간($\triangle T_{011}$) 내에서의 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)이, 모든 기간에서 상기한 비오버랩 기간으로 되어 있다.

[0091] 또한, 예를 들면 도 19의 (A) 내지 (E) 중에 도시한 부호 P5b의 기간에서는, 도 16 내지 도 18 중에 도시한 부호 P5, P5a의 기간과는 달리, 이하와 같이 설정되어 있다. 즉, 구동 오버랩 기간($\triangle T_{011}$) 내의 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)에서, 상기한 비오버랩 기간이 일부의 기간에서만 마련되어 있다. 환언하면, 도면 중에 도시한 바와 같이, 판독/제 1 리셋 기간(Tr1)과 제 2 리셋 기간(Tr2)과의 일부에, 중첩 기간(동작 오버랩 기간($\triangle T_{012}$))이 존재하고 있다. 단, 이 경우에도, 그와 같은 동작 오버랩 기간($\triangle T_{012}$)은 부분적으로 마련되어 있을 뿐이기 때문에, 상기한 비오버랩 기간이 일부에는 존재하고 있는 것으로 된다.

[0092] 여기서, 이와 같은 선순차 활상 구동(선순차 판독 구동 및 선순차 리셋 구동)할 때의 각 동작의 타이밍 등은, 예를 들면 도 4에 도시한 단위 회로(130)를 갖는 행 주사 회로(13)에 의해 실현되어 있다. 구체적으로는, 선순차 리셋 구동의 실행 회수에 대응하여 마련된 복수열의 시프트 레지스터 회로(131, 132)와, 각 열의 시프트 레지스터 회로(131, 132)로부터의 출력 신호끼리의 논리합 신호를, 각 출력 신호의 유효 기간을 제어하면서 생성하는 논리 회로(AND 회로(133A 내지 133D) 및 OR 회로(134A, 134B))에 의해 실현되어 있다.

[0093] 이와 같이 본 실시의 형태에서는, 선순차 구동 기간($\triangle T_{r1}$)과 선순차 구동 기간($\triangle T_{r2}$)과의 구동 오버랩 기간($\triangle T_{011}$) 내의 리셋 동작의 기간(판독/제 1 리셋 기간(Tr1) 및 제 2 리셋 기간(Tr2))에, 상기한 비오버랩 기간이 적어도 일부에 존재하도록 설정된다. 이에 의해, 예를 들면 도 20의 (A) 내지 (F)에 도시한 비교예(구동 오버랩 기간($\triangle T_{011}$) 내의 리셋 동작의 기간에 비오버랩 기간이 전혀 마련되어 있지 않은(구동 오버랩 기간($\triangle T_{011}$) 내의 각 리셋 동작의 기간이 모두 오버랩하고 있다)) 경우와는 달리, 이하와 같이 된다. 즉, 복수회의 선순차 리셋 구동할 때의 각 리셋 동작의 기간이나 타이밍 등이, 임의로 설정 가능해진다.

[0094] 또한, 이와 같은 동작 타이밍 등을 실현하고 있는 본 실시의 형태의 행 주사 회로(13)에 대해, 종래의 표준적인 행 주사 회로(게이트 드라이버 회로)에서는, 다른 주사선에 접속되는 화소에서의 동작끼리를, 적어도 일부가 오버랩하지 않는 타이밍 등에서 행할 수는 없다.

[0095] 또한, 특히 도 19에 도시한 예와 같이, 구동 오버랩 기간($\triangle T_{011}$) 내의 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)에서, 비오버랩 기간이 일부의 기간에서만 마련되어 있도록 한 경우에는, 이하에 관한 것도 말할 수 있다. 즉, 예를 들면 도 16 내지 도 18에 도시한 바와 같이, 구동 오버랩 기간($\triangle T_{011}$) 내에서의 각 판독/제 1 리셋 기간(Tr1) 및 각 제 2 리셋 기간(Tr2)이, 모든 기간에서 비오버랩 기간으로 되어 있는 경우에 비교하여, 선순차 활상 구동의 고속화(고 프레임 레이트화)가 실현된다.

[0096] 이상과 같이 본 실시의 형태에서는, 복수회의 선순차 리셋 구동할 때에, 구동 오버랩 기간($\triangle T_{011}$) 내의 각 리셋 동작의 기간에서, 상기한 비오버랩 기간이 적어도 일부에 마련되도록 하였기 때문에, 그들 복수회의 선순차 리셋 구동할 때의 각 리셋 동작의 기간이나 타이밍 등을, 임의로 설정할 수 있도록 된다. 따라서, 활상 구동(선순차 활상 구동)할 때의 동작의 자유도를 향상시키는 것이 가능해지고, 최적의 타이밍 등에서 활상 구동을 행하는 것이 가능해진다.

[0097] 또한, 구동 오버랩 기간($\triangle T_{011}$) 내의 각 리셋 동작의 기간에서, 비오버랩 기간이 일부의 기간에서만 마련되어 있도록 한 경우에는, 선순차 활상 구동의 고속화(고 프레임 레이트화)를 실현하는 것도 가능해진다.

[0098] <변형예>

[0099] 계속해서, 상기 실시의 형태의 변형예(변형예1 내지 변형예5)에 관해 설명한다. 또한, 실시의 형태에서의 구성 요소와 동일한 것에는 동일한 부호를 붙이고, 적절히 설명을 생략한다.

[0100] [변형예1]

[0101] 도 21은, 변형예1에 관한 화소(화소(20A))의 회로 구성을, 상기 실시의 형태에서 설명한 열 선택부(17)의 회로 구성예와 함께 도시한 것이다. 본 변형예의 화소(20A)는, 실시의 형태의 화소(20)와 마찬가지로 이를바 패시브 형의 회로 구성으로 되어 있고, 하나의 광전 변환 소자(21)와 하나의 트랜ジ스터(22)를 갖고 있다. 또한, 이 화소(20A)에는 화소(20)와 마찬가지로, H방향에 따라서 연재되는 판독 제어선(Lread)과, V방향에 따라서 연재되는 신호선(Lsig)이 접속되어 있다.

[0102] 단, 화소(20A)에서는, 광전 변환 소자(21)의 배치 방향(향향)이, 화소(20)와는 역으로 되어 있다. 즉, 이 화소

(20A)에서는, 광전 변환 소자(21)의 애노드가 축적 노드(N)에 접속되고, 캐소드가 그라운드(접지)에 접속되어 있다.

[0103] 이와 같은 구성의 화소(20A)를 갖는 활상 장치에서도, 상기 실시의 형태의 활상 장치(1)와 같은 작용에 의해 같은 효과를 얻는 것이 가능하다.

[0104] [변형예2 및 변형예3]

[0105] (회로 구성)

[0106] 도 22는, 변형예2에 관한 화소(화소(20B))의 회로 구성을, 이하 설명한 열 선택부(17B)의 회로 구성예와 함께 도시한 것이다. 또한, 도 23은, 변형예3에 관한 화소(화소(20C))의 회로 구성을, 열 선택부(17B)의 회로 구성예와 함께 도시한 것이다. 이들의 변형예2 및 변형예3에 관한 화소(20B, 20C)는 각각, 지금까지 설명한 화소(20, 20A)와는 달리, 다른바 액티브형의 회로 구성으로 되어 있다.

[0107] 구체적으로는, 이 액티브형의 화소(20B, 20C)에는, 하나의 광전 변환 소자(21)와, 3개의 트랜지스터(22, 23, 24)가 마련되어 있다. 이들의 화소(20B, 20C)에는 또한, H방향에 따라서 연재되는 판독 제어선(Lread) 및 리셋 제어선(Lrst)과, V방향에 따라서 연재되는 신호선(Lsig)이 접속되어 있다.

[0108] 화소(20B, 20C)에서는 각각, 트랜지스터(22)의 게이트가 판독 제어선(Lread)에 접속되고, 소스가 신호선(Lsig)에 접속되고, 드레인인, 소스 팔로워 회로를 구성하는 트랜지스터(23)의 드레인에 접속되어 있다. 트랜지스터(23)의 소스는 전원(VDD)에 접속되고, 게이트는, 광전 변환 소자(21)의 캐소드(도 22에 도시한 화소(20B)) 또는 애노드(도 23에 도시한 화소(20C))(축적 노드(N))와, 리셋용 트랜지스터로서 기능하는 트랜지스터(24)의 드레인에 접속되어 있다. 이 트랜지스터(24)의 게이트는 리셋 제어선(Lrst)에 접속되고, 소스에는 리셋 전압(Vrst)이 인가되도록 되어 있다. 광전 변환 소자(21)의 애노드(화소(20B)) 또는 캐소드(화소(20C))는, 그라운드(접지)에 접속되어 있다.

[0109] 또한, 도 22 및 도 23에 도시한 변형예2 및 변형예3에 관한 열 선택부(17B)는, 전술한 열 선택부(17)에서, 차지 앰프(172), 용량 소자(C1) 및 스위치(SW1)에 대신하여, 정전류원(171) 및 앰프(176)를 마련한 것으로 되어 있다. 앰프(176)에서는, 정측의 입력 단자에는 신호선(Lsig)이 접속됨과 함께, 부측의 입력 단자와 출력 단자가 서로 접속되어, 전압 팔로워 회로가 형성되어 있다. 또한, 신호선(Lsig)의 일단측에는 정전류원(171)의 한쪽의 단자가 접속되고, 이 정전류원(171)의 다른쪽의 단자에는 전원(VSS)이 접속되어 있다.

[0110] (작용 및 효과)

[0111] 이와 같은 액티브형의 회로 구성으로 이루어지는 화소(20B, 20C)를 갖는 변형예2 및 변형예3의 활상 장치에서는, 이하와 같이 하여 활상 동작(선순차 활상 구동)이 이루어진다.

[0112] 즉, 우선, 지금까지 설명한 패시브형의 회로 구성으로 이루어지는 화소(20, 20A)를 갖는 활상 장치에서는, 예를 들면 도 24의 A에 도시한 바와 같이 하여 선순차 활상 구동이 행하여진다. 구체적으로는, 선순차 판독 구동과 선순차 리셋 구동이, 단일한 선순차 구동(판독/제 1 리셋 기간(Tr1)의 선순차 동작을 행하기 위한 구동)에 의해, 실질적으로 동시에 행하여진다.

[0113] 이에 대해, 변형예2 및 변형예3과 같이, 액티브형의 회로 구성으로 이루어지는 화소(20B, 20C)를 갖는 활상 장치에서는, 예를 들면 도 24의 B에 도시한 바와 같이 하여 선순차 활상 구동이 행하여진다. 구체적으로는, 선순차 판독 구동과 각 회(여기서는 1회째 및 2회째)의 선순차 리셋 구동이, 서로 독립하여 개별적으로 행하여진다. 즉, 판독 기간(Tr1a)의 선순차 동작을 행하기 위한 선순차 판독 구동과, 1회째의 리셋 기간(제 1 리셋 기간(Tr1b))의 선순차 동작을 행하기 위한 1회째의 선순차 리셋 구동과, 2회째의 리셋 기간(제 2 리셋 기간(Tr2))의 선순차 동작을 행하기 위한 2회째의 선순차 리셋 구동이, 서로 독립하여 개별적으로 행하여진다. 또한, 이 액티브형의 회로 구성의 경우, 각 회의 선순차 리셋 구동할 때의 리셋 동작은, 리셋용 트랜지스터로서 기능하는 트랜지스터(24)가 온 상태가 됨에 의해 행하여지도록 되어 있다.

[0114] 이와 같이, 액티브형의 회로 구성으로 이루어지는 화소(20B, 20C)를 갖는 활상 장치에서도, 지금까지 설명한 패시브형의 회로 구성의 경우와 같은 것을 말할 수 있다. 즉, 구동 오버랩 기간(ΔT_{011}) 내의 각 리셋 동작의 기간에서, 전술한 비오버랩 기간이 적어도 일부에 마련되도록 함에 의해, 그들 복수회의 선순차 리셋 구동할 때의 각 리셋 동작의 기간이나 타이밍 등을, 임의로 설정할 수 있도록 된다. 따라서 이들의 경우에도, 활상 구동(선순차 활상 구동)할 때의 동작의 자유도를 향상시키는 것이 가능해지고, 최적의 타이밍 등에서 활상 구동을 행하

는 것이 가능해진다.

[0115] [변형예4 및 변형예5]

도 25의 A, B는 각각, 변형예4 및 변형예5에 관한 활상부(활상부(11A, 11B))의 개략 구성을 모식적으로 도시한 것이다.

[0117] 우선, 도 25의 A에 도시한 변형예4에 관한 활상부(11A)는, 상기 실시의 형태에서 설명한 광전 변환층(111)에 더하여, 파장 변환층(112)을 또한 갖고 있다. 구체적으로는, 광전 변환층(111)상(활상부(11A)의 수광면(활상면)측)에, 파장 변환층(112)이 마련되어 있다.

[0118] 파장 변환층(112)은, 방사선(Rrad)(α 선, β 선, γ 선, X선 등)을, 광전 변환층(111)의 감도역으로 파장 변환하는 것이고, 이에 의해 광전 변환층(111)에서는, 이 방사선(Rrad)에 의거한 정보를 판독하는 것이 가능하게 되어 있다. 이 파장 변환층(112)은, 예를 들면 X선 등의 방사선을 가시광으로 변환하는 형광체(예를 들면, 신틸레이터)로 이루어진다. 이와 같은 파장 변환층(112)은, 예를 들면 광전 변환층(1113)의 상부에, 유기 평탄화 막, 스픈 온 글라스 재료 등으로 이루어지는 평탄화막을 형성하고, 그 상부에 형광체막을 CsI, NaI, CaF₂ 등에 의해 형성함에 의해 얹어진다.

[0119] 한편, 도 25의 B에 도시한 변형예5에 관한 활상부(11B)는, 상기 실시의 형태에서 설명한 광전 변환층(111) 대신에, 광전 변환층(111B)을 갖고 있다. 이 광전 변환층(111B)은, 입사한 방사선(Rrad)에 응하여 전기 신호를 직접 발생시키는 것이다. 즉, 도 25의 A에 도시한 변형예4의 활상부(11A)는, 이른바 간접형의 방사선 활상 장치에 적용되는 것임에 대해, 변형예5의 활상부(11B)는, 이른바 직접형의 방사선 활상 장치에 적용되는 것으로 되어 있다. 또한, 이와 같은 직접형에 적용되는 광전 변환층(111B)은, 예를 들면, 어모퍼스 셀렌(a-Se) 반도체나, 카드뮴텔루르(CdTe) 반도체 등에 의해 구성되어 있다.

[0120] 이와 같은 구성의 활상부(11A, 11B)를 갖는 변형예4 및 변형예5에 관한 활상 장치에서는, 활상부(11A, 11B)가, 입사한 방사선(Rrad)에 응하여 전기 신호를 발생하는 것으로 되어 있고, 방사선 활상 장치로서 구성되어 있다. 이와 같은 방사선 활상 장치는, 예를 들면 의료 기기(Digital Radiography 등의 X선 활상 장치)나, 공항 등에서 이용되는 휴대용 검사용 X선 활영 장치, 공업용 X선 활상 장치(예를 들면, 컨테이너 내의 위험물 등의 검사나, 가방 등의 내용의 검사를 행하는 장치) 등에 적용하는 것이 가능하다.

[0121] <적용예>

[0122] 계속해서, 상기 실시의 형태 및 각 변형예(변형예1 내지 변형예5)에 관한 활상 장치의 활상 표시 시스템에의 적용예에 관해 설명한다.

[0123] 도 26은, 적용예에 관한 활상 표시 시스템(활상 표시 시스템(5))의 개략 구성을 모식적으로 도시한 것이다. 이 활상 표시 시스템(5)은, 상기 실시의 형태 등에 관한 활상부(11)(11A, 11B) 등을 갖는 활상 장치(1)와, 화상 처리부(52)와, 표시 장치(4)를 구비하고 있고, 이 예에서는 방사선을 이용한 활상 표시 시스템(방사선 활상 표시 시스템)으로서 구성되어 있다.

[0124] 화상 처리부(52)는, 활상 장치(1)로부터 출력되는 출력 데이터(Dout)(활상 신호)에 대해 소정의 화상 처리를 시행함에 의해, 화상 데이터(D1)를 생성하는 것이다. 표시 장치(4)는, 화상 처리부(52)에서 생성된 화상 데이터(D1)에 의거한 화상 표시를, 소정의 모니터 화면(40)상에서 행하는 것이다.

[0125] 이와 같은 구성으로 이루어지는 활상 표시 시스템(5)에서는, 활상 장치(1)(여기서는 방사선 활상 장치)가, 광원(여기서는 X선원 등의 방사선원)(51)으로부터 피사체(50)를 향하여 조사된 조사광(여기서는 방사선)에 의거하여, 피사체(50)의 화상 데이터(Dout)를 취득하고, 화상 처리부(52)에 출력한다. 화상 처리부(52)는, 입력된 화상 데이터(Dout)에 대해 상기한 소정의 화상 처리를 시행하고, 그 화상 처리 후의 화상 데이터(표시 데이터)(D1)를 표시 장치(4)에 출력한다. 표시 장치(4)는, 입력된 화상 데이터(D1)에 의거하여, 모니터 화면(40)상에 화상 정보(활상 화상)를 표시한다.

[0126] 이와 같이, 본 적용예의 활상 표시 시스템(5)에서는, 활상 장치(1)에서 피사체(50)의 화상을 전기 신호로서 취득 가능하기 때문에, 취득한 전기 신호를 표시 장치(4)에 전송함에 의해 화상 표시를 행할 수가 있다. 즉, 종래와 같은 방사선 사진 필름을 이용하는 일 없이, 피사체(50)의 화상을 관찰하는 것이 가능해지고, 또한, 동화 활영 및 동화 표시에도 대응하는 것이 가능해진다.

[0127] 또한, 본 적용예에서는, 활상 장치(1)가 방사선 활상 장치로서 구성되어 있고, 방사선을 이용한 활상 표시 시스

템으로 되어 있는 경우를 예로 들어서 설명하였지만, 본 개시된 촬상 표시 시스템은, 다른 방식의 촬상 장치를 이용한 것에도 적용하는 것이 가능하다.

[0128] <기타의 변형예>

[0129] 이상, 실시의 형태, 변형예 및 적용예를 들여서 본 개시된 기술을 설명하였지만, 본 기술은 이들의 실시의 형태 등으로 한정되지 않고, 여러가지의 변형이 가능하다.

[0130] 예를 들면, 촬상부에서의 화소의 회로 구성은, 상기 실시의 형태 등에서 설명한 것(화소(20, 20A 내지 20C)의 회로 구성)으로는 한정되지 않고, 다른 회로 구성이라도 좋다. 마찬가지로, 행 주사부나 열 선택부 등의 회로 구성에 대해서도, 상기 실시의 형태 등에서 설명한 것으로는 한정되지 않고, 다른 회로 구성이라도 좋다.

[0131] 또한, 상기 실시의 형태 등에서는, 1프레임 기간 내에 2회의 선순차 리셋 구동을 행하는 경우를 예로 들어서 설명하였지만, 이것으로는 한정되지 않고, 1프레임 기간 내에 3회 이상의 선순차 리셋 구동을 행하도록 하여도 좋다.

[0132] 또한, 상기 실시의 형태 등에서 설명한 촬상부, 행 주사부, A/D 변환부(열 선택부) 및 열 주사부 등은 각각, 예를 들면 동일 기판상에 형성되어 있도록 하여도 좋다. 구체적으로는, 예를 들면 저온 다결정 실리콘 등의 다결정 반도체를 이용함에 의해, 이들의 회로부분에서의 스위치 등도 동일 기판상에 형성할 수 있도록 된다. 이 때문에, 예를 들면 외부의 시스템 제어부로부터의 제어 신호에 의거하여, 동일 기판상에서의 구동 동작을 행하는 것이 가능해지고, 프레임 사이즈 감소나 배선 접속할 때의 신뢰성 향상을 실현할 수 있다.

[0133] 또한, 본 기술은 이하와 같은 구성을 취하는 것도 가능하다.

[0134] (1)

[0135] 각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 촬상부; 및

[0136] 상기 광전 변환 소자에 의해 얻어진 신호 전하를 상기 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 화소 내의 상기 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행하는 구동부를 구비하고,

[0137] 상기 구동부는, 상기 선순차 리셋 구동을 1프레임 기간 내에서 간헐적으로 복수회 행하여, 오버랩 기간 내의 리셋 동작 기간의 적어도 일부에 비오버랩 기간이 마련되도록 하고,

[0138] 상기 오버랩 기간은, 복수의 선순차 리셋 구동 중 하나의 구동 기간과 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간이 중첩되는 기간이고, 상기 비오버랩 기간은, 복수의 선순차 구동 중 하나에 의한 리셋 동작 각각이 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 오버랩되지 않는 기간인 것을 특징으로 하는 촬상 장치.

[0139] (2)

[0140] 상기 오버랩 기간 내에서의 상기 리셋 동작의 기간의 일부에서만, 상기 비오버랩 기간이 마련되는 것을 특징으로 하는 상기 (1)에 기재된 촬상 장치.

[0141] (3)

[0142] 상기 오버랩 기간 내에서의 상기 리셋 동작의 모든 기간이, 상기 비오버랩 기간에 대응되는 것을 특징으로 하는 상기 (1)에 기재된 촬상 장치.

[0143] (4)

[0144] 상기 구동부는, 상기 선순차 판독 구동 및 상기 선순차 리셋 구동이 상기 복수의 화소에 대한 선순차 주사를 행하는 주사부를 포함하는 것을 특징으로 하는 상기 (1)에 기재된 촬상 장치.

[0145] (5)

[0146] 상기 주사부는,

[0147] 상기 선순차 리셋 구동의 실행 회수에 대응하여 마련된 복수열의 시프트 레지스터 회로부와,

[0148] 각 열의 시프트 레지스터 회로부로부터의 출력 신호 사이의 논리합 신호를, 각 출력 신호의 유효 기간을 제어하면서 생성하는 논리 회로를 갖는 것을 특징으로 하는 상기 (4)에 기재된 촬상 장치.

- [0149] (6)
- [0150] 상기 선순차 판독 구동과 1회째의 상기 선순차 리셋 구동이, 단일의 선순차 구동에 의해 동시에 행하여지는 것을 특징으로 하는 상기 (1) 내지 (5) 중 어느 하나에 기재된 활상 장치.
- [0151] (7)
- [0152] 상기 구동부는 차지 앰프(charge amplifier)를 포함하며,
- [0153] 상기 차지 앰프의 제 1의 입력 단자는 판독 동작시 사용되는 신호선에 접속되고, 상기 차지 앰프의 제 2의 입력 단자에는 소정의 리셋 전압이 제공되며,
- [0154] 상기 차지 앰프에서의 가장 단락 현상을 이용하여, 상기 1회째의 선순차 리셋 구동시 상기 리셋 동작이 수행되는 것을 특징으로 하는 상기 (6)에 기재된 활상 장치.
- [0155] (8)
- [0156] 상기 차지 앰프에서의 귀환 특성 또는 가장 단락 현상을 이용하여, 2회째 및 그 이후의 상기 선순차 리셋 구동시 상기 리셋 동작이 수행되는 것을 특징으로 하는 상기 (7)에 기재된 활상 장치.
- [0157] (9)
- [0158] 상기 선순차 판독 구동과 각 회의 상기 선순차 리셋 구동이, 서로 독립하여 개별적으로 행하여지는 것을 특징으로 하는 상기 (1) 내지 (5) 중 어느 하나에 기재된 활상 장치.
- [0159] (10)
- [0160] 각 화소는 리셋용 트랜지스터를 가지며,
- [0161] 상기 리셋용 트랜지스터가 온 상태가 됨에 의해, 상기 각 회의 선순차 리셋 구동시의 상기 리셋 동작이 수행되는 것을 특징으로 하는 상기 (9)에 기재된 활상 장치.
- [0162] (11)
- [0163] 상기 선순차 리셋 구동은, 1수평 기간을 초과하는 기간에 걸쳐서 간헐적으로 복수회 수행되는 것을 특징으로 하는 상기 (1) 내지 (11) 중 어느 하나에 기재된 활상 장치.
- [0164] (12)
- [0165] 상기 광전 변환 소자는 PIN형의 포토 다이오드로 이루어지는 것을 특징으로 하는 상기 (1) 내지 (11) 중 어느 하나에 기재된 활상 장치.
- [0166] (13)
- [0167] 상기 활상부는 입사한 방사선에 기초하여 전기 신호를 발생시키고,
- [0168] 상기 활상부는 방사선 활상 장치로서 구성되는 것을 특징으로 하는 상기 (1) 내지 (12) 중 어느 하나에 기재된 활상 장치.
- [0169] (14)
- [0170] 상기 활상부는,
- [0171] 상기 광전 변환 소자를 구성하는 광전 변환층과,
- [0172] 상기 방사선의 파장을 상기 광전 변환층의 감도역으로 파장으로 변환하는 파장 변환층을 포함하는 것을 특징으로 하는 상기 (13)에 기재된 활상 장치.
- [0173] (15)
- [0174] 상기 활상부는 광전 변환층을 포함하고, 상기 광전 변환층은 상기 광전 변환 소자를 구성하며 상기 방사선에 기초하여 상기 전기 신호를 직접 발생시키는 것을 특징으로 하는 상기 (13)에 기재된 활상 장치.
- [0175] (16)
- [0176] 상기 방사선은 X선인 것을 특징으로 하는 상기 (13) 내지 (15) 중 어느 하나에 기재된 활상 장치.

[0177] (17)

[0178] 활상 장치와, 이 활상 장치에 의해 얻어진 활상 신호에 의거한 화상 표시를 행하는 표시 장치를 포함하고,

[0179] 상기 활상 장치는:

[0180] 각각이 광전 변환 소자를 포함하는 복수의 화소를 갖는 활상부; 및

[0181] 상기 광전 변환 소자에 의해 얻어진 신호 전하를 상기 화소로부터 판독하는 판독 동작을 선순차로 행하기 위한 선순차 판독 구동과, 상기 화소 내의 상기 신호 전하를 리셋하기 위한 리셋 동작을 선순차로 행하기 위한 선순차 리셋 구동을 행하는 구동부를 구비하고,

[0182] 상기 구동부는, 상기 선순차 리셋 구동을 1프레임 기간 내에서 간헐적으로 복수회 행하여, 오버랩 기간 내의 리셋 동작 기간의 적어도 일부에 비오버랩 기간이 마련되도록 하고,

[0183] 상기 오버랩 기간은, 복수의 선순차 리셋 구동 중 하나의 구동 기간과 나머지 복수의 선순차 리셋 구동 중 하나의 구동 기간이 중첩되는 기간이고, 상기 비오버랩 기간은, 복수의 선순차 구동 중 하나에 의한 리셋 동작 각각이 나머지 복수의 선순차 리셋 구동 중 하나에 의한 리셋 동작의 어느 것과도 오버랩되지 않는 기간인 것을 특징으로 하는 활상 표시 시스템.

[0184] 본 발명은 2011년 8월 18일자로 일본특허청에 특허출원된 일본특허원 제2011-178682호를 우선권으로 주장한다.

[0185] 당업자라면, 하기의 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 상기 실시의 형태에 대한 여러 가지 변형예, 조합예, 부분 조합예, 및 수정예를 실시할 수 있을 것이다.

부호의 설명

[0186] 1 : 활상 장치 11, 11A, 11B : 활상부

111, 111B : 광전 변환층 112 : 광장 변환층

13 : 행 주사부 130 : 단위 회로

131, 132 : 시프트 레지스터 회로(S/R)

135A, 135B : 버퍼 회로 133A 내지 133D : AND 회로

134A, 134B : OR 회로 14 : A/D 변환부

15 : 열 주사부 16 : 시스템 제어부

17, 17B : 열 선택부 171 : 정전류원

172 : 차지 앰프 173 : S/H 회로

174 : 멀티플렉서 회로 175 : A/D 컨버터

176 : 앰프 20, 20A 내지 20C : 화소(활상 화소)

21 : 광전 변환 소자 21P : p형 반도체층

21N : n형 반도체층 21I : 진성 반도체층(i 영역)

21G : 게이트 전극 22, 23, 24 : 트랜지스터

4 : 표시 장치 40 : 모니터 화면

5 : 활상 표시 시스템 50 : 피사체

51 : 광원(방사선원) 52 : 화상 처리부

Lsig : 신호선 Lread : 판독 제어선

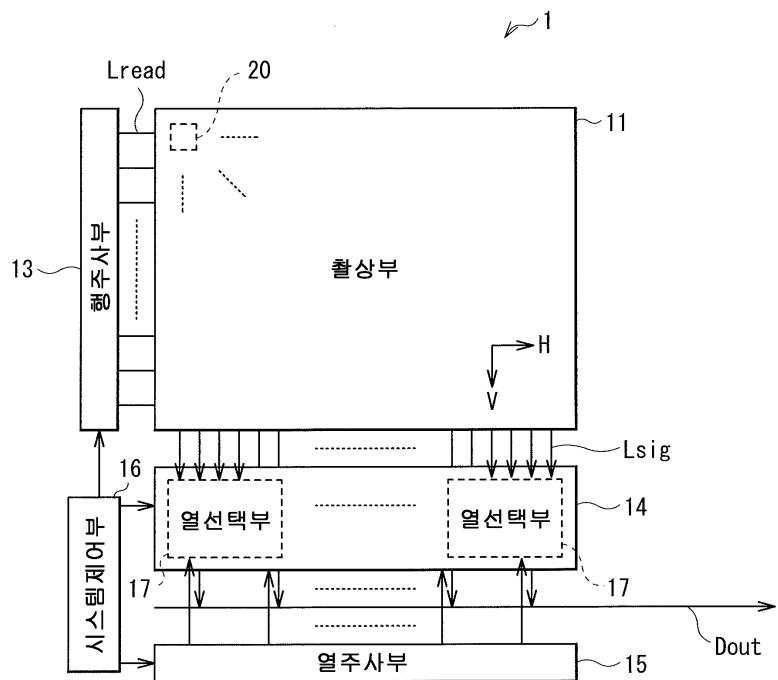
Lrst : 리셋 제어선 Lcarst : 앰프 리셋 제어선

Dout : 출력 데이터 D1 : 활상 신호

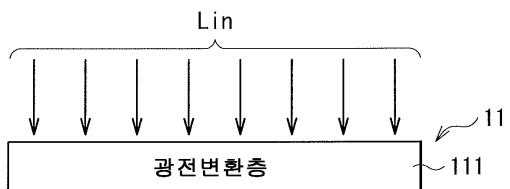
Vrst : 리셋 전압	N : 축적 노드
SW1, SW2 : 스위치	C1 : 용량 소자
Cgp, Cdp : 기생 용량	VST1, VST2 : 스타트 펄스 신호
CLK1, CLK2 : 클록 신호	EN1 내지 EN4 : 이네이블 신호
△Tv : 1수직 기간(1프레임 기간)	△Th : 1수평 기간
△To11 : 구동 오버랩 기간	△To12 : 동작 오버랩 기간
Tex : 노광 기간	Tr1 : 판독/제 1 리셋 기간
Tr1a : 판독 기간	Tr1b : 제 1 리셋 기간
Tr2 : 제 2 리셋 기간	△Tr1, △Tr2 : 선순차 구동 기간
Lin : 촬상광	Rrad : 방사선

도면

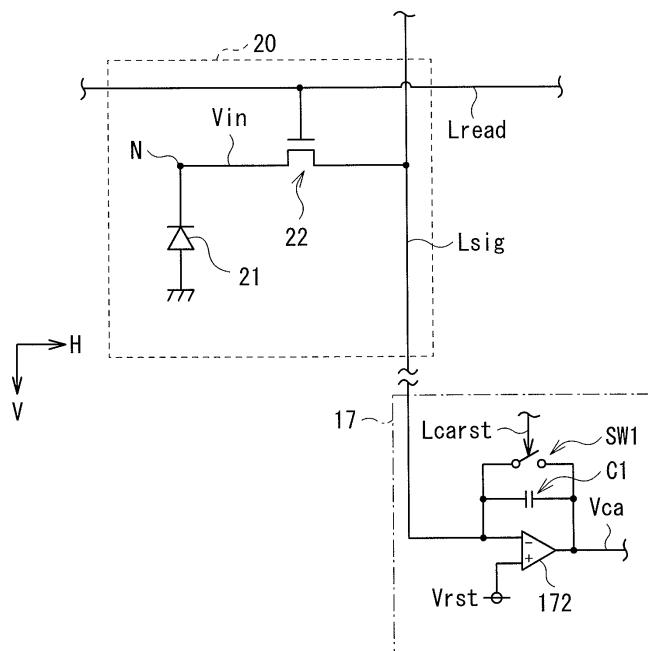
도면1



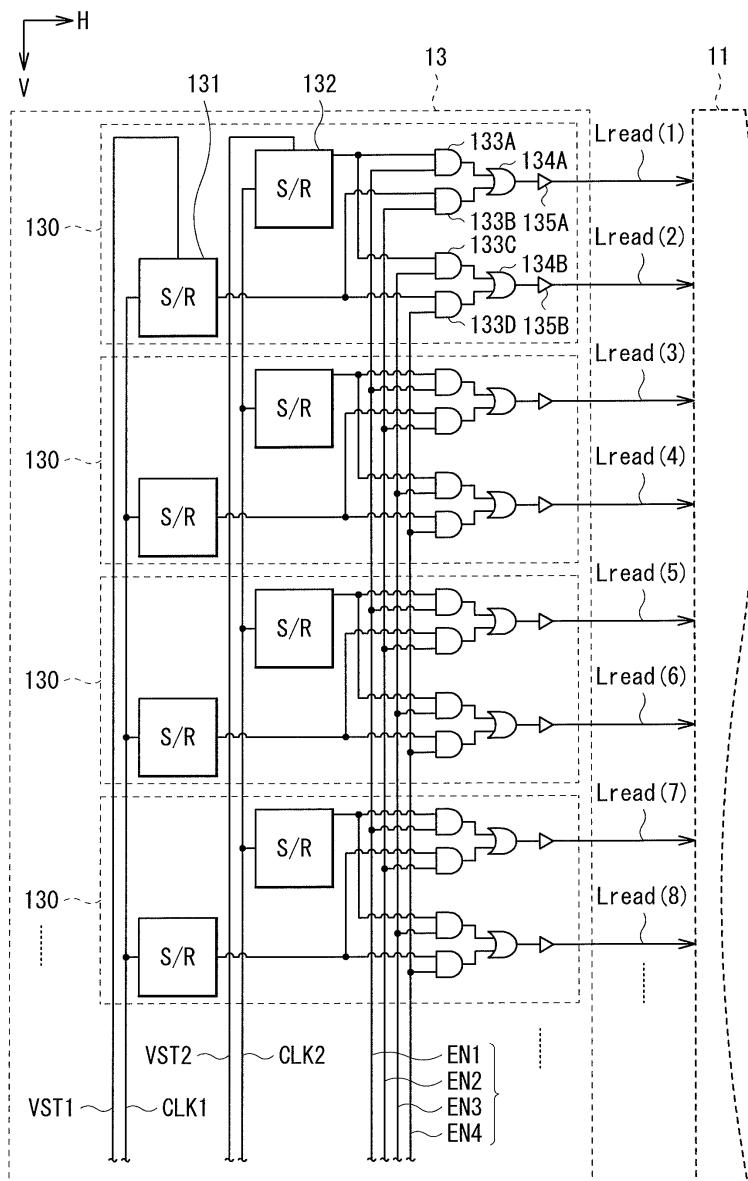
도면2



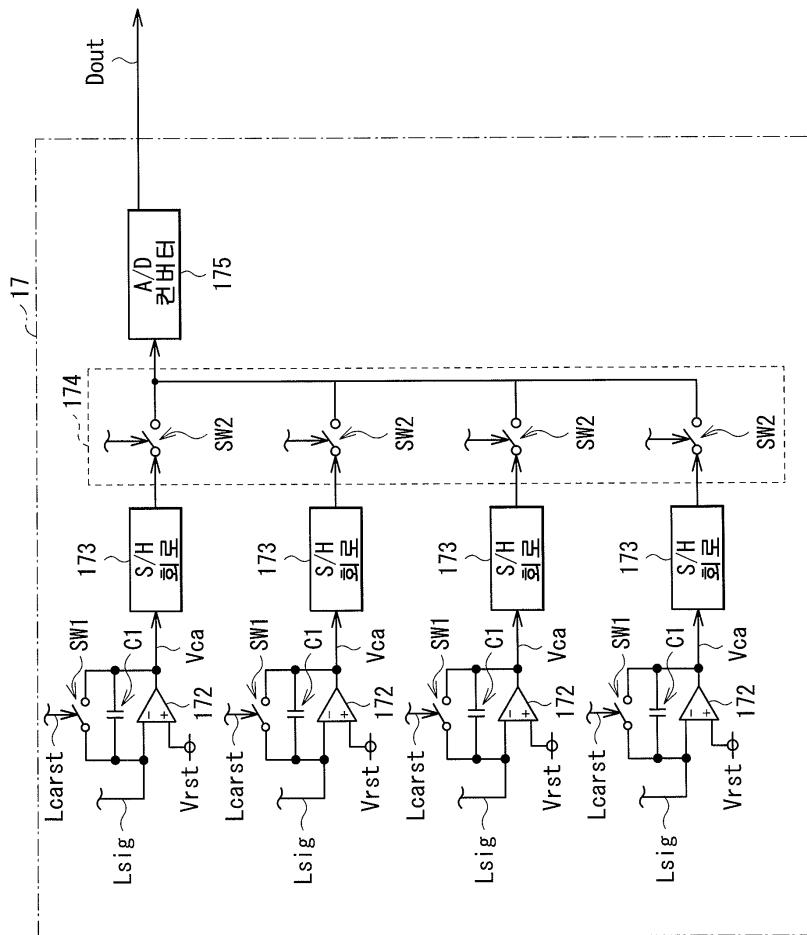
도면3



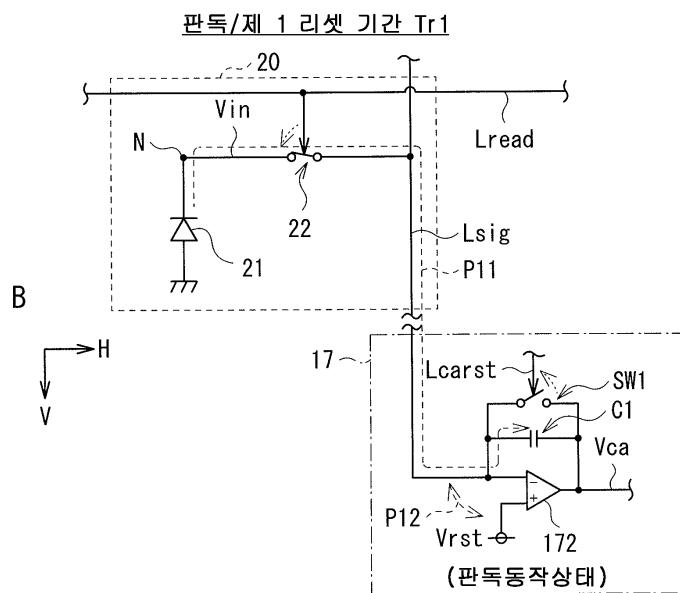
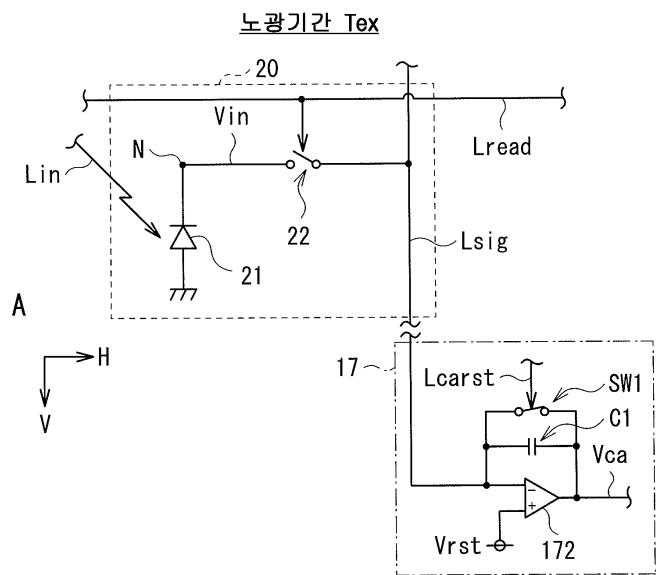
도면4



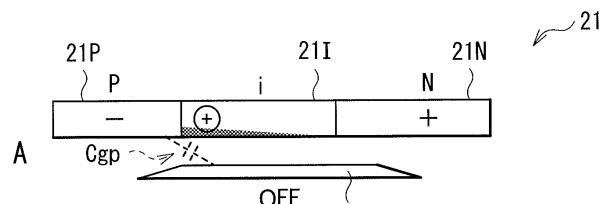
도면5



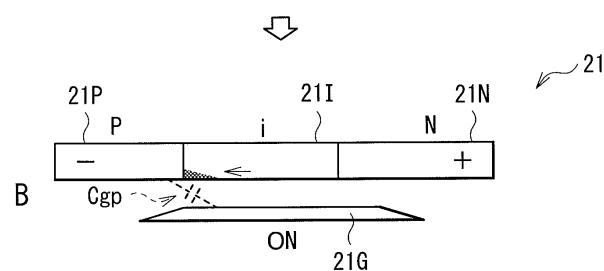
도면6



도면7

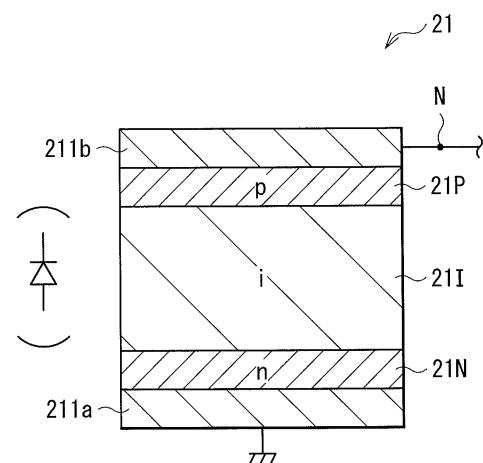


축적상태(Cgp=대)

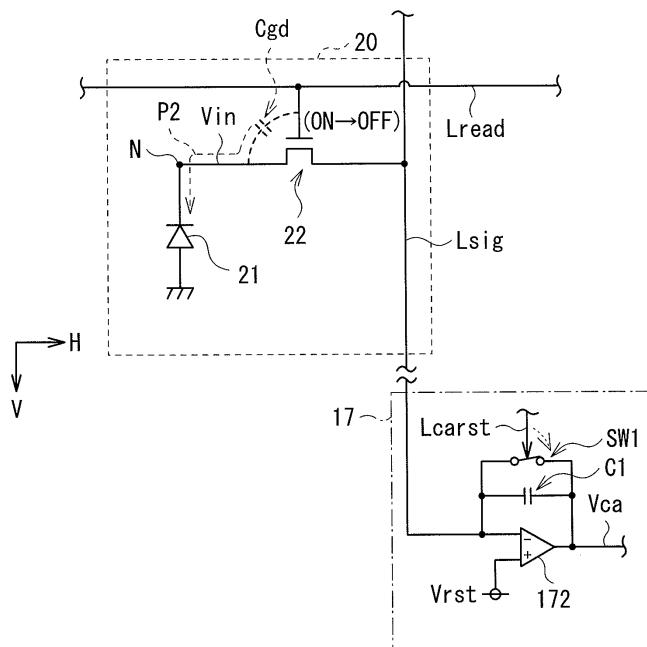


공핍상태(Cgp=소)

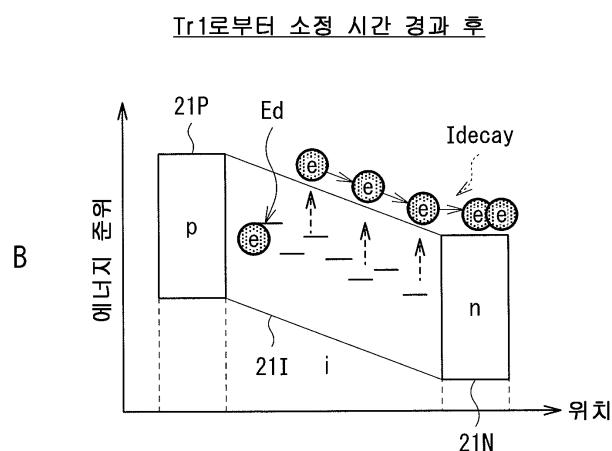
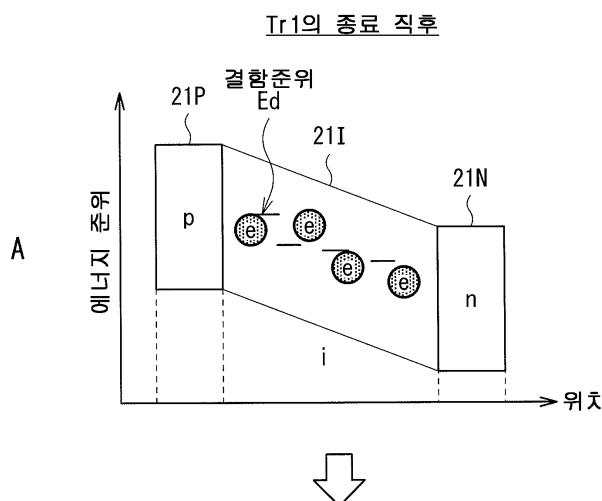
도면8



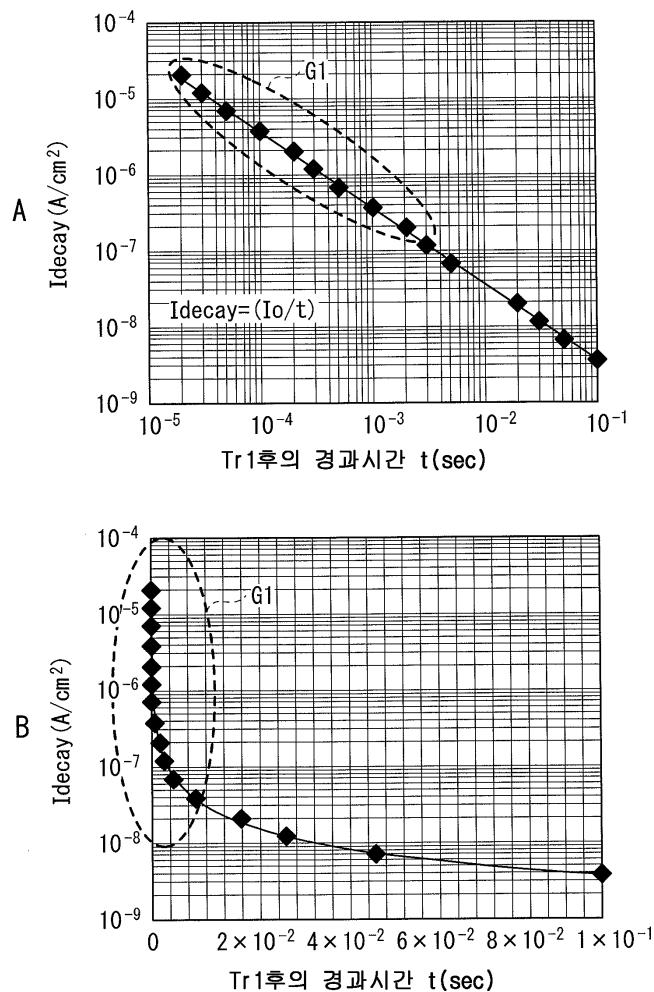
도면9



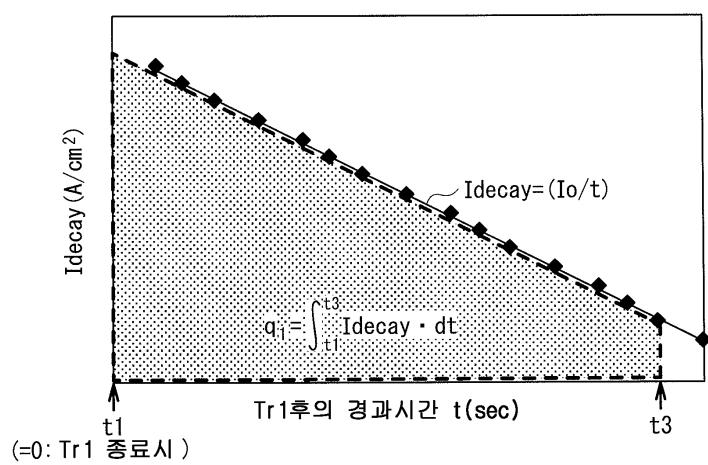
도면10



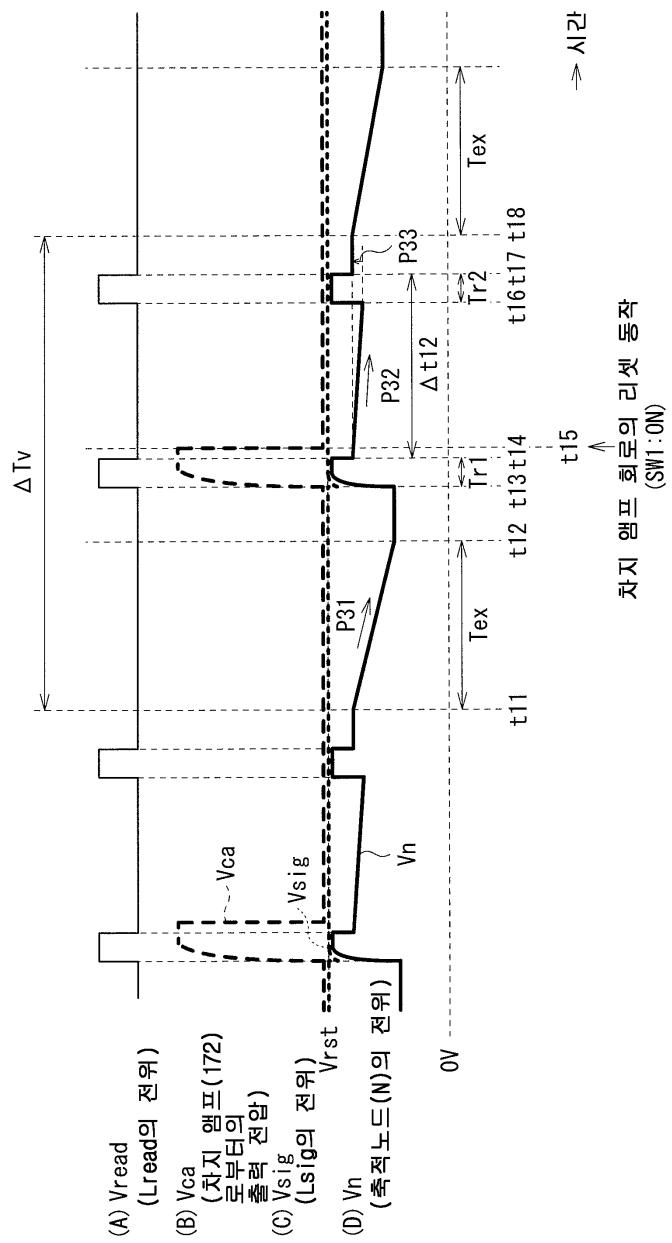
도면11



도면12

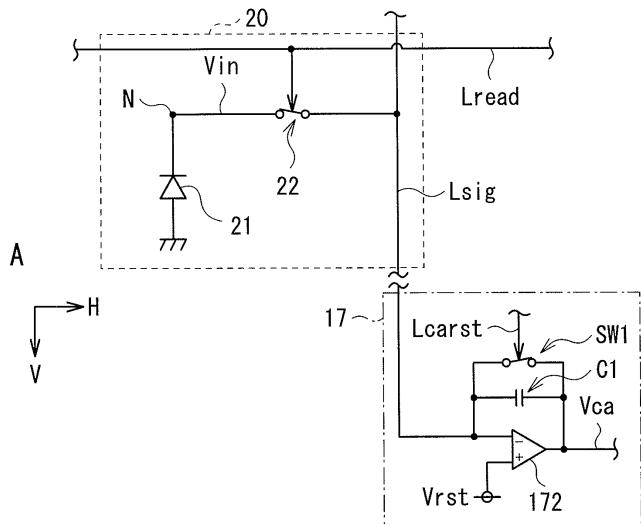


도면13

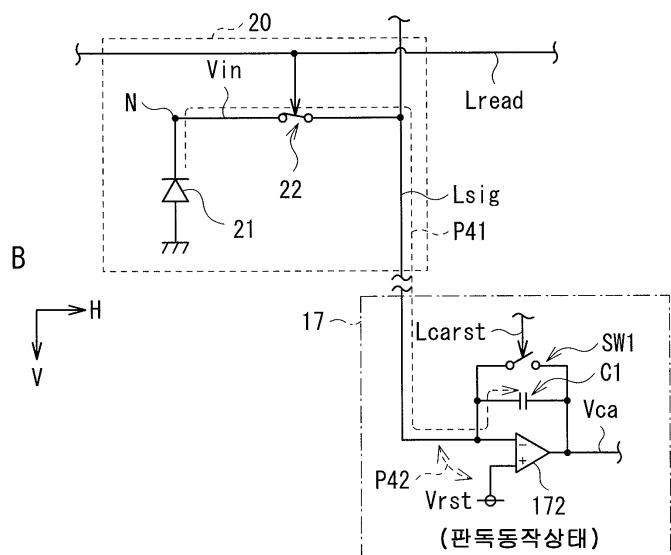


도면14

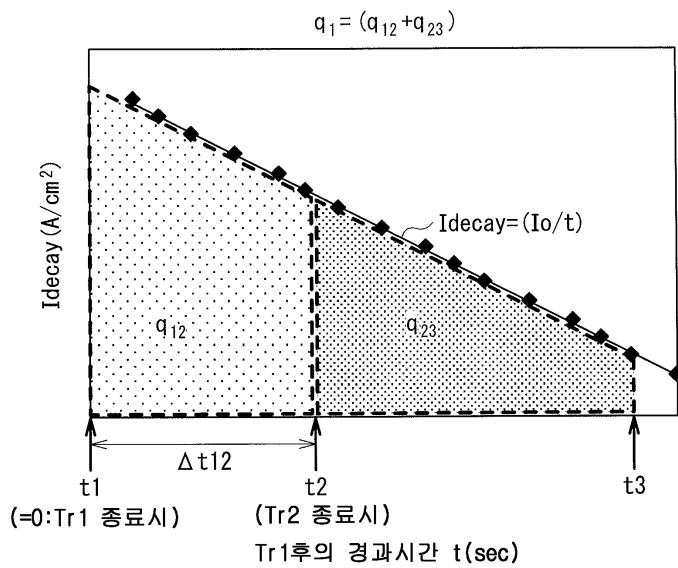
제 2 리셋 기간 Tr2(제 1의 동작예)



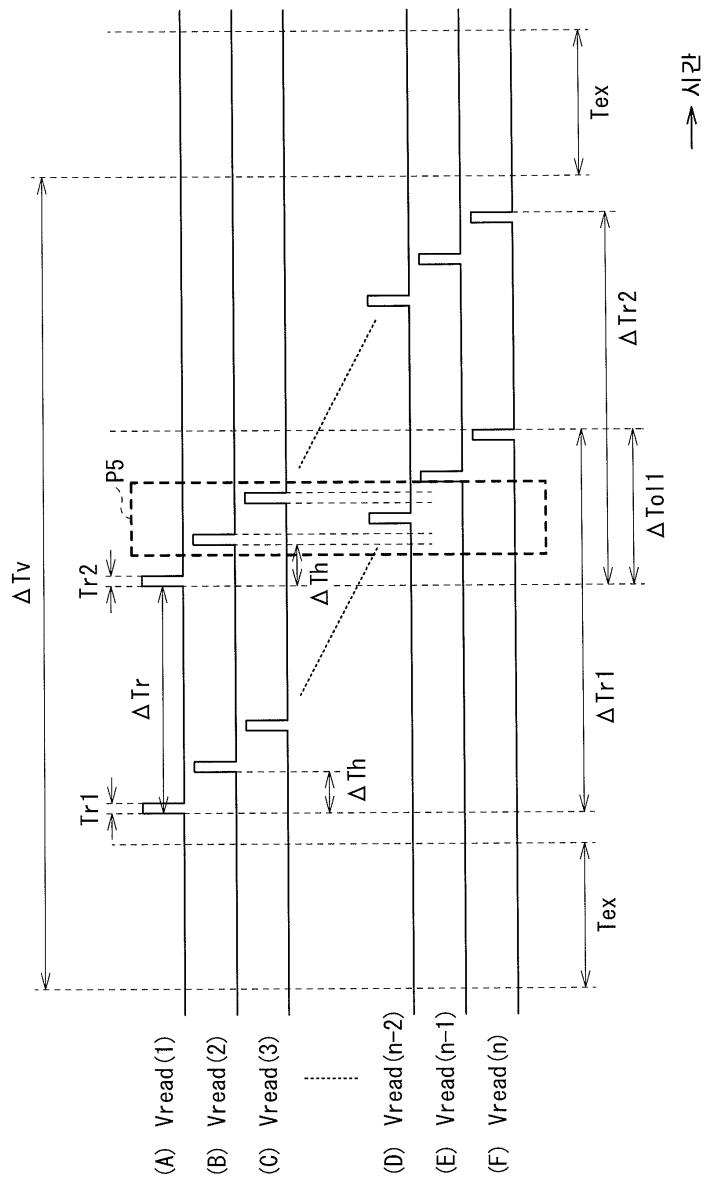
제 2 리셋 기간 Tr2(제 2의 동작예)



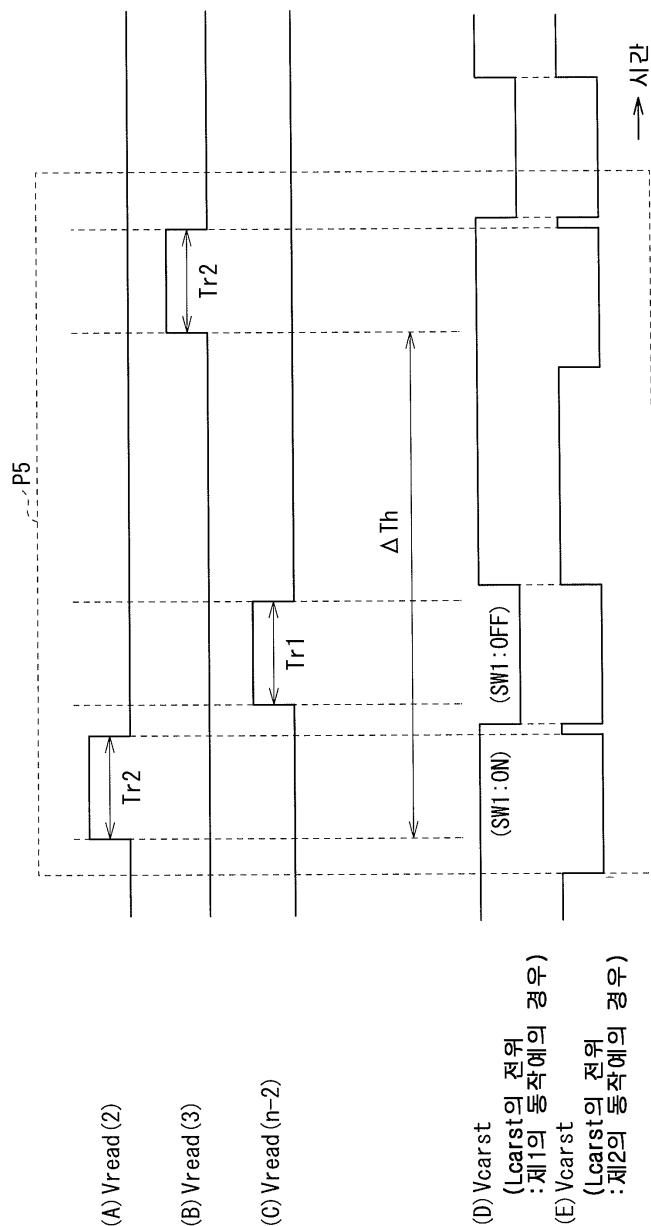
도면15



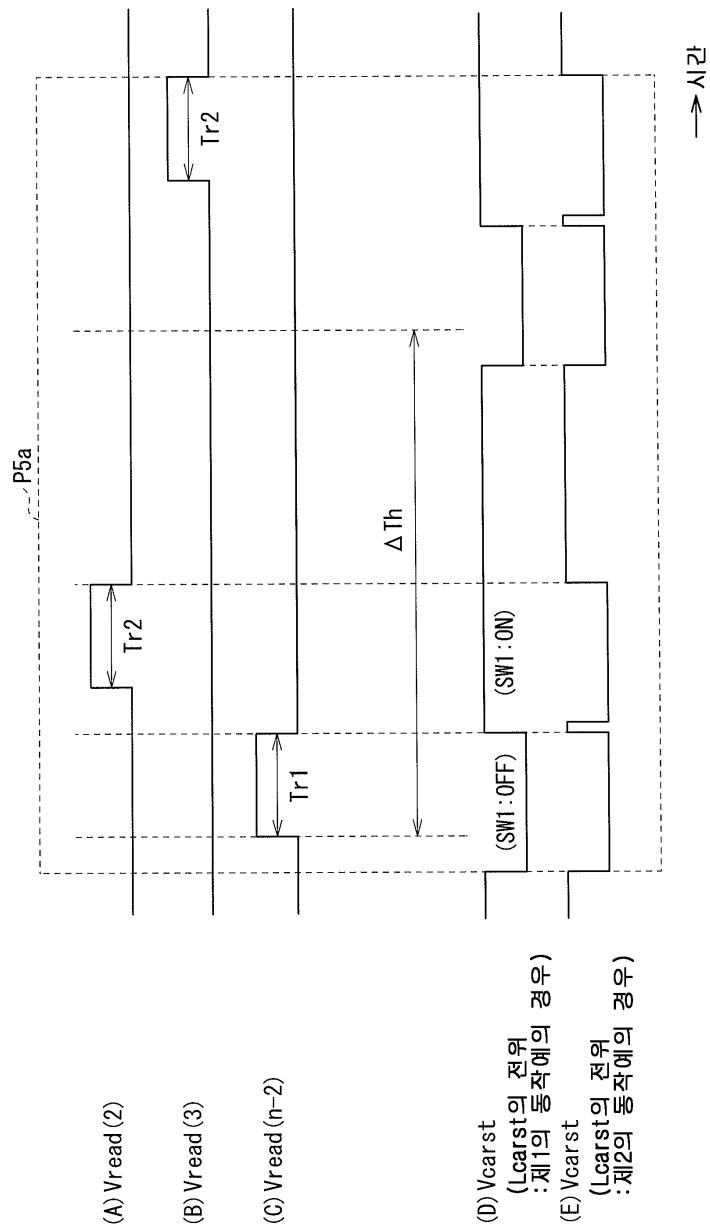
도면 16



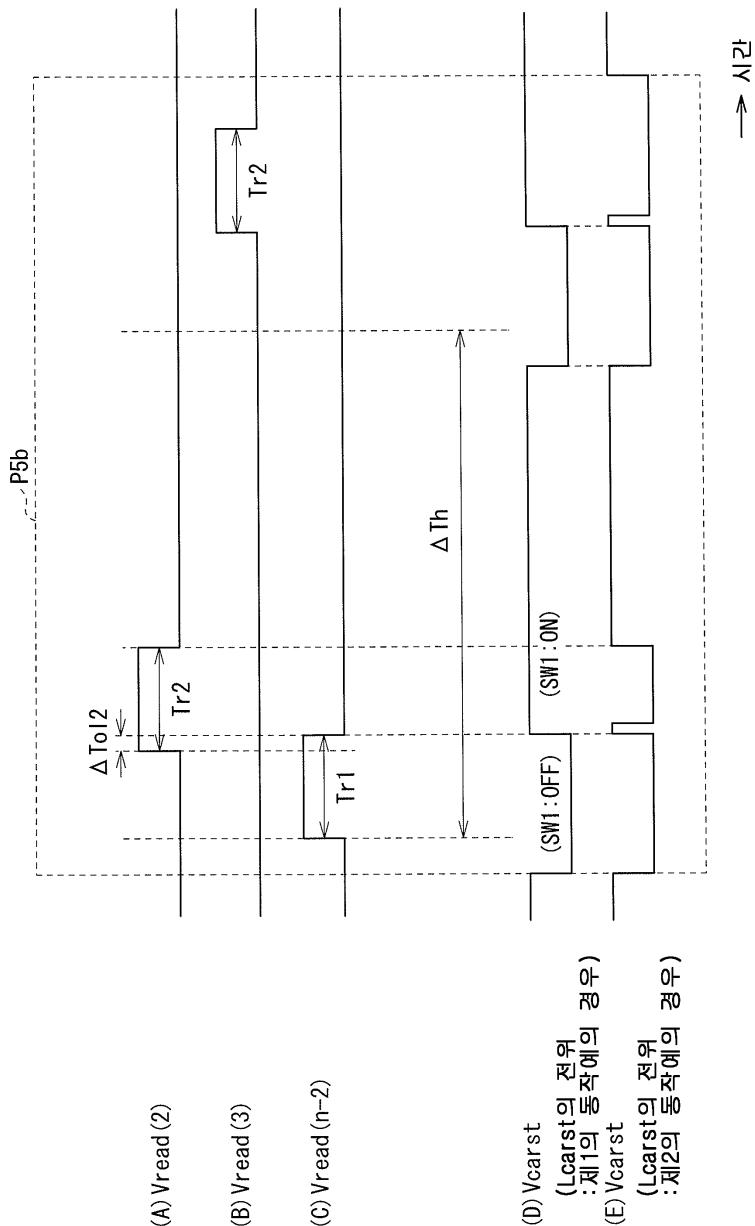
도면17



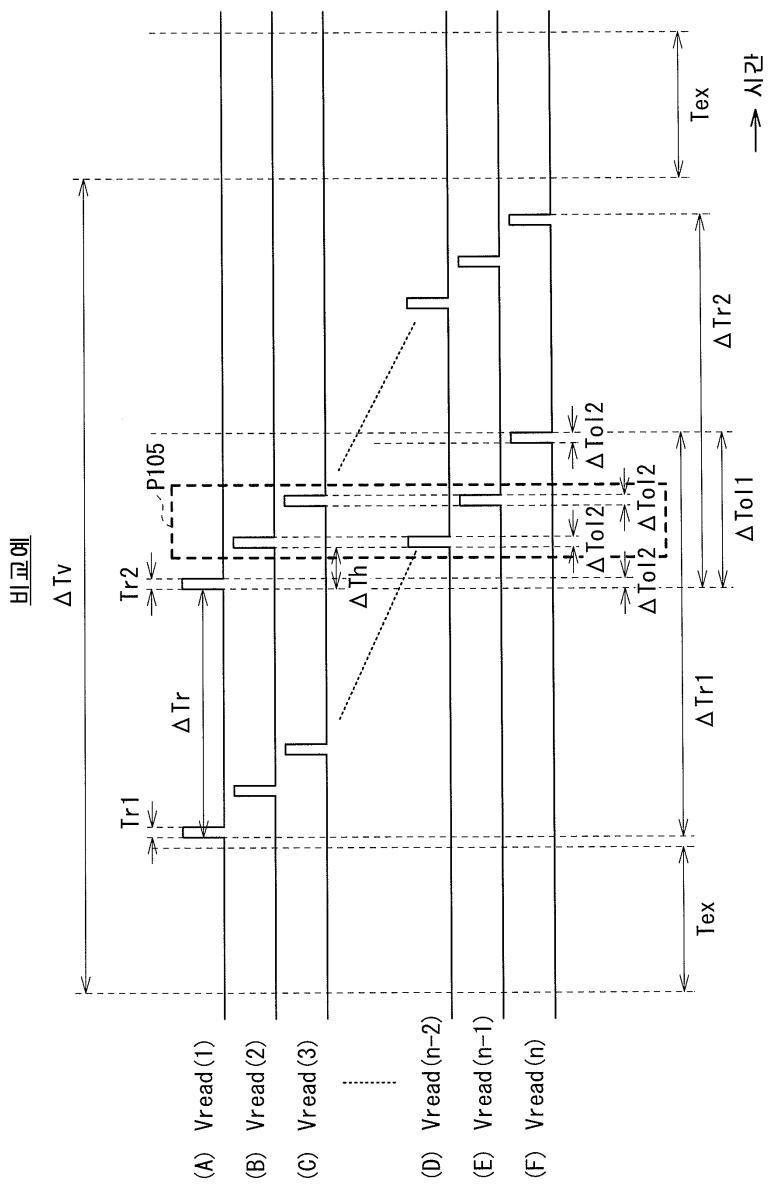
도면 18



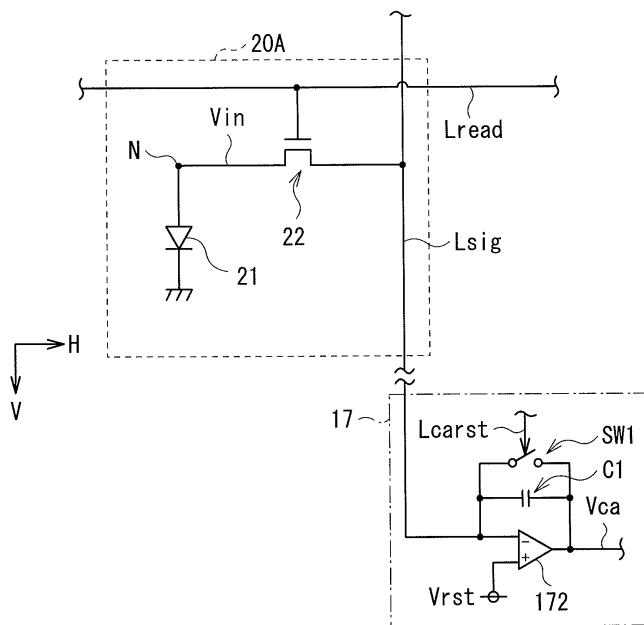
도면19



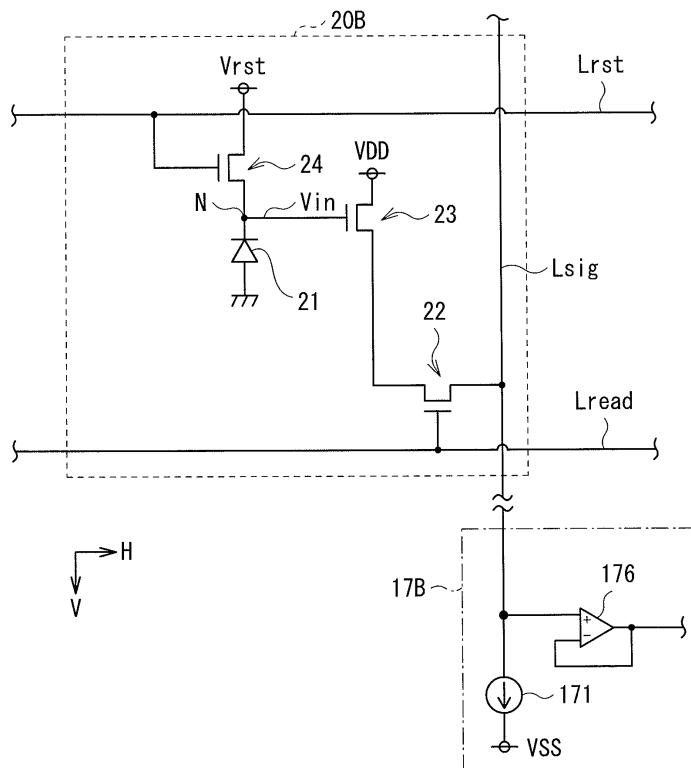
도면20



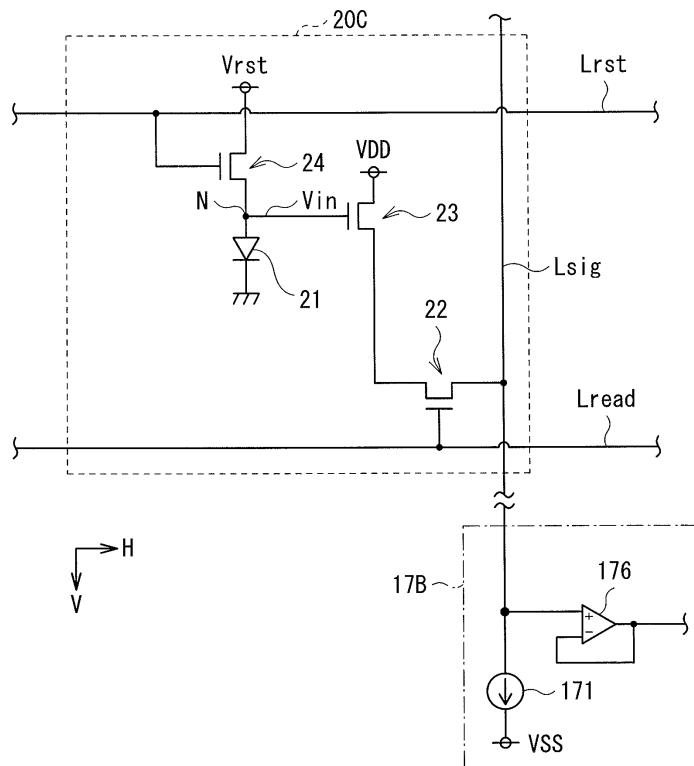
도면21



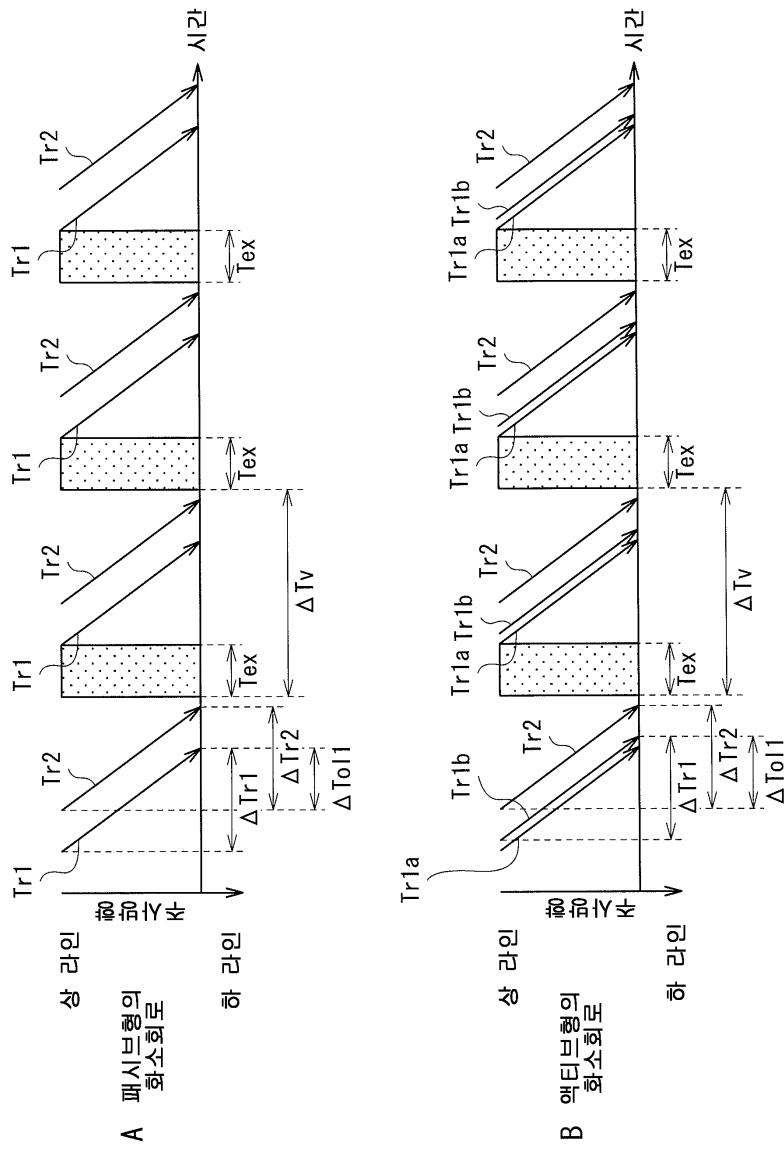
도면22



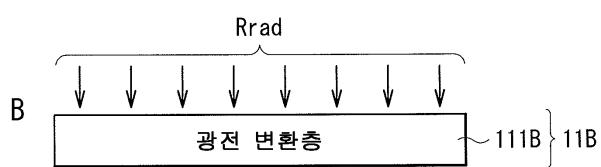
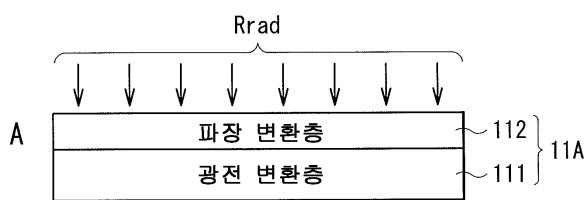
도면23



도면24



도면25



도면26

