

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7101334号

(P7101334)

(45)発行日 令和4年7月15日(2022.7.15)

(24)登録日 令和4年7月7日(2022.7.7)

(51)国際特許分類

F I

H 0 2 M 1/00 (2007.01)

H 0 2 M 1/00

F

H 0 2 M 3/155(2006.01)

H 0 2 M 3/155

R

H 0 2 M 3/28 (2006.01)

H 0 2 M 3/28

R

請求項の数 4 (全11頁)

(21)出願番号 特願2018-130672(P2018-130672)

(22)出願日 平成30年7月10日(2018.7.10)

(65)公開番号 特開2020-10532(P2020-10532A)

(43)公開日 令和2年1月16日(2020.1.16)

審査請求日 令和3年7月6日(2021.7.6)

(73)特許権者 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(74)代理人 100121441

弁理士 西村 竜平

(74)代理人 100154704

弁理士 齊藤 真大

(74)代理人 100129702

弁理士 上村 喜永

(74)代理人 100206151

弁理士 中村 惇志

(72)発明者 麻植 実

京都府京都市右京区梅津高畝町47番地

日新電機株式会社内

(72)発明者 松川 満

最終頁に続く

(54)【発明の名称】 スナバ回路

(57)【特許請求の範囲】

【請求項1】

直流電源から負荷への電流の供給を制御する主スイッチング素子のターンオフ時に生じるサージ電圧を吸収するためのスナバ回路であって、

前記主スイッチング素子に並列接続された主コンデンサと、

前記主コンデンサに並列接続されたサージエネルギー消費回路とを備え、

前記サージエネルギー消費回路が、

前記主コンデンサに並列接続され、互いに直列接続された副スイッチング素子及び副コンデンサと、

前記副コンデンサに並列接続され、互いに直列接続された補助スイッチング素子及び抵抗素子とを備えており、

前記主コンデンサの電圧が所定の閾値を超えた場合に、前記副スイッチング素子がオンであるとともに前記補助スイッチング素子がオフである第1状態と、前記副スイッチング素子がオフであるとともに前記補助スイッチング素子がオンである第2状態とが、交互に切り替わるように構成されたスナバ回路。

【請求項2】

前記副スイッチング素子及び前記補助スイッチング素子が半導体スイッチである請求項1に記載のスナバ回路。

【請求項3】

前記主スイッチング素子のターンオフ時において、前記サージエネルギー消費回路が第1

状態である請求項 1 又は 2 に記載のスナバ回路。

【請求項 4】

前記主コンデンサに並列接続された前記サージエネルギー消費回路を複数備えており、前記主コンデンサの電圧が所定の閾値を超えた場合に、前記複数のサージエネルギー消費回路のそれぞれの副スイッチング素子がインターリーブ動作するように構成された、請求項 1～3 のいずれか 1 項に記載のスナバ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はスナバ回路に関するものである。

10

【背景技術】

【0002】

DC-DC コンバータ等の電源装置等では、スイッチング素子のスイッチング時や短絡事故時に生じるサージ電圧からスイッチング素子自身や他の回路素子を保護するために、スナバ回路が設けられている。

【0003】

従来のスナバ回路として、例えば特許文献 1 に開示されているように、互いに直列接続された抵抗及びコンデンサをスイッチング素子に並列に設けたものが知られている。このスナバ回路では、サージ電圧のエネルギーはコンデンサに蓄えられた後に抵抗素子で熱として消費される。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開平 01-202161 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記した従来のスナバ回路では、不測の短絡事故等により過度のサージ電圧が生じた場合には、コンデンサに定格電圧を超える過電圧が印加されることによりスナバ回路に異常をきたす恐れがあった。

30

【0006】

本発明は、上記問題に鑑みてなされたものであり、サージ電圧に対する耐久性に優れたスナバ回路を提供することを主たる課題とするものである。

【課題を解決するための手段】

【0007】

すなわち本発明に係るスナバ回路は、直流電源から負荷への電流の供給を制御する主スイッチング素子のターンオフ時に生じるサージ電圧を吸収するためのスナバ回路であって、前記主スイッチング素子に並列接続された主コンデンサと、前記主コンデンサに並列接続されたサージエネルギー消費回路とを備え、前記サージエネルギー消費回路が、前記主コンデンサに並列接続され、互いに直列接続された副スイッチング素子及び副コンデンサと、前記副コンデンサに並列接続され、互いに直列接続された補助スイッチング素子及び抵抗素子とを備えており、前記主コンデンサの電圧が所定の閾値を超えた場合に、前記副スイッチング素子がオンであるとともに前記補助スイッチング素子がオフである第 1 状態と、前記副スイッチング素子がオフであるとともに前記補助スイッチング素子がオンである第 2 状態とが、交互に切り替わるように構成されている。

40

【0008】

このようなスナバ回路であれば、前記主コンデンサの電圧が所定の閾値を超えた場合には、第 1 状態において主コンデンサに溜まったサージ電圧のエネルギーを副コンデンサに分配し、次いで第 2 状態において副コンデンサに溜まったサージ電圧のエネルギーを抵抗素子で消費することができる。そしてこのような第 1 状態と第 2 状態とが交互に切り替わる

50

ことにより、主コンデンサに溜まったサージ電圧のエネルギーを、バケツリレーの如く次々と抵抗素子まで移送し、この抵抗素子において消費することができる。そのため、たとえ不測の短絡事故等により過度のサージ電圧が生じた場合であっても、主コンデンサに定格電圧を超える過電圧が印加されるのを防ぐことができ、サージ電圧に対するスナバ回路の耐久性を高めることができる。

また、サージ電圧のエネルギーを主コンデンサに溜めている最中に抵抗素子において消費できるので、主コンデンサを大きくする必要がなく、スナバ回路自体を小型化することができる。

【0009】

前記スナバ回路は、副スイッチング素子及び補助スイッチング素子が半導体スイッチであることが好ましい。

10

このようなものであれば、機械式スイッチである場合に比べて、副スイッチング素子及び補助スイッチング素子のスイッチング速度を高速にできるので、第1状態と第2状態とを高速で切り替えることができ、主コンデンサに溜まったサージ電圧のエネルギーを速やかに消費することができる。これにより、主コンデンサが過電圧になることをより確実に防ぐことができる。

【0010】

前記スナバ回路はまた、前記主スイッチング素子のターンオフ時において、前記サージエネルギー消費回路が第1状態であることが好ましい。

このようなものであれば、主スイッチング素子への印加電圧を副コンデンサと副スイッチング素子に分圧する形で負担できるので、それぞれのスイッチング素子の必要耐圧を低減し、より一層小型化することができる。

20

【0011】

前記スナバ回路はまた、前記主コンデンサに並列接続された前記サージエネルギー消費回路を複数備えており、前記主コンデンサの電圧が所定の閾値を超えた場合に、前記複数のサージエネルギー消費回路のそれぞれの副スイッチング素子がインターリーブ動作するように構成されていることが好ましい。

このようなものであればサージエネルギー消費回路が一つだけ備えるものに比べて、各サージエネルギー消費回路における副スイッチング素子及び補助スイッチング素子のスイッチング周波数を低減することができる。また、サージエネルギー消費回路が一つだけ備えるものに比べて、インターリーブ化によって、主スイッチへの印加電圧のピークが小さくなるので、主コンデンサと副コンデンサの電圧の差異に比例する各サージエネルギー消費回路における副スイッチング素子及び補助スイッチング素子を流れる電流を小さくできる。

30

【発明の効果】

【0012】

このように構成した本発明によれば、サージ電圧に対する耐久性に優れたスナバ回路を提供することができる。

【図面の簡単な説明】

【0013】

【図1】本実施形態のスナバ回路の構成を示す模式図である。

40

【図2】同実施形態のスナバ回路の基本的なサージ電圧吸収動作を説明するタイムチャートである。

【図3】同実施形態のスナバ回路のサージ電圧吸収動作を説明する図である。

【図4】同実施形態のスナバ回路のサージ電圧吸収動作を説明する図である。

【図5】他の実施形態のスナバ回路の構成を示す模式図である。

【図6】他の実施形態のスナバ回路のサージ電圧吸収動作を説明する図である。

【図7】他の実施形態のスナバ回路のサージ電圧吸収動作を説明する図である。

【図8】他の実施形態のスナバ回路のサージ電圧吸収動作を説明する図である。

【発明を実施するための形態】

【0014】

50

以下に本発明に係るスナバ回路の一実施形態について、図面を参照して説明する。

【0015】

本実施形態のスナバ回路100は、図1に示すように、図示しない電力変換回路等の主回路に設けられた主スイッチング素子Sに並列接続されて、主スイッチング素子Sをターンオフした時等に生じるサージ電圧から主スイッチング素子Sや周辺の回路素子を保護するためのものである。

なお図示しない主回路には、コイルL及び抵抗素子Rが直列接続されており、主スイッチング素子Sのターンオフ前には、主回路のコイルL及び抵抗素子Rにはそれぞれ電流が流れている。

【0016】

具体的にこのスナバ回路100は、スイッチング素子に並列接続された主コンデンサ1と、主コンデンサ1に並列接続されたサージエネルギー消費回路2とを備えている。サージエネルギー消費回路2は、主コンデンサ1に並列接続され、互いに直列接続された副スイッチング素子211及び副コンデンサ212と、副コンデンサ212に並列接続され、互いに直列接続された補助スイッチング素子221及び抵抗素子222とを備えている。

【0017】

主コンデンサ1及び副コンデンサ212は、サージ電圧のエネルギーを吸収するためのものであり、具体的には例えばセラミックコンデンサ等である。

【0018】

副スイッチング素子211は、副コンデンサ212に流れる電流のオン・オフを切り替えるものである。補助スイッチング素子221は、抵抗素子222に流れる電流のオン・オフを切り替えるものである。本実施形態の副スイッチング素子211及び補助スイッチング素子221はいずれも半導体スイッチであり、例えばMOSFET等である。

【0019】

抵抗素子222は、サージ電圧のエネルギーを消費するためのものであり、 V_1 / I_m [Ω] 以下の抵抗値を有するものである。ここで V_1 は後述する主コンデンサ1に印加される電圧値に対して設定される閾値であり、 I_m は主回路を流れる電流値である。

【0020】

スナバ回路100は、副スイッチング素子211及び補助スイッチング素子221のオン・オフを制御するための制御回路3を更に有する。制御回路3は、主コンデンサ1及び副コンデンサ212に印加された電圧値を検出するとともに、この検出した電圧値に基づいて副スイッチング素子211及び補助スイッチング素子221のオン・オフを切り替えるように構成されている。

【0021】

しかして本実施形態のスナバ回路100は、制御回路3が副スイッチング素子211及び補助スイッチング素子221のオン・オフを制御することにより、サージエネルギー消費回路2が、副スイッチング素子211がオンであるとともに補助スイッチング素子221がオフである第1状態と、副スイッチング素子211がオフであるとともに補助スイッチング素子221がオンである第2状態とが交互に切り替わるように構成されている。

【0022】

具体的には、制御回路3は、主コンデンサ1に印加される電圧値が所定の閾値 V_1 より大きく、かつ副コンデンサ212に印加される電圧値が所定の閾値 V_2 よりも大きい場合にのみ、サージエネルギー消費回路2を第2状態にし、それ以外の場合には、サージエネルギー消費回路2を第1状態にするように構成されている。ここで、閾値 V_1 は、閾値 V_2 よりも大きくなるように設定されている。

【0023】

次に、主回路において短絡事故が生じた際の本実施形態のスナバ回路100のサージ電圧吸収動作について、図2～4を参照して説明する。なお以下の説明では、短絡事故が生じる直前にはサージエネルギー消費回路2は第1状態になっている。

【0024】

10

20

30

40

50

短絡事故の発生等により主回路にサージ電圧が生じる。主回路を流れる電流の電流値 I_m が整定値を超えた場合に、図示しない過電流保護回路が主スイッチング素子 S をターンオフする。すると、図 2 及び図 3 に示すように、サージ電圧のエネルギーが主コンデンサ 1 及び副コンデンサ 2 1 2 に溜まり、主コンデンサ 1 に印加される電圧値 V_{C1} 及び副コンデンサ 2 1 2 に印加される電圧値 V_{C2} がともに、閾値 V_2 を超えて上昇する。

【0025】

図 2 及び図 4 に示すように、主コンデンサ 1 に印加される電圧値 V_{C1} (及び副コンデンサ 2 1 2 に印加される電圧値 V_{C2}) が上昇し続けて閾値 V_1 を超えると、制御回路 3 が副スイッチング素子 2 1 1 をオフにするとともに補助スイッチング素子 2 2 1 をオンにし、サージエネルギー消費回路 2 を第 2 状態に切り替える。すると副コンデンサ 2 1 2 が溜まった電荷を放電して抵抗素子 2 2 2 に電流が流れる。これにより副コンデンサ 2 1 2 に溜まったサージ電圧のエネルギーは、抵抗素子 2 2 2 において消費される。副コンデンサ 2 1 2 の電圧値 V_{C2} は、放電により閾値 V_2 まで下降する。ここで、放電により副コンデンサ 2 1 2 の電圧値 V_{C2} が閾値 V_1 から閾値 V_2 まで下降するのにかかる時間 t_1 は、以下の式 (1) で表される。なお式 (1) において、 R_A は抵抗素子 2 2 2 の抵抗値であり、 C_2 は副コンデンサ 2 1 2 の静電容量である。

【0026】

【数 1】

$$t_1 = R_A \cdot C_2 \cdot \ln\left(\frac{V_1}{V_2}\right) \quad [\text{s}] \quad (1)$$

【0027】

なおこの間に、主コンデンサ 1 には $I_m \times t_1$ [q] の電荷が流れ込み、主コンデンサ 1 の電圧値 V_{C1} は以下の式 (2) で表される。

【0028】

【数 2】

$$V_{C1} = \frac{I_m \cdot R_A \cdot C_2}{C_1} \cdot \ln\left(\frac{V_1}{V_2}\right) + V_1 \quad [\text{q}] \quad (2)$$

【0029】

副コンデンサ 2 1 2 が放電し続けてその電圧値 V_{C2} が V_2 未満になると、制御回路 3 は、図 2 及び図 3 に示すように、副スイッチング素子 2 1 1 をオンにするとともに補助スイッチング素子 2 2 1 をオフにし、サージエネルギー消費回路 2 を再び第 1 状態に切り替える。すると、主コンデンサ 1 に溜まった電荷が副コンデンサ 2 1 2 に流れ込み、主コンデンサ 1 の電圧値 V_{C1} と副コンデンサ 2 1 2 の電圧値 V_{C2} は等しくなり、以下の式 (3) で表されるようになる。ここで、 C_1 は主コンデンサ 1 の静電容量である。

【0030】

【数 3】

$$V_{C1} = V_{C2} = \sqrt{\frac{C_1 \cdot \left(\frac{I_m \cdot R_A \cdot C_2}{C_1} \cdot \ln\left(\frac{V_1}{V_2}\right) + V_1 \right)^2 + C_2 \cdot V_2^2}{C_1 + C_2}} \quad [\text{V}] \quad (3)$$

【0031】

その後、主コンデンサ 1 の電圧値 V_{C1} と副コンデンサ 2 1 2 の電圧値 V_{C2} が昇圧して閾値 V_1 を超えると、制御回路 3 がサージエネルギー消費回路 2 を第 2 状態に再び切り替えて、上記動作を繰り返す。

【0032】

上記のように、主コンデンサ 1 の電圧値 V_{C1} が閾値 V_1 を超えてから降圧後に再び閾値 V_1 を超えるまでを 1 サイクルとして、複数サイクル繰り返される。この 1 サイクルの間に抵抗素子 2 2 2 で消費されるエネルギー E は、以下の式 (4) で表される。

10

20

30

40

50

【 0 0 3 3 】

【数 4】

$$E = \frac{C_2}{2} \cdot (V_1^2 - V_2^2) \quad (4)$$

【 0 0 3 4 】

そして主回路を流れる電流の電流値 I_m が所定の値以下になると、スナバ回路 1 0 0 は停止する。

【 0 0 3 5 】

<本実施形態の効果>

このように構成した本実施形態のスナバ回路 1 0 0 によれば、主コンデンサ 1 の電圧が閾値 V_1 を超えた場合には、第 1 状態において主コンデンサ 1 に溜まったサージ電圧のエネルギーを副コンデンサ 2 1 2 に分配し、次いで第 2 状態において副コンデンサ 2 1 2 に溜まったサージ電圧のエネルギーを抵抗素子 2 2 2 で消費することができる。そしてこのような第 1 状態と第 2 状態とが交互に切り替わることにより、主コンデンサ 1 に溜まったサージ電圧のエネルギーを、バケツリレーの如く次々と抵抗素子 2 2 2 まで移送し、この抵抗素子 2 2 2 において消費することができる。そのため、たとえ不測の短絡事故等により過度のサージ電圧が生じた場合であっても、主コンデンサ 1 に定格電圧を超える過電圧が印加されるのを防ぐことができ、サージ電圧に対するスナバ回路 1 0 0 の耐久性を高めることができる。

また、サージ電圧のエネルギーを主コンデンサ 1 に溜めながら、サージ電圧のエネルギーを抵抗素子 2 2 2 において消費できるので、主コンデンサ 1 を大きくする必要がなく、スナバ回路 1 0 0 自体を小型化することができる。

【 0 0 3 6 】

また、主スイッチング素子 S のターンオフ時においてサージエネルギー消費回路 2 が第 1 状態であるので、主スイッチング素子 S への印加電圧を副コンデンサ 2 1 2 と副スイッチング素子 2 1 1 に分圧する形で負担できるので、それぞれのスイッチング素子の必要耐圧を低減し、より一層小型化することができる。

【 0 0 3 7 】

また、副スイッチング素子 2 1 1 及び補助スイッチング素子 2 2 1 が半導体スイッチであるので、副スイッチング素子 2 1 1 及び補助スイッチング素子 2 2 1 のスイッチング速度を高速にでき、第 1 状態と第 2 状態とを高速で切り替えることができる。これにより、主コンデンサ 1 に溜まったサージ電圧のエネルギーを速やかに消費することができる。

【 0 0 3 8 】

なお、本発明は前記実施形態に限られるものではない。

【 0 0 3 9 】

前記したスナバ回路 1 0 0 のサージ電圧吸収動作の説明において、短絡事故が生じる直前にはサージエネルギー消費回路 2 は第 1 状態になっていたが、これに限らず第 2 状態になっていてもよい。

【 0 0 4 0 】

他の実施形態のスナバ回路 1 0 0 は、主コンデンサ 1 に並列接続されたサージエネルギー消費回路 2 を n 個（ここで、 n は 2 以上の自然数）備えていてもよい。例えば図 5 に示すように、主コンデンサ 1 に並列接続された、同一の構成を有する 2 つのサージエネルギー消費回路 2 a 及び 2 b を備えてもよい。

【 0 0 4 1 】

この実施形態のスナバ回路 1 0 0 では、制御回路 3 は、主コンデンサ 1 の電圧値を検出し、この検出した電圧値に基づいて複数の副スイッチング素子 2 1 1 及び複数の補助スイッチング素子 2 2 1 のオン・オフを制御するように構成されている。

【 0 0 4 2 】

具体的にこのスナバ回路 1 0 0 は、主コンデンサ 1 の電圧値が所定の値を超えた場合に、

10

20

30

40

50

第1サージエネルギー消費回路2a及び第2サージエネルギー消費回路2bのそれぞれの副スイッチング素子211がインターリーブ動作するように構成されている。すなわち、第1サージエネルギー消費回路2aにおいて第2状態が第1状態に切り替わる周期と、第2サージエネルギー消費回路2bにおいて第2状態が第1状態に切り替わる周期とが、 $360/n^\circ$ （すなわち、ここでは 180° ）ずつシフトするように構成されている。

【0043】

この実施形態のスナバ回路100の、主回路において短絡事故が生じた際のサージ電圧吸収動作を図6～図8を参照して説明する。なおここでは、図6に示すように、短絡事故が生じる直前には第1サージエネルギー消費回路2a及び第2サージエネルギー消費回路2bのいずれも第2状態になっている。

【0044】

短絡事故の発生等により主回路にサージ電圧が生じ、主回路を流れる電流の電流値 I_m が整定値を超えると、図示しない過電流保護回路が主スイッチング素子Sをターンオフする。すると、図6に示すように、サージ電圧のエネルギーが主コンデンサ1に溜まり、主コンデンサ1の電圧値が上昇する。

【0045】

主コンデンサ1の電圧値が所定の閾値 V_3 を超えると、図7に示すように、第1サージエネルギー消費回路2aが第2状態から第1状態に切り替わる。すると、主コンデンサ1に溜まった電荷が第1副コンデンサ212aに流れ込んで主コンデンサ1の電圧値は降下し、その後主コンデンサ1の電圧値は再び上昇する。

【0046】

主コンデンサ1の電圧値が再び所定の閾値 V_3 を超えると、図8に示すように、第1サージエネルギー消費回路2aが第1状態から第2状態に切り替わるとともに、第2サージエネルギー消費回路2bが第2状態から第1状態に切り替わる。すると、主コンデンサ1に溜まった電荷が第2副コンデンサ212bに流れ込んで主コンデンサ1の電圧値は降下するとともに、第1副コンデンサ212aに溜まった電荷は放電されて、第1抵抗素子222aにおいてエネルギーが消費される。

【0047】

その後主コンデンサ1の電圧値は再び上昇し、上記した第1サージエネルギー消費回路2aと第2サージエネルギー消費回路2bのスイッチング動作が繰り返される。これにより、サージ電圧のエネルギーは、第1サージエネルギー消費回路2aの第1抵抗素子222aと第2サージエネルギー消費回路2bの第2抵抗素子222bによって交互に消費される。主回路を流れる電流の電流値 I_m が所定の値以下になるとスナバ回路100は停止する。

【0048】

なお、サージエネルギー消費回路2を複数備える場合、放電のための抵抗素子222を、複数のサージエネルギー消費回路2で共用するように構成してもよい。このようなものであれば、スナバ回路100の部品点数を低減することができ、それに伴い実装面積を低減することができる。

【0049】

前記実施形態に係るスナバ回路100及びこれを適用した主スイッチング素子Sの組み合わせは、複数組が互いに直列接続されてもよく、複数組が互いに並列接続されてもよく、それらが組み合わせられていてもよい。

【0050】

その他、本発明は前記実施形態に限られず、その趣旨を逸脱しない範囲で種々の変形が可能であるのは言うまでもない。

【符号の説明】

【0051】

100・・・スナバ回路

1・・・主コンデンサ

10

20

30

40

50

2 . . . サージエネルギー消費回路

2 1 1 . . . 副スイッチング素子

2 1 2 . . . 副コンデンサ

2 2 1 . . . 補助スイッチング素子

2 2 2 . . . 抵抗素子

3 . . . 制御回路

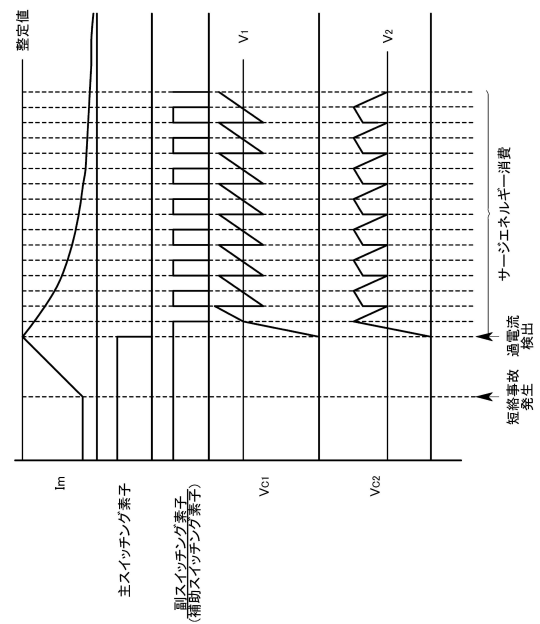
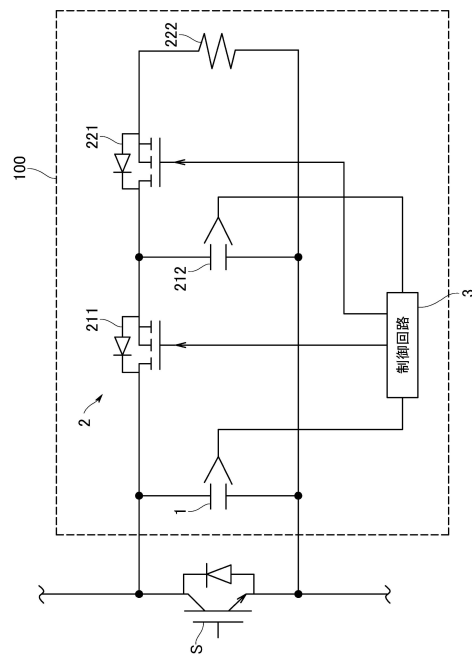
S . . . 主スイッチング素子

【図面】

【図 1】

【図 2】

10



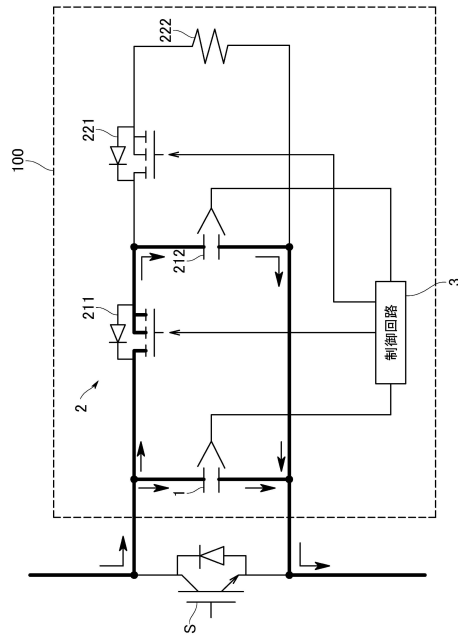
20

30

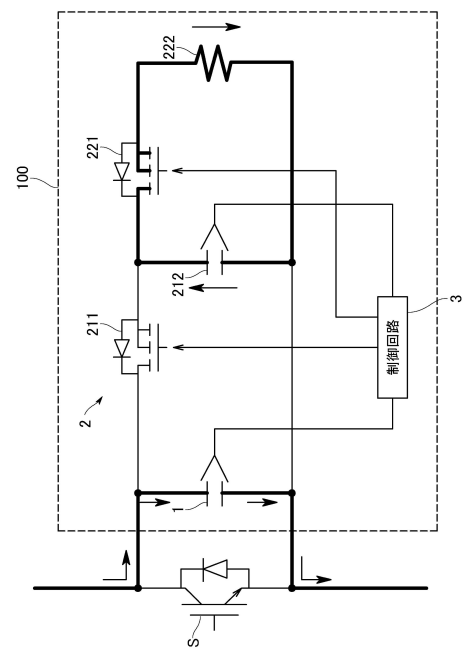
40

50

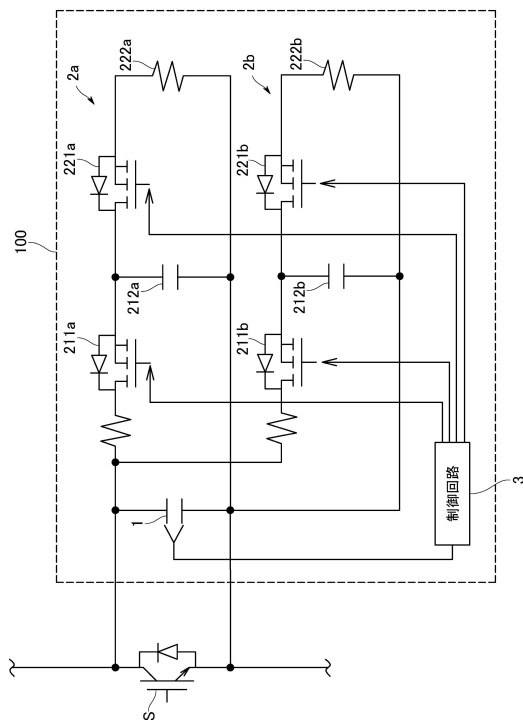
【図 3】



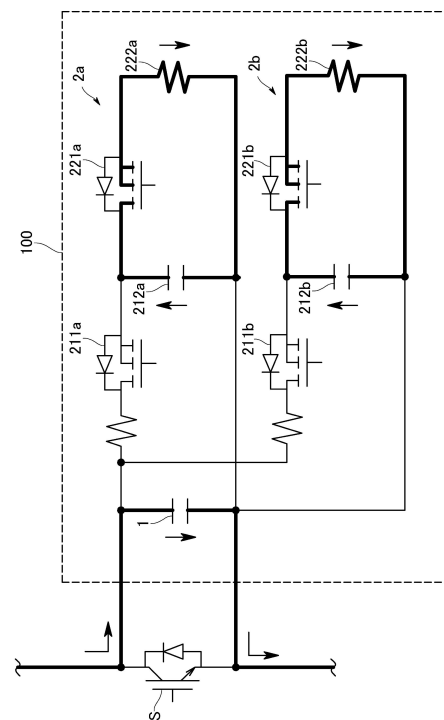
【図 4】



【図 5】



【図 6】



10

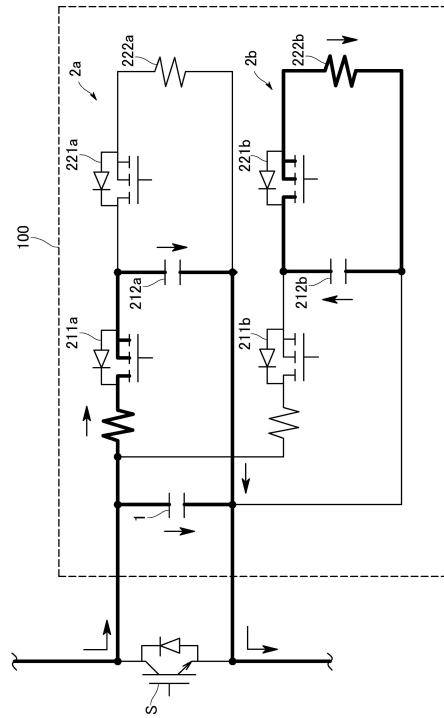
20

30

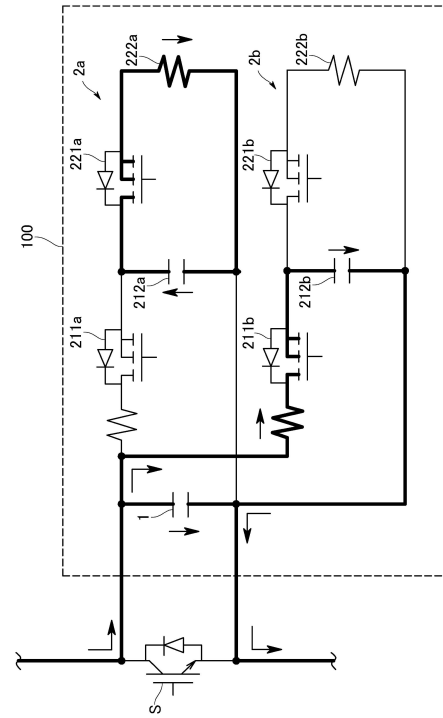
40

50

【圖 7】



【図 8】



フロントページの続き

- 京都府京都市右京区梅津高畝町 4 7 番地 日新電機株式会社内
(72)発明者 菱輪 義文
京都府京都市右京区梅津高畝町 4 7 番地 日新電機株式会社内
審査官 柳下 勝幸
(56)参考文献 特開平 0 9 - 2 7 5 6 7 4 (J P , A)
特開平 0 5 - 2 7 6 6 5 0 (J P , A)
特開 2 0 0 4 - 0 0 7 9 8 2 (J P , A)
米国特許出願公開第 2 0 1 1 / 0 1 0 9 2 8 2 (U S , A 1)
(58)調査した分野 (Int.Cl., D B 名)
H 0 2 M 1 / 0 0
H 0 2 M 3 / 1 5 5
H 0 2 M 3 / 2 8