

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G01R 31/26	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월19일 10-0502127 2005년07월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2001-0019272 2001년04월11일	(65) 공개번호 (43) 공개일자	10-2001-0098515 2001년11월08일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 09/547,753 2000년04월12일 미국(US)

(73) 특허권자 가부시키가이샤 어드밴티스트  
일본국 도쿄도 네리마구 아사히쵸 1쵸메 32반1고

(72) 발명자 스가모리시게루  
미국95054캘리포니아주산타클라라스콧블러바드3201

(74) 대리인 장수길  
이중희  
구영창

심사관 : 권호영

(54) 애플리케이션 특정 이벤트형 반도체 테스트 시스템

요약

본 발명은 반도체 장치들을 테스트하기 위한 반도체 테스트 시스템에 관한 것으로, 특히 메인 프레임 내부의 다수의 상이한 타입들의 테스터 모듈들, 및 테스트 설비 내에 테스트 대상 장치에 고유한 측정 모듈을 가짐으로써, 저비용의 애플리케이션 특정 테스트 시스템을 달성할 수 있는 반도체 테스트 시스템에 관한 것이다. 반도체 테스트 시스템은, 성능이 서로 상이한 2개 이상의 테스터 모듈들; 2개 이상의 테스터 모듈들의 결합을 수용하기 위한 테스트 시스템 메인 프레임; 테스터 모듈들과 테스트 대상 장치를 전기적으로 접속시키기 위해 메인 프레임 상에 제공되는 테스트 설비; 테스트 설비 내에 제공되어 테스트 대상 장치의 기능에 따라 테스트 대상 장치와 테스터 모듈 간의 신호들을 변환시키는 측정 모듈; 및 테스터 버스를 통해 테스터 모듈들과 통신함으로써 테스트 시스템의 전체 동작을 제어하기 위한 호스트 컴퓨터를 포함한다.

대표도

도 4

색인어

테스터 모듈, 테스트 시스템 메인 프레임, 테스트 설비, 측정 모듈, 호스트 컴퓨터, 이벤트 테스터 보드, 이벤트 메모리, 드라이버/비교기

명세서

도면의 간단한 설명

도 1은 종래 기술의 반도체 테스트 시스템 (LSI 테스터)의 기본 구성을 도시하는 블럭도.

도 2는 종래 기술의 반도체 테스트 시스템의 외관의 일례를 도시하는 개략도.

도 3은 종래의 반도체 테스트 시스템의 사이클 기반의 테스트 패턴을 생성하기 위한 기술(description)의 일례와, 본 발명의 반도체 테스트 시스템의 이벤트형 테스트 패턴을 생성하기 위한 기술의 일례를 비교하기 위한 도면.

도 4는 본 발명의 애플리케이션 특정 테스트 시스템을 사용하여 혼합 신호 IC(혼합 신호 집적 회로)를 테스트하기 위한 테스트 시스템 구성의 일례를 도시하는 블록도.

도 5는 본 발명에 따라, 테스터 모듈에 통합되는 이벤트 테스터 보드에 제공되는 이벤트 테스터의 회로 구성의 일례를 도시하는 블록도.

도 6은 본 발명의 다수의 테스터 모듈들을 통합함으로써 상이한 성능들로 그룹핑된 테스트 핀들을 갖는 반도체 테스트 시스템을 구축하기 위한 개략도.

도 7a는 혼합 신호 장치를 테스트하기 위해 구성된 반도체 테스트 시스템의 일례를 도시하는 블록도.

도 7b는 BIST 기능 장치를 테스트하기 위해 구성된 반도체 테스트 시스템의 일례를 도시하는 블록도.

도 8은 아날로그 기능과 디지털 기능이 혼합된 혼합 신호 IC의 내부 구조, 및 본 발명의 반도체 테스트 시스템을 사용하여 병렬 방식으로 테스트 대상의 혼합 신호 장치의 상이한 기능들을 테스트하는 개념을 도시하는 개략도.

도 9의 (a)는 종래의 반도체 테스트 시스템에 의해 혼합 신호 장치를 테스트하기 위한 테스트 프로세스를 도시하고, (b)는 본 발명의 반도체 테스트 시스템에 의해 혼합 신호 장치를 테스트하기 위한 테스트 프로세스를 도시하는 개략도.

도 10은 본 발명의 반도체 테스트 시스템의 외관의 일례를 도시하는 개략도.

<도면의 주요 부분에 대한 부호의 설명>

19 : 테스트 대상 장치

41 : 테스터 제어기

43 : 이벤트 테스터 보드

48 : 아날로그 측정 (테스트) 모듈

53 : 인터페이스

64 : 시스템 버스

66 : 이벤트 테스터

67 : 프로세서

68 : 메모리

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 LSI(large scale integrated) 회로와 같은 반도체 집적 회로를 테스트하기 위한 반도체 테스트 시스템에 관한 것으로, 특히, 특정 애플리케이션에 전용으로 구성된 저비용의 반도체 테스트 시스템에 관한 것으로, 이벤트형 테스터 구조를 갖는다. 본 발명의 이벤트형 반도체 테스트 시스템은, 동일하거나 상이한 기능들을 가지며 각각 서로 독립적으로 동작하는 다수의 테스터 모듈들과 의도된 애플리케이션에 특정된 측정 모듈을 자유롭게 결합함으로써 형성됨으로써, 저비용의 테스트 시스템을 구축할 수 있다. 측정 모듈은 테스트 시스템의 테스트 설비 내에 설치될 수 있다.

도 1은 반도체 집적 회로(이하, "DUT(device under test) : 테스트 대상 장치"라고도 언급될 수 있음)를 테스트하기 위한 종래 기술의 반도체 테스트 시스템, 소위 IC 테스터의 일례를 개략적으로 도시한 블록도이다.

도 1의 일례에서, 테스트 프로세서(11)는 테스터 버스를 통해 테스트 시스템의 동작을 제어하기 위해 반도체 테스트 시스템 내에 제공되는 전용 프로세서이다. 패턴 생성기(12)는, 테스트 프로세서(11)로부터의 패턴 데이터에 기초하여, 타이밍 데이터 및 파형 데이터를 타이밍 생성기(13) 및 파형 포맷터(14)에 각각 제공한다. 테스트 패턴은 패턴 생성기(12)로부터의 파형 데이터와 타이밍 생성기(13)로부터의 타이밍 데이터를 사용하여 파형 포맷터(14)에 의해 생성되고, 드라이버(15)를 통해 테스트 대상 장치(DUT; 19)에 제공된다.

DUT(19)로부터의 응답 출력 신호는 테스트 패턴에 응답하여 생성된다. 출력 신호는 선정된 임계 전압 레벨을 참조하여 아날로그 비교기(16)에 의해 논리 신호로 변환된다. 논리 신호는 논리 (패턴) 비교기(17)에 의해 패턴 생성기(12)로부터의

예상치 데이터와 비교된다. 논리 비교 결과는 DUT(19)의 어드레스에 대응하는 결합 메모리(18)에 저장된다. 드라이버(15), 아날로그 비교기(16), 및 테스트 대상 장치의 핀들을 변경하기 위한 스위치들(도시되지 않음)은 핀 일렉트로닉스(20)에 제공된다.

상술된 회로 구성은 반도체 테스트 시스템의 각각의 테스트 핀에 제공된다. 따라서, 대규모의 반도체 테스트 시스템은 256 내지 1048개의 테스트 핀들과 같은 다수의 테스트 핀들을 갖고 도 1에 각각 도시된 동일한 수의 회로 구성들이 통합되기 때문에, 실제의 반도체 테스트 시스템은 초대규모의 시스템이 된다. 도 2는 상기 반도체 테스트 시스템의 외관의 일례를 도시한 것이다. 반도체 테스트 시스템은 기본적으로 메인 프레임(22), 테스트 헤드(24), 및 워크스테이션(26)으로 형성된다.

워크스테이션(26)은 예를 들어 테스트 시스템과 사용자 간의 인터페이스로서 기능하는 GUI(graphic user interface)가 제공되는 컴퓨터이다. 테스트 시스템의 작동, 테스트 프로그램들의 생성 및 테스트 프로그램들의 실행은 워크스테이션(26)을 통해 이루어진다. 메인 프레임(22)은 도 1에 도시된 테스트 프로세서(11), 패턴 생성기(12), 타이밍 생성기(13), 파형 포맷터(14) 및 비교기(17)를 각각 갖는 다수의 테스트 핀들을 포함한다.

테스트 헤드(24)는 도 1에 도시된 핀 일렉트로닉스(20)를 각각 갖는 다수의 프린트 회로 보드들을 포함한다. 테스트 헤드(24)는 예를 들어 핀 일렉트로닉스를 형성하는 프린트 회로 보드들이 방사형으로 정렬된 원통 형태를 갖는다. 테스트 헤드(24)의 상부 표면 상에는, 테스트 대상 장치(19)가 성능 보드(28)의 중심 부근에 있는 테스트 소켓에 삽입된다.

핀 일렉트로닉스 회로와 성능 보드(28) 사이에는, 핀 (테스트) 설비(27)가 제공되는데, 이는 전기 신호들의 통신을 위한 접촉 메카니즘이다. 핀 설비(27)는 핀 일렉트로닉스 회로들과 성능 보드를 전기적으로 접속시키기 위한 포고-핀들(pogo-pins)과 같은 다수의 컨택터들을 포함한다. 테스트 대상 장치(19)는 핀 일렉트로닉스로부터 테스트 패턴 신호를 수신하고 응답 출력 신호를 생성한다.

종래의 반도체 테스트 시스템에서는, 테스트 대상 장치에 제공될 테스트 패턴을 생성하기 위해, 소위 사이클 기반의 포맷에 의해 기술되는 테스트 데이터가 사용되었다. 사이클 기반의 포맷에서는, 테스트 패턴의 각각의 변수가 반도체 테스트 시스템의 각각의 테스트 사이클 (테스터 레이트)과 관련되어 정의된다. 특히, 테스트 사이클 (테스터 레이트) 기술, 파형 (파형 종류, 에지 타이밍) 기술, 및 테스트 데이터의 벡터 기술은 개별 테스트 사이클의 테스트 패턴을 규정한다.

테스트 대상 장치의 설계 단계에서, CAD(computer aided design) 환경 하에서 결과로 얻은 설계 데이터는 테스트 벤치를 통해 논리 시뮬레이션 프로세스를 사용하여 평가된다. 그러나, 테스트 벤치를 통해 이와 같이 획득된 설계 평가 데이터는 이벤트형 포맷으로 기술된다. 이벤트형 포맷에서, 예를 들면, "0"에서 "1"로 또는 "1"에서 "0"으로와 같이 개별 테스트 패턴의 각각의 변경점 (이벤트)은 시간 경과와 관련되어 기술된다. 시간 경과를 예를 들어 선정된 기준점으로부터의 절대 시간 길이 또는 2개의 인접한 이벤트들 간의 상대 시간 길이로 표시된다.

본 발명의 발명자들은 미국 특허 출원 제09/340,371호에서 사이클 기반의 포맷의 테스트 데이터를 사용하는 테스트 패턴 형성과 이벤트형 포맷의 테스트 데이터를 사용하는 테스트 패턴 형성 간의 비교를 개시하였다. 또한, 본 발명의 발명자들은 새로운 개념의 테스트 시스템의 반도체 테스트 시스템으로서 이벤트형 테스트 시스템을 제안하였다. 이벤트형 테스트 시스템의 구조 및 동작은 본 발명의 동일 양수인이 소유한 미국 특허 출원 제09/406,300호에 상세히 기술되어 있다.

상술된 바와 같이, 반도체 테스트 시스템에서는, 테스트 핀들의 수와 동일하거나 보다 많은 수의 프린트 회로 보드들 등이 제공되어서, 전체적으로 초대규모의 시스템을 야기한다. 종래의 반도체 테스트 시스템에서, 프린트 회로 보드들 등은 서로 동일하다.

예를 들어, 500MHz의 테스트 레이트와 80 피코세컨드의 타이밍 정확성과 같이 속도가 빠르고 해상도가 높은 테스트 시스템에서, 모든 테스트 핀들에 대한 프린트 회로 보드들은 테스트 레이트 및 타이밍 정확성을 각각 만족시킬 수 있는 동일하게 높은 성능을 갖는다. 따라서, 종래의 반도체 테스트 시스템은 부득이하게 상당히 고가의 시스템이 된다. 또한, 동일한 회로 구조가 각각의 테스트 핀에 사용되기 때문에, 테스트 시스템은 제한된 타입의 테스트만을 실행할 수 있다.

테스트될 장치들의 일례는 아날로그 기능 및 디지털 기능을 모두 갖는 타입의 반도체 장치를 포함한다. 그 전형적인 일례는 아날로그-디지털(AD) 변환기, 디지털-아날로그(DA) 변환기 및 디지털 신호 처리 회로를 포함하는 오디오 IC 또는 통신 장치 IC이다. 또한, 내부 회로를 자체적으로 테스트하기 위한 기능 즉, BIST(built-in self-test) 기능을 갖는 타입의 반도체 장치가 있다.

종래의 반도체 테스트 시스템에서는, 한번에 한 타입의 기능 테스트만이 실행될 수 있도록 구성된다. 따라서, 상술된 혼합 신호 집적 회로를 테스트하기 위해서는, AD 변환기를 먼저 테스트하고, 그 다음에 DA 변환기를 테스트한 후, 디지털 신호 처리 회로를 테스트하는 직렬 방식으로 각각의 기능 블럭이 개별적으로 테스트되어야만 한다. 또한, BIST 기능을 갖는 장치를 테스트할 때, BIST 기능을 평가하기 위한 테스트는 다른 타입들의 테스트와 별개로 실행되어야만 한다.

논리 회로들만으로 구성된 장치를 테스트하는 경우에도, 거의 항상, 테스트 대상 장치의 모든 핀들이 최고 성능의 반도체 테스트 시스템을 필요로 하는 것은 아니다. 예를 들어, 수백개의 핀들을 갖는 전형적인 논리 LSI 장치가 테스트되는 경우에, 실제로 몇몇 핀들만이 최고 속도로 동작하고 최고 속도 테스트 신호를 필요로 하며, 다른 수백개의 핀들은 대체로 느린 속도로 동작하고 저속 테스트 신호들을 필요로 한다.

종래의 반도체 테스트 시스템은 상이한 타입들의 테스트를 동시에 병렬로 실행할 수 없기 때문에, 혼합 신호 장치 테스트 또는 BIST 기능을 갖는 장치의 테스트를 완료하기 위해, 긴 테스트 시간을 요구한다는 단점을 갖는다. 또한, 테스트 대상 장치의 소수의 핀들을 위해서만 필요한 고성능 기능은 모든 테스트 핀들에 장치되어서, 고가의 테스트 시스템을 야기한다.

상술된 바와 같이 종래의 반도체 테스트 시스템이 모든 테스트 핀들을 동일한 회로 구성으로 설치한 결과, 상이한 회로 구성을 가짐으로써 2개 이상의 상이한 종류의 테스트를 동시에 실행할 수 없는 이유들 중 하나는, 테스트 시스템이 사이클 기반의 테스트 데이터를 사용하여 테스트 패턴을 생성하도록 구성되어 있다는 점이다. 사이클 기반의 개념을 사용하여 테스트 패턴을 생성할 때, 소프트웨어 및 하드웨어는 복잡해지게 되고, 따라서, 테스트 시스템을 더욱 더 복잡할 수 있는 테스트 시스템의 상이한 회로 구성 및 관련 소프트웨어를 포함하는 것은 실제로 불가능하다.

상술된 이유들을 보다 명백하게 설명하기 위해, 도 3에 도시된 파형들을 참고로, 사이클 기반의 포맷의 테스트 데이터를 사용하는 테스트 패턴 형성과 이벤트형 포맷의 테스트 데이터를 사용하는 테스트 패턴 형성을 간단하게 비교한다. 보다 상세한 비교는 본 발명의 동일 양수인이 소유하는 상술된 미국 특허 출원들에 기술되어 있다.

도 3의 일례는 테스트 패턴이 대규모 집적 회로(LSI)의 설계 단계에서 실행된 논리 시뮬레이션으로부터 얻은 데이터를 기초로 생성된 경우를 도시한 것이다. 결과 데이터는 덤프 파일(37)에 기억된다. 덤프 파일(37)의 출력은, 설계된 LSI 장치의 입력 및 출력의 변화를 도시하며, 예를 들어 파형들(31)을 표현하기 위한 도 3의 우측 하단에 도시된 기술들(38)을 갖는 이벤트형 포맷의 데이터로 구성된다.

상기 일례에서, 파형들(31)로 도시된 테스트 패턴들은 상기 기술을 사용하여 형성되는 것으로 가정된다. 파형(31)은 핀들(테스터 핀들 또는 테스트 채널들; Sa 및 Sb)에서 생성된 테스트 패턴들을 각각 도시하고 있다. 파형을 기술하는 이벤트 데이터는 세트 에지들(San, Sbn) 및 그 타이밍들(예를 들어, 기준점으로부터의 시간 길이)과 리셋 에지들(Ran, Rbn) 및 그 타이밍들로 형성된다.

사이클 기반의 개념을 기초로 한 종래의 반도체 테스트 시스템에서 사용될 테스트 패턴을 생성하기 위해, 테스트 데이터는 테스트 사이클(테스터 레이트), 파형(파형 타입 및 에지 타이밍) 및 벡터들로 분할되어야만 한다. 상기 기술의 일례는 도 3의 중심 및 좌측에 도시되어 있다. 도 3의 좌측 파형(33)으로 도시된 사이클 기반의 테스트 패턴에서, 테스트 패턴은 각각의 테스트 사이클에 대한 파형 및 타이밍(지연 시간)을 정의하기 위해 각각의 테스트 사이클(TS1, TS2, TS3)로 분할된다.

상기 파형, 타이밍 및 테스트 사이클에 대한 데이터 기술의 일례는 타이밍 데이터(테스트 플랜; 36)에 도시되어 있다. 파형의 논리("1", "0", 또는 "Z")의 일례는 벡터 데이터(패턴 데이터; 35)에 도시되어 있다. 예를 들어, 타이밍 데이터(36)에서, 테스트 사이클은 테스트 사이클들 간의 시간 간격을 정의하기 위해 "rate"로 기술되고, 파형은 RZ(return to zero), NRZ(non-return to zero), 및 XOR(exclusive OR)로 기술된다. 또한, 각각의 파형의 타이밍은 대응 테스트 사이클의 선정된 에지로부터의 지연 시간으로 정의된다.

상술된 바와 같이, 종래의 반도체 테스트 시스템은 사이클 기반의 프로시저에 따라 테스트 패턴을 생성하기 때문에, 패턴 생성기, 타이밍 생성기 및 파형 포맷터의 하드웨어 구조들은 복잡해지게 되고, 따라서, 상기 하드웨어에서 사용될 소프트웨어도 또한 복잡해진다. 또한, 모든 테스트 핀들(예를 들어, 상술된 일례의 Sa 및 Sb)이 공통 테스트 사이클에 의해 정의되기 때문에, 테스트 핀들 중에서 상이한 사이클들의 테스트 패턴들을 동시에 생성하는 것은 불가능하다.

따라서, 종래의 반도체 테스트 시스템에서, 모든 테스트 핀들에 대해 동일한 회로 구성이 사용되고, 상이한 회로 구조의 프린트 회로 보드들을 통합할 수 없다. 따라서, 아날로그 블럭 테스트 및 디지털 블럭 테스트와 같은 상이한 테스트를 병렬 방식으로 동시에 실행할 수 없다. 또한, 예를 들어, 고속 타입 테스트 시스템은 저속 하드웨어 구성(예를 들어, 고전압 및 대 진폭 생성 회로와 드라이버 인히비트 회로 등)을 포함할 필요가 있고, 따라서, 상기 테스트 시스템에서 고속 성능이 충분히 향상될 수 없다.

대조적으로, 이벤트 기반의 방법을 사용하여 테스트 패턴을 생성하기 위해서는, 이벤트 메모리에 저장된 세트/리셋 데이터 및 관련 타이밍 데이터만을 관독할 필요가 있기 때문에, 매우 간단한 하드웨어 및 소프트웨어 구조들을 필요로 한다. 또한, 테스트 사이클 및 다양한 타입의 관련 데이터 외에 어떠한 이벤트가 있는지 간에 독립적으로 각각의 테스트 패턴이 동작할 수 있어서, 상이한 기능 및 주파수 범위의 테스트 패턴들이 동시에 생성될 수 있다.

상술된 바와 같이, 본 발명의 발명자들은 이벤트형 반도체 테스트 시스템을 제안하였다. 이벤트형 테스트 시스템에서, 포함된 하드웨어 및 소프트웨어가 매우 간단한 구조 및 내용을 가지기 때문에, 테스트 핀들 중 상이한 하드웨어 및 소프트웨어를 갖는 전체 테스트 시스템을 공식화할 수 있다. 또한, 각각의 테스트 핀이 서로 독립적으로 동작할 수 있기 때문에, 기능 및 주파수 범위가 서로 상이한 2개 이상의 테스트들이 병렬 방식으로 동시에 실행될 수 있다. 또한, 저 비용의 애플리케이션 특정 이벤트형 테스트 시스템이 쉽게 구축될 수 있다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 테스트 핀들에 대응하는 상이한 기능의 테스터 모듈들 및 테스트 설비의 특정 애플리케이션을 위해 사용될 측정 모듈을 가짐으로써 특정 애플리케이션에 전용인 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 다른 목적은 테스트 핀들에 대응하는 상이한 기능들의 테스터 모듈들 및 테스트 설비의 아날로그 측정 모듈을 통합하여 아날로그 및 디지털 기능들을 동시에 병렬로 테스트함으로써 아날로그 기능 및 디지털 기능을 갖는 반도체 장치를 테스트할 수 있는 저비용 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 또 다른 목적은 테스트 핀들에 대응하는 상이한 기능들의 테스터 모듈들 및 테스트 설비의 BIST 측정 모듈을 통합하여 BIST 및 논리 기능들을 동시에 병렬로 테스트함으로써 BIST 기능 및 다른 논리 기능을 갖는 반도체 장치를 테스트할 수 있는 저비용 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 또 다른 목적은 테스트 시스템 메인 프레임과 테스터 모듈들 간의 인터페이스 사양이 메인 프레임에서 상이한 핀 카운트 및 성능을 갖는 테스터 모듈들을 자유롭게 수용하기 위해 표준화되어 있는, 테스트 핀들에 대응하는 상이한 기능들의 테스터 모듈들을 갖는 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 또 다른 목적은 상이한 기능들을 갖는 다수의 테스터 모듈들을 자유롭게 수용함으로써, 다수의 상이한 종류의 장치들 또는 기능 블럭들에 대한 테스트를 동시에 실행할 수 있는 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 또 다른 목적은 테스트 대상의 반도체 장치를 저 비용으로 테스트할 수 있고 차후 필요에 따라 기능을 더 강화할 수 있는 반도체 테스트 시스템을 제공하는 데 있다.

본 발명의 반도체 테스트 시스템은 성능이 서로 상이한 2개 이상의 테스터 모듈들, 내부에 2개 이상의 테스터 모듈들을 설치하기 위한 테스트 시스템 메인 프레임, 테스터 모듈들과 테스트 대상 장치를 전기적으로 접속시키기 위해 테스트 시스템 메인 프레임 상에 제공되는 테스트 설비, 테스트 설비 내에 제공되어 테스트 대상 장치의 의도된 기능에 따라 테스터 모듈들과 테스트 대상 장치 간의 신호들을 변환시키는 측정 모듈, 및 테스터 버스를 통해 테스터 모듈들과 통신함으로써 테스트 시스템의 전체 동작을 제어하기 위한 호스트 컴퓨터를 포함한다.

본 발명의 반도체 테스트 시스템에서, 테스트 애플리케이션에 고유한 측정 모듈은 테스터 모듈들과 테스트 대상 장치 간의 전기적인 접속을 설정하는 테스트 설비에 제공된다. 테스트 설비는 테스트 목적에 따라 대체될 것이다. 테스터 모듈들 각각은 다수의 이벤트 테스터 보드들을 포함한다. 호스트 컴퓨터의 제어 하에, 각각의 테스터 보드는 테스트 대상 장치의 대응 핀에 테스트 패턴을 제공하고 테스트 대상 장치로부터의 결과 출력 신호를 평가한다.

본 발명의 이벤트형 테스트 시스템에서, 특정 테스트 목적을 위한 측정 모듈이 테스트 설비(핀 설비)에 설치됨으로써, 테스트 시스템에 설치된 테스트 모듈들의 구조를 간단하게 할 수 있다. 따라서, 테스트될 장치의 타입 또는 테스트 아이템의 타입에 따라 특정 애플리케이션을 위해 예비된 테스트 설비들을 대체함으로써, 애플리케이션 특정 반도체 테스트 시스템은 간단한 구조 및 저 비용으로 달성될 수 있다.

본 발명의 반도체 테스트 시스템에서, 테스트 핀의 동작이 다른 테스트 핀에 대해 독립적이기 때문에, 상이한 장치들 또는 장치의 상이한 블럭들이 한 그룹의 테스트 핀들 및 다른 그룹들의 테스트 핀들에 의해 테스트될 수 있다. 따라서, 애플리케이션 특정 테스트 설비를 사용함으로써, 테스트 대상 장치의 아날로그 회로 및 디지털 회로가 병렬로 동시에 테스트될 수 있다. 유사하게, BIST 기능을 갖는 테스트 대상 장치가 BIST 인터페이스로 작용하는 모듈을 갖는 테스트 설비를 사용함으로써 쉽게 테스트될 수 있다.

상술된 바와 같이, 본 발명의 반도체 테스트 시스템에서, 테스터 모듈(테스터 보드)은 테스트를 실행하는 데 필요한 모든 정보가 이벤트형 포맷으로 예비된 이벤트 기반의 구조로 구성된다. 레이트 신호 또는 패턴 생성기를 포함할 필요가 없기 때문에, 이벤트형 테스트 시스템의 각각의 테스트 핀은 다른 테스트 핀들과 무관하게 동작할 수 있다. 따라서, 아날로그 회로 테스트 및 디지털 회로 테스트와 같은 상이한 타입의 테스트가 동시에 실행될 수 있다.

또한, 본 발명의 테스트 시스템이 모듈 양식으로 구성되기 때문에, 간단한 저비용 테스트 시스템이 테스트 장치의 타입 또는 테스트 목적에 따라 구축될 수 있다. 또한, 이벤트 기반의 구조 때문에, 이벤트형 테스트 시스템의 하드웨어가 매우 감소될 수 있고 동시에 테스터 모듈들을 제어하기 위한 소프트웨어도 매우 간단하게 될 수 있다. 따라서, 이벤트형 테스트 시스템의 물리적인 전체 사이즈가 감소될 수 있어서, 그 결과, 비용을 더 감소시키고, 시스템 설치 공간을 감소시켜서 관련 비용을 절약할 수 있다.

### 발명의 구성 및 작용

도 4 내지 도 10을 참조하여 본 발명의 실시예를 설명한다. 도 4는 아날로그/디지털 혼합 신호 집적 회로("혼합 신호 IC" 또는 "혼합 신호 장치")를 테스트하기 위한 본 발명의 반도체 테스트 시스템의 기본 구조를 도시한 블럭도이다. BIST 기능 장치를 테스트하기 위한 반도체 테스트 시스템의 기본 구조는 BIST 테스트를 위해 설계된 측정 모듈을 사용하는 것을 제외하고는 도 4에 도시된 바와 거의 동일하다.

본 발명의 반도체 테스트 시스템에서, 테스트 헤드(테스터 메인 프레임)는 하나 이상의 모듈 양식 테스터들(이하, "테스터 모듈들"이라 함)이 선택적으로 그 내부에 설치되도록 구성된다. 설치될 테스터 모듈들은 필요한 테스터 핀들의 수에 따라 다수의 동일한 테스터 모듈들이거나 또는 고속 모듈(HSM) 및 저속 모듈(LSM)과 같은 상이한 테스터 모듈들의 결합일 수 있다.

도 6 및 도 7을 참조하여 후술되는 바와 같이, 각각의 테스터 모듈은 다수의 이벤트 테스터 보드들(43), 예를 들어, 8개의 보드들을 갖는다. 또한, 각각의 이벤트 테스터 보드는 32개의 테스터 핀들에 대한 32개의 이벤트 테스터들과 같이, 다수의 테스터 핀들에 대응하는 다수의 이벤트 테스터들(66)을 포함한다. 따라서, 도 4의 일례에서, 이벤트 테스터 보드(43<sub>1</sub>)가 테스트 장치의 아날로그부를 처리하고, 다른 이벤트 테스터 보드들(43)은 테스트 장치의 디지털부를 다룬다.

도 4의 테스트 시스템에서, 다수의 이벤트 테스터 보드들(43)은 테스트 시스템의 호스트 컴퓨터인 테스터 제어기(41)에 의해 시스템 버스(64)를 통해 제어된다. 상술된 바와 같이, 예를 들어, 8개의 이벤트 테스터 보드들(43)이 하나의 테스터 모듈에 설치될 수 있다. 도 4에 도시되어 있지는 않더라도, 전형적으로, 본 발명의 테스트 시스템은 도 6에 도시된 바와 같이 2개 이상의 테스터 모듈들로 구성된다.

도 4에서, 이벤트 테스터 보드(43)는 테스트 패턴(테스트 신호)을 테스트 대상 장치(DUT; 19)에 제공하고, 테스트 패턴으로부터 야기된 테스트 대상 장치로부터의 응답 신호를 테스트한다. 테스트 대상 장치(19)의 아날로그 기능을 테스트하

기 위해, 아날로그 측정 (테스트) 모듈(48)이 테스트 시스템에 제공될 수 있다. 예를 들어, 아날로그 측정 모듈(48)은 DA 변환기, AD 변환기 및 필터를 포함한다. 이후에 기술된 바와 같이, 아날로그 측정 모듈(48)은 테스트 시스템의 테스트 설비 (핀 설비)에 설치된다.

각각의 이벤트 테스터 보드(43)는 예를 들면 32개의 채널들을 위한 이벤트 테스터들(66<sub>1</sub>-66<sub>32</sub>), 인터페이스(53), 프로세서(67) 및 메모리(68)를 포함한다. 각각의 이벤트 테스터(66)는 테스터 핀에 대응하고, 동일한 테스터 보드 내의 다른 이벤트 테스터들과 동일한 내부 구조를 갖는다. 상기 일례에서, 이벤트 테스터(66)는 이벤트 메모리(60), 이벤트 실행 유닛(47), 드라이버/비교기(61) 및 테스트 결과 메모리(57)를 포함한다.

이벤트 메모리(60)는 테스트 패턴을 생성하기 위한 이벤트 데이터를 저장한다. 이벤트 실행 유닛(47)은 이벤트 메모리(60)로부터의 이벤트 데이터를 기초로 테스트 패턴을 생성한다. 테스트 패턴은 드라이버/비교기(61)를 통해 테스트 대상 장치(19)에 제공된다. 테스트 대상 장치(19)의 입력 핀이 아날로그 입력인 경우에, 상술된 아날로그 측정 모듈(48)은 그 내부에 있는 DA 변환기로 테스트 패턴을 아날로그 신호로 변환한다. 따라서, 아날로그 테스트 신호가 테스트 대상 장치(19)에 제공된다. 테스트 대상 장치(19)의 출력 신호는 드라이버/비교기(61)에 의해 예상 신호와 비교되고, 그 결과는 테스트 결과 메모리(57)에 저장된다. 테스트 대상 장치(19)로부터의 출력 신호가 아날로그 신호인 경우에, 필요에 따라, 아날로그 신호는 아날로그 측정 모듈(48)의 AD 변환기에 의해 디지털 신호로 변환된다.

도 5는 이벤트 테스터 보드(43)의 이벤트 테스터(66)의 구성의 일례를 보다 상세히 도시한 블록도이다. 이벤트형 테스트 시스템에 관한 보다 상세한 설명은 본 발명의 동일 양수인이 소유하는 미국 특허 출원 제09/259,401호 뿐만 아니라 상술된 미국 특허 출원 제09/406,300호에 기술되어 있다. 도 5에서, 도 4와 동일한 블록은 동일한 참조 부호로 표시된다.

인터페이스(53) 및 프로세서(67)는 시스템 버스(64)를 통해 테스터 제어기 또는 호스트 컴퓨터(41; 도 4)에 접속된다. 인터페이스(53)는 예를 들면 테스트 대상 장치의 입력/출력 핀들에게 이벤트 테스터를 할당하기 위해 데이터를 테스터 제어기(41)로부터 이벤트 테스터 보드의 레지스터(도시되지 않음)로 전송하는 데 사용된다. 예를 들어, 호스트 컴퓨터(41)가 한 그룹의 할당 어드레스를 시스템 버스(64)에 송신할 때, 인터페이스(53)는 상기 그룹의 할당 어드레스를 해석하고 호스트 컴퓨터로부터의 데이터가 특정 이벤트 테스터 보드의 레지스터에 저장되게 한다.

프로세서(67)는 예를 들면 각각의 이벤트 테스터 보드(43)에 제공되고, 이벤트들 (테스트 패턴들)의 생성, 테스트 대상 장치로부터의 출력 신호들의 평가 및 결합 데이터의 획득을 포함하는 이벤트 테스터 보드(43)의 동작들을 제어한다. 프로세서(67)는 각각의 테스터 보드 또는 몇개의 테스터 보드들에 하나씩 제공될 수 있다. 또한, 프로세서(67)는 항상 이벤트 테스터 보드(43)에 제공될 필요는 없고, 동일한 제어 기능들이 테스터 제어기(41)에 의해 직접 이벤트 테스터 보드들에게 적용될 수 있다.

예를 들어, 가장 간단한 경우의 어드레스 제어기(58)는 프로그램 카운터이다. 어드레스 제어기(58)는 결합 데이터 메모리(57) 및 이벤트 메모리(60)에 제공된 어드레스를 제어한다. 이벤트 타이밍 데이터는 테스트 프로그램으로서 호스트 컴퓨터로부터 이벤트 메모리(60)에 전송되고 저장된다.

이벤트 메모리(60)는 이벤트들 ("1"로부터 "0"으로 또는 "0"으로부터 "1"로 변경하는 변경점들) 각각의 타이밍을 정의하는 상술된 이벤트 타이밍 데이터를 저장한다. 예를 들어, 이벤트 타이밍 데이터는 2 타입의 데이터로서 저장되는데, 하나는 기준 클럭 사이클의 정수 배수들을 나타내고, 다른 하나는 기준 클럭 사이클의 분수들을 나타낸다. 양호하게, 이벤트 타이밍 데이터는 이벤트 메모리(60)에 저장되기 전에 압축된다.

도 5의 일례에서, 도 4의 이벤트 실행 유닛(47)은 해제 유닛(62), 타이밍 카운트/스케일링 논리부(63), 및 이벤트 생성기(64)로 구성된다. 해제 유닛(62)은 이벤트 메모리(60)로부터의 압축된 타이밍 데이터를 해제한다 (재생). 타이밍 카운트/스케일링 논리부(63)는 이벤트 타이밍 데이터를 합산 또는 수정함으로써 각각의 이벤트의 시간 길이 데이터를 생성한다. 시간 길이 데이터는 선정된 기준점으로부터의 시간 길이 (지연 시간)로 각각의 이벤트의 타이밍을 표현한다.

이벤트 생성기(64)는 시간 길이 데이터를 기초로 테스트 패턴을 생성하고 테스트 패턴을 드라이버/비교기(61)를 통해 테스트 대상 장치(19)에 제공한다. 따라서, 테스트 대상 장치(19)의 특정 핀은 응답 출력을 평가함으로써 테스트된다. 드라이버/비교기(61)는, 도 4에 도시된 바와 같이, 특정 장치 핀에 제공될 테스트 패턴을 구동하는 드라이버, 및 테스트 패턴으로부터 야기된 장치 핀의 출력 신호의 전압 레벨을 결정하고 출력 신호를 예상 논리 데이터와 비교하는 비교기로 주로 구성된다.

상술된 이벤트 테스터에서, 테스트 대상 장치에 제공된 입력 신호 및 테스트 대상 장치의 출력 신호와 비교된 예상 신호는 이벤트형 포맷으로 된 데이터에 의해 생성된다. 이벤트형 포맷에서, 입력 신호 및 예상 신호에 대한 변경 점들의 정보는 활동 정보 (세트 및/또는 리셋) 및 시간 정보 (특정한 점으로부터의 시간 길이)로 형성된다.

상술된 바와 같이, 종래의 반도체 테스트 시스템에서는, 이벤트 기반의 구조에서 필요한 것 보다는 적은 메모리 용량을 필요로 하는 사이클 기반의 방법이 사용되었다. 사이클 기반의 테스트 시스템에서, 입력 신호 및 예상 신호의 시간 정보는 사이클 정보 (레이트 신호) 및 지연 시간 정보로 형성된다. 입력 신호 및 예상 신호의 활동 정보는 파형 데이터 및 패턴 데이터로 형성된다. 상기 구성에서, 지연 시간 정보는 제한된 수의 데이터에 의해서만 정의될 수 있다. 또한, 유연성을 갖는 패턴 데이터를 생성하기 위해, 테스트 프로그램은 다수의 루프, 점프 및/또는 서브루틴들을 포함한다. 따라서, 종래의 테스트 시스템은 복잡한 구조 및 동작 프로시저들을 필요로 한다.

이벤트형 테스트 시스템에서는, 종래의 사이클 기반의 테스트 시스템의 복잡한 구조 및 동작 프로시저들은 불필요하므로, 테스트 핀들의 수를 쉽게 증가시키고 및/또는 동일한 테스트 시스템에서 상이한 성능의 테스트 핀들을 통합할 수 있다. 이벤트형 테스트 시스템이 대용량의 메모리를 필요로 하더라도, 메모리 밀도의 증가 및 메모리 비용의 감소가 오늘날 신속하고 끊임없이 달성되고 있기 때문에, 메모리 용량의 증가는 큰 문제가 되지 않는다.

상술된 바와 같이, 이벤트형 테스트 시스템에서, 테스트 핀들 각각 또는 테스트 핀들의 각각의 그룹은 서로 독립적으로 테스트 동작을 실행할 수 있다. 따라서, 아날로그 및 디지털 신호들을 모두 포함하는 테스트 대상의 혼합 신호 장치의 테스트와 같이, 다수의 상이한 종류의 테스트들이 실행되어야만 하는 경우에, 상이한 종류의 테스트는 병렬 방식으로 동시에 실행될 수 있다. 또한, 상이한 종류의 테스트들의 개시 및 종료 타이밍들은 독립적으로 설정될 수 있다.

도 6은 본 발명의 다수의 테스터 모듈들을 통합함으로써 상이한 성능들로 그룹화된 테스트 핀들을 갖는 반도체 테스트 시스템을 설정하기 위한 개략도이다.

테스트 헤드(124)는 예를 들면 테스트 헤드에 접속된 테스트 설비(127)의 핀들의 수, 테스트될 장치의 타입 및 테스트될 장치의 핀들의 수에 따라 다수의 테스터 모듈들을 갖는다. 후술되는 바와 같이, 테스트 설비(127)와 테스트 모듈 간의 인터페이스(접속) 사양은 임의의 테스터 모듈들이 테스트 헤드(시스템 메인 프레임)의 임의의 위치에 설치될 수 있도록 표준화된다.

테스트 설비(127)는 테스터 모듈들과 성능 보드(128)를 전기적으로 또한 기계적으로 접속시키기 위해 포고-핀들과 같은 다수의 탄성 콘넥터들을 포함한다. 테스트 대상 장치(19)는 성능 보드(128)의 테스트 소켓에 삽입됨으로써, 반도체 테스트 시스템과의 전기적인 통신을 설정한다. 도 6에 도시되지는 않았지만, 도 7a 및 도 7b에 도시된 본 발명에서, 테스트에 특정한 측정 모듈들(예를 들면, 아날로그 측정 모듈(48))이 테스트 설비(127)에 설치된다. 따라서, 본 발명의 테스트 설비(127)는 특정 테스트 애플리케이션에 고유하게 설계된다.

성능 보드(128)는 테스트 설비(127) 상에 제공된다. 테스트 대상 장치(DUT; 19)는 예를 들어 성능 보드(128) 상의 테스트 소켓에 삽입됨으로써, 반도체 테스트 시스템과의 전기적인 통신을 설정한다. 상술된 바와 같이, 도 4에 도시된 바와 같은 아날로그 측정 모듈(48)은 테스트 설비에 설치되지만, 테스트 대상 장치와 유사한 방식으로 성능 보드(128) 상에 장착될 수도 있다.

테스터 모듈들(125) 각각은 선정된 수의 핀 그룹들을 갖는다. 예를 들어, 하나의 고속 모듈(HSM)은 128개의 테스트 핀들(테스트 채널들)에 대응하는 프린트 회로 보드들을 설치하고, 하나의 저속 모듈(LSM)은 256개의 테스트 핀들에 대응하는 프린트 회로 보드들을 설치한다. 상기 수들은 설명을 목적으로만 기술된 것으로, 테스트 핀들의 다양한 다른 수도 또한 가능하다.

상술된 바와 같이, 테스트 모듈의 각각의 프린트 회로 보드는 테스트 패턴을 생성하고 성능 보드(128)를 통해 테스트 대상 장치(19)의 대응 핀에 제공하는 이벤트 테스터들을 갖는다. 테스트 패턴에 대응하는 테스트 대상 장치(19)의 출력 신호들은 성능 보드(128)를 통해 테스터 모듈의 이벤트 테스터 보드에 송신됨으로써, 테스트 대상 장치의 패스/페일(pass/fail)을 결정하기 위해 예상 신호들과 비교된다.

각각의 테스터 모듈은 인터페이스(콘넥터; 126)를 갖는다. 콘넥터(126)는 테스트 설비(127)의 표준 사양에 적합하도록 구성된다. 예를 들어, 테스트 설비(127)의 표준 사양에 있어서, 콘넥터 핀들의 구조, 핀들의 임피던스, 핀들간의 거리(핀 피치), 및 핀들의 관련 위치들은 의도된 테스트 헤드를 위해 지정된다. 모든 테스터 모듈들에 대한 표준 사양과 일치하는 인터페이스(콘넥터; 126)를 사용함으로써, 테스터 모듈들의 다양한 결합들로 된 테스트 시스템들이 자유롭게 설정될 수 있다.

본 발명의 구성 때문에, 테스트 대상 장치와 일치하는 최적 비용/성능의 테스트 시스템이 설정될 수 있다. 또한, 테스트 시스템의 성능의 향상이 하나 이상의 테스트 모듈들을 대체함으로써 달성될 수 있고, 따라서, 테스트 시스템의 전체 수명이 증가될 수 있다. 또한, 본 발명의 테스트 시스템은 성능이 서로 상이한 다수의 테스트 모듈들을 수용할 수 있고, 따라서, 테스트 시스템의 요구된 성능이 대응 테스트 모듈들에 의해 직접 달성될 수 있다. 따라서, 테스트 시스템의 성능은 쉽게 직접 향상될 수 있다.

도 7a는 혼합 신호 장치를 테스트하기 위해 구성된 반도체 테스트 시스템의 일례를 도시한 블럭도이고, 도 7b는 BIST 기능 장치를 테스트하기 위해 구성된 반도체 테스트 시스템의 일례를 도시한 블럭도이다. 편의상, 도 7에는 도 6의 인터페이스(126)가 도시되지 않는다. 또한, 테스터 모듈들(125)은 간단히 TM으로 표시되는데, 테스터 모듈들 각각은 테스트의 목적에 따라 서로 동일할 수도 있고 상이할 수도 있다.

도 7a의 반도체 테스트 시스템은 아날로그 회로를 갖는 테스트 대상 장치에 전용이 되도록 구성된다. 따라서, 아날로그 측정(테스트) 모듈들(132, 133)이 테스트 설비(127)에 제공된다. 예를 들어, 테스트 대상 장치(DUT; 19)의 특정 입력 핀이 아날로그 신호 핀일 때, 테스터 모듈(125)로부터의 테스트 신호는 DA 변환기를 갖는 아날로그 측정(테스트) 모듈(133)에 의해 아날로그 신호로 변환된다. 따라서, 아날로그 테스트 신호가 테스트 대상 장치(19)의 특정 입력 핀에 제공된다. 또한, 테스트 대상 장치(19)의 특정 출력 핀이 아날로그 신호 핀일 때, 출력 핀으로부터의 출력 신호는 AD 변환기를 갖는 아날로그 측정(테스트) 모듈(132)에 의해 디지털 신호로 변환된다. 따라서, 디지털 출력 신호가 테스터 모듈(125)에 송신된다.

상술된 바와 같이, 본 발명의 테스트 시스템의 테스트 설비의 애플리케이션은 특정 테스트 목적으로 제한된다. 따라서, 테스터 모듈(125)은 아날로그 기능들로부터 완전히 분리되어서 오직 디지털 신호들만을 처리하도록 설계될 수 있다. 따라서, 테스트 시스템의 전체 비용은 상당히 감소될 수 있다. 또한, 테스터 모듈들과 테스트 설비 간의 인터페이스 구조는 단순화된다.

아날로그 측정 모듈의 다른 일례는 오디오 신호 소스, 오디오 디지털라이저, 비디오 신호 소스, 비디오 디지털라이저, 및 필터와 같은 관련 회로들을 포함한다. 또한, 예를 들어 IC 카드(스마트 카드)를 위한 카드 인터페이스가 테스트 설비(127)에 설치될 수 있다. 상기 구성에서, 테스트 대상의 IC 카드는 카드 인터페이스에 접속될 수 있고 성능 보드(128)를 포함하지 않고 테스트될 수 있다.

도 7b의 반도체 테스트 시스템은 BIST 기능을 갖는 테스트 대상 장치에 전용되도록 구성된다. BIST 기능을 갖는 IC 장치는 테스트 시스템과 테스트 대상 장치의 내부 회로를 인터페이스하는 BIST 제어기를 포함한다. IEEE 표준 1149.1, "표준 테스트 액세스 포트 및 바운더리-스캔 구조(Standard Test Access Port and Boundary-Scan Architecture)"에 정의된 바와 같이, BIST 제어기와 테스트 시스템은 5개의 핀들로 형성된 인터페이스 즉, 인터페이스 핀 그룹을 통해 서로 통신한다.

상기 인터페이스 핀 그룹은 고속 동작 기능을 가질 필요가 있다. 도 7b의 일례에서, 인터페이스 핀 그룹을 갖는 BIST 모듈(134)은 테스트 설비(127)에 제공된다. 상기 구성에 따라, BIST 기능을 갖는 IC 장치를 테스트할 수 있는 애플리케이션 특정 테스트 시스템이 적은 비용으로 설정될 수 있다.

도 8은 본 발명의 반도체 테스트 시스템에 의해 아날로그 기능 및 디지털 기능을 갖는 혼합 신호 장치(19)를 위해 병렬로 상이한 타입의 테스트들을 실행하기 위한 기본 개념을 도시한 블럭도이다. 상기 일례에서, 혼합 신호 장치(19)는 AD 변환기 회로, 논리 회로 및 DA 변환기 회로를 포함한다. 본 발명의 반도체 테스트 시스템은 상술된 바와 같이 특정한 수의 테스터 핀들로 된 각각의 그룹에 대한 테스트를 다른 그룹과 무관하게 실행할 수 있다. 따라서, 테스터 핀들의 그룹들을 혼합 신호 장치의 상기 회로들에게 할당함으로써, 상기 회로들은 병렬로 동시에 테스트될 수 있다.

도 9의 (a)는 종래의 반도체 테스트 시스템에 의해 혼합 신호 장치를 테스트하기 위한 테스트 프로세스를 도시하고, (b)는 본 발명의 반도체 테스트 시스템에 의해 혼합 신호 장치를 테스트하기 위한 테스트 프로세스를 도시하는 개략도이다. 도 8에 도시된 바와 같은 아날로그 및 디지털 회로들을 갖는 혼합 신호 IC를 종래의 반도체 테스트 시스템에 의해 테스트할 때, 테스트는 하나의 테스트를 완료하고 다음 테스트로 진행하는 직렬 방식으로 실행되어야만 한다. 따라서, 테스트를 완료하는데 필요한 총 시간은 도 9의 (a)에 도시된 바와 같이 모든 테스트 시간들을 합산한 것과 같다.

대조적으로, 도 8에 도시된 혼합 신호 IC를 본 발명의 반도체 테스트 시스템에 의해 테스트할 때, AD 변환기 회로, 논리 회로 및 DA 변환기 회로는 도 9의 (b)에 도시된 바와 같이 병렬로 동시에 테스트될 수 있다. 따라서, 본 발명은 전체 테스트 시간을 상당히 감소시킬 수 있다. AD 변환기 회로 또는 DA 변환기 회로의 테스트 결과를 평가하는 것은 공동으로 실행되기 때문에, AD 및 DA 회로의 각각의 테스트 후의 계산 시간은 도 9의 (a) 및 (b)에 제공되어 있다.

본 발명의 반도체 테스트 시스템의 외관의 일례는 도 10의 개략도로 도시된다. 도 10의 일례에서, 호스트 컴퓨터(메인 시스템 컴퓨터; 41)는 예를 들면 GUI를 갖는 워크스테이션이다. 호스트 컴퓨터(41)는 테스트 시스템의 전체 동작을 제어하는 제어기 뿐만 아니라 사용자 인터페이스로서 동작한다. 호스트 컴퓨터(41) 및 테스트 시스템의 내부 하드웨어는 시스템 버스(64)를 통해 접속된다(도 4 및 도 5).

삭제

본 발명의 이벤트형 테스트 시스템은 사이클 기반의 개념으로 구성된 종래의 반도체 테스트 시스템에서 사용된 패턴 생성기 및 타이밍 생성기를 필요로 하지 않는다. 따라서, 모든 모듈 양식 이벤트 테스터들을 테스트 헤드(또는 테스터 메인 프레임; 124)에 설치함으로써 전체 테스트 시스템의 물리적인 사이즈를 상당히 감소시킬 수 있다. 상술된 바와 같이, 본 발명의 이벤트형 테스트 시스템에서, 테스트 설비(핀 설비)는 특정 애플리케이션들을 위해 설계된 측정(테스트) 모듈들을 설치함으로써, 테스트 시스템에 삽입될 테스터 모듈들을 단순화한다. 따라서, 특정 애플리케이션들을 기초로 예비된 테스트 설비들을 대체함으로써, 간단하고 저렴한 반도체 테스트 시스템을 쉽게 구축할 수 있다.

상술된 본 발명의 이벤트형 테스트 시스템에서, 각각의 테스트 핀은 다른 테스트 핀들과 무관하게 동작할 수 있다. 따라서, 테스트 핀 그룹들을 상이한 테스트 대상 장치들 또는 블럭들에게 할당함으로써, 2개 이상의 상이한 장치들 또는 블럭들이 동시에 테스트될 수 있다. 따라서, 본 발명의 이벤트형 테스트 시스템에 따라, 혼합 신호 장치의 아날로그 회로 및 디지털 회로는 병렬로 동시에 테스트될 수 있다. 또한, 본 발명의 테스트 시스템은 BIST 인터페이스로서 작용하는 BIST 모듈을 갖는 테스트 설비를 사용하여 BIST 기능을 갖는 IC 장치를 평가할 수 있다.

상술된 바와 같이, 본 발명의 반도체 테스트 시스템에서, 테스터 모듈(테스터 보드)은 테스트를 실행하는데 필요한 모든 정보가 이벤트형 포맷으로 예비되는 이벤트 기반의 구조로 구성된다. 따라서, 아날로그 회로 테스트 및 디지털 회로 테스트와 같은 상이한 타입의 테스트들이 동시에 실행될 수 있다.

본 발명의 반도체 테스트 시스템이 모듈 양식 구조를 갖기 때문에, 요구된 테스트 시스템은 테스트될 장치의 종류와 테스트 목적에 따라 자유롭게 형성될 수 있다. 또한, 이벤트형 테스트 시스템의 하드웨어가 매우 감소될 수 있고 테스트 시스템의 소프트웨어도 또한 매우 단순화될 수 있다. 따라서, 상이한 기능 및 성능들을 갖는 테스터 모듈들이 동일한 테스트 시스템에 함께 설치될 수 있다. 또한, 도 6에 도시된 바와 같이, 이벤트형 테스트 시스템의 물리적인 전체 사이즈가 상당히 감소될 수 있고, 그 결과, 비용이 감소되고, 시스템 설치 공간이 감소되며 그에 따른 비용도 절약된다.

발명의 효과

본 발명의 사상 기반의 테스트 시스템에서, 특정 테스트 목적을 위한 측정 모듈이 테스트 설비(핀 설비)에 설치됨으로써, 테스트 시스템에 설치된 테스트 모듈들의 구조를 간단하게 할 수 있다. 따라서, 테스트될 장치의 타입 또는 테스트 아이템의 타입에 따라 특정 애플리케이션을 위해 예비된 테스트 설비들을 대체함으로써, 애플리케이션 특정 반도체 테스트 시스템은 간단한 구조 및 저 비용으로 달성될 수 있다. 본 발명의 반도체 테스트 시스템에서, 테스트 핀의 동작이 다른 테스트 핀에 대해 독립적이기 때문에, 상이한 장치들 또는 장치의 상이한 블럭들이 한 그룹의 테스트 핀들 및 다른 그룹들의 테스트 핀들에 의해 테스트될 수 있다. 따라서, 애플리케이션



이선 특정 테스트 설비를 사용함으로써, 테스트 대상의 장치의 아날로그 회로 및 디지털 회로가 병렬로 동시에 테스트될 수 있다. 유사하게, BIST 기능을 갖는 테스트 대상의 장치가 BIST 인터페이스로 작용하는 모듈을 갖는 테스트 설비를 사용함으로써 쉽게 테스트될 수 있다.

상술된 바와 같이, 본 발명의 반도체 테스트 시스템에서, 테스터 모듈(테스터 보드)은 테스트를 실행하는데 필요한 모든 정보가 사상 기반의 포맷으로 예비된 사상 기반의 구조로 구성된다. 레이트 신호 또는 패턴 생성기를 포함할 필요가 없기 때문에, 사상 기반의 테스트 시스템의 각각의 테스트 핀은 다른 테스트 핀들과 무관하게 동작할 수 있다. 따라서, 아날로그 회로 테스트 및 디지털 회로 테스트와 같은 상이한 타입의 테스트가 동시에 실행될 수 있다.

또한, 본 발명의 테스트 시스템은 모듈 양식으로 구성되기 때문에, 간단한 저비용 테스트 시스템에 테스트 장치의 타입 또는 테스트 목적에 따라 구축될 수 있다. 또한, 사상 기반의 구조 때문에, 사상 기반의 테스트 시스템의 하드웨어가 매우 감소될 수 있고 동시에 테스터 모듈들을 제어하기 위한 소프트웨어도 매우 간단하게 될 수 있다. 따라서, 사상 기반의 테스트 시스템의 물리적인 전체 사이즈가 감소될 수 있어서, 그 결과, 비용을 더 감소시키고, 시스템 설치 공간을 감소시켜서 관련 비용을 절감할 수 있다.

삭제

삭제

삭제

(57) 청구의 범위

청구항 1.

반도체 테스트 시스템에 있어서,

각각이 이벤트 - 상기 이벤트는 이벤트 타이밍에 의해 정의되는 테스트 패턴의 변경점임 - 기반 형식으로 기술된 테스트 데이터를 사용하여 동작하는, 성능이 서로 동일하거나 상이한 2개 이상의 테스터 모듈들(tester modules);

내부에 상기 테스터 모듈들의 임의의 결합을 수용하기 위한 테스트 시스템 메인 프레임(test system main frame);

그 위에 테스트 대상 장치(device under test)를 장착하기 위한 구조를 갖는 성능 보드(performance board);

상기 테스터 모듈들과 상기 성능 보드를 전기적으로 접속시키기 위해 복수의 탄성 콘넥터들로 형성되고, 상기 테스트 시스템 메인 프레임 상에 제공되는 테스트 설비(test fixture);

테스트 설비 내에 제공되어 상기 테스트 대상 장치와 상기 테스터 모듈들 간의 신호들을 변환시키고, 상기 테스트 대상 장치와 상기 테스터 모듈들을 인터페이싱하는 측정 모듈(measurement module); 및

테스터 버스를 통해 상기 테스트 시스템의 상기 테스터 모듈들과 통신함으로써 상기 테스트 시스템의 전체 동작을 제어하기 위한 호스트 컴퓨터

를 포함하는 반도체 테스트 시스템.

청구항 2.

제1항에 있어서,

테스트될 장치들의 종류에 따라 상이한 타입들의 상기 측정 모듈들을 설치하는 다수의 테스트 설비들이 예비되어, 상기 테스트 대상 장치의 종류를 기초로 선택된 상기 테스트 설비가 테스트 중에 상기 테스트 시스템에 설치되는 반도체 테스트 시스템.

청구항 3.

제1항에 있어서,

상기 테스트 대상 장치가 아날로그 및 디지털 혼합 신호 집적 회로일 때, 상기 측정 모듈은 아날로그 신호를 디지털 신호로, 그리고 그 반대로 변환을 수행하기 위한 기능을 포함하는 반도체 테스트 시스템.

#### 청구항 4.

제1항에 있어서,

상기 테스트 대상 장치가 BIST(built-in self-test) 기능을 가질 때, 상기 측정 모듈은 상기 테스트 대상 장치의 BIST 제어기와 인터페이스하기 위한 기능을 포함하는 반도체 테스트 시스템.

#### 청구항 5.

제1항에 있어서,

상기 테스트 설비와 상기 테스터 모듈들을 접속하기 위한 사양이 표준화된 반도체 테스트 시스템.

#### 청구항 6.

제1항에 있어서,

상기 테스트 설비 상의 상기 탄성 콘넥터들은, 상기 성능 보드 및 상기 테스터 모듈들 사이에 제공되는 포고-핀들인 반도체 테스트 시스템.

#### 청구항 7.

제1항에 있어서,

상기 반도체 테스트 시스템은 상기 테스트 대상 장치의 입력 및 출력과의 전기적인 접속을 위한 다수의 테스트 핀들을 포함하고, 다수의 테스트 핀들은 가변적으로 상기 테스터 모듈들에 할당되는 반도체 테스트 시스템.

#### 청구항 8.

제1항에 있어서,

상기 반도체 테스트 시스템은 상기 테스트 대상 장치의 입력 및 출력과의 전기적인 접속을 위한 다수의 테스트 핀들을 포함하고, 다수의 테스트 핀들은 가변적으로 상기 테스터 모듈들에 할당되며, 상기 테스트 핀들의 할당 및 변경이 상기 호스트 컴퓨터로부터의 어드레스 데이터에 의해 조정되는 반도체 테스트 시스템.

#### 청구항 9.

제1항에 있어서,

상기 테스터 모듈들 각각은, 선정된 수의 테스트 핀들에 각각 할당되는 다수의 이벤트 테스터 보드들을 포함하는 반도체 테스트 시스템.

#### 청구항 10.

제1항에 있어서,

상기 테스터 모듈들 각각은, 상기 호스트 컴퓨터로부터의 명령들에 응답하여, 상기 대응되는 테스터 모듈로부터 테스트 패턴을 생성하고 상기 테스트 대상 장치의 출력 신호를 평가하도록 프로세서를 포함하는 반도체 테스트 시스템.

## 청구항 11.

제1항에 있어서,

상기 테스터 모듈들 각각은, 상기 호스트 컴퓨터로부터의 명령들에 응답하여, 상기 테스터 모듈로부터 테스트 패턴을 생성하고 상기 테스트 대상 장치의 출력 신호를 평가하도록 제어하는 프로세서를 각각 포함하는 다수의 이벤트 테스터 보드들을 포함하는 반도체 테스트 시스템.

## 청구항 12.

제1항에 있어서,

상기 테스터 모듈들 각각은, 하나의 테스트 핀에 각각 할당되는 다수의 이벤트 테스터 보드들을 포함하되, 상기 이벤트 테스터 보드들 각각은,

상기 호스트 컴퓨터로부터의 명령들에 응답하여, 상기 대응하는 테스터 모듈로부터 테스트 패턴을 생성하고 상기 테스트 대상 장치의 출력 신호를 평가하는 것을 제어하는 프로세서;

각각의 이벤트에 대한 타이밍 데이터를 저장하기 위한 이벤트 메모리;

상기 제어기의 제어 하에서, 어드레스 데이터를 상기 이벤트 메모리에 제공하기 위한 어드레스 제어기;

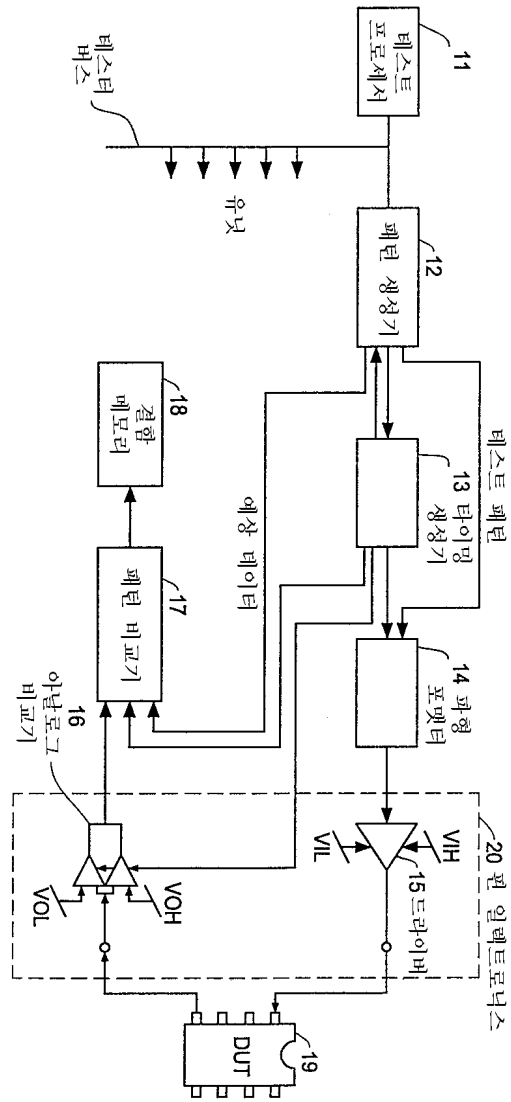
상기 이벤트 메모리로부터의 상기 타이밍 데이터를 기초로 테스트 패턴을 생성하기 위한 수단; 및

상기 테스트 패턴을 상기 테스트 대상 장치의 대응하는 핀에 전송하고 상기 테스트 대상 장치로부터 응답 출력 신호를 수신하기 위한 드라이버/비교기

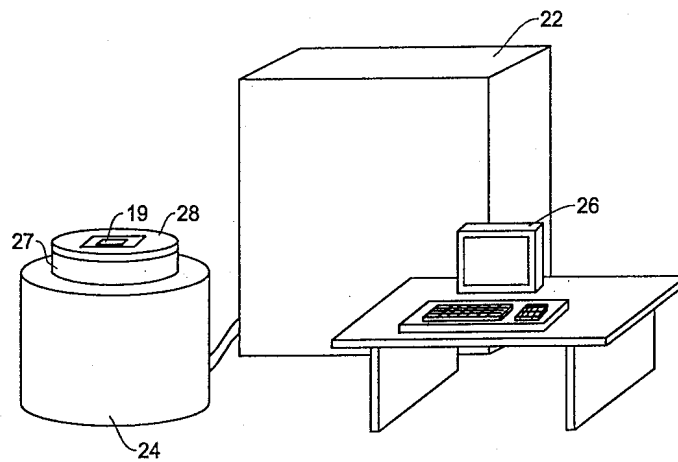
를 포함하는 반도체 테스트 시스템.

도면

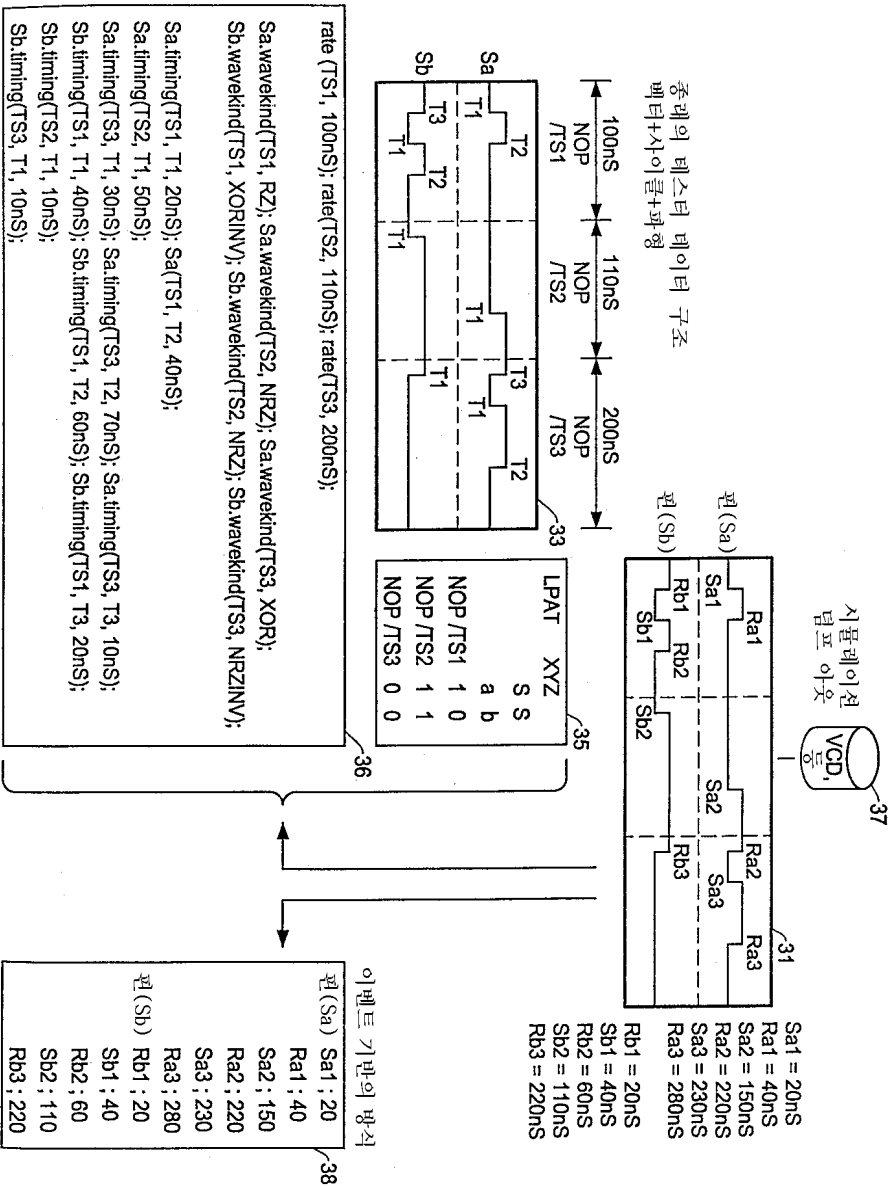
도면1



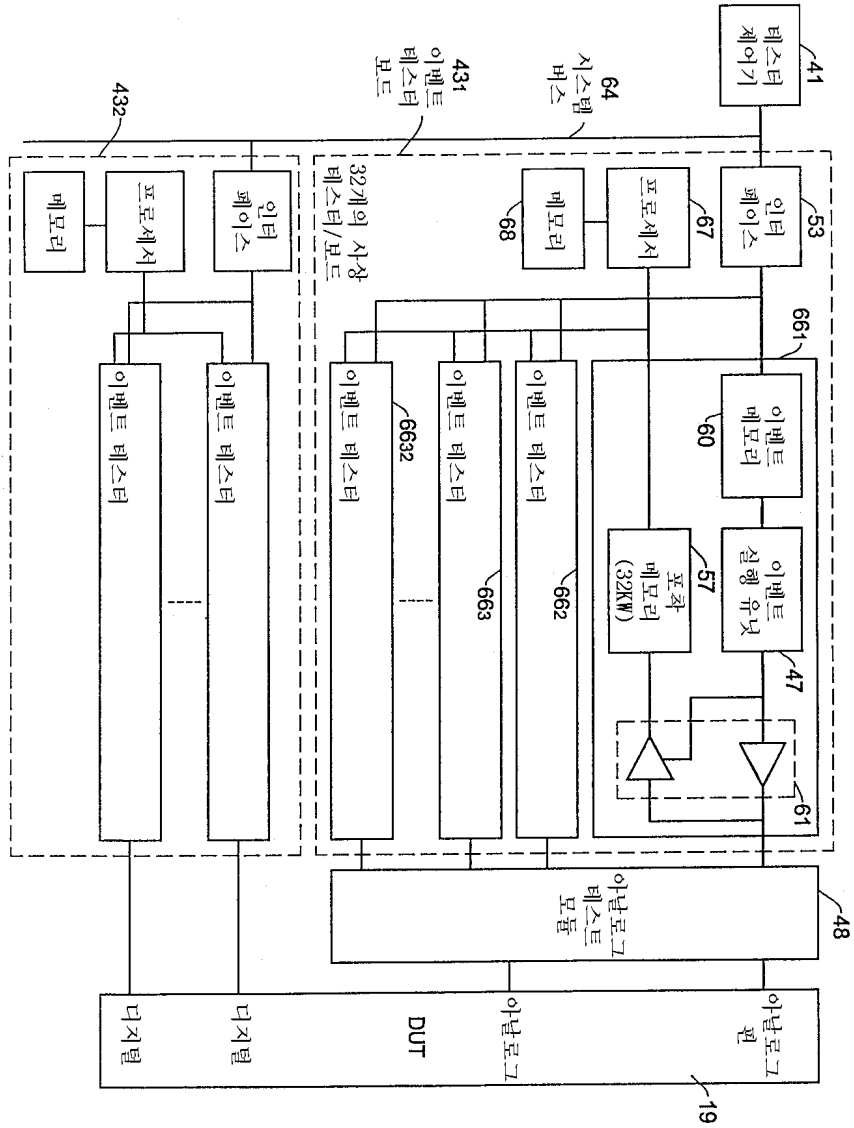
도면2



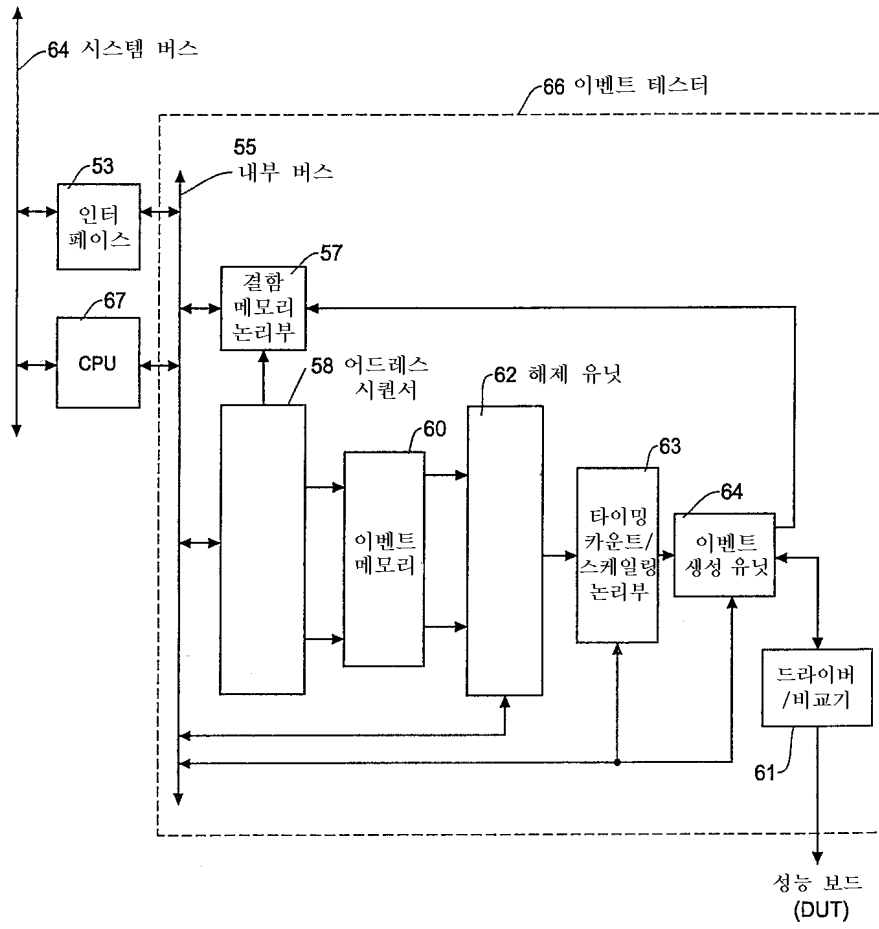
도면 3



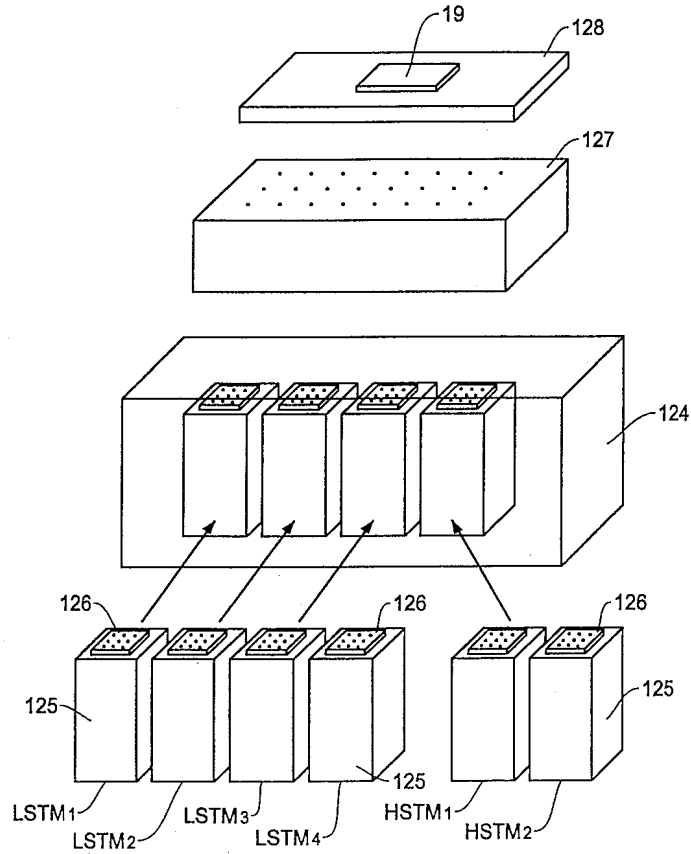
도면4



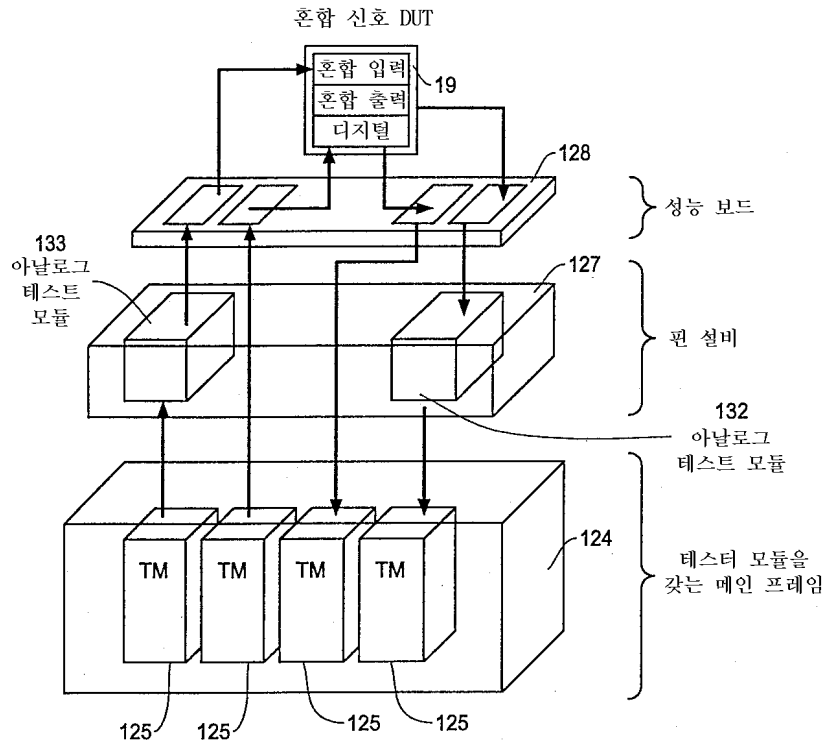
도면5



도면6

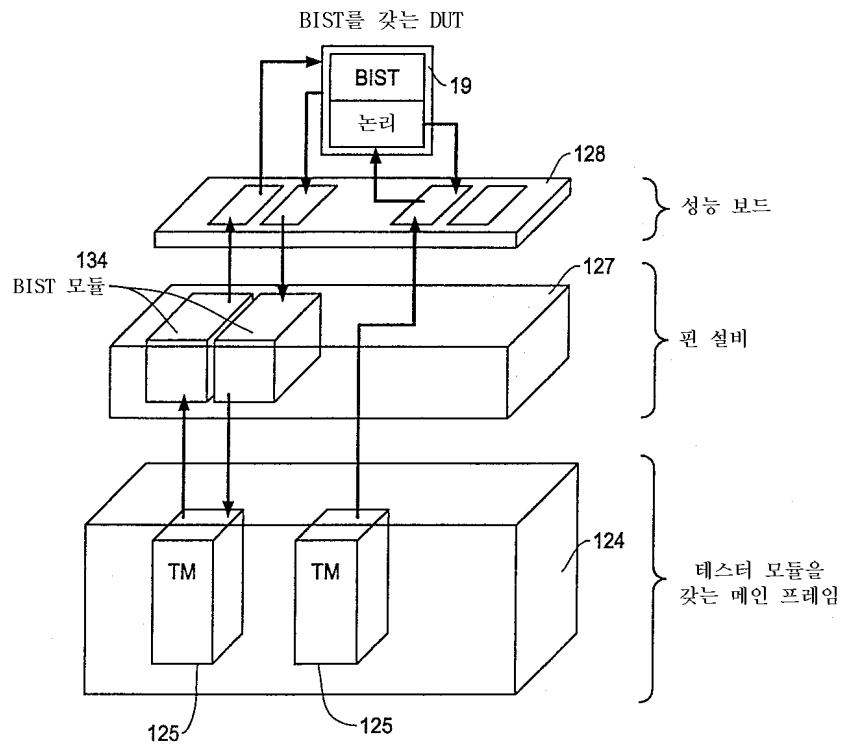


도면7a

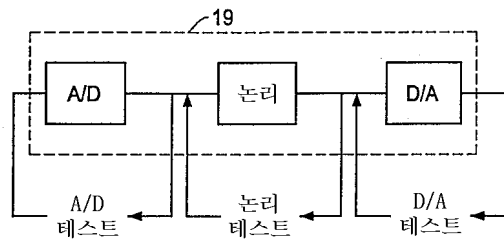




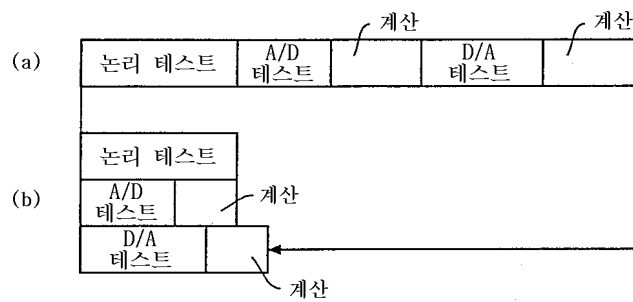
도면7b



도면8



도면9



도면10

