



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월27일
(11) 등록번호 10-2282651
(24) 등록일자 2021년07월22일

(51) 국제특허분류(Int. Cl.)
G09F 9/30 (2006.01)
(21) 출원번호 10-2013-0143215
(22) 출원일자 2013년11월22일
심사청구일자 2018년11월20일
(65) 공개번호 10-2014-0068762
(43) 공개일자 2014년06월09일
(30) 우선권주장
JP-P-2012-260210 2012년11월28일 일본(JP)
JP-P-2013-157232 2013년07월30일 일본(JP)
(56) 선행기술조사문헌
JP2010041042 A*
(뒷면에 계속)

(73) 특허권자
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
키무라 하지메
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

전체 청구항 수 : 총 7 항

심사관 : 김현

(54) 발명의 명칭 표시 장치

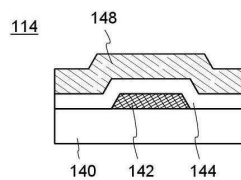
(57) 요약

본 발명은, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공한다.

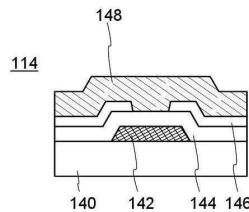
제 1 배선과 제 2 배선과의 사이에 형성된 절연층을 가지고, 절연층은 제 1 절연층, 및 제 1 절연층에 중첩하여 형성된 제 2 절연층을 가지고, 절연층은 제 2 절연층의 일부가 제거된 영역을 가지고, 이 영역은 보호 회로로서 기능하는 표시 장치로 한다. 또한, 절연층과 트랜지스터가 가지는 반도체층이 중첩하는 영역에서는 제 1 절연층 및 제 2 절연층을 가지는 표시 장치로 한다. 또한, 제 1 배선과 제 2 배선을 직접 접속하는 영역에서는 제 1 절연층 및 제 2 절연층이 제거된 영역을 가지는 표시 장치로 한다.

대표도 - 도2

(A)



(B)



(72) 발명자

미야케 히로유키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

코야마 준

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

KR1020100039811 A*

US20080239189 A1*

JP2006060191 A

KR1020060053881 A

US06911688 B2

US08389988 B2

US20100084654 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

표시 장치로서,

제 1 도전층, 제 2 도전층, 및 반도체층을 포함하는 보호 회로를 포함하고,

상기 제 1 도전층과 상기 제 2 도전층은 서로 이격되어 있고,

상기 반도체층은 산화물 반도체층을 포함하고,

상기 제 1 도전층과 상기 제 2 도전층은, 상기 반도체층과 접촉하고 있는 절연층에서의 개구부에서 상기 반도체층에 전기적으로 접속되어 있고,

제 3 도전층은 상기 절연층 아래에 제공되고 상기 제 1 도전층과 상기 제 2 도전층 중 한쪽에 전기적으로 접속되고,

상기 제 3 도전층은 주사선으로서 기능하고,

상기 보호 회로는 트랜지스터를 포함하지 않는, 표시 장치.

청구항 7

삭제

청구항 8

표시 장치로서,

제 1 도전층, 제 2 도전층, 및 반도체층을 포함하는 보호 회로를 포함하고,

상기 제 1 도전층과 상기 제 2 도전층은 서로 이격되어 있고,

상기 반도체층은 산화물 반도체층을 포함하고,

상기 제 1 도전층과 상기 제 2 도전층은, 상기 반도체층과 접촉하고 있는 절연층에서의 개구부에서 상기 반도체층에 전기적으로 접속되어 있고,

상기 절연층은 무기 재료와 유기 재료의 적층된 구조를 포함하고,

제 3 도전층은 상기 절연층 아래에 제공되고 상기 제 1 도전층과 상기 제 2 도전층 중 한쪽에 전기적으로 접속

되고,

상기 제 3 도전층은 주사선으로서 기능하고,

상기 보호 회로는 트랜지스터를 포함하지 않는, 표시 장치.

청구항 9

전자 기기로서,

제 6 항 또는 제 8 항에 따른 표시 장치를 포함하는, 전자 기기.

청구항 10

제 9 항에 있어서,

상기 전자 기기는 모바일 컴퓨터, 휴대형의 화상 재생 장치, 고글형 디스플레이, 휴대형 유기기, 디지털 카메라, 텔레비전 수상기, 컴퓨터, 및 휴대전화기로 이루어지는 그룹으로부터 선택된 하나인, 전자 기기.

청구항 11

제 8 항에 있어서,

상기 제 3 도전층은 상기 제 1 도전층과 상기 제 2 도전층에 수직인, 표시 장치.

청구항 12

제 8 항에 있어서,

서지 전압에 의한 과전류를 누설하기 위한 배선으로서 기능하는 제 4 도전층을 더 포함하고,

상기 제 4 도전층은 상기 제 1 도전층과 상기 제 2 도전층 중 다른 한쪽에 전기적으로 접속되는, 표시 장치.

청구항 13

제 6 항 또는 제 8 항에 있어서,

상기 반도체층은 상기 제 1 도전층과 상기 제 2 도전층보다 넓은, 표시 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건(프로덕트(product): 기계(machine), 제품(manufacture), 조성물(composition of matter)을 포함함), 및 방법(프로세스(process): 단순 방법 및 생산 방법을 포함함)에 관한 것이다. 특히, 본 발명의 일 양

태는 반도체 장치, 표시 장치, 발광 장치, 전자 기기, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 특히, 본 발명의 일 양태는 산화물 반도체를 가지는 반도체 장치, 표시 장치, 전자 기기, 또는 발광 장치에 관한 것이다.

[0002] 또한, 표시 장치란, 표시 소자를 가지는 장치를 말한다. 또한, 표시 장치는 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 표시 장치는 다른 기관 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로 등을 포함한다.

배경 기술

[0003] 액정 표시 장치로 대표되는 표시 장치는 최근의 기술 혁신의 결과, 소자 및 배선의 미세화가 진행되어, 양산 기술도 현격히 진보해 오고 있다. 앞으로는 보다 제조 수율의 향상을 도모함으로써, 저비용을 도모하는 것이 요구되고 있다.

[0004] 표시 장치에 정전기 등에 의한 서지 전압(surge voltage)이 인가되면, 소자가 파괴되어, 정상적인 표시를 할 수 없게 된다. 그 때문에, 제조 수율이 악화될 우려가 있다. 그 대책으로서 표시 장치에는 서지 전압을 다른 배선에 제공하기 위한 보호 회로가 설치되어 있다(예를 들면, 특허문헌 1 내지 7을 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개 2010-92036호 공보
- (특허문헌 0002) 일본국 특개 2010-92037호 공보
- (특허문헌 0003) 일본국 특개 2010-97203호 공보
- (특허문헌 0004) 일본국 특개 2010-97204호 공보
- (특허문헌 0005) 일본국 특개 2010-107976호 공보
- (특허문헌 0006) 일본국 특개 2010-107977호 공보
- (특허문헌 0007) 일본국 특개 2010-113346호 공보

발명의 내용

해결하려는 과제

[0006] 표시 장치에서는 보호 회로로 대표되는 바와 같이, 신뢰성의 향상을 목적으로 한 구성이 중요하다.

[0007] 따라서, 본 발명의 일 양태에서는 신뢰성을 향상시킬 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 정전 파괴를 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 정전기의 영향을 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 쉽게 고장나지 않는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 러빙 공정에서, 트랜지스터에 주는 영향을 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 검사 공정에서, 트랜지스터에 주는 영향을 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 터치 센서를 사용했을 때의 불편의 영향을 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 트랜지스터의 특성의 변동 또는 열화를 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 트랜지스터의 문턱 전압의 변동 또는 열화를 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 트랜지스터의 노멀리 온(normally-on) 상태를 저감할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에

서는 트랜지스터의 제조 수율을 향상시킬 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 트랜지스터를 실드(shield)할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 화소 전극에 모인 전하를 방전할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 배선에 모인 전하를 방전할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 도전율이 향상된 산화물 반도체층을 가지는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 산화물 반도체층의 도전율을 제어할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 게이트 절연막의 도전율을 제어할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 양태에서는 정상적인 표시를 하기 쉽게 할 수 있는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다.

[0008] 또한, 이러한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 양태는 이들 과제의 전부를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 분명해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터, 상기 이외의 과제를 얻을 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 양태는 제 1 배선과 제 2 배선과의 사이에 형성된 절연층을 가지고, 상기 절연층은 제 1 절연층, 및 상기 제 1 절연층에 중첩하여 형성된 제 2 절연층을 가지고, 상기 절연층은 상기 제 2 절연층의 일부가 제거된 영역을 가지는 보호 회로를 가지는 표시 장치이다.

[0010] 본 발명의 일 양태는 제 1 배선과 제 2 배선과의 사이에 형성된 절연층을 가지고, 상기 절연층은 제 1 절연층, 및 상기 제 1 절연층에 중첩하여 형성된 제 2 절연층을 가지고, 상기 절연층은 상기 제 2 절연층의 일부가 제거된 영역을 가지는 보호 회로를 가지고, 상기 절연층과 트랜지스터가 가지는 반도체층이 중첩하는 영역에서는 상기 제 1 절연층 및 상기 제 2 절연층을 가지는 표시 장치이다.

[0011] 본 발명의 일 양태는 제 1 배선과 제 2 배선과의 사이에 형성된 절연층을 가지고, 상기 절연층은 제 1 절연층, 및 상기 제 1 절연층에 중첩하여 형성된 제 2 절연층을 가지고, 상기 절연층은 상기 제 2 절연층의 일부가 제거된 영역을 가지는 보호 회로를 가지고, 상기 절연층과 트랜지스터가 가지는 반도체층이 중첩하는 영역에서는 상기 제 1 절연층 및 상기 제 2 절연층을 가지고, 상기 제 1 배선과 상기 제 2 배선을 직접 접속하는 영역에서는 상기 제 1 절연층 및 상기 제 2 절연층이 제거된 영역을 가지는 표시 장치이다.

[0012] 본 발명의 일 양태에 있어서, 상기 제 1 절연층은 저항율이 $10^{10} \Omega\text{cm}$ 이상 $10^{18} \Omega\text{cm}$ 미만인 표시 장치가 바람직하다.

[0013] 본 발명의 일 양태에 있어서, 상기 반도체층은 산화물 반도체층인 것이 바람직하다.

발명의 효과

[0014] 본 발명의 일 양태에 의해, 표시 장치의 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0015] 도 1은 표시 장치의 평면 모식도, 및 보호 회로를 설명하는 회로도.

도 2는 표시 장치의 저항 소자를 설명하는 단면도.

도 3은 표시 장치의 평면 모식도, 및 보호 회로를 설명하는 회로도.

도 4는 표시 장치의 평면 모식도.

도 5는 표시 장치의 평면도 및 회로도.

도 6은 표시 장치의 단면도.

- 도 7은 표시 장치의 평면도 및 회로도.
- 도 8은 표시 장치의 단면도.
- 도 9는 표시 장치의 단면도.
- 도 10은 표시 장치의 단면도.
- 도 11은 트랜지스터의 제작 방법을 설명하는 도면.
- 도 12는 트랜지스터의 제작 방법을 설명하는 도면.
- 도 13은 트랜지스터의 단면도를 설명하는 도면.
- 도 14는 표시 장치의 제작 방법을 설명하는 도면.
- 도 15는 표시 장치의 제작 방법을 설명하는 도면.
- 도 16은 표시 장치의 제작 방법을 설명하는 도면.
- 도 17은 표시 장치의 제작 방법을 설명하는 도면.
- 도 18은 표시 장치의 단면도.
- 도 19는 표시 장치의 평면도 및 단면도.
- 도 20은 표시 장치의 평면도 및 단면도.
- 도 21은 표시 장치의 평면도 및 단면도.
- 도 22는 표시 장치의 평면도.
- 도 23은 표시 장치의 단면도.
- 도 24는 표시 장치의 회로도.
- 도 25는 표시 장치의 단면도.
- 도 26은 표시 장치의 제작 방법을 설명하는 단면도.
- 도 27은 표시 장치의 제작 방법을 설명하는 단면도.
- 도 28은 표시 장치의 평면도 및 단면도.
- 도 29는 표시 장치의 단면도.
- 도 30은 표시 장치의 단면도.
- 도 31은 표시 장치의 단면도.
- 도 32는 표시 장치의 단면도.
- 도 33은 표시 장치의 단면도.
- 도 34는 표시 장치의 단면도.
- 도 35는 표시 장치의 단면도.
- 도 36은 표시 장치의 단면도.
- 도 37은 표시 장치의 단면도.
- 도 38은 표시 장치의 단면도.
- 도 39는 표시 장치의 단면도.
- 도 40은 표시 장치의 평면도.
- 도 41은 표시 장치의 단면도 및 평면도.
- 도 42는 터치 센서를 설명하는 도면.

- 도 43은 터치 센서를 설명하는 단면도.
- 도 44는 터치 센서를 설명하는 회로도.
- 도 45는 표시 장치에 이용할 수 있는 화소의 회로를 설명하는 회로도.
- 도 46은 본 발명의 일 양태인 표시 장치를 이용한 표시 모듈을 설명하는 도면.
- 도 47은 본 발명의 일 양태인 표시 장치를 이용한 전자 기기를 설명하는 도면.
- 도 48은 본 발명의 일 양태인 표시 장치를 이용한 전자 기기를 설명하는 도면.
- 도 49는 표시 장치의 평면도 및 단면도.
- 도 50은 산화물 적층을 설명하기 위한 단면도, 및 밴드도.
- 도 51은 보호 회로를 설명하는 회로도.
- 도 52는 보호 회로를 설명하는 회로도 및 과형도.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 실시형태에 대하여 도면을 참조하면서 설명한다. 단, 실시형태는 많은 다른 양태로 실시하는 것이 가능하고, 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0017] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다. 또한, 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들면, 노이즈에 의한 신호, 전압, 혹은 전류의 편차, 또는 타이밍의 차이에 의한 신호, 전압, 혹은 전류의 편차 등을 포함하는 것이 가능하다.
- [0018] 또 본 명세서 등에 있어서, 트랜지스터란, 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역 또는 드레인 전극)과 소스(소스 단자, 소스 영역 또는 소스 전극)의 사이에 채널 영역을 가지고 있고, 드레인과 채널 영역과 소스를 통하여 전류를 흘릴 수 있는 것이다.
- [0019] 여기서, 소스와 드레인이란, 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스로서 기능하는 부분, 및 드레인으로서 기능하는 부분을 소스 또는 드레인이라고 부르지 않고, 소스와 드레인의 한쪽을 제 1 전극이라고 표기하고, 소스와 드레인의 다른 한쪽을 제 2 전극이라고 표기하는 경우가 있다.
- [0020] 또한 본 명세서에서 이용하는 「제 1」, 「제 2」, 「제 3」이라는 서수사는 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.
- [0021] 또한 본 명세서에 있어서, 'A와 B가 접속되어 있다'란, A와 B가 직접 접속되어 있는 것 외에, 전기적으로 접속되어 있는 것을 포함하는 것으로 한다. 여기서, A와 B가 전기적으로 접속되어 있다는 것은 A와 B와의 사이에, 어떠한 전기적 작용을 가지는 대상물이 존재할 때, A와 B의 전기 신호의 수수를 가능하게 하는 것을 말한다.
- [0022] 또한 본 명세서에 있어서, 「위에」, 「아래에」 등의 배치를 나타내는 어구는 도면을 참조하여 구성들 간의 위치 관계를 설명하기 위해 편의상 이용하고 있다. 또한, 구성들 간의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화하는 것이다. 따라서, 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바뀌어 말할 수 있다.
- [0023] 또한, 도면에서 블록도의 각 회로 블록의 배치는 설명을 위해 위치 관계를 특정하는 것이고, 다른 회로 블록에서 다른 기능을 실현하도록 나타내고 있더라도, 실제의 회로나 영역에서는 같은 회로나 같은 영역 내에서 다른 기능을 실현할 수 있도록 설치되어 있는 경우도 있다. 또한, 도면에서의 블록도의 각 회로 블록의 기능은 설명을 위해 기능을 특정하는 것이고, 하나의 회로 블록으로서 나타내고 있어도, 실제 회로나 영역에 있어서는 하나의 회로 블록에서 행하는 처리를, 복수의 회로 블록에서 행하도록 제공되어 있는 경우도 있다.
- [0024] 또한, 화소란, 하나의 색요소(예를 들면 R(빨강) G(초록) B(파랑) 중 어느 하나)의 명도를 제어할 수 있는 표시 단위에 상당하는 것으로 한다. 따라서, 컬러 표시 장치의 경우에는 컬러 화상의 최소 표시 단위는 R의 화소와

G의 화소와 B의 화소의 3 화소로 구성되는 것으로 한다. 단, 컬러 화상을 표시하기 위한 색요소는 삼색으로 한정되지 않고, 삼색 이상을 이용해도 좋고, RGB 이외의 색을 이용해도 좋다.

- [0025] 본 명세서에서는 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 또한, 각 실시형태에서의 설명은 이하의 순서로 행한다.
- [0026] 1. 실시형태 1(본 발명의 일 양태에 관한 기본 구성에 대하여)
- [0027] 2. 실시형태 2(표시 장치의 각 구성에 대하여)
- [0028] 3. 실시형태 3(표시 장치의 각 구성의 변형예에 대하여)
- [0029] 4. 실시형태 4(터치 패널의 구성)
- [0030] 5. 실시형태 5(터치 패널의 변형예에 대하여)
- [0031] 6. 실시형태 6(화소 회로 구성 배리에이션)
- [0032] 7. 실시형태 7(전자 기기)
- [0033] 8. 실시형태 8(성막 방법)

- [0034] (실시형태 1)
- [0035] 본 실시형태에서는 본 발명의 일 양태의 표시 장치에 대하여, 도 1, 도 2, 도 3, 도 49, 도 51 및 도 52를 이용하여 설명을 행한다.
- [0036] 도 1(A)에 나타내는 표시 장치는 화소의 표시 소자를 가지는 영역(이하, 화소부(102)라고 함)과, 화소를 구동하기 위한 회로를 가지는 회로부(이하, 구동 회로부(104)라고 함)와, 소자의 보호 기능을 가지는 회로(이하, 보호 회로(106)라고 함)와, 단자부(107)를 가진다.
- [0037] 화소부(102)는 X행(X는 2 이상의 자연수) Y열(Y는 2 이상의 자연수)로 배치된 복수의 표시 소자를 구동하기 위한 회로(이하, 화소 회로(108)라고 함)를 가지고, 구동 회로부(104)는 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 게이트 드라이버(104a)라고 함), 화소의 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하, 소스 드라이버(104b)) 등의 구동 회로를 가진다.
- [0038] 게이트 드라이버(104a)는 시프트 레지스터 등을 가진다. 게이트 드라이버(104a)는 단자부(107)를 통하여, 시프트 레지스터를 구동하기 위한 신호가 입력되어 신호를 출력한다. 예를 들면, 게이트 드라이버(104a)는 스타트 펄스 신호, 클럭 신호 등이 입력되어 펄스 신호를 출력한다. 게이트 드라이버(104a)는 주사 신호가 부여되는 배선(이하, 주사선(GL₁) 내지 주사선(GL_X)이라고 함)의 전위를 제어하는 기능을 가진다. 또한, 게이트 드라이버(104a)를 복수 제공하고, 복수의 게이트 드라이버(104a)에 의해, 주사선(GL₁) 내지 주사선(GL_X)을 분할하여 제어해도 좋다. 또는, 게이트 드라이버(104a)는 초기화 신호를 공급할 수 있는 기능을 가진다. 단, 이것에 한정되지 않고, 게이트 드라이버(104a)는 다른 신호를 공급하는 것도 가능하다.
- [0039] 소스 드라이버(104b)는 시프트 레지스터 등을 가진다. 소스 드라이버(104b)는 단자부(107)를 통하여, 시프트 레지스터를 구동하기 위한 신호 외에, 데이터 신호의 바탕이 되는 신호(화상 신호)가 입력된다. 소스 드라이버(104b)는 화상 신호를 바탕으로 화소 회로(108)에 기입하는 데이터 신호를 생성하는 기능을 가진다. 또한, 소스 드라이버(104b)는 스타트 펄스 신호, 클럭 신호 등이 입력되어 얻어지는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 가진다. 또한, 소스 드라이버(104b)는 데이터 신호가 부여되는 배선(이하, 데이터선(DL₁) 내지 데이터선(DL_Y)이라고 함)의 전위를 제어하는 기능을 가진다. 또는, 소스 드라이버(104b)는 초기화 신호를 공급할 수 있는 기능을 가진다. 단, 이것에 한정되지 않고, 소스 드라이버(104b)는 다른 신호를 공급하는 것도 가능하다.
- [0040] 소스 드라이버(104b)는 예를 들면 복수의 아날로그 스위치 등을 이용하여 구성된다. 소스 드라이버(104b)는 복수의 아날로그 스위치를 순차로 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다. 또한, 시프트 레지스터 등을 이용하여 소스 드라이버(104b)를 구성해도 좋다.
- [0041] 복수의 화소 회로(108)의 각각은 주사 신호가 부여되는 복수의 배선(이하, 주사선(GL)이라고 함)의 하나를 통하여 펄스 신호가 입력되고, 데이터 신호가 부여되는 복수의 배선(이하, 데이터선(DL)이라고 함)의 하나를 통하여

데이터 신호가 입력된다. 또한, 복수의 화소 회로(108)의 각각은 게이트 드라이버(104a)에 의해 데이터 신호의 데이터의 기입 및 보유가 제어된다. 예를 들면, m행 n번째열의 화소 회로(108)는 주사선(GL_m)(m은 X 이하의 자연수)을 통하여 게이트 드라이버(104a)로부터 펄스 신호가 입력되고, 주사선(GL_m)의 전위에 따라 데이터선(DL_n)(n은 Y이하의 자연수)을 통하여 소스 드라이버(104b)로부터 데이터 신호가 입력된다.

- [0042] 보호 회로(106)는 게이트 드라이버(104a)와 화소 회로(108) 사이의 배선인 주사선(GL)에 접속된다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 화소 회로(108) 사이의 배선인 데이터선(DL)에 접속된다. 또는, 보호 회로(106)는 게이트 드라이버(104a)와 단자부(107)와의 사이의 배선에 접속할 수 있다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 단자부(107) 사이의 배선에 접속할 수 있다. 또한, 단자부(107)는 외부의 회로로부터 표시 장치에 전원 및 제어 신호, 및 화상 신호를 입력하기 위한 단자가 설치된 부분을 말한다.
- [0043] 보호 회로(106)는 자신이 접속하는 배선에 일정한 범위 외의 전위가 부여됐을 때에, 이 배선과 다른 배선을 도통 상태로 하는 회로이다. 단, 이것에 한정되지 않고, 보호 회로(106)는 다른 신호를 공급하는 것도 가능하다.
- [0044] 도 1(A)에 나타낸 바와 같이, 화소부(102)와 구동 회로부(104)에 각각 보호 회로(106)를 형성하는 것에 의해, ESD(Electro Static Discharge : 정전기 방전) 등에 의해 발생하는 과전류에 대한 표시 장치의 내성을 높일 수 있다. 단, 보호 회로(106)의 구성은 이것에 한정되지 않고, 예를 들면, 게이트 드라이버(104a)에만 보호 회로(106)를 접속한 구성, 또는 소스 드라이버(104b)에만 보호 회로(106)를 접속한 구성으로 할 수도 있다. 혹은 단자부(107)에 보호 회로(106)를 접속한 구성으로 할 수도 있다.
- [0045] 또한, 도 1(A)에서는 게이트 드라이버(104a)와 소스 드라이버(104b)에 의해 구동 회로부(104)를 형성하고 있는 예를 나타내고 있지만, 이 구성에 한정되지 않는다. 예를 들면, 게이트 드라이버(104a)만을 형성하고, 별도 준비된 소스 드라이버 회로가 형성된 기관(예를 들면, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기관)을 실장하는 구성으로 해도 좋다.
- [0046] 보호 회로(106)는 예를 들면, 저항 소자 등을 이용하여 구성할 수 있다. 도 1(B)에, 구체적인 보호 회로의 일례를 나타낸다.
- [0047] 도 1(B)에 나타내는 보호 회로(106)는 배선(110)과 배선(112)과의 사이에 저항 소자(114)가 접속되어 있다. 배선(110)은 예를 들면, 도 1(A)에 나타내는 주사선(GL)이나 데이터선(DL), 혹은 단자부(107)로부터 구동 회로부(104)로 리드되는 배선이다.
- [0048] 또한 배선(112)은 일례로서 게이트 드라이버(104a) 또는 소스 드라이버(104b)에 전원을 공급하기 위한 전원선의 전위(예를 들면 제 1 전위(이하, 고전원 전위 VDD), 제 2 전위(이하, 저전원 전위 VSS), 또는 그라운드 전위 GND)가 부여되는 배선이다. 또는, 공통 전위(코먼 전위)가 부여되는 배선(코먼선)이다. 일례로서는, 배선(112)은 게이트 드라이버(104a)에 전원을 공급하기 위한 전원선, 특히, 낮은 전위를 공급하는 배선과 접속되는 것이 적합하다. 왜냐하면, 주사선(GL)은 대부분의 기간에서 낮은 전위로 되어 있다. 따라서, 배선(112)의 전위도 낮은 전위로 되어 있으면, 통상의 동작시에서, 주사선(GL)으로부터 배선(112)으로 누설되는 전류를 저감할 수 있기 때문이다.
- [0049] 여기서, 저항 소자(114)로서 이용할 수 있는 구성의 일례에 대하여, 도 2를 이용하여 설명을 행한다.
- [0050] 도 2(A)에 나타내는 저항 소자(114)는 기관(140) 위에 형성된 도전성을 가지는 층(이하, 도전층(142)이라고 함)과, 기관(140) 및 도전층(142) 위에 형성된 절연성을 가지는 층(이하, 절연층(144)이라고 함)과, 절연층(144) 위에 형성된 도전성을 가지는 층(이하, 도전층(148)이라고 함)을 가진다.
- [0051] 도 2(B)에 나타내는 저항 소자(114)는 기관(140) 위에 형성된 도전층(142)과, 기관(140) 및 도전층(142) 위에 형성된 절연층(144)과, 절연층(144) 위에 형성된 절연층(146)과, 절연층(144) 및 절연층(146) 위에 형성된 도전층(148)을 가진다.
- [0052] 또한, 도 1(B)에 나타낸 배선(112)이 도전층(142)으로 형성되는 배선에 상당한다. 또한, 도 1(B)에 나타낸 배선(110)이 도전층(148)으로 형성되는 배선에 상당한다.
- [0053] 도 2(A), 도 2(B)에 나타내는 저항 소자(114)는 바꿔 말하면, 한쌍의 전극간에 절연층(144)을 협지한 구조이며, 절연층(144)의 저항율(전기 저항율, 비저항이라고도 함)을 제어하는 것에 의해, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0054] 그러나, 한쌍의 전극간에 협지된 절연층의 저항율이 높은 경우, 예를 들면, 10¹⁸Ωcm 이상의 절연층을 이용한 경

우, 한쌍의 전극의 어느 한쪽에 과전류가 흘렀을 때에, 다른 한쪽에 과전류를 적합하게 흐르게 할 수 없다.

- [0055] 따라서, 본 발명의 일 양태로서는, 한쌍의 전극간에 협지된 절연층(144)의 저항율로서는, 예를 들면, $10^{10} \Omega\text{cm}$ 이상 $10^{18} \Omega\text{cm}$ 미만, 적합하게는 $10^{11} \Omega\text{cm}$ 이상 $10^{15} \Omega\text{cm}$ 미만의 절연막을 이용한다. 이러한 저항율을 가지는 절연막으로서, 예를 들면, 질소와 실리콘을 포함한 절연막을 들 수 있다.
- [0056] 또한, 저항 소자(114)는 도 2(B)에 나타난 바와 같이 한쌍의 전극의 한쪽의 전극의 단부를 덮는 절연층(146)을 절연층(144) 위에 형성하는 구성으로 해도 좋다. 절연층(146)은 절연층(144)보다 저항율이 높은 재료를 이용하여 형성할 수 있다. 절연층(146)으로서, 예를 들면, $10^{18} \Omega\text{cm}$ 이상의 절연막을 이용하면 좋다. 이러한 저항율을 가지는 절연막으로서, 예를 들면, 산소와 질소와 실리콘을 포함한 절연막을 들 수 있다.
- [0057] 또한, 저항 소자(114)의 한쌍의 전극으로서 기능하는 도전층(142, 148), 및 저항 소자(114)의 절연층으로서 기능하는 절연층(144, 146)은 도 1(A)에 나타내는 표시 장치의 화소부(102), 및 구동 회로부(104)를 구성하는 트랜지스터의 제작 공정과 동시에 형성할 수 있다.
- [0058] 구체적으로는 예를 들면, 도전층(142)은 상기 트랜지스터의 게이트 전극과 동일 공정으로 제작할 수 있고, 도전층(148)은 상기 트랜지스터의 소스 전극 또는 드레인 전극과 동일 공정으로 제작할 수 있고, 절연층(144, 146)은 상기 트랜지스터의 게이트 절연층과 동일 공정으로 제작할 수 있다.
- [0059] 이와 같이 도 1(A)에 나타내는 표시 장치에 보호 회로(106)를 형성하는 것에 의해, 화소부(102), 및 구동 회로부(104)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0060] 다음에, 도 1(A)에 나타내는 표시 장치의 구체적인 구성에 대하여, 도 3을 이용하여 설명을 한다.
- [0061] 도 3에 나타내는 표시 장치는 화소부(102), 구동 회로부로서 기능하는 게이트 드라이버(104a), 소스 드라이버(104b), 보호 회로(106_1), 보호 회로(106_2), 보호 회로(106_3), 보호 회로(106_4)를 가진다.
- [0062] 또한, 화소부(102), 게이트 드라이버(104a), 및 소스 드라이버(104b)는 도 1(A)에 나타내는 구성과 같다.
- [0063] 보호 회로(106_1)는 트랜지스터(151, 152, 153, 154)와 저항 소자(171, 172, 173)을 가진다. 또한, 보호 회로(106_1)는 게이트 드라이버(104a)와 이 게이트 드라이버(104a)에 접속되는 배선(181, 182, 183)과의 사이에 설치된다. 또한, 트랜지스터(151)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 배선(183)이 접속되어 있다. 트랜지스터(152)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(151)의 제 1 단자가 접속되어 있다. 트랜지스터(153)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자로 트랜지스터(152)의 제 1 단자가 접속되어 있다. 트랜지스터(154)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(153)의 제 1 단자가 접속되어 있다. 또한, 트랜지스터(154)의 제 1 단자가 배선(183) 및 배선(181)과 접속되어 있다. 또한, 저항 소자(171, 173)는 배선(183)에 제공되어 있다. 또한, 저항 소자(172)는 배선(182)과, 트랜지스터(152)의 제 1 단자 및 트랜지스터(153)의 제 3 단자와의 사이에 제공되어 있다.
- [0064] 또한, 배선(181)은 예를 들면, 저전원 전위 VSS가 부여되는 전원선으로서 이용할 수 있다. 또한, 배선(182)은 예를 들면, 코먼선으로서 이용할 수 있다. 또한, 배선(183)은 예를 들면, 고전원 전위 VDD가 부여되는 전원선으로서 이용할 수 있다.
- [0065] 보호 회로(106_2)는 트랜지스터(155, 156, 157, 158)와 저항 소자(174, 175)를 가진다. 또한, 보호 회로(106_2)는 게이트 드라이버(104a)와 화소부(102)와의 사이에 설치된다. 또한, 트랜지스터(155)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 배선(185)이 접속되어 있다. 트랜지스터(156)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(155)의 제 1 단자가 접속되어 있다. 트랜지스터(157)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(156)의 제 1 단자가 접속되어 있다. 트랜지스터(158)는 소스 전극으로서의 기능

을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(157)의 제 1 단자가 접속되어 있다. 또한, 트랜지스터(158)의 제 1 단자가 배선(184)과 접속되어 있다. 또한, 저항 소자(174)는 배선(185)과 트랜지스터(156)의 제 1 단자 및 트랜지스터(157)의 제 3 단자와의 사이에 제공되어 있다. 또한, 저항 소자(175)는 배선(184)과 트랜지스터(156)의 제 1 단자 및 트랜지스터(157)의 제 3 단자와의 사이에 제공되어 있다.

[0066] 또한, 배선(184)은 예를 들면, 저전원 전위 VSS가 부여되는 전원선으로서 이용할 수 있다. 또한, 배선(185)은 예를 들면, 고전원 전위 VDD가 부여되는 전원선으로서 이용할 수 있다. 또한, 배선(186)은 예를 들면, 게이트 선으로서 이용할 수 있다.

[0067] 보호 회로(106_3)는 트랜지스터(159, 160, 161, 162)와 저항 소자(176, 177)를 가진다. 또한, 보호 회로(106_3)는 소스 드라이버(104b)와 화소부(102)와의 사이에 설치된다. 또한, 트랜지스터(159)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 배선(190)이 접속되어 있다. 트랜지스터(160)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(159)의 제 1 단자가 접속되어 있다. 트랜지스터(161)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(160)의 제 1 단자가 접속되어 있다. 트랜지스터(162)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(161)의 제 1 단자가 접속되어 있다. 또한, 트랜지스터(162)의 제 1 단자가 배선(191)과 접속되어 있다. 또한, 저항 소자(176)는 배선(190)과 트랜지스터(160)의 제 1 단자 및 트랜지스터(161)의 제 3 단자와의 사이에 제공되어 있다. 또한, 저항 소자(177)는 배선(191)과 트랜지스터(160)의 제 1 단자 및 트랜지스터(161)의 제 3 단자와의 사이에 제공되어 있다.

[0068] 또한, 배선(188)은 예를 들면, 코먼선 또는 소스선으로서 이용할 수 있다. 또한, 배선(189, 190)은 예를 들면, 고전원 전위 VDD가 부여되는 전원선으로서 이용할 수 있다. 또한, 배선(191)은 예를 들면, 저전원 전위 VSS가 부여되는 전원선으로서 이용할 수 있다.

[0069] 보호 회로(106_4)는 트랜지스터(163, 164, 165, 166)과 저항 소자(178, 179, 180)를 가진다. 또한, 보호 회로(106_4)는 소스 드라이버(104b)와, 소스 드라이버(104b)에 접속되는 배선(187, 188, 189, 190, 191)과의 사이에 설치된다. 또한, 트랜지스터(163)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 배선(187)이 접속되어 있다. 트랜지스터(164)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(163)의 제 1 단자가 접속되어 있다. 트랜지스터(165)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(164)의 제 1 단자가 접속되어 있다. 트랜지스터(166)는 소스 전극으로서의 기능을 가지는 제 1 단자와 게이트 전극으로서의 기능을 가지는 제 2 단자가 접속되고, 드레인 전극으로서의 기능을 가지는 제 3 단자와 트랜지스터(165)의 제 1 단자가 접속되어 있다. 또한, 트랜지스터(166)의 제 1 단자가 배선(189)과 접속되어 있다. 또한, 저항 소자(178)는 배선(187)과 배선(188)과의 사이에 형성되어 있다. 또한, 저항 소자(179)는 배선(188)에 제공되고, 트랜지스터(164)의 제 1 단자 및 트랜지스터(165)의 제 3 단자와 접속되어 있다. 또한, 저항 소자(180)는 배선(188)과 배선(189)과의 사이에 제공되어 있다.

[0070] 또한, 배선(187, 191)은 예를 들면, 저전원 전위 VSS가 부여되는 전원선으로서 이용할 수 있다. 또한, 배선(188)은 예를 들면, 코먼선 또는 소스선으로서 이용할 수 있다. 또한, 배선(189, 190)은 예를 들면, 고전원 전위 VDD가 부여되는 전원선으로서 이용할 수 있다.

[0071] 또한, 배선(181) 내지 배선(191)은 도 3 중의 고전원 전위 VDD, 저전원 전위 VSS, 코먼선 CL에 나타내는 기능에만 한정되지 않고, 각각 독립적으로 주사선, 신호선, 전원선, 접지선, 용량선 또는 코먼선 등의 기능을 가지고 있어도 좋다.

[0072] 이와 같이, 보호 회로(106_1) 내지 보호 회로(106_4)는 복수의 다이오드 접속된 트랜지스터와 복수의 저항 소자에 의해 구성되어 있다. 즉, 보호 회로(106_1) 내지 보호 회로(106_4)는 다이오드 접속된 트랜지스터와 저항 소자를 병렬로 조합하여 이용할 수 있다.

- [0073] 또한, 도 3에 나타난 바와 같이 보호 회로(106_1) 내지 보호 회로(106_4)는 화소부(102)와 게이트 드라이버(104a)와 접속되는 배선과의 사이, 화소부(102)와 게이트 드라이버(104a)와의 사이, 화소부(102)와 소스 드라이버(104b)와의 사이, 또는 화소부(102)와 소스 드라이버(104b)와 접속되는 배선과의 사이에 형성할 수 있다.
- [0074] 또한, 일례로서 도 3에 설명한 보호 회로(106_2)에 대응하는 평면도, 및 저항 소자로서 기능하는 영역의 단면도를 도 49(A), 도 49(B)에 나타낸다. 도 49(A)에 나타내는 평면도에서 붙인 부호는 도 3에 붙인 부호에 대응한다. 또한, 도 49(B)는 도 49(A)의 절단선 M-N에 의한 단면도이다. 도 49(A), 도 49(B)에 나타난 바와 같이 본 실시형태에 설명하는 보호 회로의 저항 소자는 배선에 중첩하는 절연층의 일부를 제거하여, 배선간의 절연층의 저항율을 제어함으로써, 과전류를 적절하게 흘리는 저항 소자로서 이용할 수 있다.
- [0075] 또한, 도 51은 도 3에 설명한 보호 회로와는 다른 구성을 나타내는 회로도이다. 도 51에 나타내는 회로도에서는 트랜지스터(155A) 내지 트랜지스터(158A), 트랜지스터(155B) 내지 트랜지스터(158B), 저항 소자(174A, 175A), 저항 소자(174B, 175B), 저항 소자(199), 배선(184), 배선(185) 및 배선(186)을 나타내고 있다. 또한, 도 51에 나타내는 회로도에서 붙인 부호는 도 3에 설명한 보호 회로(106_2)와 같은 구성에 대하여, 같은 부호를 붙여 대응시키고 있다. 도 51에 나타내는 회로도가 도 3에 나타난 보호 회로(106_2)와 다른 점은, 도 3의 보호 회로(106_2)에 상당하는 회로를 나란히 배치하여, 배선간에 저항 소자(199)를 제공한 점이다.
- [0076] 또한 도 51에 나타난 보호 회로(106_2)가 가지는 저항 소자(199)의 저항율은 저항 소자(174A, 175A), 저항 소자(174B, 175B)의 저항율이 $10^{10} \Omega\text{cm}$ 이상 $10^{18} \Omega\text{cm}$ 미만으로 하는 것에 대하여, $10^3 \Omega\text{cm}$ 이상 $10^6 \Omega\text{cm}$ 미만으로, 보다 작은 값으로 하는 것이 바람직하다. 도 51에 나타내는 회로도의 구성으로 함으로써, 배선에 부여되는 신호의 급격한 변화를 억제할 수 있다.
- [0077] 이와 같이 도 3에 나타내는 표시 장치에 복수의 보호 회로를 형성하는 것에 의해, 화소부(102), 및 구동 회로부(104)(게이트 드라이버(104a), 소스 드라이버(104b))는 ESD 등에 의해 발생하는 과전류에 대한 내성을 더욱 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0078] 또한, 도 3에 설명한 보호 회로(106_1) 내지 보호 회로(106_4)가 가지는 복수의 다이오드 접속된 트랜지스터는 특히, 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용함으로써 보호 회로의 기능이 뛰어난 것으로 할 수 있다.
- [0079] 여기서 도 52(A), 도 52(B)에 나타내는 회로도 및 과형도를 이용하여, 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용한 트랜지스터를, 보호 회로가 가지는 다이오드 접속된 트랜지스터로서 기능시키는 경우의 이점에 대하여 설명한다.
- [0080] 도 52(A)는 신호를 입출력하는 배선(600)과, 고전원 전위 HVDD가 부여되는 배선(601), 저전원 전위 HVSS가 부여되는 배선(602), 보호 회로(603)를 나타낸다.
- [0081] 배선(600)에 부여되는 신호 Sig는 클럭 신호, 선택 신호, 고정 전위에 의한 신호 등이다. 도 52(A), 도 52(B)에서 설명하는 일례에서는 신호 Sig를 클럭 신호로서 설명한다. 이 경우, 배선(600)이 다른 소자 또는 배선에 주는 신호 Sig_out는 게이트 드라이버 또는 소스 드라이버에 부여되는 클럭 신호가 된다.
- [0082] 배선(601)에 부여되는 고전원 전위 HVDD는 고전원 전위 VDD와 같은 전위여도 좋고, 보다 높은 전위여도 좋다. 또한, 배선(602)에 부여되는 저전원 전위 HVSS는 저전원 전위 VSS와 같은 전위여도 좋고, 보다 낮은 전위여도 좋다.
- [0083] 보호 회로(603)는 복수의 다이오드 접속된 트랜지스터의 일례로서, 트랜지스터(604A) 및 트랜지스터(604B), 및 트랜지스터(605A) 및 트랜지스터(605B)를 가진다.
- [0084] 트랜지스터(604A) 및 트랜지스터(604B)는 배선(600)과 배선(601)과의 사이에, 다이오드 접속되어 설치된 트랜지스터이다. 트랜지스터(604A) 및 트랜지스터(604B)는 통상 동작 시에 전류를 거의 흘리지 않고, 신호 Sig를 그대로 신호 Sig_out로서 부여할 수 있다. 또한, 트랜지스터(604A) 및 트랜지스터(604B)는 서지 전압이 인가되었을 때에 과전류를 흘려, 신호 Sig가 가지는 서지 전압을 강압시킨 신호를 신호 Sig_out로서 부여할 수 있다. 또한, 과전류가 트랜지스터(604A) 및 트랜지스터(604B)를 흐르는 방향과 반대의 방향에는 전자가 흐른다.
- [0085] 또한, 도 52(B)에는 신호 Sig를 클럭 신호로 했을 때의 과형의 일례를 나타낸다. 트랜지스터(604A) 및 트랜지스터(604B)는 도 52(B)에 나타내는 신호 Sig의 과형에서, 고전원 전위 HVDD보다 높은 서지 전압(611)이 인가되었을 때에 과전류 및 전자의 흐름이 생김으로써, 서지 전압(611)을 고전원 전위까지 강압시킬 수 있고, 서지 전

압이 제거된 클록 신호를 신호 Sig_out로서 부여할 수 있다. 따라서, 신호 Sig_out가 부여되는 회로의 절연 파괴를 미연에 억제할 수 있다.

- [0086] 트랜지스터(604A) 및 트랜지스터(604B)에 흐르는 과전류 및 전자의 흐름은 화살표(606)로 나타낼 수 있다. 화살표(606)에 있어서, 실선 화살표 I가 과전류의 방향, 파선 화살표 e^- 가 전자의 흐름을 나타낸다.
- [0087] 트랜지스터(605A) 및 트랜지스터(605B)는 배선(600)과 배선(602)과의 사이에, 다이오드 접속되어 설치된 트랜지스터이다. 트랜지스터(605A) 및 트랜지스터(605B)는 통상 동작 시에 전류를 거의 흘리지 않고, 신호 Sig를 그대로 신호 Sig_out로서 부여할 수 있다. 또한, 트랜지스터(605A) 및 트랜지스터(605B)는 서지 전압이 인가되었을 때에 과전류를 흘려, 신호 Sig가 가지는 서지 전압을 승압시킨 신호를 신호 Sig_out로서 부여할 수 있다. 또한, 과전류가 트랜지스터(605A) 및 트랜지스터(605B)를 흐르는 방향과 반대의 방향에는 전자가 흐른다.
- [0088] 또한, 트랜지스터(604A) 및 트랜지스터(604B)는 상술한 도 52(B)에 나타내는 신호 Sig의 파형에서, 저전원 전위 HVSS보다 낮은 서지 전압(612)이 인가되었을 때에 과전류 및 전자의 흐름이 생기는 것으로 인하여, 서지 전압(612)을 저전원 전위까지 승압시킬 수 있고, 서지 전압이 제거된 클록 신호를 신호 Sig_out로서 부여할 수 있다. 따라서, 신호 Sig_out가 부여되는 회로의 절연 파괴를 미연에 억제할 수 있다.
- [0089] 트랜지스터(605A) 및 트랜지스터(605B)에 흐르는 과전류 및 전자의 흐름은 화살표(607)로 나타낼 수 있다. 화살표(607)에 있어서, 실선 화살표 I가 과전류의 방향, 파선 화살표 e^- 가 전자의 흐름을 나타낸다.
- [0090] 또한, 도 52(A)에 설명한 트랜지스터(604A) 및 트랜지스터(604B), 및 트랜지스터(605A) 및 트랜지스터(605B)는 특히, 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용한다. 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용한 트랜지스터는 오프 상태에서의 누설 전류가 매우 작은 트랜지스터이다. 따라서, 보호 회로(603)의 비동작시에 흐르는 누설 전류를 매우 작게 할 수 있다.
- [0091] 또 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용한 트랜지스터는 반도체층에 실리콘 등을 이용하는 트랜지스터와 비교하여, 밴드 갭이 1 내지 2 V 정도 높기 때문에, 에벌란시 브레이크다운(avalanche breakdown)이 일어나기 어렵고, 전계에 대한 내성이 높다. 따라서, 채널 형성 영역이 되는 반도체층에 산화물 반도체를 이용함으로써 보호 회로의 기능을 뛰어난 것으로 할 수 있다.
- [0092] 이상, 도 52(A), 도 52(B)를 이용하여 설명한 것처럼 산화물 반도체를 이용한 트랜지스터를 보호 회로에 형성함으로써, 누설 전류를 매우 작게 하는 것, 전계에 대한 내성이 높은 것과 같은, 보호 회로의 기능이 뛰어난 것으로 할 수 있다.
- [0093] 또한, 본 실시형태에 있어서, 보호 회로를 형성하는 경우의 예에 대하여 설명했지만, 본 발명의 실시형태의 일 양태는 이것에 한정되지 않는다. 경우에 따라서는 보호 회로를 제공하지 않는 것도 가능하다.
- [0094] 본 실시형태에 나타내는 구성은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0095] (실시형태 2)
- [0096] 본 실시형태에서는 상기 실시형태에 설명한 보호 회로를 가지는 수평 전계 방식의 액정 소자를 이용하는 표시 장치(액정 표시 장치라고도 함)의 구성에 대하여 설명한다. 수평 전계 방식의 액정 표시 장치는 수직 전계 방식보다 넓은 시야각을 얻을 수 있기 때문에, 최근, 모바일 기기 등의 표시 장치로서, 다양한 화면 사이즈의 액정 표시 장치에 채용되고 있다.
- [0097] 또한, 액정 표시 장치란, 액정 소자를 가지는 장치를 말한다. 또한, 액정 표시 장치는 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 액정 표시 장치는 다른 기관 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로 및 백 라이트 모듈 등을 포함하여, 액정 모듈이라고 부르는 경우도 있다.
- [0098] 수평 전계 방식의 액정 소자로서는, IPS(In-Plane-Switching) 모드, 및 FFS(Fringe Field Switching) 모드가 대표적이다. 본 실시형태에서는 특히 FFS 모드의 액정 표시 장치의 구성에 대하여 설명한다.
- [0099] 도 4 내지 도 17을 이용하여, 본 실시형태의 액정 표시 장치를 설명한다.
- [0100] <평면 모식도에 의한 수평 전계 방식의 액정 표시 장치의 구성>
- [0101] 도 4는 액정 표시 장치(500)의 구성의 일례를 나타내는 평면 모식도이다.

- [0102] 도 4에 나타내는 액정 표시 장치(500)의 평면 모식도에서는, 화소를 가지는 회로(이하, 화소부(501)라고 함), 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 게이트 드라이버(502, 503)이라고 함), 화소의 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하, 소스 드라이버(504)), 단자부(505), FPC(506)(Flexible printed circuit), 실 부재(512) 및 소자의 보호 기능을 가지는 회로(이하, 보호 회로(511)라고 함)를 나타낸다.
- [0103] 도 4에 나타내는 화소부(501)의 평면 모식도에서는, 화소(518), 배선(이하, 주사선(GL)이라고 함) 및 배선(이하, 데이터선(DL)이라고 함)을 나타낸다. 화소(518)에는 주사선(GL)을 통하여 주사 신호가 부여된다. 또한, 화소(518)에는 데이터선(DL)을 통하여 데이터 신호가 부여된다.
- [0104] 도 4에 나타내는 게이트 드라이버(502), 게이트 드라이버(503)의 한쪽에는 홀수행의 주사선(GL)이 접속되고, 다른 한쪽에는 짝수행의 주사선(GL)이 접속되어 있다. 소스 드라이버(504)는 데이터선(DL)이 접속되어 있다.
- [0105] 도 4에 나타내는 단자부(505)는 실 부재(512)의 외측에서 FPC(506)에 접속된다. 단자부(505)와 FPC(506)는 이방성 도전막 등을 통하여, 전기적으로 접속된다. 또한, 도 4에 나타내는 단자부(505)의 평면 모식도에서는 게이트 드라이버(502, 503), 소스 드라이버(504)와의 사이에는 제어하기 위한 신호(제어 신호)를 부여하기 위한 배선, 전원을 부여하기 위한 배선(전원선)을 나타낸다.
- [0106] 도 4에 나타내는 실 부재(512)는 내부에 설치되는 액정층을 밀봉하기 위해서 제공된다. 또한, 실 부재(512)는 외부로부터의 수분을 차단하여, 액정층을 협지하는 기관간의 간격을 일정하게 하기 위해 제공된다.
- [0107] 도 4에 나타내는 평면 모식도에서, 보호 회로(511)는 게이트 드라이버(502)와 단자부(505)와의 전기적인 접속을 도모하는 배선 간, 게이트 드라이버(503)와 단자부(505)와의 전기적인 접속을 도모하는 배선 간, 게이트 드라이버(502)와 화소부(501)와의 전기적인 접속을 도모하는 배선 간, 게이트 드라이버(503)와 화소부(501)와의 전기적인 접속을 도모하는 배선 간, 및 소스 드라이버(504)와 화소부(501)와의 전기적인 접속을 도모하는 배선 간에 제공되어 있다.
- [0108] 또한 도 4에서는 도시하지 않았지만, 액정 표시 장치(500)는 그 밖에도 공통 전위(코먼 전위)가 부여되는 배선(코먼선)과 다른 배선을 접속하기 위한 코먼 콘택트부나, 다른 층에 형성된 배선간의 접속을 도모하는 접속부 등을 가진다.
- [0109] <화소의 구성>
- [0110] 다음에, 화소(518)의 구성예에 대하여 설명한다. 도 5(A)는 화소의 구성예를 나타내는 평면도이며, 도 5(B)는 평면도의 일부에 대응하는 회로도이다.
- [0111] 또 도 6(A)은 도 5(A)의 절단선 A1-A2에 의한 단면도이다. 도 6(B)은 도 5(A)의 절단선 A3-A4에 의한 단면도이다.
- [0112] 도 5(A)에 나타내는 화소(518)의 평면도에서는, 일레로서, 도전성을 가지는 층(이하, 도전층(519)), 도전성을 가지는 층(이하, 도전층(520)), 반도체층(523), 도전성을 가지는 층(이하, 도전층(524)), 도전성을 가지는 층(이하, 도전층(525)), 및 도전성을 가지는 층(이하, 도전층(526)), 스페이서(515)를 나타낸다.
- [0113] 도전층(519)은 주사선으로서 기능하는 배선이다. 또한, 도전층(519)은 트랜지스터(522)의 게이트 전극으로서의 기능을 가진다. 또한, 도전층(519)은 고전원 전위 VDD, 저전원 전위 VSS, 그라운드 전위 또는 코먼 전위 등의 정전위의 신호가 부여되는 배선으로서의 기능을 가진다. 또한, 도전층(519)은 다른 층에 설치되는 배선간의 전기적인 접속을 도모하기 위해 리드되는 배선으로서의 기능을 가진다. 도전층(519)으로서는, 알루미늄, 티탄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 및 텅스텐을 일종 이상 포함한 도전성 재료로 이루어지는 막을 1층 또는 2층 이상으로 형성하면 좋다.
- [0114] 도전층(520)은 데이터선으로서 기능하는 배선이다. 또한, 도전층(520)은 트랜지스터(522)의 소스 및 드레인의 한쪽의 전극으로서의 기능을 가진다. 또한, 도전층(520)은 고전원 전위 VDD, 저전원 전위 VSS, 그라운드 전위 또는 코먼 전위 등의 정전위의 신호가 부여되는 배선으로서의 기능을 가진다. 또한, 도전층(520)은 다른 층에 설치되는 배선간의 전기적인 접속을 도모하기 위해 리드되는 배선으로서의 기능을 가진다. 도전층(520)으로서는, 도전층(519)과 마찬가지로 형성할 수 있다.
- [0115] 반도체층(523)은 반도체 특성을 가지는 층이다. 반도체 특성을 가지는 층으로서는, 규소(Si)를 주성분으로 하는 반도체층, 유기 재료를 주성분으로 하는 반도체층, 혹은 금속 산화물을 주성분으로 하는 반도체층을 이용할

수 있다. 금속 산화물을 주성분으로 하는 반도체막으로서는, 일례로서, 산화물 반도체층을 형성할 수 있다.

- [0116] 도전층(524)은 트랜지스터(522)의 소스 및 드레인의 다른 한쪽의 전극으로서 기능하는 전극이다. 또한, 도전층(524)은 다른 층에 제공되는 배선간의 전기적인 접속을 도모하기 위해 리드되는 배선으로서의 기능을 가진다. 도전층(524)으로서는, 도전층(520)과 마찬가지로 형성할 수 있다.
- [0117] 도전층(525)은 액정 소자의 공통 전극 또는 화소 전극으로서 기능하는 층이다. 또한, 다른 층에 설치되는 배선간의 전기적인 접속을 도모하기 위해 리드되는 배선으로서의 기능을 가진다. 도전층(525)으로서는, 일례로서, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 및 산화 규소를 첨가한 인듐 주석 산화물 등으로 이루어지는 막을 이용할 수 있다. 또한, 공통 전극 및 화소 전극의 한쪽은 빗살 모양의 형상으로 하고, 다른 한쪽은 평면 모양의 형상으로 한다.
- [0118] 도전층(526)은 액정 소자의 공통 전극 또는 화소 전극으로서 기능하는 층이다. 또한, 다른 층에 설치되는 배선간의 전기적인 접속을 도모하기 위해 리드되는 배선으로서의 기능을 가진다. 도전층(526)으로서는, 도전층(525)과 마찬가지로 형성할 수 있다.
- [0119] 또한, 본 실시형태는 도전층(525)과 도전층(526)의 위치 관계로서 공통 전극으로서 기능하는 도전층(525)이 화소 전극으로서 기능하는 도전층(526)의 하측(기판(521)측)에 형성되어 있는 예를 나타내고 있지만, 공통 전극으로서 기능하는 도전층(525)을 화소 전극으로서 기능하는 도전층(526)의 상측에 형성할 수도 있다.
- [0120] 스페이서(515)는 셀 갭을 유지하기 위해서 설치되어 있다. 도 5(A)에 나타낸 바와 같이, 스페이서(515)는 주사선으로서 기능하는 도전층(519) 및 데이터선으로서 기능하는 도전층(520)이 겹치는 영역에 형성되어 있다. 이러한 영역은 액정 재료의 배향이 흐트러지는 영역이며 표시에 기여하지 않는다. 이러한 영역에 형성함으로써, 화소(518)의 개구율을 높게 할 수 있다.
- [0121] 도 5(B)에 나타내는 화소(518)의 회로도에서는, 일례로서, 주사선(GL), 데이터선(DL), 트랜지스터(522), 용량 소자(CAP), 및 액정 소자(LC)를 나타낸다.
- [0122] 트랜지스터(522)는 액정 소자(LC)와 데이터선(DL)과의 접속을 제어하는 스위칭 소자로서의 기능을 가진다. 트랜지스터(522)는 주사선(GL)을 통하여, 그 게이트로부터 입력되는 주사 신호에 의해 온, 오프가 제어된다.
- [0123] 용량 소자(CAP)는, 일례로서, 도전층(525)과 도전층(526)이 중첩하는 영역에서 형성되는 소자이다. 따라서, 화소(518)에 용량선을 별도 제작하는 것이 불필요하다.
- [0124] 액정 소자(LC)는, 일례로서, 공통 전극, 화소 전극 및 액정층으로 구성되는 소자이다. 공통 전극과 화소 전극간에 형성되는 전계의 작용에 의해 액정층의 액정 재료의 배향이 변화된다.
- [0125] 도 6(A)에 나타내는 화소(518)의 절단선 A1-A2에 의한 단면도에서는, 일례로서, 기판(521), 도전층(519), 절연성을 가지는 층(이하, 절연층(532)), 절연성을 가지는 층(이하, 절연층(533)), 반도체층(523), 도전층(520), 도전층(524), 절연성을 가지는 층(이하, 절연층(534)), 절연성을 가지는 층(이하, 절연층(535)), 절연성을 가지는 층(이하, 절연층(536)), 절연성을 가지는 층(이하, 절연층(537)), 도전층(525), 도전층(526), 절연성을 가지는 층(이하, 절연층(538)), 액정에 배향성을 부여하는 막(이하, 배향막(539)), 액정층(540), 기판(541), 차광성을 가지는 막(이하, 블랙 매트릭스(542)), 컬러 필터(543), 오버코트(544), 액정에 배향성을 부여하는 막(이하, 배향막(545))을 나타낸다. 또한, 도 5(B)에서는 트랜지스터(522)를 도시하고 있다.
- [0126] 기판(521)은, 일례로서, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등이 이용된다. 기판(541)에 대해서도 마찬가지이다.
- [0127] 절연층(532)은 트랜지스터(522)의 게이트 절연막으로서 기능하는 층이다. 또한, 절연층(532)은 보호 회로에서 저항 소자로서 기능하는 층이다. 절연층(532)으로서는, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈을 일종 이상 포함한 절연막을 단층으로, 또는 적층하여 이용하면 좋다. 절연층(532)은 절연층(533)보다 저항율이 작은 재료이다.
- [0128] 절연층(533)은 트랜지스터(522)의 게이트 절연막으로서 기능하는 층이다. 절연층(533)으로서는, 절연층(532)과 마찬가지로 형성할 수 있다. 절연층(533)은 절연층(532)보다 저항율이 큰 재료인 것이 적합하다.
- [0129] 절연층(532)으로서는, 예를 들면, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등을 적층 또는 단층으

로 형성한다. 절연층(533)으로서는, 산화 실리콘막, 산화 질화 실리콘막 등을 적층 또는 단층으로 형성한다. 예를 들면, 절연층(532)으로서 두께 300 nm의 질화 실리콘막을 적용하여, 절연층(533)으로서 두께 50 nm의 산화 질화 실리콘막을 적용할 수 있다.

- [0130] 또한, 질화 산화 실리콘이란, 질소의 함유량이 산소보다 큰 절연 재료이며, 한편, 산화 질화 실리콘이란, 산소의 함유량이 질소보다 큰 절연 재료를 말한다.
- [0131] 절연층(534) 내지 절연층(536)은 무기 재료로 이루어지는 절연막으로 형성한다. 특히, 절연층(534) 및 절연층(535)은 산화물막으로 하고, 절연층(536)은 질화물막으로 하는 것이 바람직하다. 또한, 절연층(536)을 질화물 절연막으로 함으로써 외부로부터 수소나 물 등의 불순물이 반도체층(523)에 들어가는 것을 억제할 수 있다. 또한, 절연층(534)은 형성하지 않는 구조여도 좋다.
- [0132] 절연층(537)은 유기 재료로 이루어지는 절연막으로 형성한다. 특히 절연층(537)은 그 위에 형성되는 층 또는 막의 평탄성을 부여하는 기능을 가지는 것이 바람직하다. 절연층(537)에는 아크릴계 수지, 폴리이미드계 수지 등의 내열성을 가지는 유기 재료를 이용할 수 있다.
- [0133] 절연층(538)은 외부로부터 물이나 불순물의 침입을 막기 위한 패시베이션막으로서 형성된다. 또한, 절연층(538)은 도전층(525)과 도전층(526)이 중첩된 영역에 형성되는 용량의 유전체를 구성한다. 절연층(538)은 절연층(536)과 마찬가지로, 질화물 또는 질화 산화물로 이루어지는 절연막이 바람직하고, 예를 들면, 질화 실리콘막, 질화 산화 실리콘막 등을 형성하면 좋다.
- [0134] 배향막(539)은 액정층이 가지는 액정 분자에 배향성을 부여하기 위한 막인 것이 바람직하다. 배향막(545)에 대해서도 마찬가지이다.
- [0135] 블랙 매트릭스(542)는, 일례로서, 차광성을 가지는 공지의 재료를 이용하여, 인쇄법, 잉크젯법, 포토리소그래피 기술을 이용한 에칭 방법 등으로 각각 원하는 위치에 형성한다.
- [0136] 컬러 필터(543)는 적색의 파장 대역의 광을 투과하는 컬러 필터, 녹색의 파장 대역의 광을 투과하는 컬러 필터, 청색의 파장 대역의 광을 투과하는 컬러 필터 등을 이용할 수 있다. 각 컬러 필터는 공지의 재료를 이용하여, 인쇄법, 잉크젯법, 포토리소그래피 기술을 이용한 에칭 방법 등으로 각각 원하는 위치에 형성한다.
- [0137] 오버코트(544)는 블랙 매트릭스(542) 및 컬러 필터(543)를 보호하는 기능을 가지는 층을 형성한다. 오버코트(544)로서는, 예를 들면, 아크릴계 수지 등의 절연층을 이용할 수 있다.
- [0138] 도 6(B)에 나타내는 화소(518)의 절단선 A3-A4에 의한 단면도에서는, 일례로서, 도 6(A)에 설명한 층이 적층되어, 셀 갭을 유지하기 위한 스페이서(515)가 설치되어 있는 개소를 나타낸다.
- [0139] <보호 회로의 구성>
- [0140] 다음에, 보호 회로(511)의 구성예에 대하여 설명한다. 도 7(A)은 화소의 구성예를 나타내는 평면도이며, 도 7(B)은 평면도에 대응하는 회로도이다.
- [0141] 또한, 도 8은 도 7(A)의 절단선 B1-B2에 의한 단면도이다.
- [0142] 도 7(A)에 나타내는 보호 회로(511)의 평면도에서는, 일례로서, 도전성을 가지는 층(이하, 도전층(551)), 도전성을 가지는 층(이하, 도전층(552)), 개구부(553)를 나타내고 있다.
- [0143] 도전층(551)은 서지 전압에 의한 과전류를 누설하기 위한 배선이다. 도전층(551)은, 일례로서, 그라운드 전위(GND)에 고정되어 있다. 도전층(551)으로서는, 도전층(519)과 마찬가지로 형성할 수 있다.
- [0144] 도전층(552)은 주사선 또는 신호선으로서 기능하는 배선이다. 도전층(552)으로서는, 도전층(520)과 마찬가지로 형성할 수 있다.
- [0145] 개구부(553)는 도전층(551)과 도전층(552)과의 사이에 형성되는 절연층(532) 및 절연층(533) 중, 절연층(533)을 제거하여 형성되는 개구부이다.
- [0146] 도 7(A)에 나타내는 보호 회로(511)는, 바꿔 말하면, 한쌍의 전극간에 절연층(532)을 협지한 구조이며, 절연층(532)의 저항율을 제어하는 것에 의해, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0147] 본 발명의 일 양태로서는, 한쌍의 전극간에 협지된 절연층(532)의 저항율로서는, 예를 들면, 10^{10} Ωcm 이상 10^{18}

Ωcm 미만, 적합하게는 10^{11} Ωcm 이상 10^{15} Ωcm 미만의 절연막을 이용한다. 이러한 저항율을 가지는 절연막으로서는, 예를 들면, 질소와 실리콘을 포함한 절연막을 들 수 있다.

- [0148] 이와 같이 도 7(A)에 나타내는 도전층 사이에 보호 회로(511)를 형성하는 것으로 인하여, 표시 장치는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0149] 도 7(B)에 나타내는 보호 회로(511)를 포함한 회로도에서는, 일례로서, 배선(551L), 배선(552L)을 나타낸다.
- [0150] 배선(551L)은 배선(552L)에 서지 전압이 인가된 경우에, 과전류를 누설 하는 기능을 가진다.
- [0151] 배선(552L)은 주사 신호 및 데이터 신호 등의 신호가 부여되는 배선이다. 또한, 배선(552L)은 서지 전압이 인가된 경우에 생기는 과전류를 배선(551L)에 누설하고, 주사 신호 및 데이터 신호 등의 신호를 배선(551L)에 누설하지 않는 기능을 가진다.
- [0152] 보호 회로(511)는 배선(551L)과 배선(552L)과의 사이에 설치된다. 보호 회로(511)는 그라운드 전위에 고정된 배선(551L)측에, 서지 전압에 의해 생긴 과전류를 누설한다. 또한, 보호 회로(511)는 배선(552L)에 부여되는 주사 신호 및 데이터 신호 등의 신호의 전위가 변동하지 않을 정도의 저항율을 가진다.
- [0153] 도 8에 나타내는 보호 회로(511)의 절단선 B1-B2에 의한 단면도에서는, 일례로서, 기판(521), 도전층(551), 절연층(532), 절연층(533), 도전층(552), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타내고 있다.
- [0154] 상술한 바와 같이, 보호 회로(511)에서는, 도전층(551)과 도전층(552)과의 사이에 형성되는 절연층(532) 및 절연층(533) 중, 절연층(533)을 제거하고 있다. 따라서, 개구부(553)의 크기를 바꿈으로써, 절연층(532)에 의한 저항율을 제어할 수 있어, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0155] <접속부의 구성>
- [0156] 다음에, 다른 층에 형성되는 도전층들을 접속하는 접속부의 구성예에 대하여 설명한다. 도 9(A)는 도전층(571)과 도전층(572)과의 접속부에 대한 구성예를 나타내는 단면도이다. 또한, 도 9(B)는 도전층(572)과 도전층(573)과의 접속부에 대한 구성예를 나타내는 단면도이다.
- [0157] 도 9(A)에 나타내는 접속부의 단면도에서는, 일례로서, 기판(521), 도전층(571), 절연층(532), 절연층(533), 도전층(572), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타내고 있다.
- [0158] 도전층(571)은 도전층(519) 및 도전층(551)과 같은 층에 형성되는 도전층이다. 도전층(571)으로서는, 도전층(519) 및 도전층(551)과 마찬가지로 형성할 수 있다.
- [0159] 도전층(572)은 도전층(520), 도전층(524) 및 도전층(552)과 같은 층에 형성되는 도전층이다. 도전층(572)으로서는, 도전층(520), 도전층(524) 및 도전층(552)과 마찬가지로 형성할 수 있다.
- [0160] 도전층(571)과 도전층(572)과의 접속부에서는, 도전층(571)과 도전층(572)과의 사이에 형성되는 절연층(532) 및 절연층(533)을 제거하고 있다. 따라서, 도전층(571)과 도전층(572)을 직접 접속할 수 있다.
- [0161] 도 9(B)에 나타내는 접속부의 단면도에서는, 일례로서, 기판(521), 절연층(532), 절연층(533), 도전층(572), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(573), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타내고 있다.
- [0162] 도전층(573)은 도전층(525)과 같은 층에 형성되는 도전층이다. 도전층(573)으로서는, 도전층(525)과 마찬가지로 형성할 수 있다.
- [0163] 도전층(572)과 도전층(573)과의 접속부에서는 도전층(573)과 도전층(572)과의 사이에 형성되는 절연층(534), 절연층(535), 절연층(536) 및 절연층(537)을 제거하고 있다. 따라서, 도전층(572)과 도전층(573)을 직접 접속할 수 있다.
- [0164] <단자부의 구성>
- [0165] 다음에, 단자부(505)의 구성예에 대하여 설명한다. 도 10은 단자부(505)와 FPC(506)와의 접속부에 대한 구성예

를 나타내는 단면도이다.

- [0166] 도 10에 나타내는 단자부의 단면도에서는, 일례로서, 기판(521), 절연층(532), 절연층(533), 트랜지스터(522), 도전층(572), 도전층(574), 절연층(537), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545), 도전층(561), FPC(506)를 나타내고 있다.
- [0167] 도전층(574)은 도전층(526)과 같은 층에 형성되는 도전층이다. 도전층(574)으로서는, 도전층(526)과 마찬가지로 형성할 수 있다.
- [0168] 도전층(561)은 도전층(574)과 FPC(506)를 접촉하여 전기적인 도통 상태로하기 위한 것이다. 도전층(561)으로서는, 일례로서, 이방성 도전막을 형성하는 구성이면 좋다. 이방성 도전막은 열경화성, 또는 열경화성 및 광경화성의 수지에 도전성 입자를 혼합시킨 페이스트상 또는 시트상의 재료를 경화시킨 것이다. 이방성 도전막은 광조사나 열압착에 의해 이방성의 도전성을 나타내는 재료가 된다. 이방성 도전막에 이용되는 도전성 입자로서는, 예를 들면, 구상(球狀)의 유기 수지를 Au나 Ni, Co 등의 박막 형상의 금속으로 피복한 입자를 이용할 수 있다.
- [0169] 도전층(572)과 도전층(574)과의 접속은 배향막(539)을 일부 제거하여 도전층을 통하여 직접 접속하는 구성으로 할 수 있다.
- [0170] <트랜지스터의 제작 방법>
- [0171] 이하, 상술한 트랜지스터(522)를 포함한, 표시 장치의 트랜지스터의 제작 방법을 나타낸다.
- [0172] 도 11(A) 내지 도 12(C)를 이용하여, 트랜지스터(522)의 제작 방법을 설명한다. 도 11(A) 내지 도 12(C)는 화소(518)의 트랜지스터(522)의 제작 방법의 일례를 나타내는 단면도이지만, 게이트 드라이버(502, 503) 및 소스 드라이버(504)가 가지는 트랜지스터도 같은 구성으로 동시에 기판 위에 제작할 수 있다.
- [0173] 또한 도 11(A) 내지 도 12(C)에 설명하는 각 구성에 대하여 먼저 열거한다. 도 11(A) 내지 도 12(C)에서는 기판(400), 도전막(401), 게이트 전극(402), 제 1 절연막(403), 제 2 절연막(404), 산화물 반도체막(405), 섬 형상의 산화물 반도체층(406), 도전막(407), 소스 전극(408), 드레인 전극(409), 절연층(410), 절연층(411), 절연층(412)의 각 구성을 순차로 설명해 간다. 또한, 기판(400)은 도 6(A)에 설명한 기판(521)과 같은 구성이다. 또한, 게이트 전극(402)은 도 6(A)에 설명한 도전층(519)과 같은 구성이다. 또한, 제 1 절연막(403)은 도 6(A)에 설명한 절연층(532)과 같은 구성이다. 또한, 제 2 절연막(404)는 도 6(A)에 설명한 절연층(533)과 같은 구성이다. 또한, 섬 형상의 산화물 반도체층(406)은 도 6(A)에 설명한 반도체층(523)과 같은 구성이다. 또한, 소스 전극(408)은 도 6(A)에 설명한 도전층(520)과 같은 구성이다. 또한, 드레인 전극(409)은 도 6(A)에 설명한 도전층(524)과 같은 구성이다. 또한, 절연층(410)은 도 6(A)에 설명한 절연층(534)과 같은 구성이다. 또한, 절연층(411)은 도 6(A)에 설명한 절연층(535)과 같은 구성이다. 또한, 절연층(412)은 도 6(A)에 설명한 절연층(536)과 같은 구성이다.
- [0174] 도 11(A)에 나타난 바와 같이, 기판(400) 위에, 제 1 층의 배선 및 전극을 구성하는 도전막(401)을 형성한다.
- [0175] 또한 도전막(401)으로서, 예를 들면, 질화 텅스텐막 위에 구리막을 적층한 막이나, 텅스텐 단층막을 형성할 수 있다.
- [0176] 다음에, 도 11(B)에 나타난 바와 같이, 도전막(401)을 가공하여 트랜지스터의 게이트 전극(402)을 형성한다.
- [0177] 게이트 전극(402)을 덮어, 제 1 절연막(403)을 형성한다. 다음에, 제 1 절연막(403) 위에 제 2 층인 제 2 절연막(404)을 형성한다.
- [0178] 제 1 절연막(403) 및 제 2 절연막(404)은 트랜지스터의 게이트 절연막으로서의 기능을 가진다.
- [0179] 예를 들면, 제 1 층을 질화 실리콘막으로 하고, 제 2 층을 산화 실리콘막으로 한 다층막으로 하면 좋다. 제 2 층의 산화 실리콘막은 산화 질화 실리콘막으로 할 수 있다. 또한, 제 1 층의 질화 실리콘막을 질화 산화 실리콘막으로 할 수 있다.
- [0180] 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는 전자 스핀 공명(ESR : Electron Spin Resonance)에서 g값이 2.001의 신호에 유래하는 스핀의 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘막을 이용한다. 산화 실리콘막은 과잉 산소를 가지는 산화 실리콘막을 이용하면 바람직하다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을

이용한다. 수소, 암모니아의 방출량은 TDS(Thermal Desorption Spectroscopy : 승온 이탈 가스 분광법) 분석으로 측정하면 좋다.

- [0181] 질화 실리콘막의 저항율로서는, $10^{10} \Omega \text{cm}$ 이상 $10^{18} \Omega \text{cm}$ 미만, 적합하게는 $10^{11} \Omega \text{cm}$ 이상 $10^{15} \Omega \text{cm}$ 미만이다. 따라서, 제 1 층의 절연막(403)을 질화 실리콘막으로 하는 것이 적합하다.
- [0182] 다음에, 도 11(C)에 나타낸 바와 같이, 제 2 절연막(404) 위에 산화물 반도체막(405)을 형성한다. 여기에서는 산화물 반도체막(405)으로서, 스퍼터링법에 의해 In-Ga-Zn 산화물막을 형성한다.
- [0183] 트랜지스터의 반도체층으로서 이용되는 산화물 반도체로서는, 예를 들면, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.
- [0184] 예를 들면, 원자수비가 In : Ga : Zn=1 : 1 : 1, In : Ga : Zn=3 : 1 : 2, 혹은 In : Ga : Zn=2 : 1 : 3인 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 이용하면 좋다.
- [0185] 반도체층을 구성하는 산화물 반도체막에 수소가 다량으로 포함되면, 산화물 반도체와 결합하는 것에 의해, 수소의 일부가 도너가 되어, 캐리어인 전자를 일으키게 된다. 이것에 의해, 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트하게 된다. 그 때문에, 산화물 반도체막의 형성 후에, 탈수화 처리(탈수소화 처리)를 행하는 산화물 반도체막으로부터, 수소, 또는 수분을 제거하여 불순물이 극력 포함되지 않도록 고순도화하는 것이 바람직하다.
- [0186] 또한, 산화물 반도체막으로서의 탈수화 처리(탈수소화 처리)에 의해, 산화물 반도체막으로부터 산소가 감소하게 되는 경우가 있다. 따라서, 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의해 증가한 산소 결손을 보충하기 위해 산소를 산화물 반도체막에 더하는 처리를 행하는 것이 바람직하다. 본 명세서 등에 있어서, 산화물 반도체막에 산소를 공급하는 경우를 가산소화 처리라고 기재하거나, 또는 산화물 반도체막에 포함되는 산소를 화학량론적 조성보다 많이 하는 경우를 과산소화 처리라고 기재하는 경우가 있다.
- [0187] 이와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의해, 수소 또는 수분이 제거되고, 가산소화 처리에 의해 산소 결손을 보충하는 것에 의해, i형(진성)화 또는 i형에 한없이 가깝고 실질적으로 i형(진성)인 산화물 반도체막으로 할 수 있다. 또한, 실질적으로 진성이란, 산화물 반도체막 중에 도너에 유래하는 캐리어가 매우 적고(제로에 가깝고), 캐리어 밀도가 $1 \times 10^{17} / \text{cm}^3$ 이하, $1 \times 10^{16} / \text{cm}^3$ 이하, $1 \times 10^{15} / \text{cm}^3$ 이하, $1 \times 10^{14} / \text{cm}^3$ 이하, $1 \times 10^{13} / \text{cm}^3$ 이하인 것을 말한다.
- [0188] 또한, 이와 같이, i형 또는 실질적으로 i형인 산화물 반도체막을 구비하는 트랜지스터는 매우 뛰어난 오프 전류 특성을 실현할 수 있다. 예를 들면, 산화물 반도체막을 이용한 트랜지스터가 오프 상태일 때의 드레인 전류를, 실온(25°C 정도)에서 1×10^{-18} A 이하, 바람직하게는 1×10^{-21} A이하, 더욱 바람직하게는 1×10^{-24} A 이하, 또는 85°C에서 1×10^{-15} A 이하, 바람직하게는 1×10^{-18} A 이하, 더욱 바람직하게는 1×10^{-21} A 이하로 할 수 있다. 또한, 트랜지스터가 오프 상태란, n채널형의 트랜지스터의 경우, 게이트 전압이 문턱 전압보다 충분히 작은 상태를 말한다. 구체적으로는 게이트 전압이 문턱 전압보다 1 V 이상, 2 V 이상 또는 3 V 이상 작으면, 트랜지스터는 오프 상태가 된다.
- [0189] 또한, 산화물 반도체막은 비정질 구조, 미결정 구조, 다결정 구조를 포함한 비단결정 구조, 또는 단결정 구조를 가지고 있어도 좋다.
- [0190] 또한, 산화물 반도체막으로서 결정 부분을 가지는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor라고도 함)막을 이용해도 좋다.
- [0191] CAAC-OS막은 완전한 단결정은 아니고, 완전한 비정질도 아니다. 또한, 이 결정부는 한 변이 100 nm 미만의 입

방체 내에 들어가는 크기인 것이 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부와의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 그 때문에, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.

- [0192] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지고, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부간에서, 각각 a축 및 b축의 방향이 차이가 나도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다. 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0193] 또한, CAAC-OS막에 있어서, 결정부의 분포가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써, 이 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0194] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는 성막함으로써, 또는 성막 후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.
- [0195] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기적 특성의 변동을 저감시키는 것이 가능하다. 따라서, 이 트랜지스터는 신뢰성이 높다.
- [0196] 다음에, 도 11(D)에 나타낸 바와 같이, 산화물 반도체막(405)을 가공하여, 섬 형상의 산화물 반도체층(406)을 형성한다.
- [0197] 다음에, 도 12(A)에 나타낸 바와 같이, 트랜지스터의 소스 및 드레인의 전극, 또는 데이터선으로서의 기능을 가지는 도전막(407)을 형성한다. 도전막(407)은 도전막(401)과 마찬가지로 형성할 수 있다. 일례로서는, 도전막(407)을 3층 구조로 한다. 제 1 층, 제 3 층을 티탄막으로 형성하고, 제 2 층을 알루미늄막으로 형성한다. 티탄막, 알루미늄막은 스퍼터링법으로 형성한다.
- [0198] 다음에, 도 12(B)에 나타낸 바와 같이, 도전막(407)을 가공하여, 소스 전극(408), 드레인 전극(409)을 형성한다.
- [0199] 다음에, 도 12(C)에 나타낸 바와 같이, 절연층(410~412)을 형성한다.
- [0200] 또한, 절연층(410) 및 절연층(411)의 한쪽 또는 쌍방을 산화물막으로 한 경우, 화학량론적 조성보다 많은 산소를 포함하는 것이 바람직하다. 이와 같이 함으로써, 섬 형상의 산화물 반도체층(406)으로부터의 산소의 이탈을 방지함과 동시에, 산소 과잉 영역에 포함되는 이 산소를 산화물 반도체막으로 이동시켜, 산소 결손을 보충하는 것이 가능하게 된다.
- [0201] 절연층(411)이 화학량론적 조성보다 많은 산소를 포함한 산화물막인 경우, 절연층(410)은 산소를 투과하는 산화물막인 것이 바람직하다. 또한, 절연층(411)에 있어서, 외부로부터 절연층(411)에 들어간 산소의 일부는 막 중에 머무른다. 또한, 미리 절연층(411)에 포함되어 있는 산소가 외부로 확산하는 경우도 있다. 그 때문에, 절연층(411)은 산소의 확산 계수가 큰 산화 절연막인 것이 바람직하다.
- [0202] 절연층(412)을 절화물 절연막으로 하는 경우, 절연층(410) 및 절연층(411)의 한쪽 또는 쌍방이 질소에 대한 장벽을 가지는 절연막인 것이 바람직하다. 예를 들면, 치밀한 산화물막으로 함으로써 질소에 대한 장벽을 가질 수 있어, 구체적으로는 25℃에서 0.5 중량%의 불화 수소산을 이용한 경우의 예칭 속도가 10 nm/분 이하인 산화물막으로 하는 것이 바람직하다.
- [0203] 절연층(410~412)은 PE-CVD법 또는 스퍼터링법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 또한, 절연층(410~412)은 진공 중에서 연속하여 형성하는 것이 바람직하다. 이와 같이 함으로써, 절연층(410), 절연층(411), 및 절연층(412)의 각각의 계면에 불순물이 혼입하는 것을 억제할 수 있다. 절연층(410)과 절연층(411)

에 이용하는 재료가 동종의 조성인 경우, 절연층(410)과 절연층(411)의 계면이 명확하게 알 수 없는 경우가 있다.

- [0204] 예를 들면, 절연층(410) 및 절연층(411)을, PE-CVD법으로 산화 실리콘막 또는 산화 질화 실리콘막을 형성하는 경우는 이하의 성막 조건으로 성막할 수 있다. 기판을 180℃ 이상 400℃ 이하, 더욱 바람직하게는 200℃ 이상 370℃ 이하로 유지하고, 처리실에 원료 가스인 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 도입하여 처리실 내에서의 압력을 20 Pa 이상 250 Pa 이하, 더욱 바람직하게는 40 Pa 이상 200 Pa 이하로 하여, 처리실 내에 설치된 전극에 고주파 전력을 공급하는 조건이다.
- [0205] 예를 들면, 절연층(412)으로서, 수소 함유량이 적은 질화 실리콘막을 PE-CVD 장치로 형성하는 경우, 다음의 조건으로 성막할 수 있다. 기판을 80℃ 이상 400℃ 이하, 더욱 바람직하게는 200℃ 이상 370℃ 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하로 하고, 바람직하게는 100 Pa 이상 200 Pa 이하로 하여, 처리실 내에 설치된 전극에 고주파 전력을 공급한다.
- [0206] 또한, 절연층(411)을 형성한 후에 가열 처리를 행하고, 절연층(410) 또는 절연층(411)에 포함되는 과잉 산소를 섬 형상의 산화물 반도체층(406)에 이동시켜, 섬 형상의 산화물 반도체층(406)의 산소 결손을 보충하는 것이 바람직하다. 또한, 이 가열 처리는 섬 형상의 산화물 반도체층(406)의 탈수소화 또는 탈수화를 행하는 가열 처리로서 행하면 좋다.
- [0207] 이상이 트랜지스터(522)를 포함한, 표시 장치의 트랜지스터의 제작 방법이다.
- [0208] 또한 도 11(A) 내지 도 12(C)에서의 설명에서는 섬 형상의 산화물 반도체층(406)을 단층의 구조로서 나타냈지만, 2층 이상의 다층막의 산화물 반도체층으로 할 수도 있다.
- [0209] 일례로서는, 도 13(A)에 나타난 바와 같이 산화물 반도체층(413) 및 산화물 반도체층(414)의 2층에 의한 섬 형상의 산화물 반도체층(406)으로 하는 구성으로 해도 좋다.
- [0210] 또 다른 일례로서는, 도 13(B)에 나타난 바와 같이 산화물 반도체층(413), 산화물 반도체층(414), 및 산화물 반도체층(415)의 3층에 의한 섬 형상의 산화물 반도체층(406)으로 하는 구성으로 해도 좋다.
- [0211] 여기서, 도 13(A), 도 13(B)에 도시한 산화물 적층의 상세한 사항에 대하여, 도 50(A) 내지 도 50(C)을 이용하여 상세하게 설명하기로 한다. 또한, 산화물 적층의 예로서 여기에서는, 도 13(A)에 도시한 2층의 산화물 반도체층을 적층하는 경우에 대한 설명을 행한다. 또한, 이하에서는 도 13(A)에 설명한 섬 형상의 산화물 반도체층(406)을, 설명을 위해 산화물 적층(406s)으로 대체하고, 산화물 반도체층(414)을 산화물층(414s)이라고 대체하여 설명을 한다.
- [0212] 도 50(A)은 산화물 적층(406s)의 확대도이다. 산화물 적층(406s)은 산화물 반도체층(413)과 산화물층(414s)을 가진다.
- [0213] 산화물 반도체층(413)은 적어도 인듐(In), 아연(Zn) 및 M(Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)을 포함한 In-M-Zn 산화물로 표기되는 층을 포함하는 것이 바람직하다.
- [0214] 산화물층(414s)은 산화물 반도체층(413)을 구성하는 원소의 일종 이상으로 구성되고, 전도대 하단의 에너지가 산화물 반도체층(413)보다 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상 또는 0.15 eV 이상이고, 2 eV 이하, 1 eV 이하, 0.5 eV 이하 또는 0.4 eV 이하의 진공 준위에 가까운 산화물막이다. 이때, 게이트 전극(402)에 전계를 인가하면, 산화물 적층(406s) 중, 전도대 하단의 에너지가 작은 산화물 반도체층(413)에 채널이 형성된다. 즉, 산화물 반도체층(413)과 절연층(410)과의 사이에 산화물층(414s)을 가지는 것에 의해, 트랜지스터의 채널을 절연층(410)과 접하지 않는 산화물 반도체층(413)을 형성할 수 있다. 또한, 산화물 반도체층(413)을 구성하는 원소의 일종 이상으로부터 산화물층(414s)이 구성되기 때문에, 산화물 반도체층(413)과 산화물층(414s)과의 사이에서 계면 산란이 일어나기 어렵다. 따라서, 산화물 반도체층(413)과 산화물층(414s)과의 사이에서, 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다. 또한, 산화물 반도체층(413)과 산화물층(414s)과의 사이에 계면 준위를 형성하기 어렵다. 산화물 반도체층(413)과 산화물층(414s)과의 사이에 계면 준위가 있으면, 이 계면을 채널로 한, 문턱 전압이 다른 제 2 트랜지스터가 형성되고, 트랜지스터의 외관상의 문턱 전압이 변동하는 경우가 있다. 따라서, 산화물층(414s)을 형성하는 것에 의해, 트랜지스터의 문턱 전압 등의 전기 특성의 편차를 저감할 수 있다.
- [0215] 산화물층(414s)으로서, In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)로 표기되고, 산화물 반도체층(413)보다 M의 원자수비가 높은 산화물층을 포함한다. 구체적으로는 산화물층(414s)으로

서, 산화물 반도체층(413)보다 상술한 원소를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상 높은 원자수비로 포함한 산화물층을 이용한다. 상술한 원소는 인듐보다 산소와 강하게 결합하기 때문에, 산소 결손이 산화물층에 생기는 것을 억제하는 기능을 가진다. 즉, 산화물층(414s)은 산화물 반도체층(413)보다 산소 결손이 생기기 어려운 산화물층이다.

[0216] 즉, 산화물 반도체층(413), 산화물층(414s)이 적어도 인듐, 아연 및 M(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)을 포함한 In-M-Zn 산화물일 때 산화물층(414s)을 In : M : Zn= $x_1 : y_1 : z_1$ [원자수비], 산화물 반도체층(413)을 In : M : Zn= $x_2 : y_2 : z_2$ [원자수비]로 하면, y_1/x_1 이 y_2/x_2 보다 커지는 것이 바람직하다. y_1/x_1 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상으로 한다. 이때, 산화물 반도체층(413)에서, y_2 가 x_2 이상이면, 트랜지스터의 전기 특성을 안정시킬 수 있다. 단, y_2 가 x_2 의 3배 이상이면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 이상 x_2 의 3배 미만인 것이 바람직하다.

[0217] 또한, 산화물 반도체층(413)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 25 atomic% 이상, M이 75 atomic% 미만, 더욱 바람직하게는 In이 34 atomic% 이상, M이 66 atomic% 미만으로 한다. 또한, 산화물층(414s)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 50 atomic% 미만, M이 50 atomic% 이상, 더욱 바람직하게는 In이 25 atomic% 미만, M이 75 atomic% 이상으로 한다.

[0218] 산화물 반도체층(413), 및 산화물층(414s)에는 예를 들면, 인듐, 아연 및 갈륨을 포함한 산화물 반도체를 이용할 수 있다. 구체적으로는 산화물 반도체층(413)으로서는, In : Ga : Zn=1 : 1 : 1[원자수비]인 In-Ga-Zn 산화물, In : Ga : Zn=3 : 1 : 2[원자수비]인 In-Ga-Zn 산화물, 또는 그 근방의 조성을 가지는 산화물을 이용할 수 있고, 산화물층(414s)으로서는, In : Ga : Zn=1 : 3 : 2[원자수비]인 In-Ga-Zn 산화물, In : Ga : Zn=1 : 6 : 4[원자수비]인 In-Ga-Zn 산화물, In : Ga : Zn=1 : 9 : 6[원자수비]인 In-Ga-Zn 산화물, 또는 그 근방의 조성을 가지는 산화물을 이용할 수 있다.

[0219] 또한, 산화물 반도체층(413)의 두께는 3 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 100 nm 이하, 더욱 바람직하게는 3 nm 이상 50 nm 이하로 한다. 또한, 산화물층(414s)의 두께는 3 nm 이상 100 nm 이하, 바람직하게는 3 nm 이상 50 nm 이하로 한다.

[0220] 다음에, 산화물 적층(406s)의 밴드 구조에 대하여, 도 50(B), 도 50(C)을 이용하여 설명한다.

[0221] 예를 들면, 산화물 반도체층(413)으로서 에너지 갭이 3.15 eV인 In-Ga-Zn 산화물을 이용하고, 산화물층(414s)으로서 에너지 갭이 3.5 eV인 In-Ga-Zn 산화물로 한다. 에너지 갭은 분광 타원 해석기(HORIBA JOBIN YVON사, UT-300)를 이용하여 측정했다.

[0222] 산화물 반도체층(413) 및 산화물층(414s)의 진공 준위와 가전자대 상단의 에너지차(이온화 퍼텐셜이라고도 함)는 각각 8 eV 및 8.2 eV였다. 또한, 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS : Ultraviolet Photoelectron Spectroscopy) 장치(PHI사, VersaProbe)를 이용하여 측정했다.

[0223] 따라서, 산화물 반도체층(413) 및 산화물층(414s)의 진공 준위와 전도대 하단의 에너지차(전자 친화력이라고도 함)는 각각 4.85 eV 및 4.7 eV였다.

[0224] 도 50(B)은 산화물 적층(406s)의 밴드 구조의 일부를 모식적으로 나타내고 있다. 여기에서는 산화물 적층(406s)에 산화 실리콘막을 접하여 형성한 경우에 대하여 설명한다. 또한, 도 50(B)에 나타내는 Ec11은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체층(413)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물층(414s)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, Ec11은 도 13(A)에서, 제 2 절연층(404)에 상당하고, EcI2는 도 13(A)에서, 절연층(410)에 상당한다.

[0225] 도 50(B)에 나타낸 바와 같이, 산화물 반도체층(413) 및 산화물층(414s)에서, 전도대 하단의 에너지는 장벽이 없이 완만하게 변화한다. 바꿔 말하면, 연속적으로 변화한다고도 할 수 있다. 이것은 산화물층(414s)은 산화물 반도체층(413)과 공통의 원소를 포함하고, 산화물 반도체층(413) 및 산화물층(414s)의 사이에, 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0226] 도 50(B)으로부터, 산화물 적층(406s)의 산화물 반도체층(413)이 웰(well)이 되고, 산화물 적층(406s)을 이용한 트랜지스터에서, 채널 영역이 산화물 반도체층(413)에 형성되는 것을 알 수 있다. 또한, 산화물 적층(406s)은 전도대 하단의 에너지가 연속적으로 변화하고 있기 때문에, 산화물 반도체층(413)과 산화물층(414s)이 연속 접

합하고 있다고도 할 수 있다.

- [0227] 또한, 도 50(B)에 나타낸 바와 같이, 산화물층(414s)과 절연층(410)과의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있지만, 산화물층(414s)이 형성됨으로써, 산화물 반도체층(413)과 이 트랩 준위를 멀리할 수 있다. 단, EcS1과 EcS2와의 에너지차가 작은 경우, 산화물 반도체층(413)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 일이 있다. 트랩 준위에 전자가 포획됨으로써, 절연층과의 계면 근방에 마이너스의 전하가 생겨, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다. 따라서, EcS1과 EcS2와의 에너지차를 0.1 eV 이상, 바람직하게는 0.15 eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되어, 안정된 전기 특성이 되기 때문에 적합하다.
- [0228] 도 50(C)은 산화물 적층(406s)의 밴드 구조의 일부를 모식적으로 나타내고, 도 50(B)에 나타내는 밴드 구조의 변형예이다. 여기에서는 산화물 적층(406s)에 산화 실리콘막을 접하여 형성한 경우에 대하여 설명한다. 또한, 도 50(C)에 나타내는 EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체층(413)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, EcI1은 도 13(A)에서 제 2 절연층(404)에 상당하고, EcI2는 도 13(A)에서 절연층(410)에 상당한다.
- [0229] 도 13(A)에 나타내는 트랜지스터에 있어서, 소스 전극(408), 드레인 전극(409)의 형성시에 산화물 적층(406s)의 상방, 즉 산화물층(414s)이 에칭되는 경우가 있다. 그러나, 산화물 반도체층(413)의 상면은 산화물층(414s)의 성막시에 산화물 반도체층(413)과 산화물층(414s)의 혼합층이 형성되는 경우가 있다.
- [0230] 예를 들면, 산화물 반도체층(413)이 In:Ga:Zn=1:1:1[원자수비]인 In-Ga-Zn 산화물, 또는 In:Ga:Zn=3:1:2[원자수비]인 In-Ga-Zn 산화물이며, 산화물층(414s)이 In:Ga:Zn=1:3:2[원자수비]인 In-Ga-Zn 산화물, 또는 In:Ga:Zn=1:6:4[원자수비]인 In-Ga-Zn 산화물인 경우, 산화물 반도체층(413)보다 산화물층(414s)의 Ga의 함유량이 많기 때문에, 산화물 반도체층(413)의 상면에는 GaOx층 또는 산화물 반도체층(413)보다 Ga를 많이 포함한 혼합층이 형성될 수 있다.
- [0231] 따라서, 산화물층(414s)이 에칭된 경우에도, EcS1의 EcI2측의 전도대 하단의 에너지가 높아져, 도 50(C)에 나타내는 밴드 구조와 같이 되는 경우가 있다.
- [0232] <화소부, 보호 회로, 접속부의 제작 방법>
- [0233] 다음에, 도 14(A) 내지 도 17(B)을 참조하여, 기판(521) 위에, 화소부(581), 보호 회로(582) 및 접속부(583)를 제작하는 공정을 설명한다.
- [0234] 우선, 도 14(A)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 기판(521) 위에 도전층(519), 도전층(551) 및 도전층(571)을 형성한다. 도전층(519), 도전층(551) 및 도전층(571)은 제 1 포토마스크를 이용하여, 레지스트로 이루어지는 마스크(이하, 레지스트 마스크라고 부름)를 도전막 위에 형성하고, 이 도전막을 에칭하여 형성된다. 그리고, 도전층(519), 도전층(551) 및 도전층(571)의 형성 후, 레지스트 마스크를 제거한다.
- [0235] 다음에, 도전층(519), 도전층(551) 및 도전층(571) 위에 절연층(532) 및 절연층(533)을 형성한다. 그리고, 도 14(B)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 절연층(533) 위에 반도체층(523)을 형성한다. 반도체층(523)은 제 2 포토마스크를 이용하여, 레지스트 마스크를 반도체막 위에 형성하고, 이 반도체막을 에칭하여 형성된다. 그리고, 반도체층(523)의 형성 후, 레지스트 마스크를 제거한다.
- [0236] 다음에, 절연층(532)에 개구부(584), 절연층(532) 및 절연층(533)에 개구부(585)를 형성한다. 구체적으로는 도 14(C)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 보호 회로(582)에 절연층(532)은 잔존한 개구부(584), 접속부(583)에 절연층(532) 및 절연층(533)이 제거된 개구부(585)를 형성할 수 있다. 개구부(584) 및 개구부(585)는 제 3 포토마스크를 이용하여, 다른 두께를 가지는 레지스트 마스크를 절연층(533) 위에 형성하고, 절연층(533) 및/또는 절연층(532)을 에칭하여 형성된다. 그리고, 개구부(584) 및 개구부(585)의 형성 후, 레지스트 마스크를 제거한다.
- [0237] 개구부(584), 개구부(585)의 형성에 있어서의 마스크의 형성은 다계조 마스크를 이용할 수 있다. 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행할 수 있는 마스크이며, 투과한 광이 복수의 강도가 되는 노광 마스크이다. 한 번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 형성하는 것이 가능하다. 따라서, 다계조 마스크를 이용함으로써, 노광 마스크의 매수를 삭감하는 것이 가능하다. 다계조 마스크로서는, 예를 들면, 하프톤 마스크, 또는 그레이톤 마스크

등을 들 수 있다.

- [0238] 다계조 마스크를 이용하는 것에 의해, 개구부(584, 585)는 각각 깊이 방향이 다른 개구부로 할 수 있다. 이것에 의해, 개구부(584)는 절연층(532)이 노출되어, 개구부(585)는 도전층(519)이 노출된 구조로 할 수 있다. 또한, 개구부(584, 585)의 형성 방법은 이것에 한정되지 않고, 예를 들면, 다른 마스크를 이용하여 행하여도 좋다.
- [0239] 이것에 의해, 화소부(581)에 형성된 절연층(532, 533)은 적층의 게이트 절연층으로서 기능할 수 있다. 또한, 보호 회로(582)에 형성된 절연층(532)은 저항 소자로서 기능할 수 있다. 또한, 접속부(583)의 절연층(532, 533)은 도전층들을 직접 접속하기 위해 제거하는 구성으로 할 수 있다. 즉, 본 실시형태에 나타내는 표시 장치는 화소부(581), 및 보호 회로(582) 및 접속부(583)를 같은 공정 내에서 형성할 수 있다. 따라서, 제조 비용 등을 늘리지 않고 표시 장치를 형성하는 것이 가능하게 된다.
- [0240] 다음에, 반도체층(523), 도전층(571), 절연층(532), 및 절연층(533) 위에 도전막을 형성한다. 그리고, 도 15(A)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 반도체층(523), 도전층(571), 절연층(532), 및 절연층(533) 위에, 도전층(520), 도전층(524), 도전층(552), 및 도전층(571)을 형성한다. 도전층(520), 도전층(524), 도전층(552), 및 도전층(571)은 제 4 포토마스크를 이용하여, 레지스트 마스크를 도전막 위에 형성하고, 이 도전막을 에칭 하여 형성된다. 그리고, 도전층(520), 도전층(524), 도전층(552), 및 도전층(571)의 형성 후, 레지스트 마스크를 제거한다.
- [0241] 다음에, 도전층(520), 도전층(524), 도전층(552), 도전층(571), 및 절연층(533) 위에, 절연층(534), 절연층(535), 절연층(536), 및 절연층(537)을 형성한다. 그리고, 도 15(B)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 화소부(581)에서, 도전층(524)에 이르는 개구부(585)를 형성한다. 개구부(585)는 제 5 포토마스크를 이용하여, 레지스트 마스크를 절연층(537) 위에 형성하고, 절연층(534), 절연층(535), 절연층(536) 및 절연층(537)을 에칭하여 형성된다. 그리고, 개구부(585)의 형성 후, 레지스트 마스크를 제거한다.
- [0242] 또한, 포토마스크가 1개 증가하게 되지만, 절연층(537)에 개구부를 형성하기 위한 포토마스크와, 절연층(534), 절연층(535), 및 절연층(536)에 콘택트홀을 형성하기 위한 포토마스크를 다른 마스크로 할 수도 있다.
- [0243] 다음에, 도전층(524) 및 절연층(537) 위에 도전막을 형성한다. 그리고, 도 16(A)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 절연층(537) 위에 도전층(525)을 형성한다. 도전층(525)은 제 6 포토마스크를 이용하여, 레지스트 마스크를 도전막 위에 형성하고, 이 도전막을 에칭하여 형성된다. 그리고, 도전층(525)의 형성 후, 레지스트 마스크를 제거한다.
- [0244] 또한, 도전층(525)의 형성에 의해, 이 도전층(525)과 같은 층에 형성되는 도전층과, 다른 층에 형성되는 도전층을 직접 접속하기 위해 접속부를 형성하는 구성으로 해도 좋다. 이 경우, 제 5 포토마스크에 의해 소정의 장소에 미리 개구부를 형성해 두는 구성으로 하는 것이 적합하다. 또는, 도전층(525)의 형성에 의해, 다른 층에 형성된 복수의 도전층들과 서로 직접 접속되는 구성으로 해도 좋다. 이 경우, 같은 포토마스크를 이용하여 일괄 개구한 개구부를 이용하여 다른 도전층들을 전기적으로 접속하는 구성으로 할 수 있기 때문에, 사용하는 포토마스크의 수를 삭감할 수 있다.
- [0245] 다음에, 도전층(524), 도전층(525), 및 절연층(537) 위에 절연층(538)을 형성한다. 그리고, 도 16(B)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 화소부(581)에서, 도전층(524)에 이르는 개구부(586)를 형성한다. 개구부(586)는 제 7 포토마스크를 이용하여, 레지스트 마스크를 절연층(538) 위에 형성하고, 절연층(538)을 에칭하여 형성된다. 그리고, 개구부(586)의 형성 후, 레지스트 마스크를 제거한다.
- [0246] 다음에, 도전층(524) 및 절연층(538) 위에 도전막을 형성한다. 그리고, 도 17(A)에 나타낸 바와 같이, 포토리소그래피 공정과 에칭 공정에 의해, 도전층(524) 및 절연층(538) 위에 도전층(526)을 형성한다. 도전층(526)은 제 8 포토마스크를 이용하여, 레지스트 마스크를 도전막 위에 형성하고, 이 도전막을 에칭하여 형성된다. 그리고, 도전층(526)의 형성 후, 레지스트 마스크를 제거한다.
- [0247] 또한, 도전층(526)의 형성에 의해, 이 도전층(526)과 같은 층에 형성되는 도전층과, 다른 층에 형성되는 도전층을 직접 접속하기 위해 접속부를 형성하는 구성으로 해도 좋다. 이 경우, 제 7 포토마스크에 의해 소정의 장소에 미리 개구부를 형성해 두는 구성으로 하는 것이 적합하다. 또는, 도전층(526)의 형성에 의해, 다른 층에 형성된 복수의 도전층들과 서로 직접 접속되는 구성으로 해도 좋다. 이 경우, 같은 포토마스크를 이용하여 일괄 개구한 개구부를 이용하여 다른 도전층들을 전기적으로 접속하는 구성으로 할 수 있기 때문에, 사용하는 포토마

스크의 수를 삭감할 수 있다.

- [0248] 도 17(B)에 나타낸 바와 같이, 도전층(526) 및 절연층(538) 위에 배향막(539)을 형성한다. 배향막(539)은 폴리이미드 수지를 인쇄법 등에 의해, 도전층(526) 및 절연층(538) 위에 도포하고, 소성하여 형성한다. 배향막(539)에 러빙이나 광 조사에 의해 배향 처리를 할 수 있다.
- [0249] 또한 도시하지 않았지만, 배향막(539) 위에는 셀 갭을 유지하기 위한 스페이서를 형성한다. 스페이서는 배향막(539) 위에, 감광성 경화 수지제를 도포하고, 제 9 포토마스크를 통하여 수지제를 노광하고, 현상 처리하여, 수지로 이루어지는 스페이서를 각 화소에 형성한다.
- [0250] 다음에, 기관(521)에 대향하여 설치되는 기관(541) 위에 형성되는 구조에 대하여, 도시를 생략하였지만, 여기서 간단하게 설명을 행한다.
- [0251] 기관(541) 위에, 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544)를 제작한다. 또한, 블랙 매트릭스(542) 및 컬러 필터(543)는 기관(521)측에 형성할 수도 있다. 오버코트(544)에는 배향막(545)이 형성된다.
- [0252] 다음에, 기관(521)과 기관(541)과의 사이에 액정층(540)을 형성한다. 액정층(540)의 형성 방법으로는, 디스펜서법(적하법)이나, 기관(521)과 기관(541)을 부착시키고 나서 모세관 현상을 이용하여 액정을 주입하는 주입법을 이용할 수 있다.
- [0253] 이상의 셀 공정을 거쳐, 액정층(540)이 봉지된 액정 패널을 제작할 수 있다.
- [0254] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0255] (실시형태 3)
- [0256] 본 실시형태에서는 상기 실시형태 2에 설명한, 수평 전계 방식의 액정 표시 장치의 각 구성에 대한 변형예에 대하여 설명한다.
- [0257] <화소의 변형예의 구성>
- [0258] 도 18에 나타낸 바와 같이 도전층(526)이 트랜지스터(522)에 중첩하도록 형성하는 구성으로 해도 좋다.
- [0259] <보호 회로의 변형예의 구성>
- [0260] 다음에, 보호 회로(511)의 변형예에 대하여 설명한다. 도 19(A)는 보호 회로의 구성예를 나타내는 평면도이며, 도 19(B)는 도 19(A)의 절단선 B3-B4에 의한 단면도이다.
- [0261] 도 19(A)에 나타내는 보호 회로(511)의 평면도에서는, 일레로서, 도전층(552), 도전성을 가지는 층(이하, 도전층(554)), 반도체층(555)을 나타낸다.
- [0262] 도전층(554)은 서지 전압에 의한 과전류를 누설하기 위한 배선이다. 도전층(554)은 일레로서 그라운드 전위(GND)에 고정되어 있다. 도전층(554)으로서는, 도전층(520)과 마찬가지로 형성할 수 있다.
- [0263] 반도체층(555)은 반도체 특성을 가지는 층이다. 반도체층(555)으로서는, 반도체층(523)과 마찬가지로 형성할 수 있다.
- [0264] 도 19(A)에 나타내는 보호 회로(511)는 바꿔 말하면, 한쌍의 전극간에 반도체층(555)을 협지한 구조이며, 반도체층(555)의 저항율을 제어하는 것에 의해, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0265] 이와 같이 도 19(A)에 나타내는 보호 회로(511)를 형성하는 것에 의해, 화소부(501), 게이트 드라이버(502, 503) 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0266] 도 19(B)에 나타내는 보호 회로(511)의 절단선 B3-B4에 의한 단면도에서는, 일레로서, 기관(521), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 도전층(554), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타낸다.
- [0267] 상술한 바와 같이, 보호 회로(511)에서는 도전층(552)과 도전층(554)과의 사이에 반도체층(555)을 형성하는 구

성으로 하고 있다. 따라서, 화소부(501), 게이트 드라이버(502, 503) 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.

- [0268] 또한, 보호 회로(511)의 다른 구성예에 대하여 설명한다. 도 20(A)은 보호 회로의 구성예를 나타내는 평면도이며, 도 20(B)은 도 20(A)의 절단선 B5-B6에 의한 단면도이다.
- [0269] 도 20(A)에 나타내는 보호 회로(511)의 평면도에서는, 일례로서, 도전층(552), 도전층(554), 반도체층(555), 도전층(556), 도전층(557)을 나타낸다.
- [0270] 도전층(556) 및 도전층(557)은 도전층(552)과 반도체층(555), 및 도전층(554)과 반도체층(555)을 접속하기 위한 배선이다. 도전층(556) 및 도전층(557)으로서는, 도전층(525)과 마찬가지로 형성할 수 있다.
- [0271] 도 20(A)에 나타내는 보호 회로(511)는 바꿔 말하면, 한쌍의 전극간에 도전층(556), 반도체층(555), 및 도전층(557)을 협지한 구조이며, 반도체층(555)의 저항율을 제어하는 것에 의해, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0272] 이와 같이 도 20(A)에 나타내는 보호 회로(511)를 형성하는 것에 의해, 화소부(501), 게이트 드라이버(502, 503), 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0273] 도 20(B)에 나타내는 보호 회로(511)의 절단선 B5-B6에 의한 단면도에서는, 일례로서, 기판(521), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 도전층(554), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(556), 도전층(557), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타낸다.
- [0274] 상술한 바와 같이, 보호 회로(511)에서는 도전층(552)과 도전층(554)과의 사이에 도전층(556), 도전층(557), 및 반도체층(555)을 형성하는 구성으로 하고 있다. 그 때문에, 화소부(501), 게이트 드라이버(502, 503) 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0275] 또한, 보호 회로(511)의 다른 구성예에 대하여 설명한다. 도 21(A)은 보호 회로의 구성예를 나타내는 평면도이며, 도 21(B)은 도 21(A)의 절단선 B7-B8에 의한 단면도이다.
- [0276] 도 21(A)에 나타내는 보호 회로(511)의 평면도에서는, 일례로서, 도전층(552), 도전층(554), 반도체층(555), 도전층(558), 도전층(559)을 나타낸다.
- [0277] 도전층(558) 및 도전층(559)은 도전층(552)과 반도체층(555), 및 도전층(554)과 반도체층(555)을 접속하기 위한 배선이다. 도전층(558) 및 도전층(559)으로서는, 도전층(526)과 마찬가지로 형성할 수 있다.
- [0278] 도 21(A)에 나타내는 보호 회로(511)는 바꿔 말하면, 한쌍의 전극간에 도전층(558), 반도체층(555) 및 도전층(559)을 협지한 구조이며, 반도체층(555)의 저항율을 제어하는 것에 의해, 한쌍의 전극의 한쪽에 과전류가 흐른 경우에, 다른 한쪽의 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.
- [0279] 이와 같이 도 21(A)에 나타내는 보호 회로(511)를 형성하는 것에 의해, 화소부(501), 게이트 드라이버(502, 503), 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0280] 도 21(B)에 나타내는 보호 회로(511)의 절단선 B7-B8에 의한 단면도에서는, 일례로서, 기판(521), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 도전층(554), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(558), 도전층(559), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타낸다.
- [0281] 상술한 바와 같이, 보호 회로(511)에서는 도전층(552)과 도전층(554)과의 사이에 도전층(558), 도전층(559) 및 반도체층(555)을 형성하는 구성으로 하고 있다. 따라서, 화소부(501), 게이트 드라이버(502, 503), 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0282] 또한 도 19(A), 도 20(A) 및 도 21(A)에 나타낸 보호 회로의 평면도에 있어서, 반도체층의 형상은 도 22(A), 도

22(B)에 나타내는 바와 같은 미앤더(meander) 형상으로 할 수도 있다.

- [0283] 또한, 보호 회로(511)의 다른 구성예에 대하여 설명한다. 도 23(A), 도 23(B)는 보호 회로의 구성예를 나타내는 단면도이다.
- [0284] 도 23(A)에 나타내는 보호 회로(511)의 단면도에서는, 일례로서, 기관(521), 절연층(532), 절연층(533), 도전층(551), 도전층(552), 반도체층(555), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(558), 도전층(559), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타낸다.
- [0285] 상술한 바와 같이, 보호 회로(511)에서는 도전층(552)과 도전층(551)과의 사이에 반도체층(555) 및 도전층(525)을 형성하는 구성으로 하고 있다. 그 때문에, 화소부(501), 게이트 드라이버(502, 503) 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0286] 도 23(B)에 나타내는 보호 회로(511)의 단면도에서는 일례로서, 기관(521), 절연층(532), 절연층(533), 도전층(551), 도전층(552), 반도체층(555), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(526), 도전층(558), 도전층(559), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 오버코트(544), 배향막(545)을 나타낸다.
- [0287] 상술한 바와 같이, 보호 회로(511)에서는 도전층(552)과 도전층(551)과의 사이에 반도체층(555) 및 도전층(526)을 형성하는 구성으로 하고 있다. 그 때문에 화소부(501), 게이트 드라이버(502, 503) 및 소스 드라이버(504)는 ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 신규 표시 장치를 제공할 수 있다.
- [0288] 또한, 도 24(A), 도 24(B), 도 24(C)는 보호 회로(511)로서 이용할 수 있는 회로 구성의 일례를 나타내고 있다.
- [0289] 도 24(A)에 나타내는 회로 구성은 배선(351, 352, 381)과 트랜지스터(302, 304)를 가지는 구성이다.
- [0290] 트랜지스터(302)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(351)과 접속되어 있다. 또한, 트랜지스터(302)의 제 1 단자는 배선(381)과 접속되어 있다. 트랜지스터(304)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(352)과 접속되어 있다. 또한, 트랜지스터(304)의 제 1 단자는 배선(381)과 접속되어 있다.
- [0291] 도 24(B)에 나타내는 회로 구성은 배선(353, 354, 382, 383, 384)과 트랜지스터(306, 308, 310, 312)를 가지는 구성이다.
- [0292] 트랜지스터(306)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(383)과 접속되어 있다. 또한, 트랜지스터(306)의 제 1 단자는 배선(382)과 접속되어 있다.
- [0293] 트랜지스터(308)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(384)과 접속되어 있다. 또한, 트랜지스터(308)의 제 1 단자는 배선(383)과 접속되어 있다.
- [0294] 트랜지스터(310)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(382)과 접속되어 있다. 또한, 트랜지스터(310)의 제 1 단자는 배선(383)과 접속되어 있다.
- [0295] 트랜지스터(312)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(383)과 접속되어 있다. 또한, 트랜지스터(312)의 제 1 단자는 배선(384)과 접속되어 있다.
- [0296] 도 24(C)에 나타내는 회로 구성은 배선(355, 356, 385, 386)과 트랜지스터(314, 316)를 가지는 구성이다.
- [0297] 트랜지스터(314)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(385)과 접속되어 있다. 또한, 트랜지스터(314)의 제 1 단자는 배선(386)과 접속되어 있다.

- [0298] 트랜지스터(316)는 소스 전극으로서 기능하는 제 1 단자가 게이트 전극으로서 기능하는 제 2 단자와 접속되어 있고, 드레인 전극으로서 기능하는 제 3 단자가 배선(386)과 접속되어 있다. 또한, 트랜지스터(316)의 제 1 단자는 배선(385)과 접속되어 있다.
- [0299] 본 발명의 일 양태에 이용할 수 있는 보호 회로(511)는 도 24(A), 도 24(B), 도 24(C)에 나타내는 회로 구성과 같이 다이오드 접속된 트랜지스터를 사용할 수도 있다.
- [0300] 또한, 도 24(A), 도 24(B), 도 24(C)에 나타내는 회로 구성에 있어서, 소스 전극으로서 기능하는 제 1 단자와 게이트 전극으로서 기능하는 제 2 단자와의 접속은 도 25에 나타내는 단면 모식도의 구성으로 함으로써, 임의의 저항율을 제어하는 것이 가능하게 된다.
- [0301] 도 25(A)는 보호 회로(511)로서 이용할 수 있는 저항 소자를 나타낸다. 또한, 도 25(A)에 나타내는 저항 소자의 단면도에서는 기판(521), 도전층(551), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 절연층(534), 절연층(535), 절연층(536), 절연층(537) 및 도전층(556)을 나타낸다.
- [0302] 도 25(B)는 보호 회로(511)로서 이용할 수 있는 저항 소자를 나타낸다. 또한, 도 25(B)에 나타내는 저항 소자의 단면도에서는, 기판(521), 도전층(551), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(556), 및 도전층(557)을 나타낸다.
- [0303] 도 25(C)는 보호 회로(511)로서 이용할 수 있는 저항 소자를 나타낸다. 또한, 도 25(C)에 나타내는 저항 소자의 단면도에서는, 기판(521), 도전층(551), 절연층(532), 절연층(533), 반도체층(555), 도전층(552), 도전층(554), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(556) 및 도전층(557)을 나타낸다.
- [0304] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0305] <트랜지스터의 변형예의 구성>
- [0306] 다음에, 트랜지스터(522)의 변형예에 대하여 설명한다.
- [0307] 이하, 상술한 트랜지스터(522)를 포함한 표시 장치의 트랜지스터의 제작 방법을 나타낸다.
- [0308] 도 26(A) 내지 도 27(C)을 이용하여, 트랜지스터(522)의 제작 방법을 설명한다.
- [0309] 도 26(A) 내지 도 27(C)에 나타내는 제작 방법이, 도 11(A) 내지 도 12(C)에 나타내는 제작 방법과 다른 점은 게이트 전극(402)의 채널 길이 방향의 길이 L1을 산화물 반도체층의 채널 길이 방향의 길이 L2보다 크게 하는 점(L1>L2), 및 섬 형상의 산화물 반도체층(406)을 형성하는 공정에서, 제 2 절연막(404)을 동시에 가공하여 제 2 절연층(416)으로 하는 점에 있다. 이 구성으로 함으로써, 소스 전극(408)(또는 드레인 전극(409))과 게이트 전극(402)과의 사이에 보호 회로가 되는 저항 소자를 형성할 수 있다.
- [0310] 도 26(D)에 나타내는 바와 같은 게이트 전극(402)의 채널 길이 방향의 길이 L1을 산화물 반도체층의 채널 길이 방향의 길이 L2보다 크게 하는 경우, 미리 게이트 전극(402)을 가공하는 시점에서, 채널 길이 방향의 길이 L1을 크게 하여 가공을 행하면 좋다.
- [0311] 또한, 도 26(D)에 나타내는 바와 같은 섬 형상의 산화물 반도체층(406) 및 제 2 절연층(416)으로 하는 경우, 섬 형상의 산화물 반도체층(406)을 가공할 때의 레지스트 마스크를 잔존한 상태로 등방성 에칭을 실시하여, 제 2 절연층(416)의 일부를 제거하는 구성으로 하면 좋다. 이 경우, 제 2 절연층(416)의 에칭과 함께, 섬 형상의 산화물 반도체층(406)의 단부가 에칭되어, 섬 형상의 산화물 반도체층(406)의 설계에 의한 치수보다 작아지게 된다.
- [0312] 또한, 도 26(A) 내지 도 27(C)에 나타내는 제작 방법으로 제작되는 트랜지스터(522)를 구비하는 화소(518)의 구성은 도 28(A), 도 28(B)과 같이 된다. 도 28(A)은 화소의 구성예를 나타내는 평면도이며, 도 28(B)은 도 28(A)의 절단선 A7-A8에 의한 단면도이다.
- [0313] <액정 표시 장치의 단면도에 있어서의 변형예의 구성>
- [0314] 다음에, 수평 전계 방식의 액정 표시 장치의 단면도의 변형예에 대하여 설명한다.
- [0315] 도 29(A), 도 29(B)에 나타내는 단면도에서는, 일례로서, 도 28(B)에 나타낸 단면도의 변형예이다. 도 29(A), 도 29(B)에서는, 화소부의 단면도 외에, 접속부의 단면도의 구성을 함께 나타내고 있다. 또한, 도 29(A)에 나타내는 단면도의 구성은 반도체층(523)의 형성 후에, 도전층(526)을 형성하는 구성이다.

- [0316] 또한, 도 29(B)의 구성에서는, 블랙 매트릭스(542)에 중첩하는 영역의 도전층(525) 및 도전층(573)에 있어서, 도전성을 보조하기 위한 도전층(576)을 적층하여 형성하는 구성에 대하여 나타내고 있다. 또한, 도 29(A), 도 29(B)에서는, 접속부에서의 도전층과 직접 접속하는 도전층으로서 도전층(571) 및 도전층(572)을 다르게 하여 나타내고 있다.
- [0317] 도 29(A)에 나타내는 단면도에서는, 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 도전층(525), 도전층(526), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573)을 나타낸다. 또한, 도 29(A)에서는 트랜지스터(522)를 도시하고 있다.
- [0318] 도 29(B)에 나타내는 단면도에서는 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 도전층(525), 도전층(526), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573), 도전층(576)을 나타낸다. 또한, 도 29(B)에서는 트랜지스터(522)를 도시하고 있다.
- [0319] 도전층(576)은 도전층(525) 및 도전층(573)의 도전성을 보조하기 위한 전극으로서의 기능을 가진다. 도전층(576)으로서는, 알루미늄, 티탄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 및 텅스텐을 일종 이상 포함한 도전성 재료로 이루어지는 막을 1층 또는 2층 이상으로 형성하면 좋다.
- [0320] 다음에, 도 30에 나타내는 단면도의 구성에서는, 도 29(A), 도 29(B)와는 달리, 먼저 도전층(526)을 형성한 후에, 반도체층(523)을 형성하는 구성이다. 따라서, 도 30의 구성에서는 도전층(526)에 중첩하여, 절연층(533)이 남는 구성이 된다.
- [0321] 도 30에 나타내는 단면도에서는, 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 도전층(525), 도전층(526), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(572), 도전층(573), 도전층(576)을 나타낸다. 또한, 도 30에서는 트랜지스터(522)를 도시하고 있다.
- [0322] 도 31에 나타내는 단면도에서는, 일례로서, 도 6(A)에 나타낸 단면도의 변형예이다. 도 31에서는 화소부의 단면도 외에, 접속부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 31에 나타내는 단면도의 구성은 화소 전극으로서 기능하는 도전층(526)의 형성 후에, 공통 전극으로서 기능하는 도전층(525)을 형성하는 구성이다.
- [0323] 도 31에 나타내는 단면도에서는, 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573), 도전층(575)을 나타낸다. 또한, 도 31에서는 트랜지스터(522)를 도시하고 있다.
- [0324] 도 32에 나타내는 단면도에서는, 일례로서, 도 6(A)에 나타낸 단면도의 변형예이다. 도 32에서는 화소부의 단면도 외에, 접속부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 32에 나타내는 단면도의 구성은 화소 전극으로서 기능하는 도전층(526)이 트랜지스터(522)를 구성하는 반도체층(523)과 중첩하여 형성하는 구성이다.
- [0325] 도 32에 나타내는 단면도에서는 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573)을 나타낸다. 또한, 도 32에서는 트랜지스터(522)를 도시하고 있다.
- [0326] 도 33에 나타내는 단면도에서는, 일례로서, 도 6(A)에 나타낸 단면도의 변형예이다. 도 33에서는 화소부의 단면도 외에, 접속부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 33에 나타내는 단면도의 구성은 트랜지스터의 백 게이트 전극으로서 기능하는 도전층(576)을 도전층(526)에 중첩하여 제공하여, 트랜지스터(522) 위에 형성하는 구성이다.
- [0327] 도 33에 나타내는 단면도에서는, 기판(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기판(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573), 도전층(576)을 나타낸다. 또한, 도 33에서는 트랜지스터(522)를 도시하고 있다.

- [0328] 도전층(576)은 트랜지스터의 백 게이트 전극으로서 기능하는 배선이다. 도전층(576)으로서는, 도전층(575)과 마찬가지로 형성할 수 있다.
- [0329] 도 34에 나타내는 단면도에서는, 일례로서, 도 33에 나타낸 단면도의 변형예이다. 도 34에서는 화소부의 단면도 외에, 접속부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 34에 나타내는 단면도의 구성은 트랜지스터의 백 게이트 전극으로서 기능하는 도전층(576)을, 도전층(519)에 직접 접속된 도전층(526)에 중첩하여 제공하여, 트랜지스터(522) 위에 형성하는 구성이다.
- [0330] 도 34에 나타내는 단면도에서는, 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573), 도전층(576)을 나타낸다. 또한, 도 34에서는 트랜지스터(522)를 도시하고 있다.
- [0331] 도 35에 나타내는 단면도에서는, 일례로서, 도 6(A)에 나타낸 단면도의 변형예이다. 도 35에서는 화소부의 단면도 외에, 접속부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 35에 나타내는 단면도의 구성은 트랜지스터(522)와 화소 전극으로서 기능하는 도전층(526)과의 접속 개소에 도전층(525)을 중첩하여 형성하는 구성이다.
- [0332] 도 35에 나타내는 단면도에서는, 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(571), 도전층(573), 도전층(575)을 나타낸다. 또한, 도 35에서는 트랜지스터(522)를 도시하고 있다.
- [0333] 도 36에 나타내는 단면도에서는, 일례로서, 도 31의 단면도의 변형예이다. 도 36에서는 화소부의 단면도 외에, 도 8에 나타낸 보호 회로부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 36에 나타내는 단면도의 구성은 절연층(538)을 보호 회로부에서의 반도체층(555)에 직접 접하여 형성하는 구성이다.
- [0334] 도 36에 나타내는 단면도에서는 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(552), 도전층(554), 반도체층(555)을 나타낸다. 또한, 도 36에서는 트랜지스터(522)를 도시하고 있다.
- [0335] 도 37에 나타내는 단면도에서는, 일례로서, 도 35의 단면도의 변형예이다. 도 37에서는 화소부의 단면도 외에, 도 8에 나타낸 보호 회로부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 37에 나타내는 단면도의 구성은 절연층(538)을 보호 회로부에서의 반도체층(555)에 직접 접하여 형성하는 구성이다.
- [0336] 도 37에 나타내는 단면도에서는 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(552), 도전층(554), 반도체층(555)을 나타낸다. 또한, 도 37에서는 트랜지스터(522)를 도시하고 있다.
- [0337] 도 38에 나타내는 단면도에서는, 일례로서, 도 6(A)의 단면도의 변형예이다. 도 38에서는 화소부의 단면도 외에, 도 8에 나타낸 보호 회로부의 단면도의 구성을 아울러 나타내고 있다. 또한, 도 38에 나타내는 단면도의 구성은 절연층(538)을 보호 회로부에서의 반도체층(555)에 직접 접하여 형성하는 구성이다.
- [0338] 도 38에 나타내는 단면도에서는 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 도전층(552), 도전층(554), 반도체층(555)을 나타낸다. 또한, 도 38에서는 트랜지스터(522)를 도시하고 있다.

- [0339] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0340] (실시형태 4)
- [0341] 본 실시형태에서는 상기 실시형태 1에 설명한, 수평 전계 방식의 표시 장치에 터치 센서(접촉 검출 장치)를 형성함으로써, 터치 패널로서 기능시키는 구성에 대하여 설명한다.
- [0342] 본 실시형태에서는 도 39 내지 도 44를 이용하여, 터치 패널에 대하여 설명한다.
- [0343] 도 39는 액정 표시 장치(500)를 터치 패널로서 기능시킨 터치 패널의 단면도이다. 또한, 도 40은 터치 센서의 정전 용량이 형성되는 전극으로서 기능하는 도전층의 구성예를 나타내는 평면도이다. 또한, 도 41(A)은 도 40의 절단선 C1-C2에 의한 단면도이며, 도 41(B)은 도 40의 영역(430)에서의 평면도이다.
- [0344] 도 39에 나타내는 액정 표시 장치(500)를 터치 패널로서 기능시킨 터치 패널(420)의 구성예를 나타내는 단면도에서는, 일례로서, 기관(521), 도전층(519), 절연층(532), 절연층(533), 반도체층(523), 도전층(520), 도전층(524), 절연층(534), 절연층(535), 절연층(536), 절연층(537), 도전층(525), 도전층(526), 절연층(538), 배향막(539), 액정층(540), 기관(541), 블랙 매트릭스(542), 컬러 필터(543), 오버코트(544), 배향막(545), 편광하는 기능을 가지는 부재(이하, 편광판(421)이라고 함), 편광하는 기능을 가지는 부재(이하, 편광판(422)이라고 함), 도전성을 가지는 층(이하, 도전층(423)이라고 함)을 나타낸다. 또한, 도 39에서는 트랜지스터(522)를 도시하고 있다.
- [0345] 터치 패널(420)은 터치 센서로서 정전 용량식의 센서를 구비하고 있다. 기관(521)의 외측에 편광판(421)이 장착되고, 기관(541)의 외측에 편광판(422)이 장착되어 있다.
- [0346] 편광판(421)은 자연광이나 원 편광으로부터 직선 편광을 만들어 낼 수 있는 것이면 특별히 한정되지 않지만, 예를 들면, 2색성의 물질을 일정 방향으로 정렬하여 배치함으로써, 광학적인 이방성을 갖게 한 것을 이용할 수 있다. 이러한 편광판은 예를 들면, 요오드계의 화합물 등을 폴리비닐 알코올 등의 필름에 흡착시켜, 이것을 한 방향으로 연장시켜 제작할 수 있다. 또한, 2색성의 물질로서는, 요오드계의 화합물 외에, 염료계의 화합물 등이 이용된다. 편광판(422)에 대해서도 마찬가지이다.
- [0347] 도전층(423)은 대전 방지용의 도전체, 및 터치 센서의 정전 용량이 형성되는 한쪽의 전극으로서 기능하는 층이다. 도전층(423)으로서, 도전층(525)과 마찬가지로 형성할 수 있다.
- [0348] 도 40에 나타내는 공통 전극, 및 터치 센서의 정전 용량이 형성되는 다른 한쪽의 전극으로서 기능하는 도전층(525), 및 도전층(423)의 구성예를 나타내는 평면도에서는 일례로서, 기관(521), 기관(541), FPC(461), FPC(462), 배선(431), 배선(432), 도전층(525), 및 도전층(423)을 나타낸다. 또한, 도 40에서는 화소부(501)에 상당하는 영역을 점선으로 도시하고 있다.
- [0349] 도 40에 나타내는 평면도에서는 도전층(525) 및 도전층(423)은 스트라이프상의 형상을 가지고, 도전층(525) 및 도전층(423)은 평면에서 직교하도록 배치되어 있다. 도전층(525)은 배선(431)에 의해 기관(521)에 장착된 FPC(461)에 접속된다. 도전층(423)은 배선(432)에 의해 기관(541)에 장착된 FPC(462)에 접속된다.
- [0350] 도 41(A)에 나타내는 도 40의 절단선 C1-C2에 의한 단면도에서는 기관(521), 트랜지스터(522), 도전층(525), 도전층(526), 액정층(540), 기관(541) 및 도전층(423)을 나타낸다.
- [0351] 화소 전극으로서 기능하는 도전층(526)은 화소마다 형성되어 있고, 트랜지스터(522)에 접속되어 있다.
- [0352] 또한, 도 41(B)에 나타내는 도 40의 영역(430)에서의 평면도에서는 화소(518), 도전층(525) 및 도전층(423)을 나타낸다.
- [0353] 도전층(525)과 도전층(423)이 교차하는 영역에는 복수의 화소(518)가 제공된다.
- [0354] 도전층(525) 및 도전층(423)이 교차하고 있는 영역에 터치 센서의 정전 용량이 형성된다. 도전층(525) 및 도전층(423)을 한쌍의 전극으로 하는 용량 소자에서, 도전층(525)은 이 용량 소자에 전위를 부여하기 위한 전극이다. 한편, 도전층(423)은 용량 소자를 흐르는 전류를 취출하기 위한 전극이다.
- [0355] 터치 패널(420)의 동작은 화소에 영상 신호를 입력하는 표시 동작과, 접촉을 검출하는 센싱 동작으로 크게 나눌 수 있다. 표시 동작시는 도전층(525)의 전위는 로 레벨로 고정되어 있다. 센싱 기간에는 각 도전층(525)에 펄

스 신호가 순차 인가되어, 그 전위가 하이 레벨이 된다. 이때, 손가락이 터치 패널(420)에 접촉하고 있으면, 손가락에 의한 용량이 터치 센서의 용량 소자에 부가되기 때문에, 용량 소자를 흐르는 전류가 변화되어, 도전층(423)의 전위가 변화된다. 도전층(525)의 펄스 신호를 순차 주사하고, 도전층(423)의 전위의 변화를 검출하여, 손가락의 접촉 위치가 검출된다.

- [0356] 상술한 바와 같이, 액정 표시 장치(500)로 터치 패널을 구성함으로써, 터치 패널(420)의 정전 용량을 구성하는 전극으로서, FFS 모드의 액정 표시 장치(500)에 원래 제공되어 있던 대전 방지용의 도전체와, 화소의 공통 전극을 이용할 수 있기 때문에, 경량, 박형이며, 고표시 품질의 터치 패널을 제공하는 것이 가능하다.
- [0357] (실시형태 5)
- [0358] 본 실시형태에서는 상기 실시형태 4에 설명한, 표시 장치를 터치 패널로서 기능시키는 구성에 대한 변형에 및 그 응용예에 대하여 설명한다.
- [0359] <외부 부착 방식의 터치 패널의 변형예의 구성>
- [0360] 터치 패널의 구조는 정전 용량을 형성하는 터치 패널 기판을 액정 표시 장치(500)의 기판(541)측에 부착하는 구성, 또는 액정 표시 장치(500)의 기판(541)의 외측에 부착하는 대전 방지용의 도전막을 이용하여, 표면 용량(surface capacitive)형의 터치 센서로 하는 구성과 같은 외부 부착 방식의 터치 패널로 할 수도 있다. 이하, 도 42(A) 내지 도 43을 이용하여, 외부 부착 방식의 터치 패널에 적용되는 터치 센서의 구성예를 설명한다.
- [0361] 도 42(A)는 터치 센서의 구성예를 나타내는 분해 사시도이며, 도 42(B)는 터치 센서의 전극의 구성예를 나타내는 평면도이다. 도 43은 터치 센서(450)의 구성예를 나타내는 단면도이다.
- [0362] 도 42(A) 및 도 42(B)에 나타낸 바와 같이, 터치 센서(450)는 복수의 전극(451)과 복수의 전극(452)의 평면도에 상당한다. 도 42(A) 및 도 42(B)에 나타내는 터치 센서(450)는 기판(491) 위에, X축 방향으로 배열된 복수의 전극(451)과, X축 방향과 교차하는 Y축 방향으로 배열된 복수의 전극(452)이 형성되어 있다.
- [0363] 각 전극(451, 452)은 복수의 사변 형상의 도전막이 접속된 구조를 가지고 있다. 복수의 전극(451) 및 복수의 전극(452)은 도전막의 사변 형상의 부분의 위치가 겹치지 않게 배치되어 있다. 전극(451)과 전극(452)의 교차하는 부분에는 전극(451)과 전극(452)이 접촉하지 않도록, 사이에 절연막이 형성되어 있다.
- [0364] 도 43은 전극(451)과 전극(452)과의 접속 구조의 일례를 설명하는 단면도이며, 전극(451)과 전극(452)이 교차하는 부분의 단면도를 일례로서 나타낸다. 또한, 도 44는 전극(451)과 전극(452)과의 교차 부분의 등가 회로도이다. 도 44에 나타낸 바와 같이, 전극(451)과 전극(452)의 교차하는 부분에는 용량 소자(454)가 형성된다.
- [0365] 도 43에 나타낸 바와 같이, 전극(451)은 제 1 층의 도전막(451a) 및 도전막(451b), 및, 절연막(481) 위의 제 2 층의 도전막(451c)에 의해 구성된다. 도전막(451a)과 도전막(451b)은 도전막(451c)에 의해 접속되어 있다. 전극(452)은 제 1 층의 도전막에 의해 형성된다. 전극(451), 전극(452) 및 전극(471)을 덮어 절연막(482)이 형성되어 있다. 절연막(481, 482)으로서, 예를 들면, 산화 질화 실리콘막을 형성하면 좋다. 또한, 기판(491)과 전극(451) 및 전극(471)의 사이에 절연막으로 이루어지는 하지막을 형성해도 좋다. 하지막으로서, 예를 들면, 산화 질화 실리콘막을 형성할 수 있다.
- [0366] 전극(451)과 전극(452)은 가시광에 대하여 투광성을 가지는 도전 재료로 형성된다. 예를 들면, 투광성을 가지는 도전 재료로서, 산화 규소를 포함한 산화 인듐 주석, 산화 인듐 주석, 산화 아연, 산화 인듐 아연, 갈륨을 첨가한 산화 아연 등이 있다.
- [0367] 도전막(451a)은 전극(471)에 접속되어 있다. 전극(471)은 FPC와의 접속용 단자를 구성한다. 전극(452)도 전극(451)과 같이, 다른 전극(471)에 접속된다. 전극(471)은 예를 들면, 텅스텐막으로 형성할 수 있다.
- [0368] 전극(451), 전극(452) 및 전극(471)을 덮어 절연막(482)이 형성되어 있다. 전극(471)과 FPC를 전기적으로 접속하기 위해, 전극(471) 위의 절연막(481) 및 절연막(482)에는 개구가 형성되어 있다. 절연막(482) 위에는 기판(492)이 접착제 또는 접착 필름 등에 의해 부착되어 있다. 접착제 또는 접착 필름에 의해 기판(491)측을 액정 표시 장치(500)의 기판(541)에 부착함으로써, 터치 패널이 구성된다.
- [0369] <외부 부착 방식의 터치 패널의 응용예의 구성>
- [0370] 다음에, 본 발명의 일 양태의 표시 장치를 이용할 수 있는 표시 모듈에 대하여, 도 46을 이용하여 설명을 행한

다.

- [0371] 도 46에 나타내는 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002)와의 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널 셀(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기관(8010), 배터리(8011)를 가진다.
- [0372] 상부 커버(8001) 및 하부 커버(8002)는 터치 패널(8004) 및 표시 패널 셀(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.
- [0373] 터치 패널(8004)은 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널 셀(8006)에 중첩하여 이용할 수 있다. 또한, 표시 패널 셀(8006)의 대향 기관(봉지 기관)에, 터치 패널 기능을 갖게 하도록 하는 것도 가능하다. 또한, 표시 패널 셀(8006)의 각 화소 내에 광 센서를 제공하여, 광학식의 터치 패널로 하는 것도 가능하다.
- [0374] 백 라이트 유닛(8007)은 광원(8008)을 가진다. 광원(8008)은 백 라이트 유닛(8007)의 단부에 제공하여, 광 확산판을 이용하는 구성으로 해도 좋다.
- [0375] 프레임(8009)은 표시 패널 셀(8006)의 보호 기능 외에, 프린트 기관(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 실드로서의 기능을 가진다. 또한, 프레임(8009)은 방열판으로서의 기능을 가지고 있어도 좋다.
- [0376] 프린트 기관(8010)은 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 가진다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이어도 좋고, 별도 설치한 배터리(8011)에 의한 전원이어도 좋다. 배터리(8011)는 상용 전원을 이용하는 경우에는 생략 가능하다.
- [0377] 또한, 표시 모듈(8000)은 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 설치해도 좋다.
- [0378] 또한, 본 실시형태에 나타내는 구성 등은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.
- [0379] (실시형태 6)
- [0380] 본 실시형태에 있어서는 도 1(A)에 나타내는 표시 장치의 화소 회로(108)에 이용할 수 있는 구성에 대하여, 도 45를 이용하여 설명을 행한다. 본 발명의 표시 장치는 화소 회로(108)가 가지는 표시 소자를 바꿈으로써 다양한 표시 장치로서 적용할 수 있다.
- [0381] 본 명세서 등에 있어서, 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 및 발광 소자를 가지는 장치인 발광 장치는 다양한 형태를 이용하는 것, 또는 다양한 소자를 가지는 것이 가능하다. 표시 소자, 표시 장치, 발광 소자 또는 발광 장치의 일례로서는, EL(일렉트로 루미네선스) 소자(유기물 및 무기물을 포함한 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이 패널(PDP), 디지털 마이크로 미러 디바이스(DMD), 압전 세라믹 디스플레이, 카본 나노 튜브, 등, 전기 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 가지는 것이 있다. EL 소자를 이용한 표시 장치의 일례로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 이용한 표시 장치의 일례로서는, 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 이용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 이용한 표시 장치의 일례로서는, 전자 페이퍼 등이 있다.
- [0382] EL 소자의 일례로서는, 양극, 음극, 양극과 음극과의 사이에 끼워진 EL층을 가지는 소자 등이 있다. EL층의 일례로서는, 1중항 여기자로부터의 발광(형광)을 이용하는 것, 3중항 여기자로부터의 발광(인광)을 이용하는 것, 1중항 여기자로부터의 발광(형광)을 이용하는 것과 3중항 여기자로부터의 발광(인광)을 이용하는 것을 포함하는 것, 유기물에 의해 형성된 것, 무기물에 의해 형성된 것, 유기물에 의해 형성된 것과 무기물에 의해 형성된 것을 포함하는 것, 고분자 재료를 포함하는 것, 저분자 재료를 포함하는 것, 또는 고분자 재료와 저분자 재료를 포함하는 것 등이 있다. 단, 이것에 한정되지 않고, EL 소자로서 다양한 것을 이용할 수 있다.
- [0383] 액정 소자의 일례로서는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자가 있다. 그

소자는 한쌍의 전극과 액정층에 의해 구조되는 것이 가능하다. 또한, 액정의 광학적 변조 작용은 액정에 걸리는 전계(수평 방향의 전계, 수직 방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 또한, 구체적으로는 액정 소자의 일례로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리�트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 마나나형 액정 등을 들 수 있다. 또한, 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(PolymerNetwork Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등이 있다. 단, 이것에 한정되지 않고, 액정 소자 및 그 구동 방식으로서 다양한 것을 이용할 수 있다.

[0384] 전자 페이퍼의 표시 방법의 일례로서는, 분자에 의해 표시되는 것(광학 이방성, 염료 분자 배향 등), 입자에 의해 표시되는 것(전기 영동, 입자 이동, 입자 회전, 상변화 등), 필름의 일단(一端)이 이동함으로써 표시되는 것, 분자의 발색/상변화에 의해 표시되는 것, 분자의 광흡수에 의해 표시되는 것, 또는 전자와 홀이 결합하여 자기 발광에 의해 표시되는 것 등을 이용할 수 있다. 구체적으로는 전자 페이퍼의 표시 방법의 일례로서는, 마이크로 캡슐형 전기 영동, 수평 이동형 전기 영동, 수직 이동형 전기 영동, 구상(球狀) 트위스트 볼, 자기 트위스트 볼, 원주 트위스트 볼 방식, 대전 토너, 전자분 유체, 자기 영동형, 자기 감열식, 일렉트로 웨팅(electrowetting), 광 산란(투명/백탁 변화), 콜레스테릭 액정/광도전층, 콜레스테릭 액정, 쌍안정성 네마틱 액정, 강유전성 액정, 2색성 색소·액정 분산형, 가동 필름, 류코 염료(leuco dye)에 의한 발소색, 포토크로미즘, 일렉트로크로미즘, 일렉트로디포지션, 플렉서블 유기 EL 등이 있다. 단, 이것에 한정되지 않고, 전자 페이퍼 및 그 표시 방법으로서 다양한 것을 이용할 수 있다. 여기서, 마이크로 캡슐형 전기 영동을 이용하는 것에 의해, 영동입자의 응집, 침전을 해결할 수 있다. 전자분 유체는 고속 응답성, 고반사율, 광시야각, 저소비 전력, 메모리성 등의 메리트를 가진다.

[0385] 도 1(A)에 나타내는 표시 장치에 있어서, 화소 회로(108)는 도 45(A)에 나타내는 바와 같은 구성으로 할 수 있다.

[0386] 도 45(A)에 나타내는 화소 회로(108)는 액정 소자(130)와, 트랜지스터(131_1)와, 용량 소자(133_1)를 가진다.

[0387] 또한, 도 45(B)에 나타내는 화소 회로(108)는 트랜지스터(131_2)와, 용량 소자(133_2)와, 트랜지스터(134)와, 발광 소자(135)를 가진다.

[0388] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0389] (실시형태 7)

[0390] 본 실시형태에서는 전자 기기의 예에 대하여 설명한다.

[0391] 도 47(A) 내지 도 47(H), 도 48(A) 내지 도 48(D)은 전자 기기를 나타내는 도면이다. 이러한 전자 기기는 하우스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008), 등을 가질 수 있다.

[0392] 도 47(A)은 모바일 컴퓨터이며, 상술한 것 이외에, 스위치(5009), 적외선 포트(5010), 등을 가질 수 있다. 도 47(B)은 기록 매체를 구비한 휴대형의 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011), 등을 가질 수 있다. 도 47(C)은 고글형 디스플레이이며, 상술한 것 이외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 47(D)은 휴대형 유키기이며, 상술한 것 이외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 47(E)은 텔레비전 수상 기능이 있는 디지털 카메라이며, 상술한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016), 등을 가질 수 있다. 도 47(F)은 휴대형 유키기이며, 상술한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011), 등을 가질 수 있다. 도 47(G)은 텔레비전 수상기이며, 상술한 것 이외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 47(H)은 휴대

형 TV 수상기이며, 상술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 48(A)은 디스플레이이며, 상술한 것 이외에, 지지대(5018) 등을 가질 수 있다. 도 48(B)은 카메라이며, 상술한 것 이외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 48(C)은 컴퓨터이며, 상술한 것 이외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021), 등을 가질 수 있다. 도 48(D)은 휴대전화기이며, 상술한 것 이외에, 송신부, 수신부, 휴대전화·이동 단말 전용의 1 세그먼트 부분 수신 서비스용 튜너, 등을 가질 수 있다.

[0393] 도 47(A) 내지 도 47(H), 도 48(A) 내지 도 48(D)에 나타내는 전자 기기는 다양한 기능을 가질 수 있다. 예를 들면, 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하고 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가지는 전자 기기에서는 하나의 표시부를 주로 화상 정보를 표시하고, 다른 하나의 표시부를 주로 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 가지는 전자 기기에 있어서는 정지 화면을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 47(A) 내지 도 47(H), 도 48(A) 내지 도 48(D)에 나타내는 전자 기기가 가질 수 있는 기능은 이것들로 한정되지 않고, 다양한 기능을 가질 수 있다.

[0394] 본 실시형태에서 설명한 전자 기기는 어떠한 정보를 표시하기 위한 표시부를 가지는 것을 특징으로 한다.

[0395] 다음에, 표시 장치의 응용예를 설명한다.

[0396] 도 48(E)에, 표시 장치를 건축물과 일체로 설치한 예에 대하여 나타낸다. 도 48(E)은 하우스징(5022), 표시부(5023), 조작부인 리모콘 장치(5024), 스피커(5025) 등을 포함한다. 표시 장치는 벽걸이형으로서 건물과 일체로 되어 있고, 설치하는 공간을 넓게 필요로 하지 않고 설치할 수 있다.

[0397] 도 48(F)에, 건축물 내에 표시 장치를 건축물과 일체로 형성한 다른 예에 대하여 나타낸다. 표시 모듈(5026)은 유닛 베스(5027)와 일체로 장착되어 있고, 입욕자는 표시 모듈(5026)의 시청이 가능하게 된다.

[0398] 또한, 본 실시형태에서, 건축물로서 벽, 유닛 베스를 예로 했지만, 본 실시형태는 이것에 한정되지 않고, 다양한 건축물에 표시 장치를 설치할 수 있다.

[0399] 다음에, 표시 장치를, 이동체와 일체로 형성한 예에 대하여 나타낸다.

[0400] 도 48(G)은 표시 장치를 자동차에 설치한 예에 대하여 나타낸 도면이다. 표시 모듈(5028)은 자동차의 차체(5029)에 장착되어 있어, 차체의 동작 또는 차체 내외로부터 입력되는 정보를 온디맨드(on demand)로 표시할 수 있다. 또한, 네비게이션 기능을 가지고 있어도 좋다.

[0401] 도 48(H)은 표시 장치를 여객용 비행기와 일체로 형성한 예에 대하여 나타낸 도면이다. 도 48(H)은 여객용 비행기의 좌석 상부의 천장(5030)에 표시 모듈(5031)을 설치했을 때의, 사용시의 형상에 대하여 나타낸 도면이다. 표시 모듈(5031)은 천장(5030)과 힌지부(5032)를 통하여 일체로 장착되어 있고, 힌지부(5032)의 신축에 의해 승객은 표시 모듈(5031)의 시청이 가능하게 된다. 표시 모듈(5031)은 승객이 조작함으로써 정보를 표시하는 기능을 가진다.

[0402] 또한, 본 실시형태에 있어서, 이동체로서는, 자동차 차체, 비행기 기체에 대하여 예시했지만 이것에 한정되지 않고, 자동 이륜차, 자동 사륜차(자동차, 버스 등을 포함함), 전철(모노레일, 철도 등을 포함함), 선박 등, 다양한 것에 설치할 수 있다.

[0403] (실시형태 8)

[0404] 또한, 상기 실시형태에 개시된 도전막이나 반도체막은 스퍼터링법이나 플라즈마 CVD법에 의해 형성할 수 있지만, 다른 방법, 예를 들면, 열 CVD(Chemical Vapor Deposition)법에 의해 형성해도 좋다. 열 CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용해도 좋다.

- [0405] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 데미지에 의해 결함이 생성되는 일이 없다는 이점을 가진다.
- [0406] 열 CVD법은 원료 가스와 산화제를 동시에 챔버 내로 보내고, 챔버 내를 대기압 또는 감압 하로 하고, 기관 근방 또는 기관 위에서 반응시켜 기관 위에 퇴적시킴으로써 성막을 행하여도 좋다.
- [0407] 또한, ALD법은 챔버 내를 대기압 또는 감압 하로 하고, 반응을 위한 원료 가스가 순차로 챔버에 도입되어, 그 가스 도입의 순서를 반복함으로써 성막을 행하여도 좋다. 예를 들면, 각각의 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2 종류 이상의 원료 가스를 차례로 챔버에 공급하고, 복수종의 원료 가스가 섞이지 않도록 제 1 원료 가스와 동시 또는 그 후에 불활성 가스(아르곤, 혹은 질소 등) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입하는 경우에는 불활성 가스는 캐리어 가스가 되고, 또한, 제 2 원료 가스의 도입 시에도 동시에 불활성 가스를 도입해도 좋다. 또한, 불활성 가스를 도입하는 대신에 진공 배기에 의해 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입해도 좋다. 제 1 원료 가스가 기관의 표면에 흡착하여 제 1 층을 성막하고, 나중에 도입되는 제 2 원료 가스와 반응하고, 제 2 층이 제 1 층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 뛰어난 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서를 반복하는 회수에 의해 조절할 수 있기 때문에, 정밀한 막두께 조절이 가능하고, 미세한 FET를 제작하는 경우에 적합하다.
- [0408] MOCVD법이나 ALD법 등의 열 CVD법은 지금까지 기재한 실시형태에 개시된 도전막이나 반도체막을 형성할 수 있고, 예를 들면, In-Ga-Zn-O막을 성막하는 경우에는 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연을 이용한다. 또한, 트라이메틸인듐의 화학식은 $\text{In}(\text{CH}_3)_3$ 이다. 또한, 트라이메틸갈륨의 화학식은 $\text{Ga}(\text{CH}_3)_3$ 이다. 또한, 다이메틸아연의 화학식은 $\text{Zn}(\text{CH}_3)_2$ 이다. 또한, 이러한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트리에틸갈륨(화학식 $\text{Ga}(\text{C}_2\text{H}_5)_3$)를 이용할 수도 있고, 다이메틸아연 대신에 다이에틸아연(화학식 $\text{Zn}(\text{C}_2\text{H}_5)_2$)을 이용할 수도 있다.
- [0409] 예를 들면, ALD를 이용하는 성막 장치에 의해 텅스텐막을 성막하는 경우에는 WF_6 가스와 B_2H_6 가스를 순차 반복하여 도입하여 초기 텅스텐막을 형성하고, 그 후, WF_6 가스와 H_2 가스를 동시에 도입해 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 이용해도 좋다.
- [0410] 예를 들면, ALD를 이용하는 성막 장치에 의해 산화물 반도체막, 예를 들면 In-Ga-Zn-O막을 성막하는 경우에는 $\text{In}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차 반복하여 도입해 In-O층을 형성하고, 그 후, $\text{Ga}(\text{CH}_3)_3$ 가스와 O_3 가스를 동시에 도입해 GaO층을 형성하고, 또한 그 후 $\text{Zn}(\text{CH}_3)_2$ 와 O_3 가스를 동시에 도입해 ZnO층을 형성한다. 또한, 이러한 층의 순차는 이 예에 한정되지 않는다. 또한, 이러한 가스를 혼합하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성해도 좋다. 또한, O_3 가스 대신에, Ar 등의 불활성 가스로 버블링하여 얻어진 H_2O 가스를 이용해도 좋지만, H를 포함하지 않는 O_3 가스를 이용하는 것이 바람직하다. 또한, $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 이용해도 좋다. 또한, $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 이용해도 좋다. 또한, $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 이용해도 좋다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스를 이용해도 좋다.
- [0411] 또한, 본 명세서 등에 있어서는 어느 일 실시형태에서 설명하는 도면 또는 문장에서, 그 일부분을 추출하여, 발명의 일 양태를 구성하는 것은 가능하다. 따라서, 어느 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 추출한 내용도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 따라서, 예를 들면, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에서, 그 일부분을 추출하여, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 예를 들면, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로도로부터, M개(M은 정수이고, $M < N$)의 회로 소자(트랜지스터, 용량 소자 등)를 추출하여, 발명의 일 양태를 구성하는 것은 가능하다. 다른 예로서는, N개(N은 정수)의 층을 가지고 구성되는 단면도로부터, M개(M은 정수이고, $M < N$)의 층을 추출하여, 발명의 일 양태를 구성하는 것은 가능하다. 또한, 다른 예로서는, N개(N은 정수)의 요소를 가지고 구성되는 플로차트로부터, M개(M은 정수이고, $M < N$)의 요소를 추출하여, 발명의 일 양태를 구성하는 것은 가능하다.

[0412] 또한, 본 명세서 등에서는 어느 일 실시형태에서 설명하는 도면 또는 문장에서, 적어도 하나의 구체적인 예가 기재되는 경우, 그 구체적인 예의 상위 개념을 도출하는 것은 당업자라면 용이하게 이해된다. 따라서, 어느 일 실시형태에서 설명하는 도면 또는 문장에서, 적어도 하나의 구체적인 예가 기재되는 경우, 그 구체적인 예의 상위 개념도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다.

[0413] 또한, 본 명세서 등에서는 적어도 도면에 기재한 내용(도면 중의 일부이어도 좋음)은 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다. 따라서, 어느 내용에 대하여, 도면에 기재되어 있으면, 문장을 이용하여 설명하지 않아도, 그 내용은 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다. 마찬가지로 도면의 일부를 추출한 도면에 대해서도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능하다.

부호의 설명

[0414] GL : 주사선
 DL : 데이터선
 LC : 액정 소자
 CAP : 용량 소자
 DL_Y : 데이터선
 DL_n : 데이터선
 DL_1 : 데이터선
 GL_X : 주사선
 GL_m : 주사선
 GL_1 : 주사선
 102 : 화소부
 104 : 구동 회로부
 104a : 게이트 드라이버
 104b : 소스 드라이버
 106 : 보호 회로
 106_1 : 보호 회로
 106_2 : 보호 회로
 106_3 : 보호 회로
 106_4 : 보호 회로
 107 : 단자부
 108 : 화소 회로
 110 : 배선
 112 : 배선
 114 : 저항 소자
 130 : 액정 소자
 131_1 : 트랜지스터

- 131_2 : 트랜지스터
- 133_1 : 용량 소자
- 133_2 : 용량 소자
- 134 : 트랜지스터
- 135 : 발광 소자
- 140 : 기관
- 142 : 도전층
- 144 : 절연층
- 146 : 절연층
- 148 : 도전층
- 151 : 트랜지스터
- 152 : 트랜지스터
- 153 : 트랜지스터
- 154 : 트랜지스터
- 155 : 트랜지스터
- 156 : 트랜지스터
- 157 : 트랜지스터
- 158 : 트랜지스터
- 159 : 트랜지스터
- 160 : 트랜지스터
- 161 : 트랜지스터
- 162 : 트랜지스터
- 163 : 트랜지스터
- 164 : 트랜지스터
- 165 : 트랜지스터
- 166 : 트랜지스터
- 171 : 저항 소자
- 172 : 저항 소자
- 173 : 저항 소자
- 174 : 저항 소자
- 175 : 저항 소자
- 176 : 저항 소자
- 177 : 저항 소자
- 178 : 저항 소자
- 179 : 저항 소자
- 180 : 저항 소자

- 181 : 배선
- 182 : 배선
- 183 : 배선
- 184 : 배선
- 185 : 배선
- 186 : 배선
- 187 : 배선
- 188 : 배선
- 189 : 배선
- 190 : 배선
- 191 : 배선
- 199 : 저항 소자
- 301 : 도전막
- 302 : 트랜지스터
- 304 : 트랜지스터
- 306 : 트랜지스터
- 308 : 트랜지스터
- 310 : 트랜지스터
- 312 : 트랜지스터
- 314 : 트랜지스터
- 316 : 트랜지스터
- 351 : 배선
- 352 : 배선
- 353 : 배선
- 354 : 배선
- 355 : 배선
- 356 : 배선
- 381 : 배선
- 382 : 배선
- 383 : 배선
- 384 : 배선
- 385 : 배선
- 386 : 배선
- 400 : 기판
- 401 : 도전막
- 402 : 게이트 전극

- 403 : 절연막
- 404 : 제 2 절연층
- 405 : 산화물 반도체막
- 406 : 섬 형상의 산화물 반도체층
- 406s : 산화물 적층
- 407 : 도전막
- 408 : 소스 전극
- 409 : 드레인 전극
- 410 : 절연층
- 411 : 절연층
- 412 : 절연층
- 413 : 산화물 반도체층
- 414 : 산화물 반도체층
- 414s : 산화물층
- 415 : 산화물 반도체층
- 416 : 절연층
- 420 : 터치 패널
- 421 : 편광판
- 422 : 편광판
- 423 : 도전층
- 430 : 영역
- 431 : 배선
- 432 : 배선
- 450 : 터치 센서
- 451 : 전극
- 451a : 도전막
- 451b : 도전막
- 451c : 도전막
- 452 : 전극
- 454 : 용량 소자
- 461 : FPC
- 462 : FPC
- 471 : 전극
- 481 : 절연막
- 482 : 절연막
- 486 : 배선

- 491 : 기관
- 492 : 기관
- 500 : 액정 표시 장치
- 501 : 화소부
- 502 : 게이트 드라이버
- 503 : 게이트 드라이버
- 504 : 소스 드라이버
- 505 : 단자부
- 506 : FPC
- 511 : 보호 회로
- 512 : 실 부재
- 515 : 스페이서
- 518 : 화소
- 519 : 도전층
- 520 : 도전층
- 521 : 기관
- 522 : 트랜지스터
- 523 : 반도체층
- 524 : 도전층
- 525 : 도전층
- 526 : 도전층
- 528 : 개구부
- 532 : 절연층
- 533 : 절연층
- 534 : 절연층
- 535 : 절연층
- 536 : 절연층
- 537 : 절연층
- 538 : 절연층
- 539 : 배향막
- 540 : 액정층
- 541 : 기관
- 542 : 블랙 매트릭스
- 543 : 컬러 필터
- 544 : 오버코트
- 545 : 배향막

551 : 도전층
551L : 배선
552 : 도전층
552L : 배선
553 : 개구부
554 : 도전층
555 : 반도체층
556 : 도전층
557 : 도전층
558 : 도전층
559 : 도전층
561 : 도전층
571 : 도전층
572 : 도전층
573 : 도전층
574 : 도전층
575 : 도전층
576 : 도전층
581 : 화소부
582 : 보호 회로
583 : 접속부
584 : 개구부
585 : 개구부
586 : 개구부
600 : 배선
601 : 배선
602 : 배선
603 : 보호 회로
604A : 트랜지스터
604B : 트랜지스터
605A : 트랜지스터
605B : 트랜지스터
5000 : 하우징
5001 : 표시부
5002 : 표시부
5003 : 스피커

- 5004 : LED 램프
- 5005 : 조작 키
- 5006 : 접속 단자
- 5007 : 센서
- 5008 : 마이크로폰
- 5009 : 스위치
- 5010 : 적외선 포트
- 5011 : 기록 매체 관독부
- 5012 : 지지부
- 5013 : 이어폰
- 5014 : 안테나
- 5015 : 셔터 버튼
- 5016 : 수상부
- 5017 : 충전기
- 5018 : 지지대
- 5019 : 외부 접속 포트
- 5020 : 포인팅 디바이스
- 5021 : 리더/라이터
- 5022 : 하우징
- 5023 : 표시부
- 5024 : 리모콘 장치
- 5025 : 스피커
- 5026 : 표시 모듈
- 5027 : 유닛 베스
- 5028 : 표시 모듈
- 5029 : 차체
- 5030 : 천장
- 5031 : 표시 모듈
- 5032 : 힌지부
- 8000 : 표시 모듈
- 8001 : 상부 커버
- 8002 : 하부 커버
- 8003 : FPC
- 8004 : 터치 패널
- 8005 : FPC
- 8006 : 표시 패널 셀

8007 : 백 라이트 유닛

8008 : 광원

8009 : 프레임

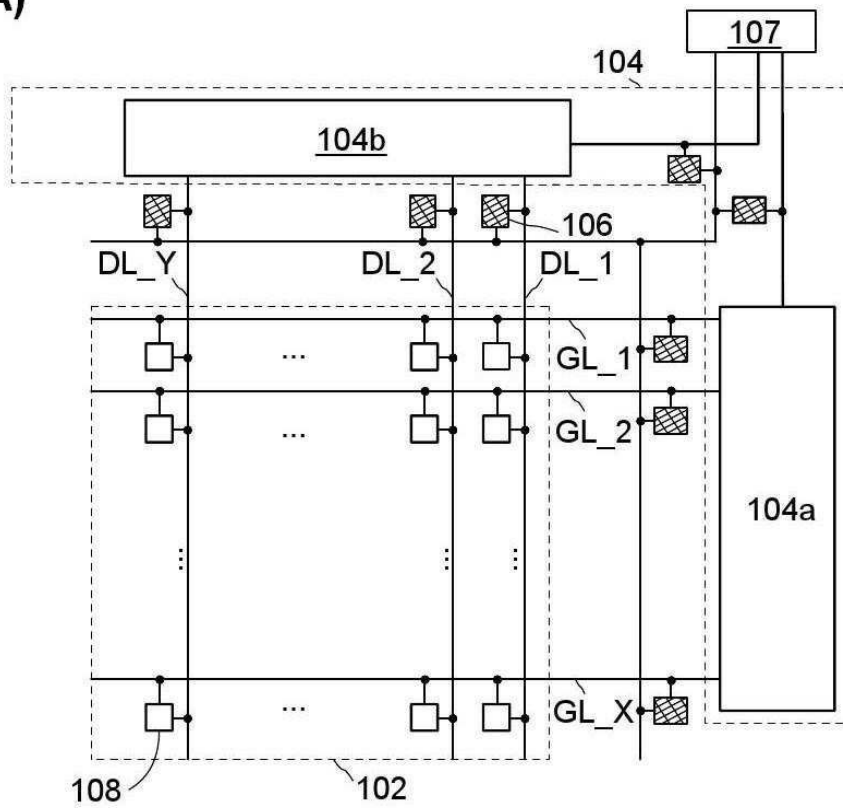
8010 : 프린트 기판

8011 : 배터리

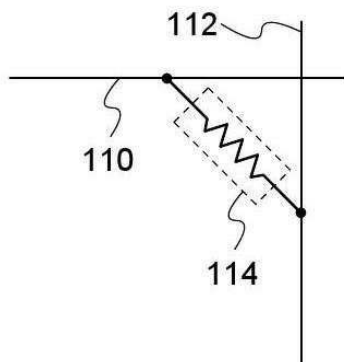
도면

도면1

(A)

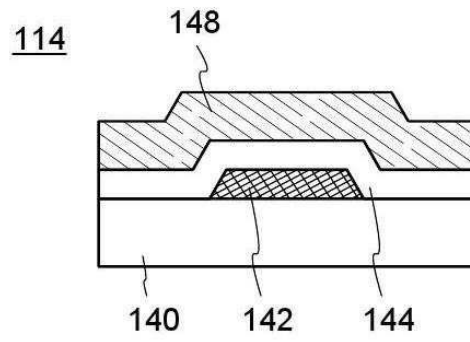


(B)

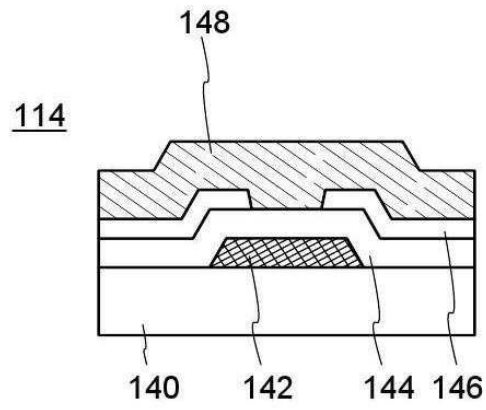


도면2

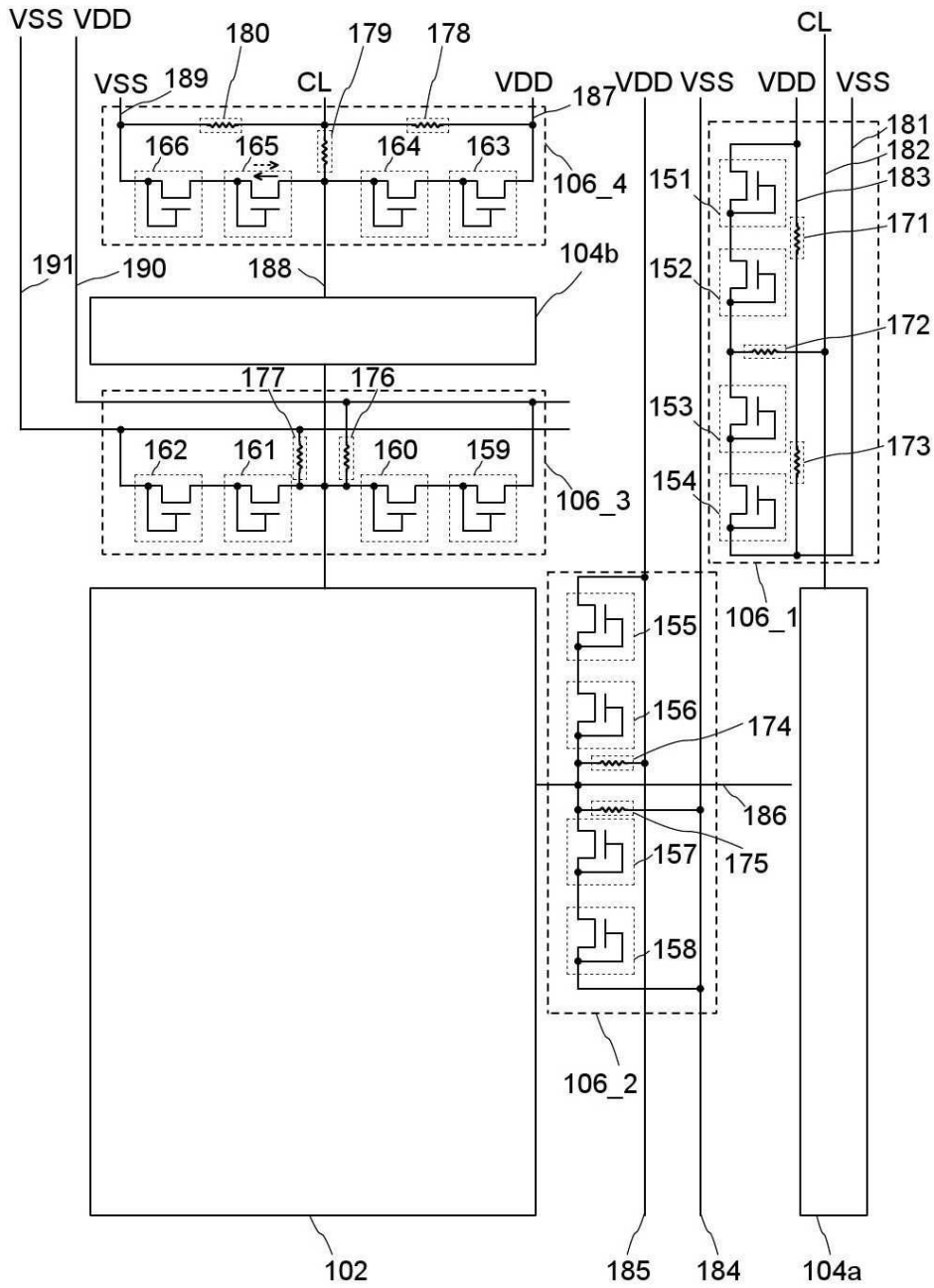
(A)



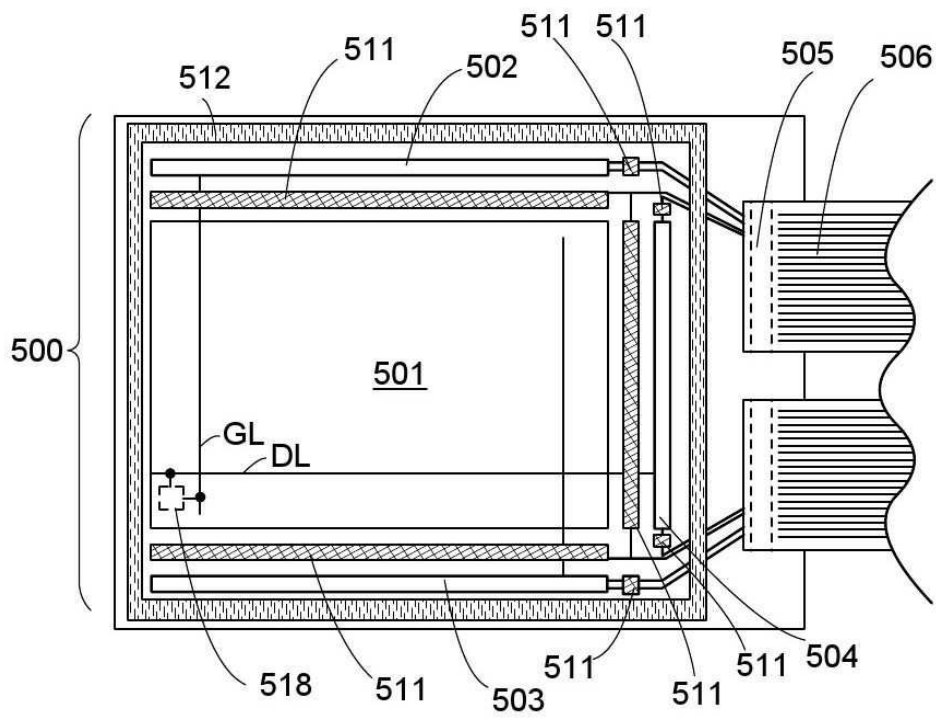
(B)



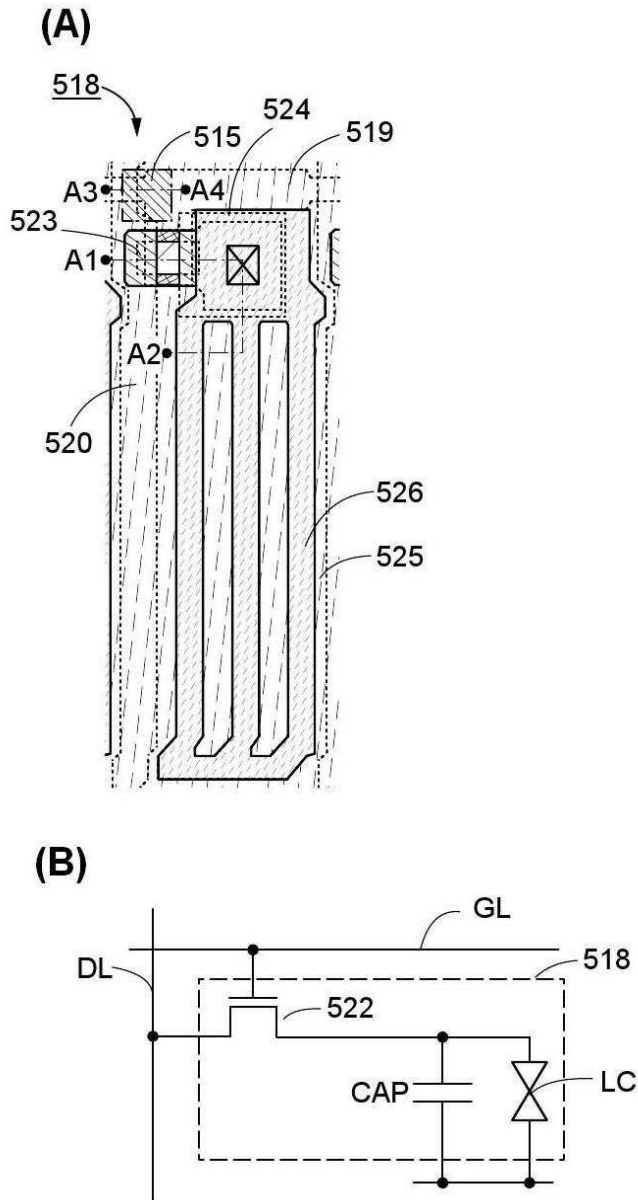
도면3



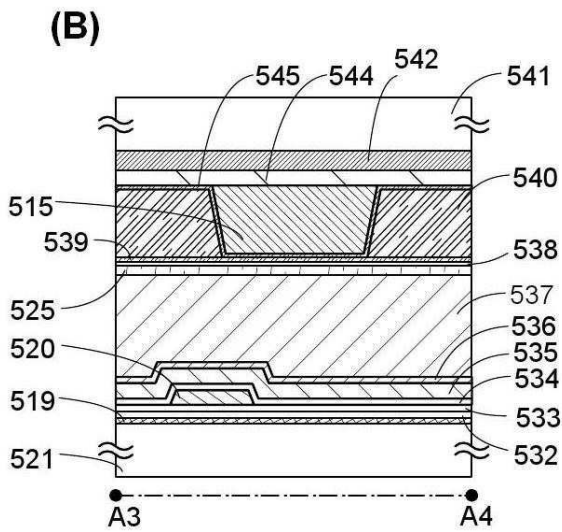
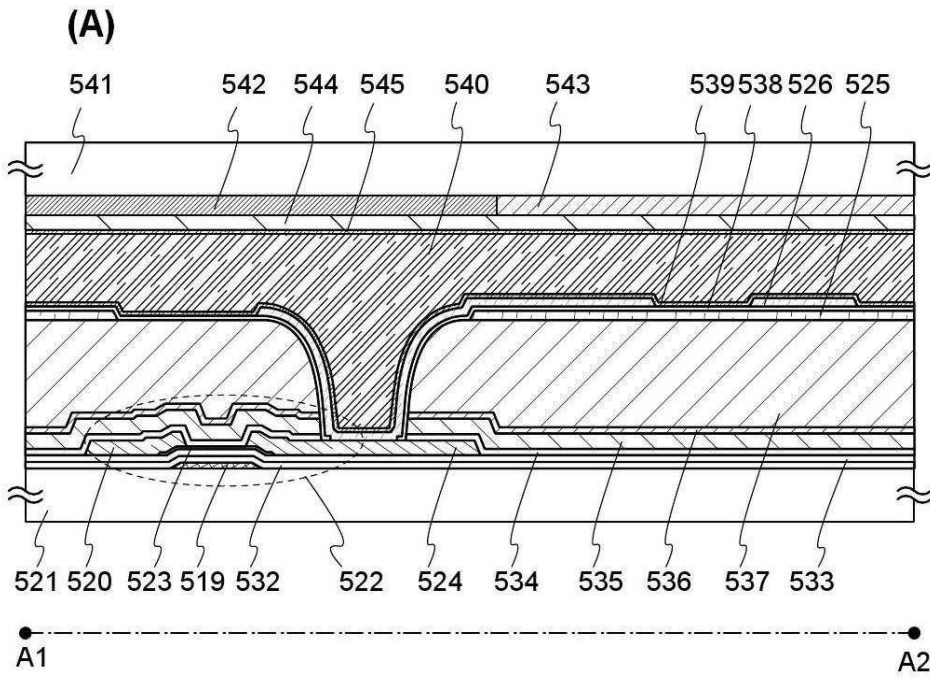
도면4



도면5

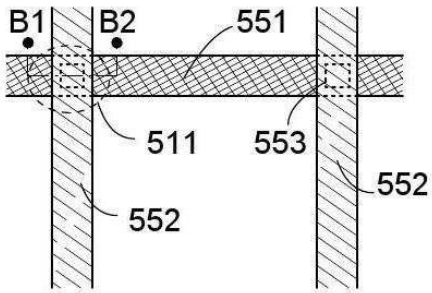


도면6

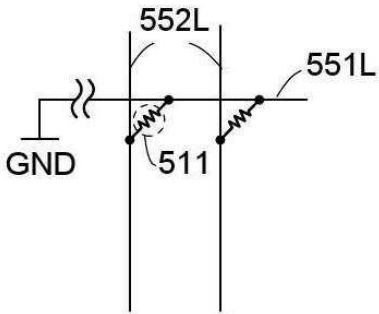


도면7

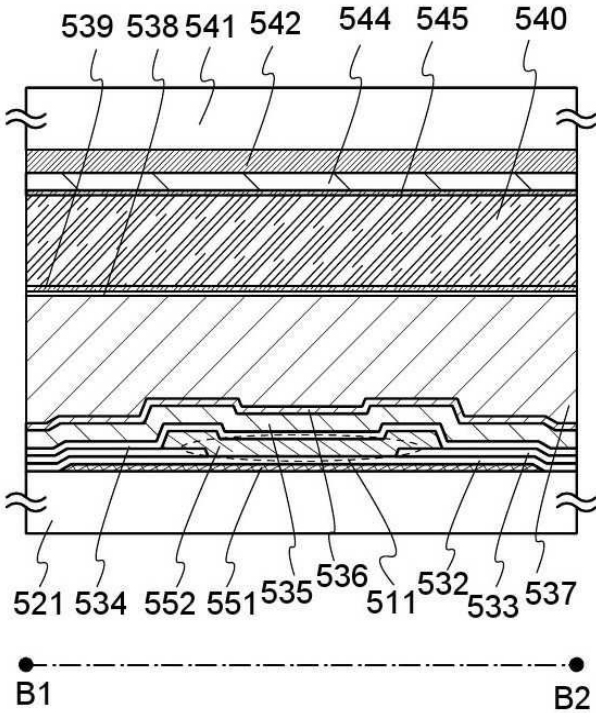
(A)



(B)

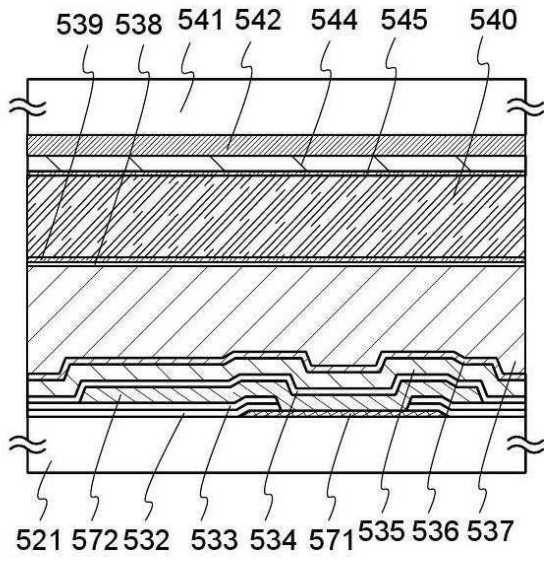


도면8

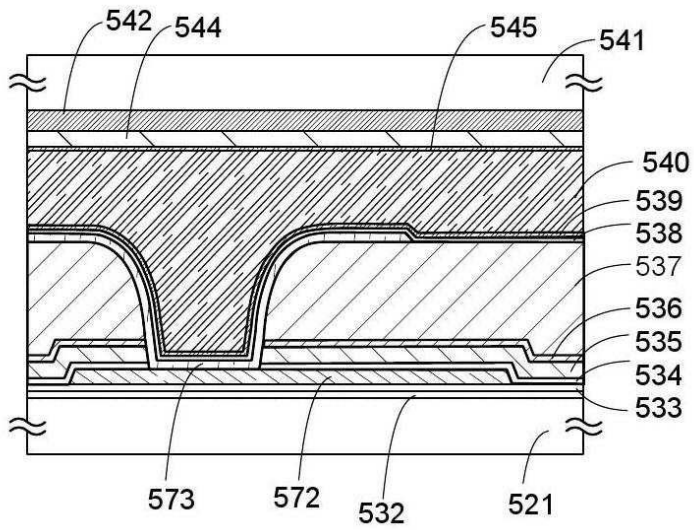


도면9

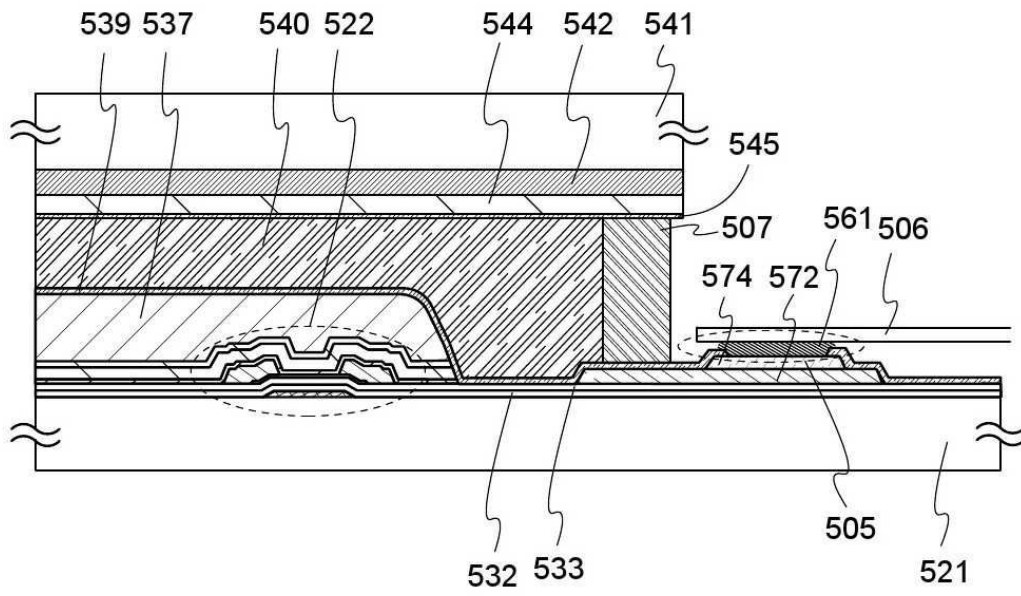
(A)



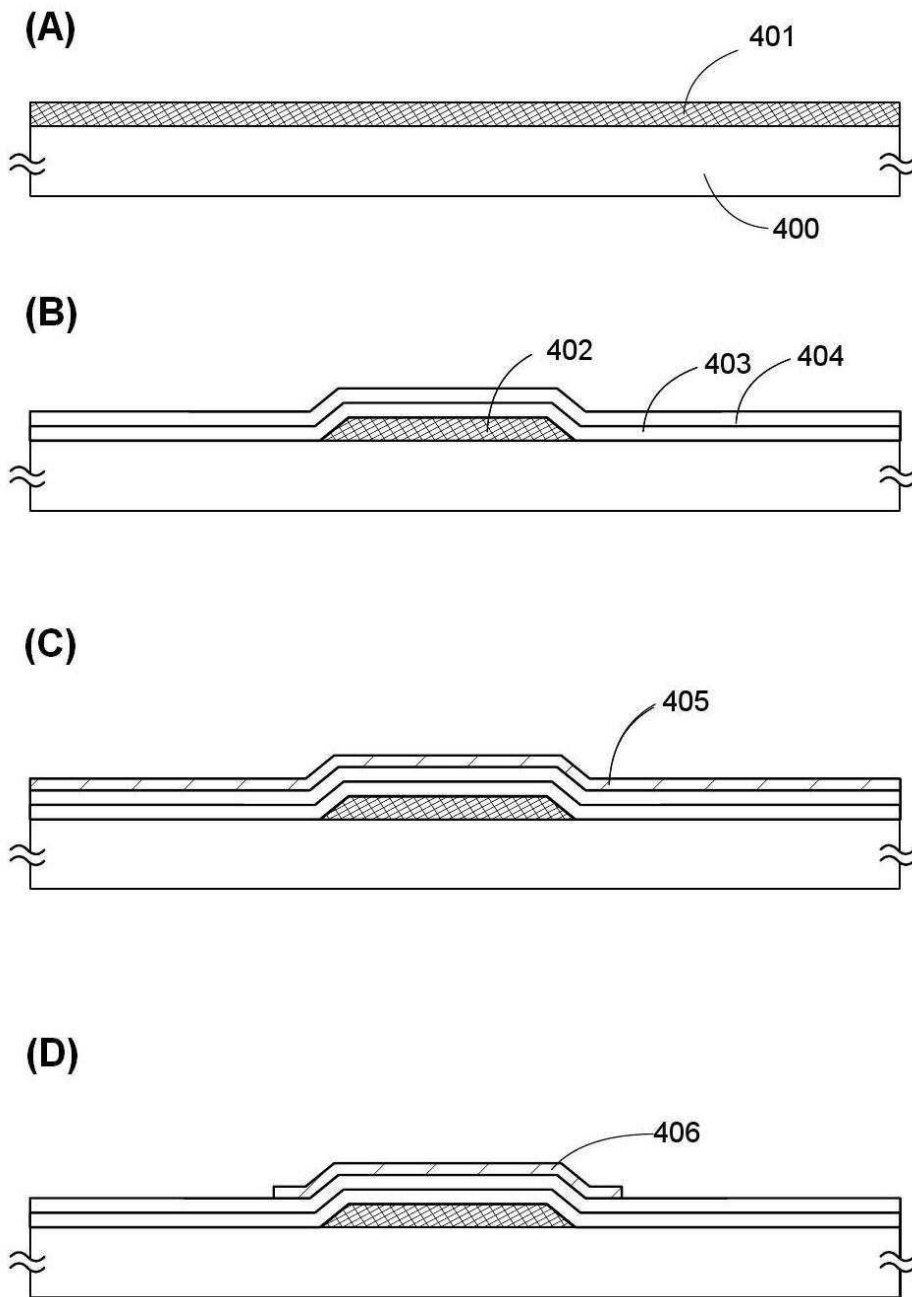
(B)



도면10

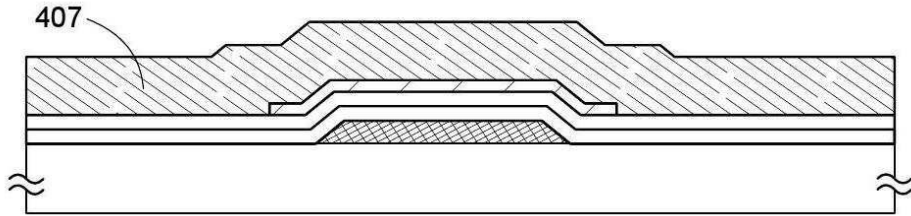


도면11

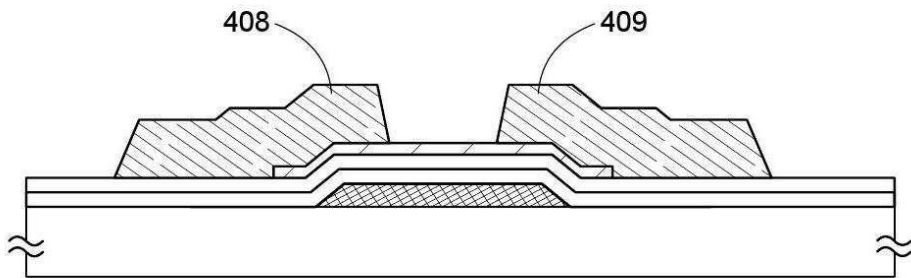


도면12

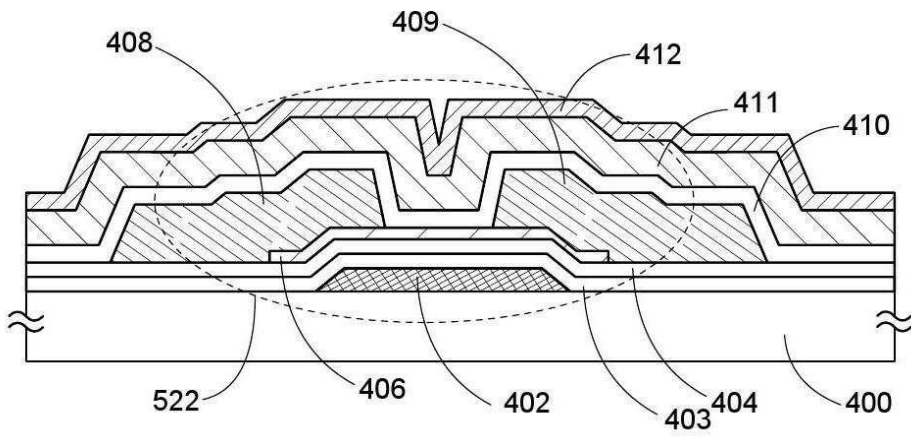
(A)



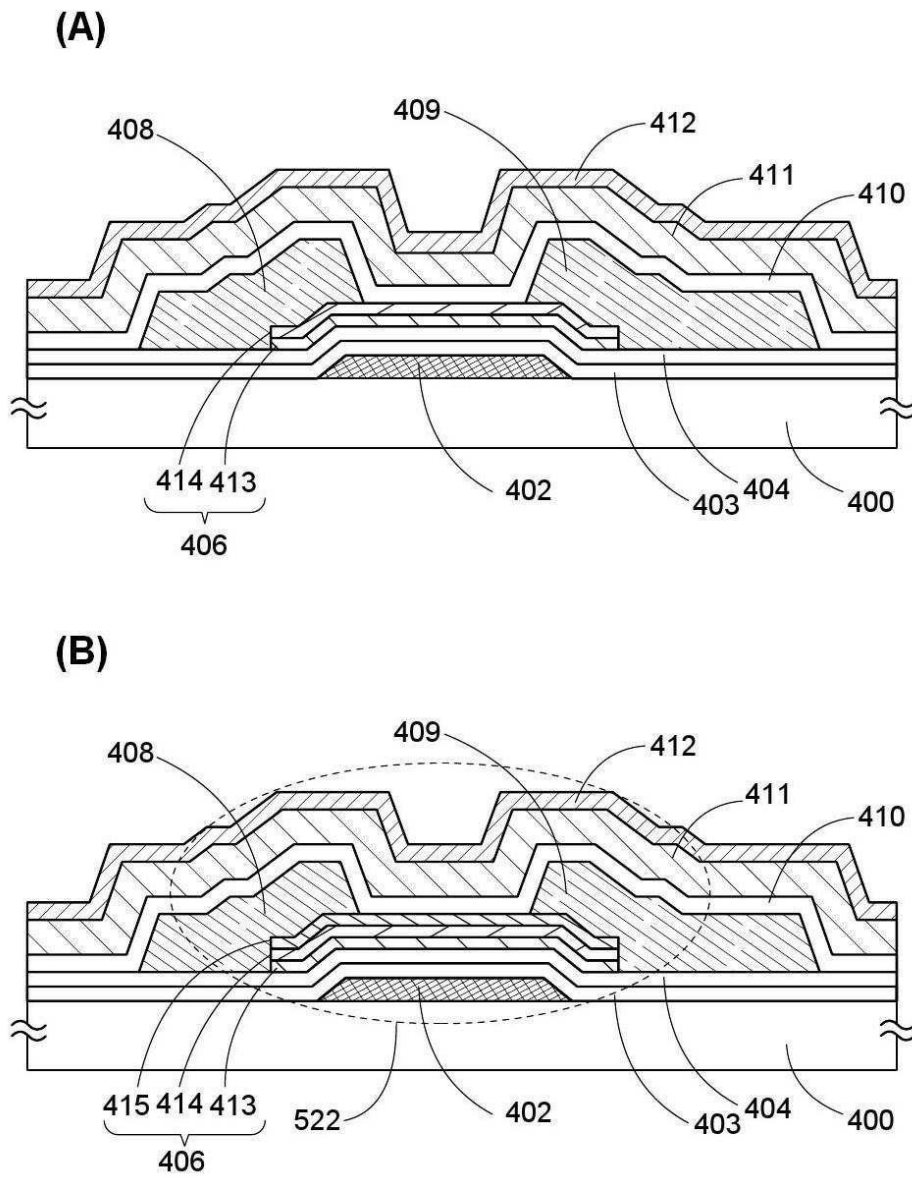
(B)



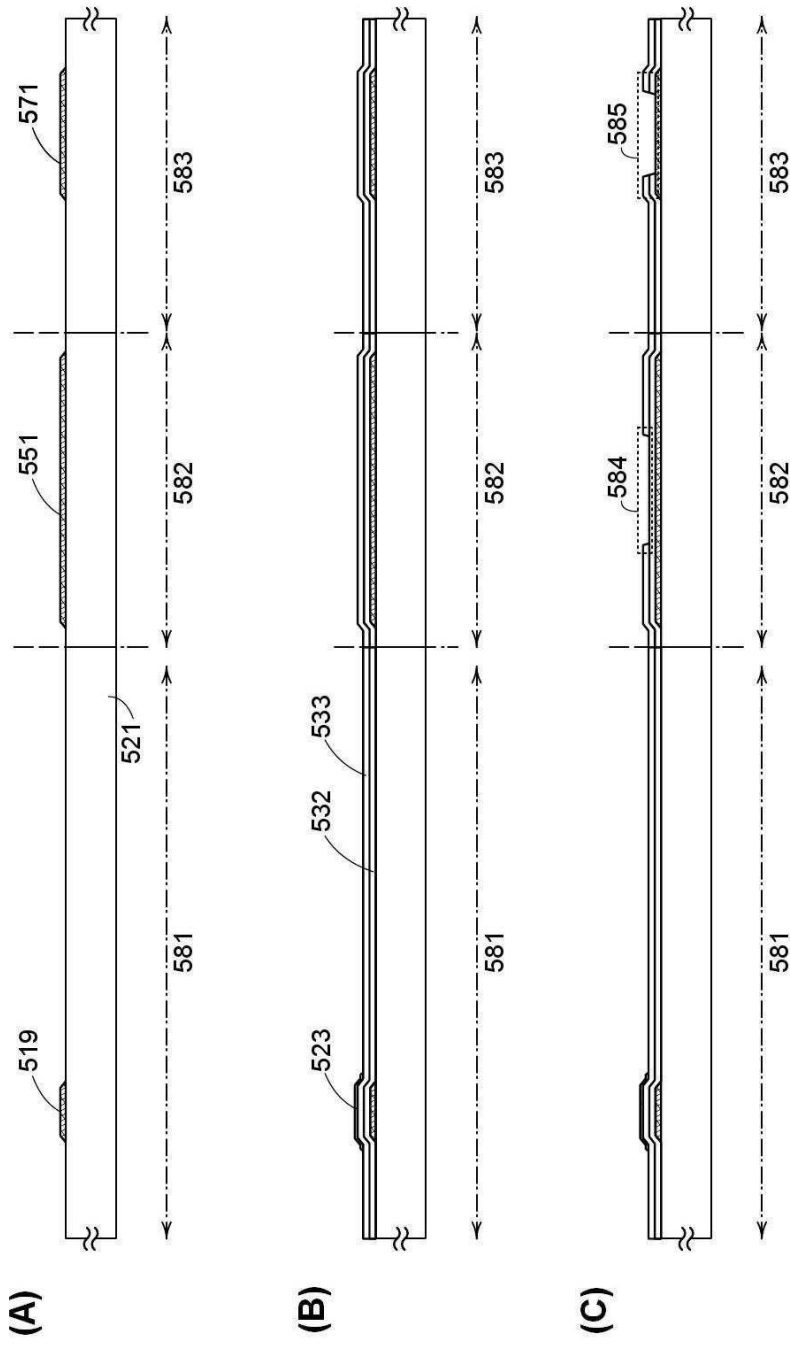
(C)



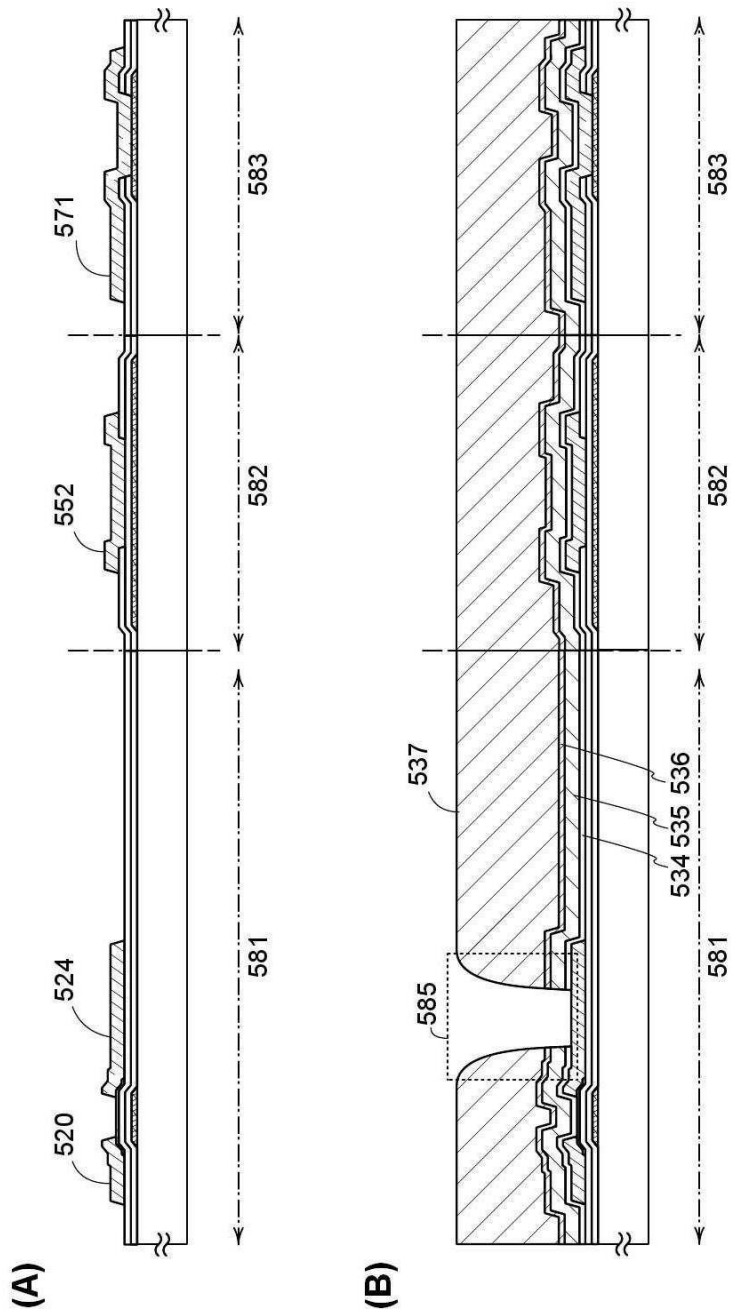
도면13



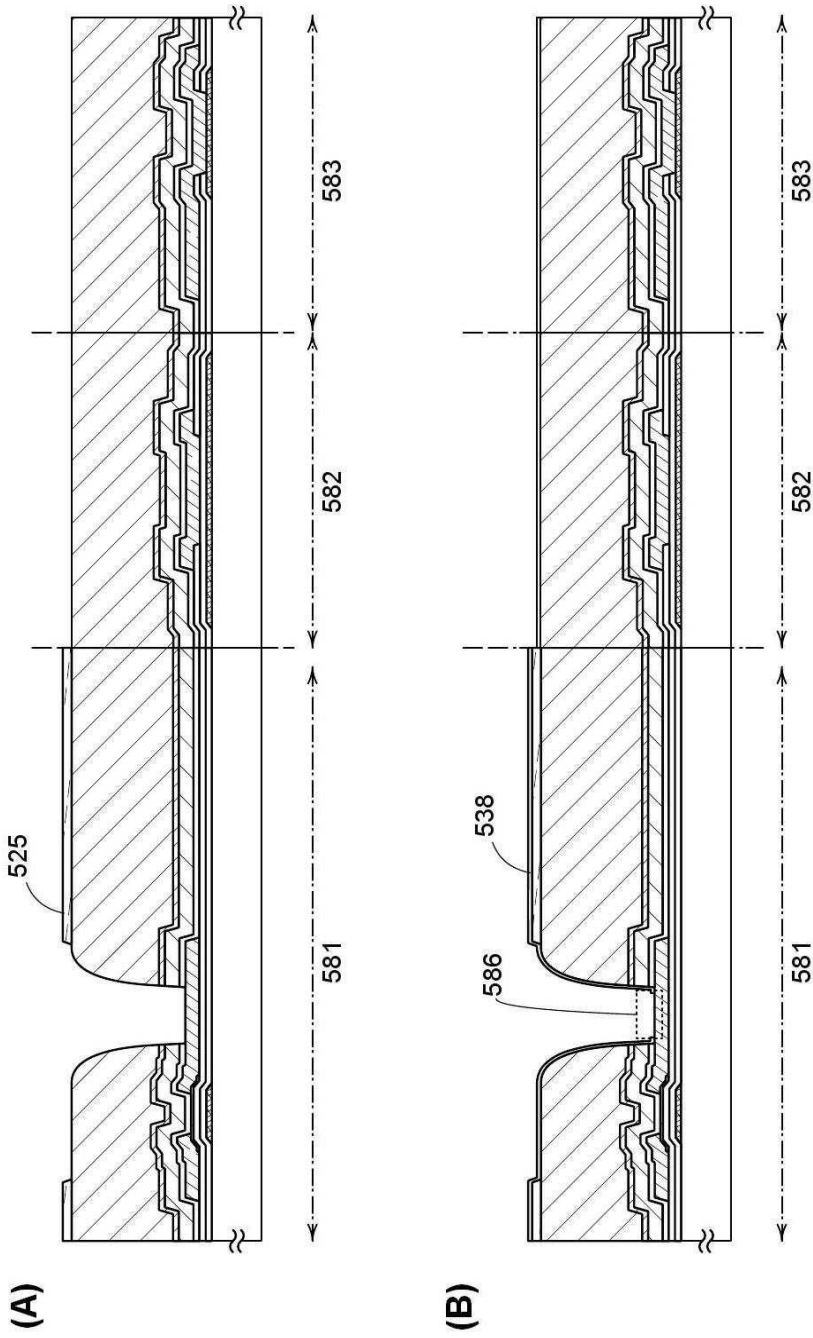
도면14



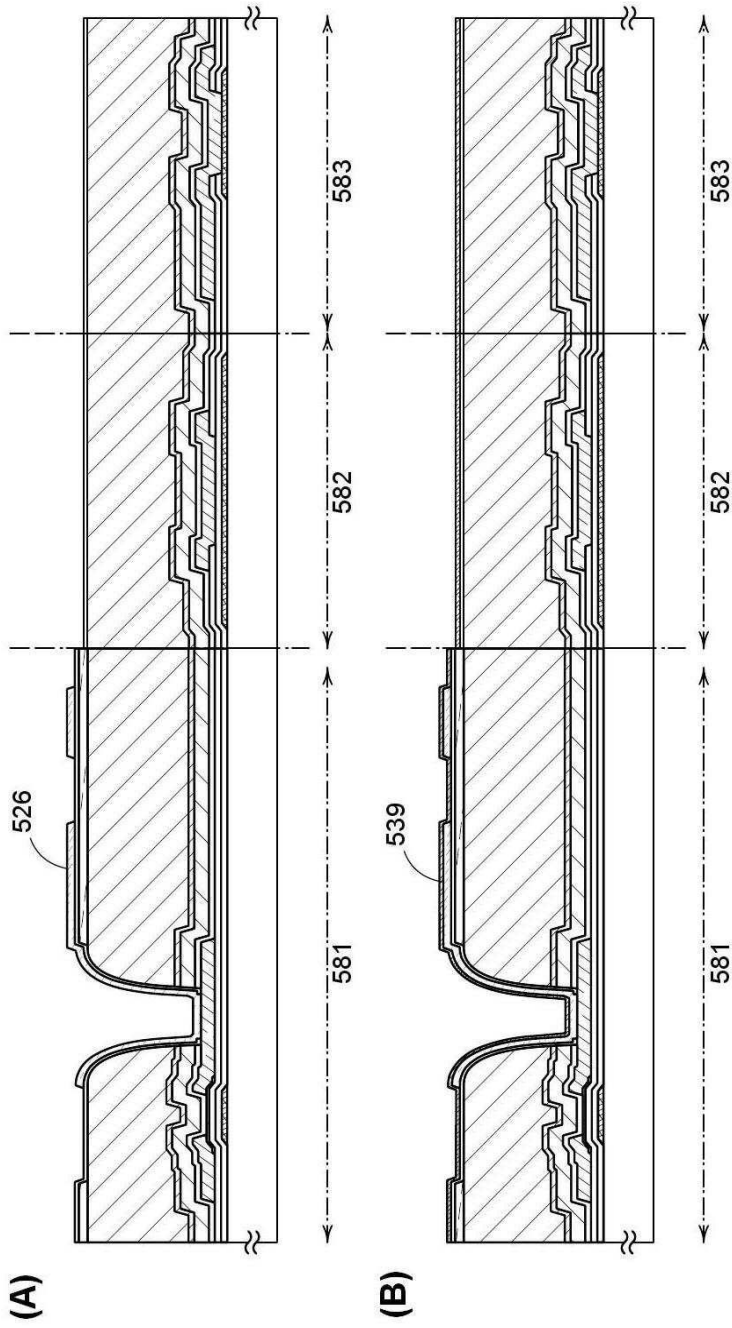
도면15



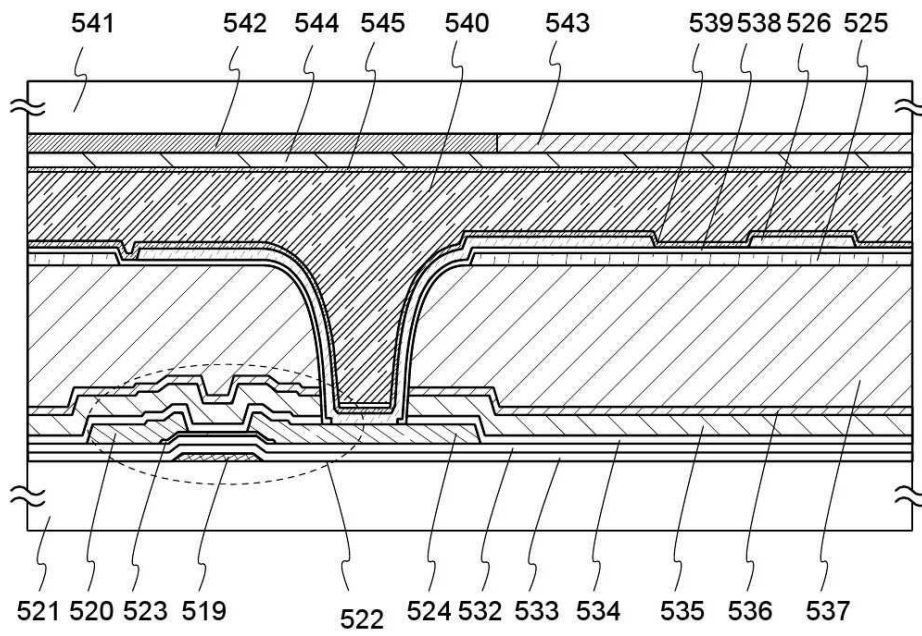
도면16



도면17

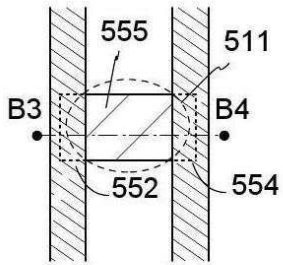


도면18

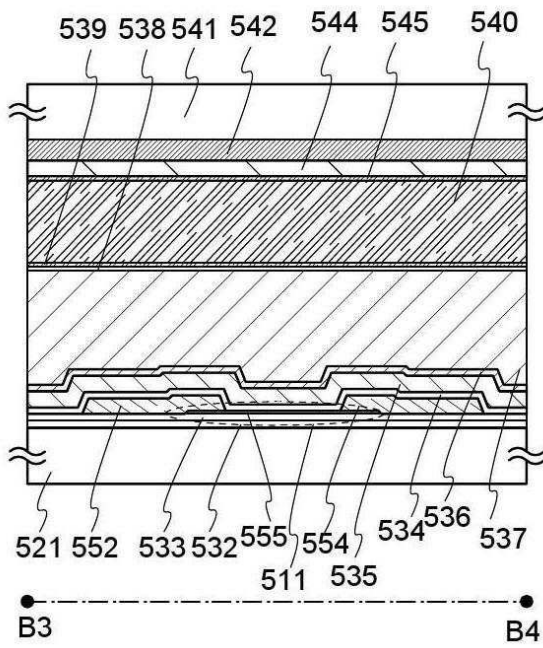


도면19

(A)

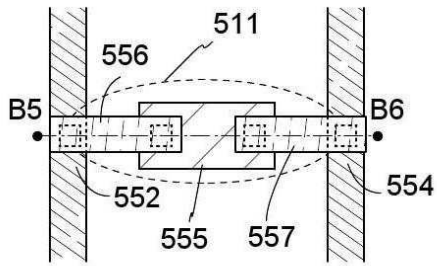


(B)

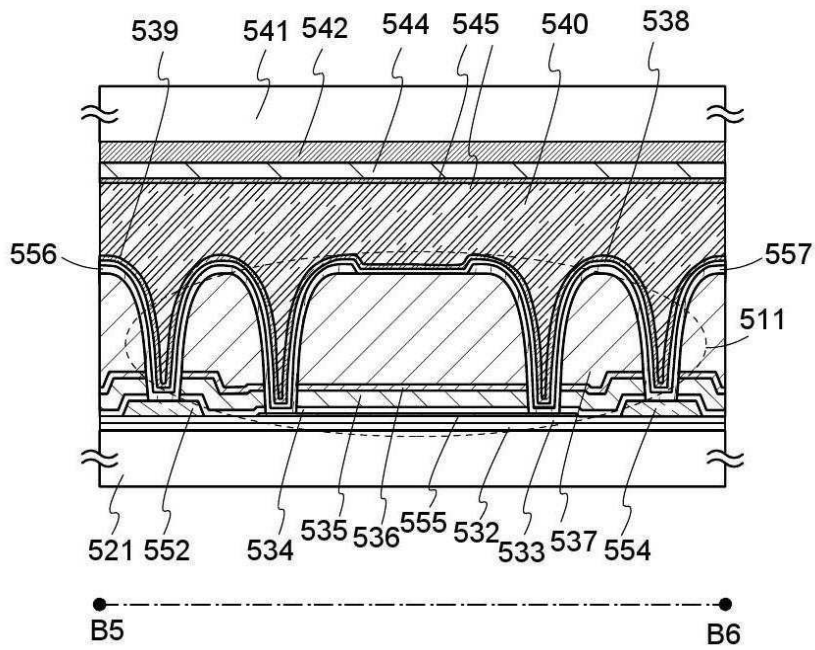


도면20

(A)

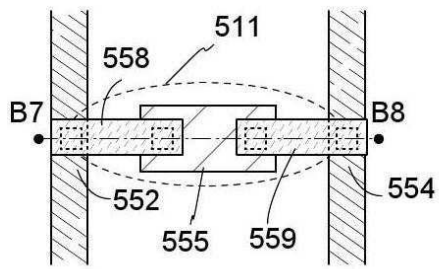


(B)

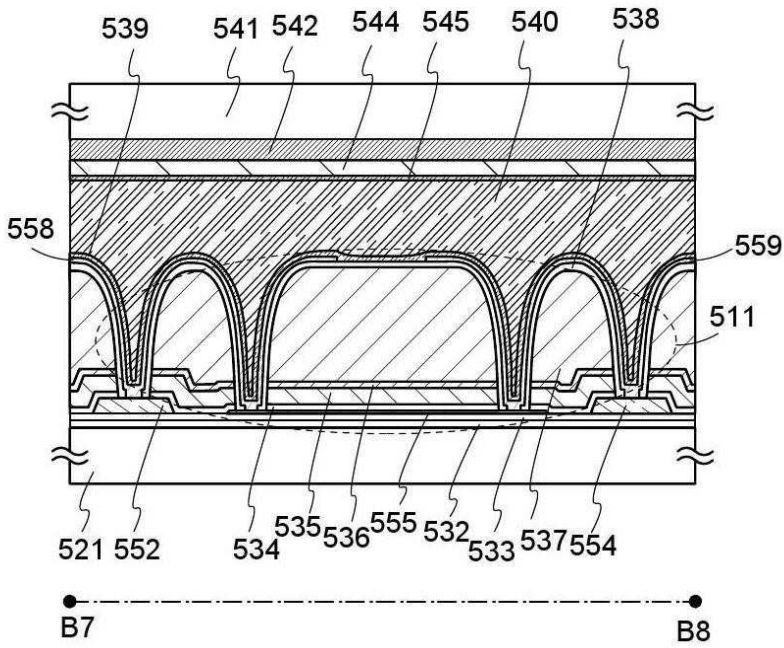


도면21

(A)

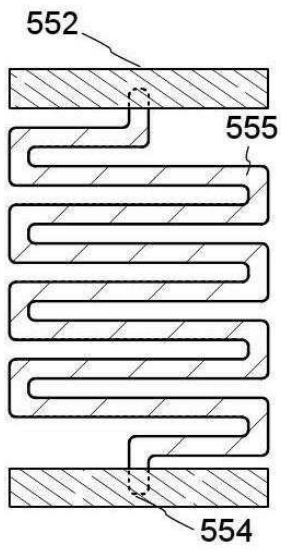


(B)

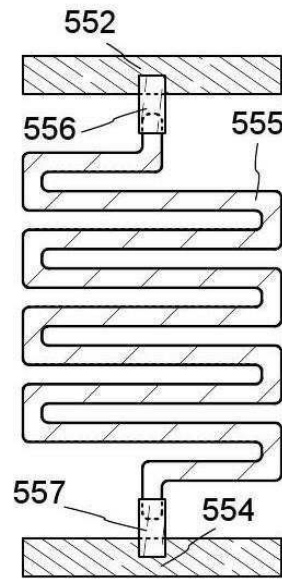


도면22

(A)

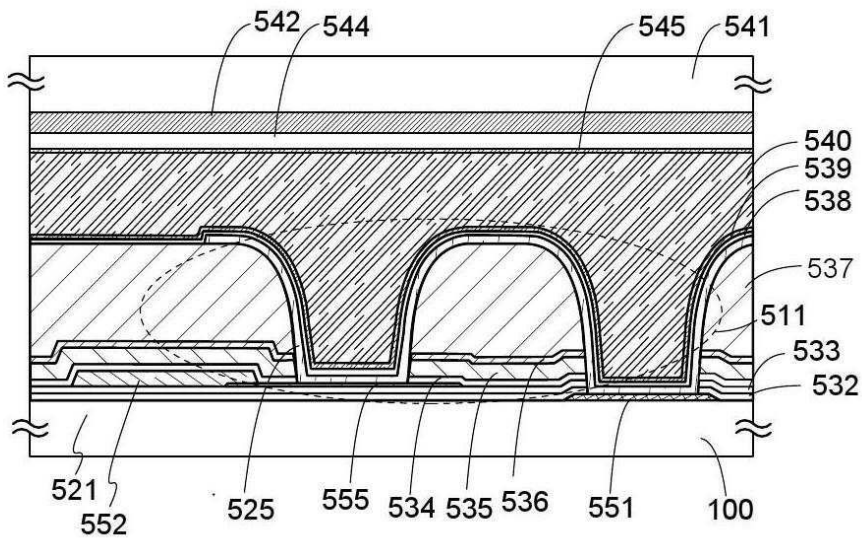


(B)

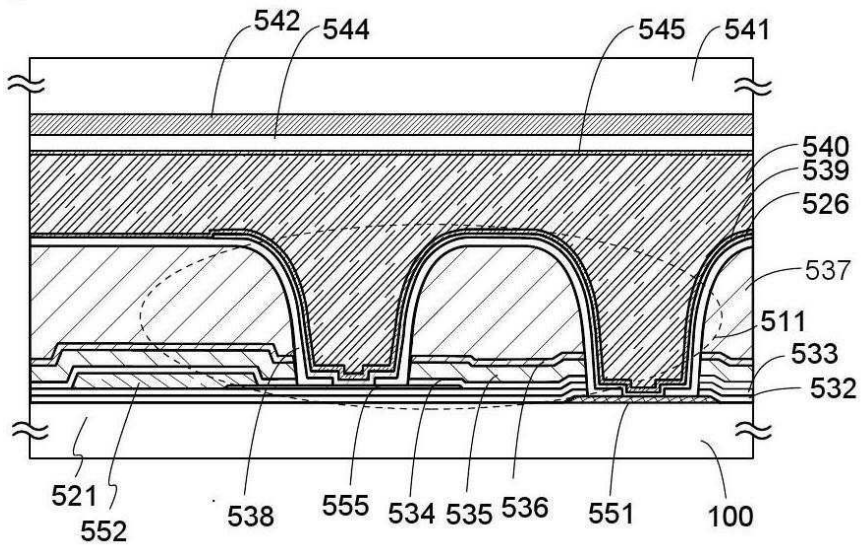


도면23

(A)

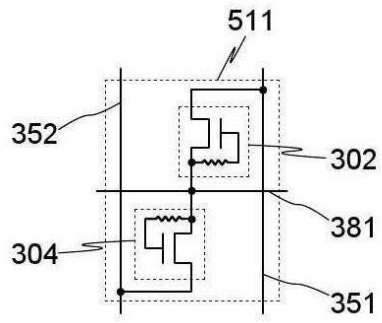


(B)

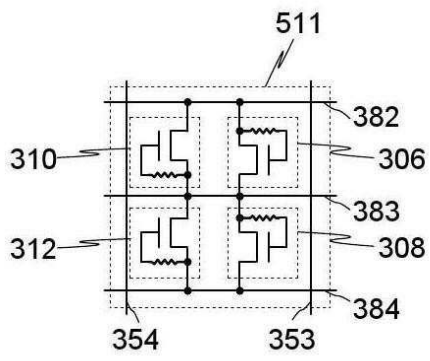


도면24

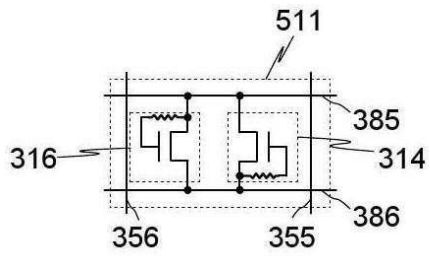
(A)



(B)

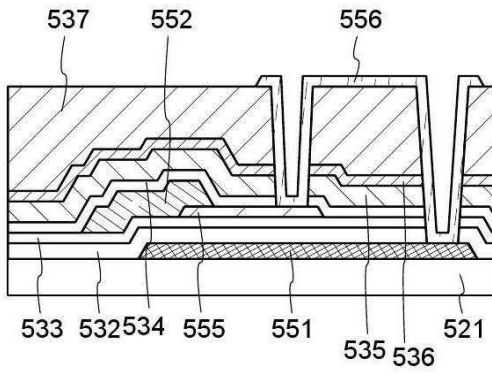


(C)

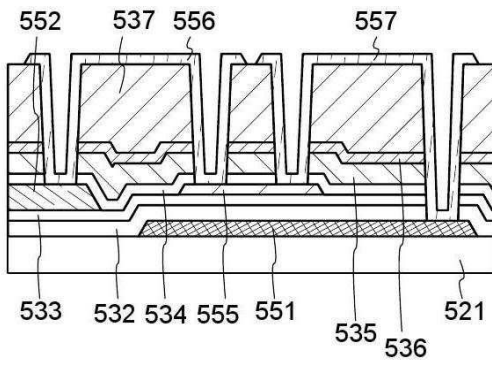


도면25

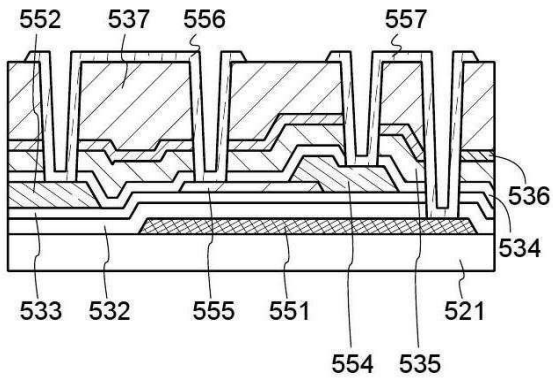
(A)



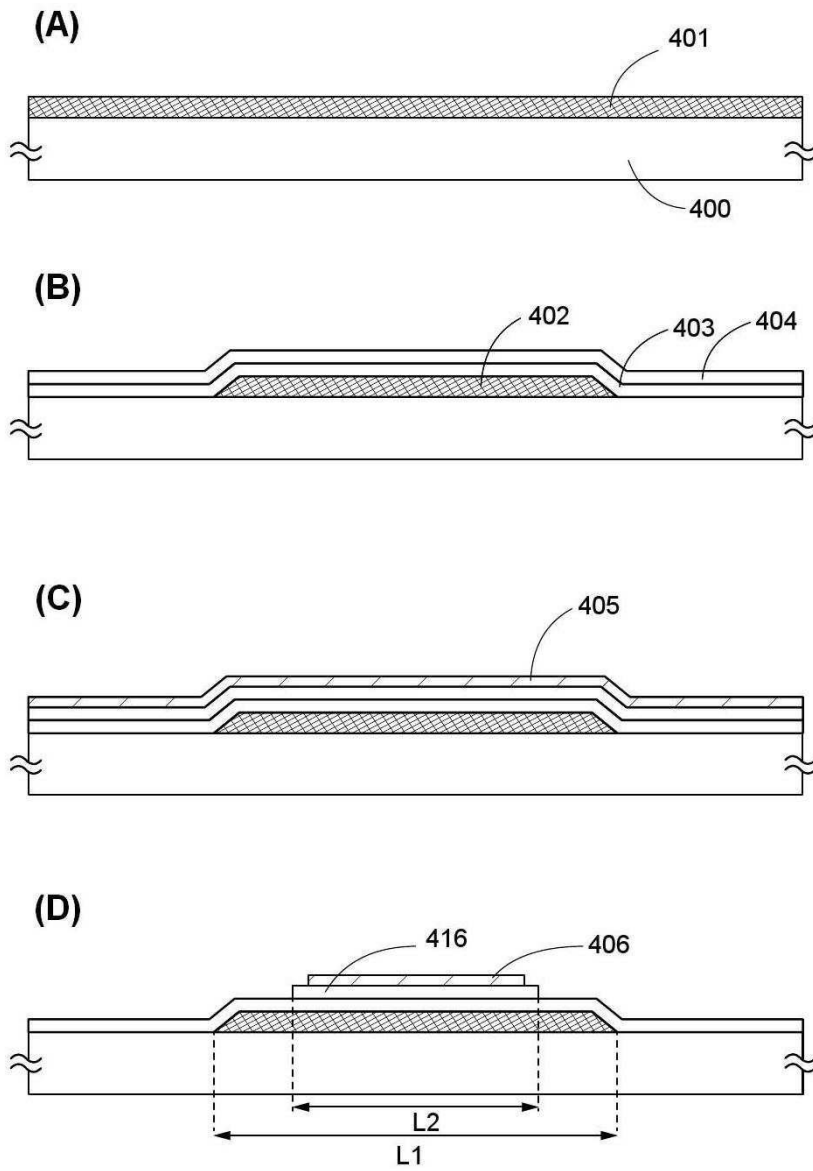
(B)



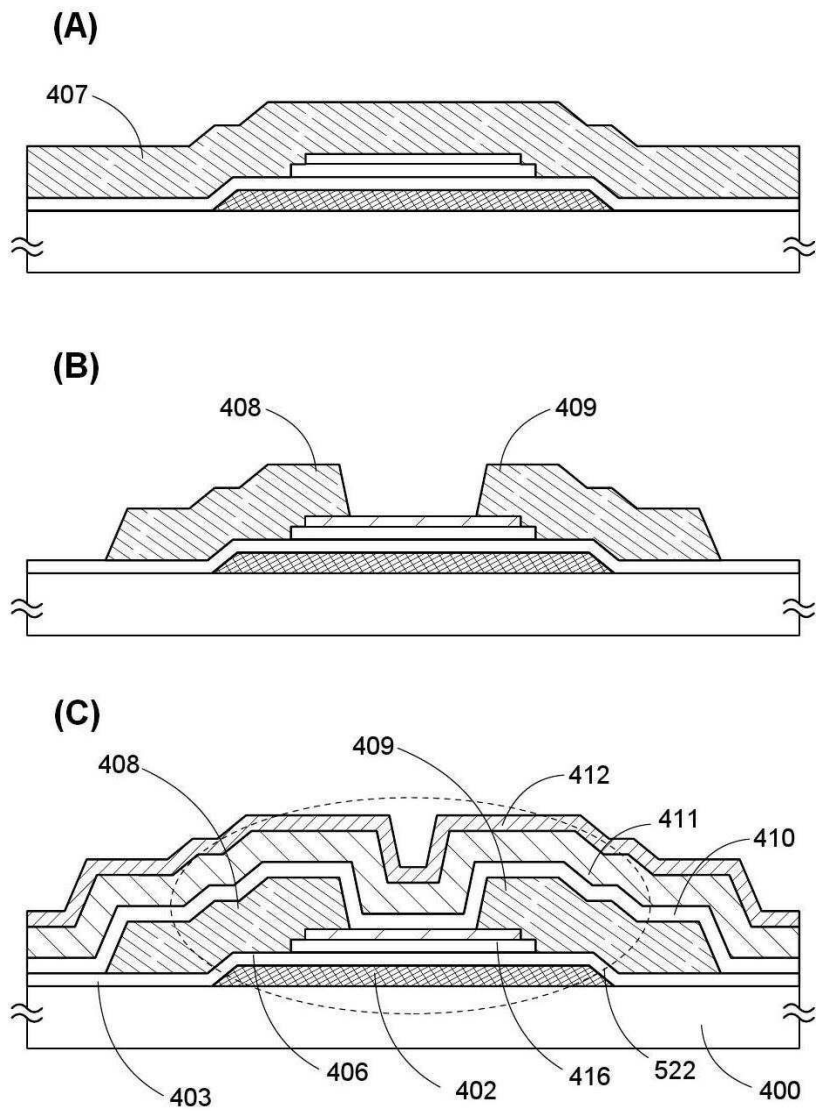
(C)



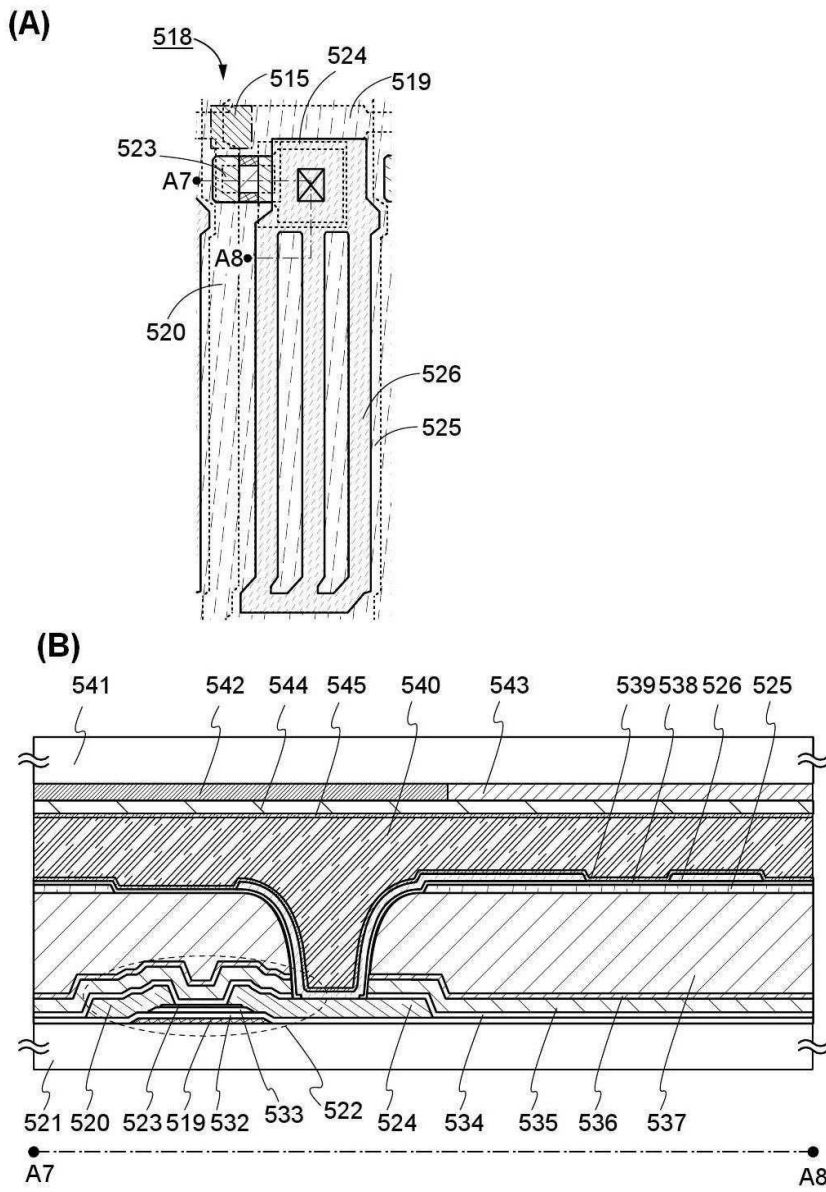
도면26



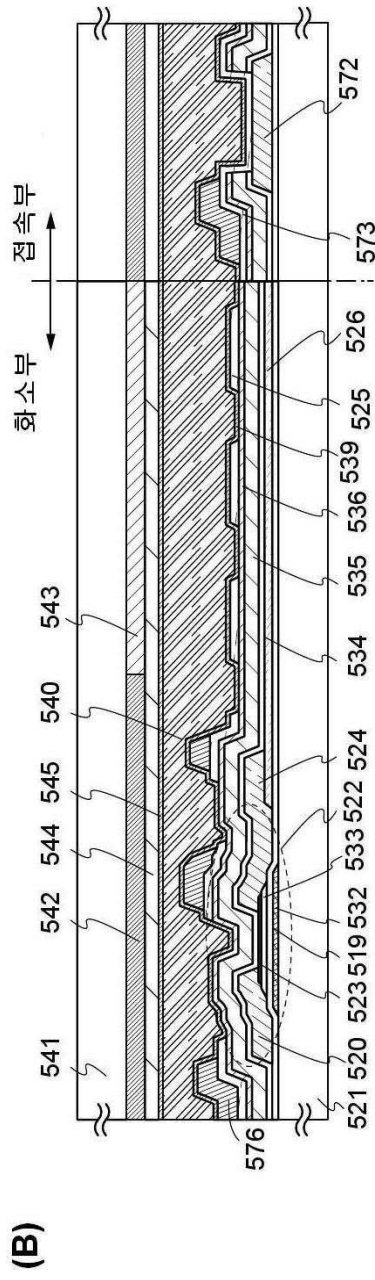
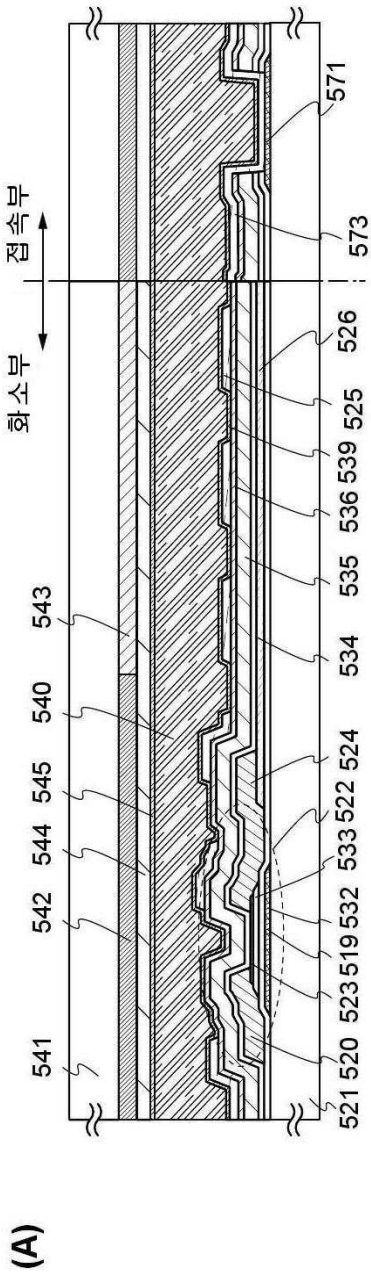
도면27



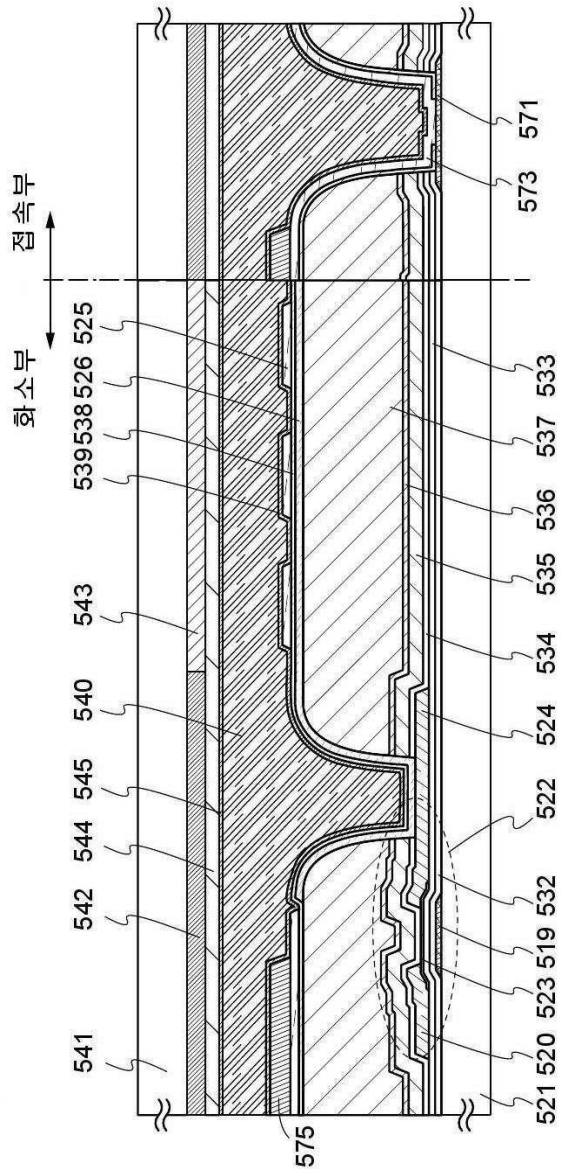
도면28



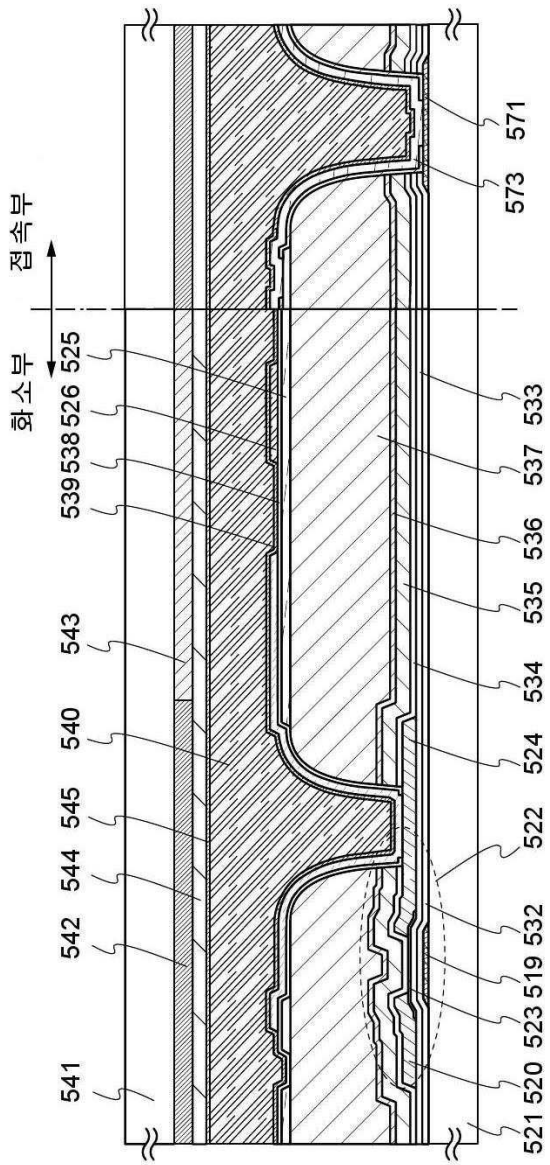
도면29



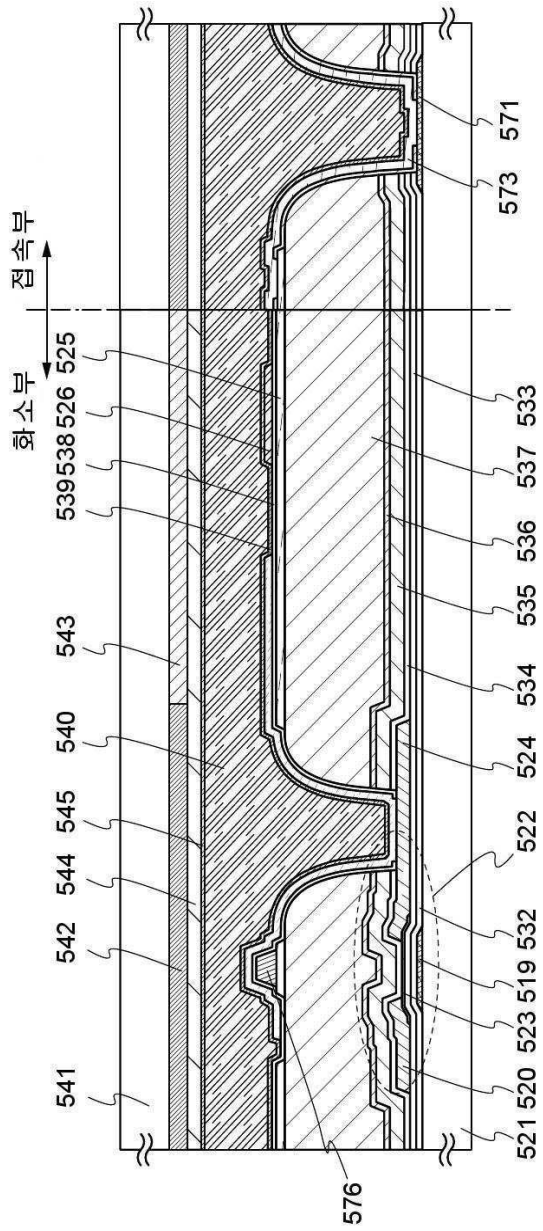
도면31



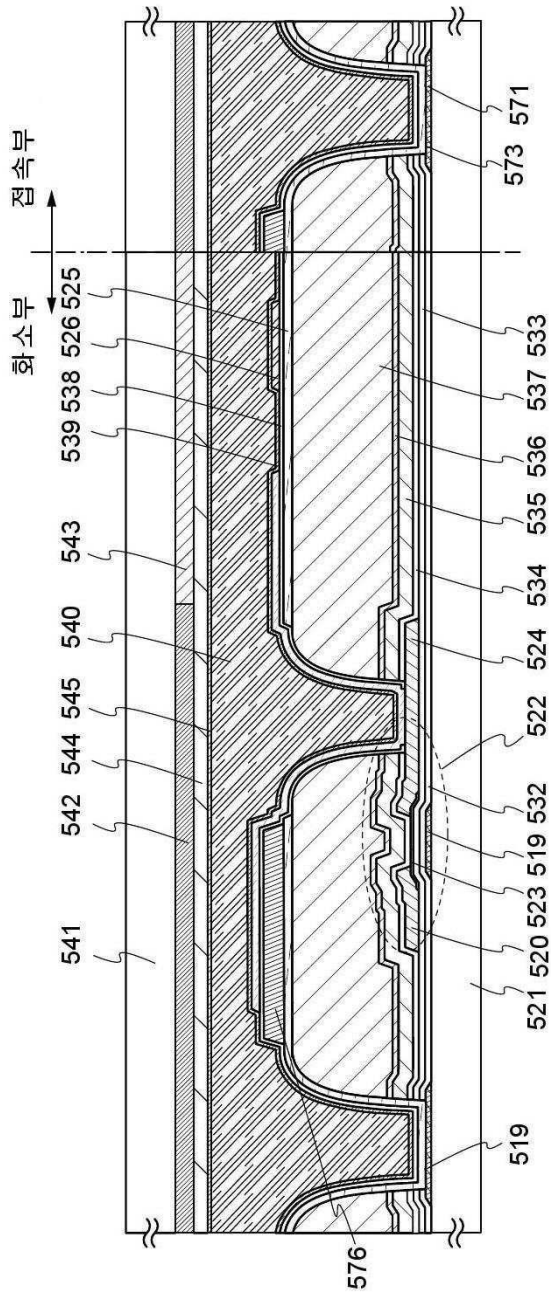
도면32



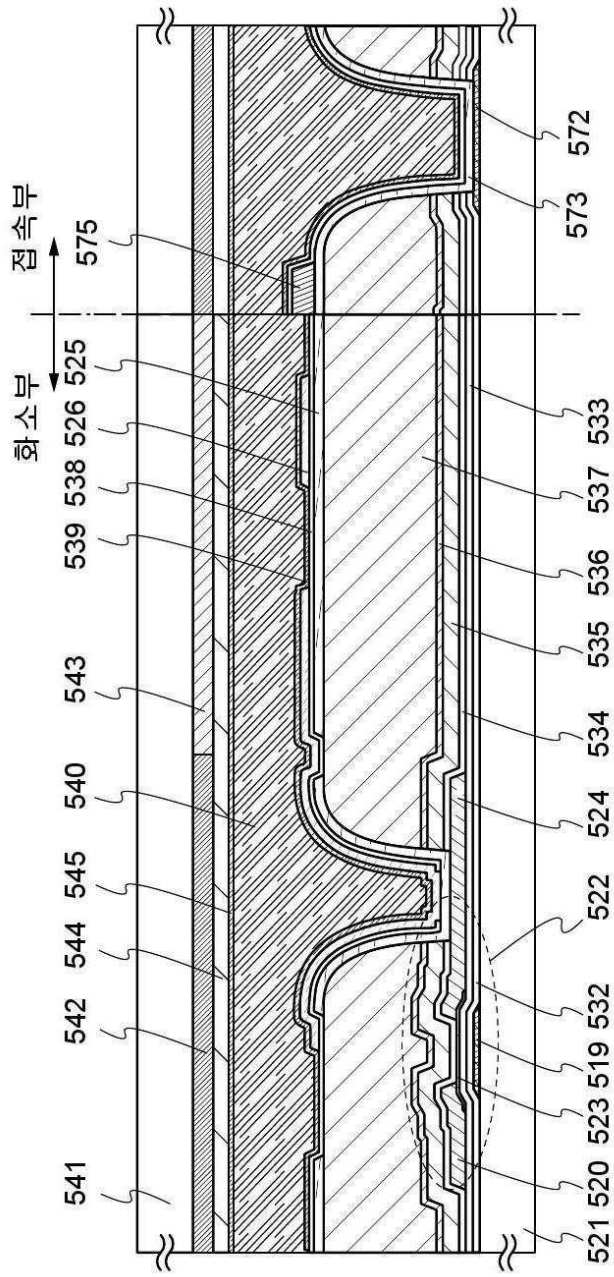
도면33



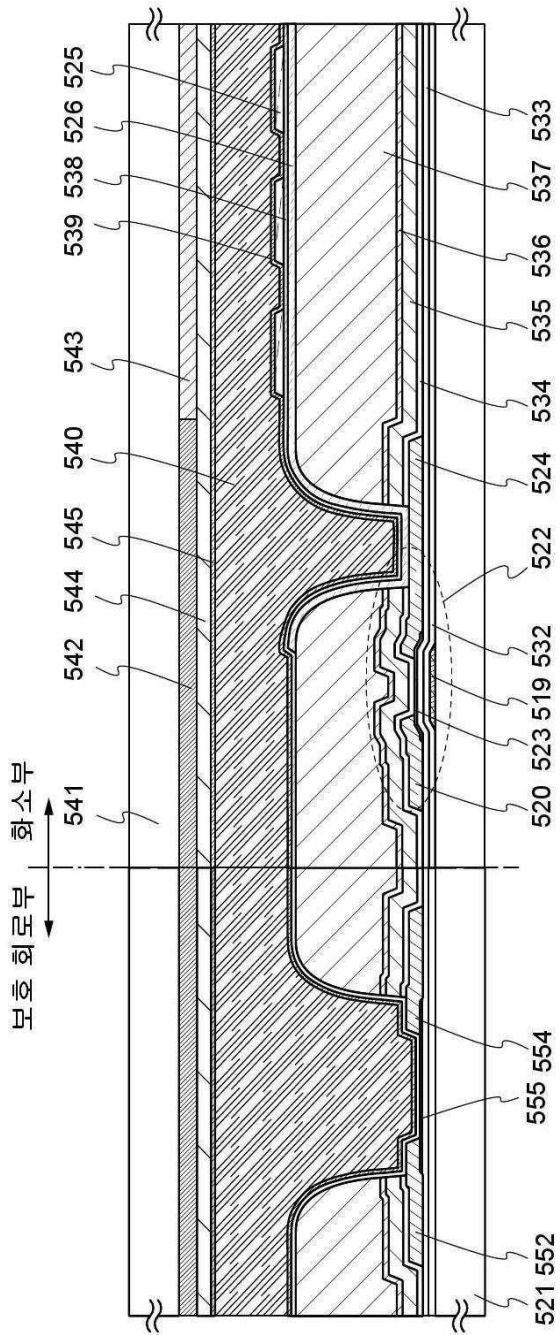
도면34



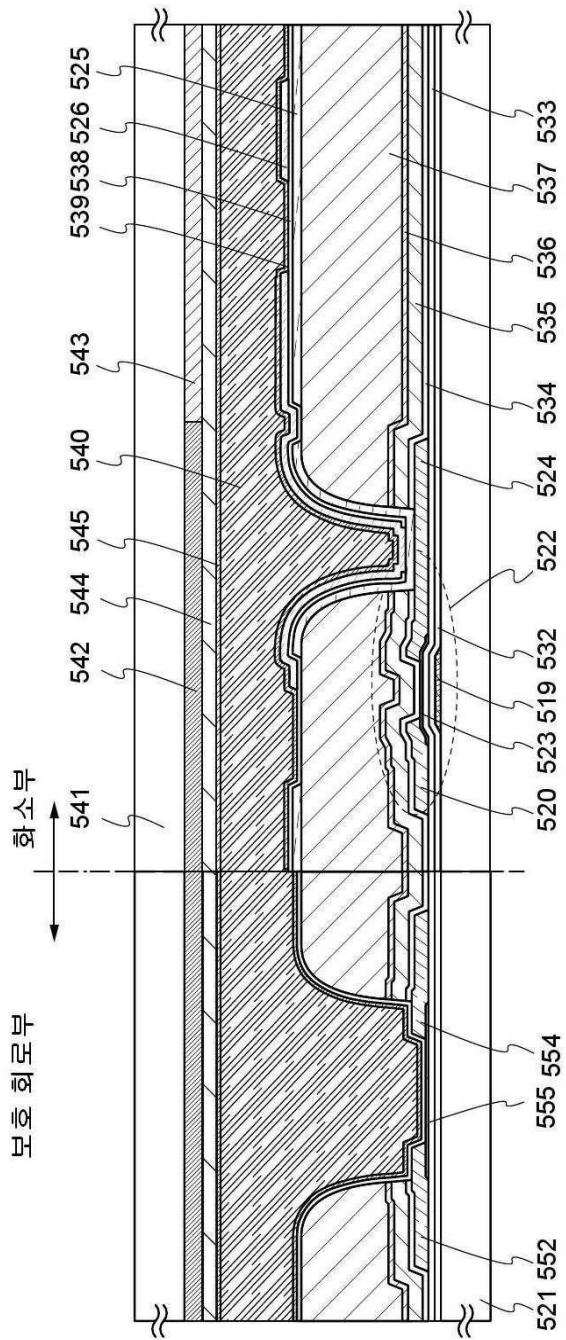
도면35



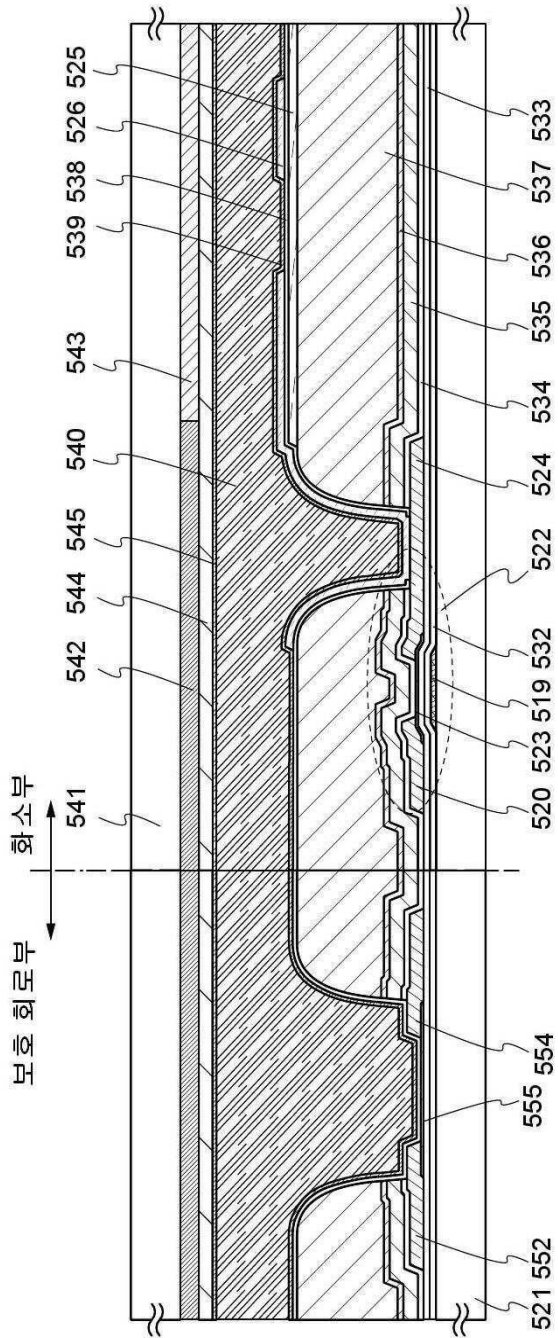
도면36



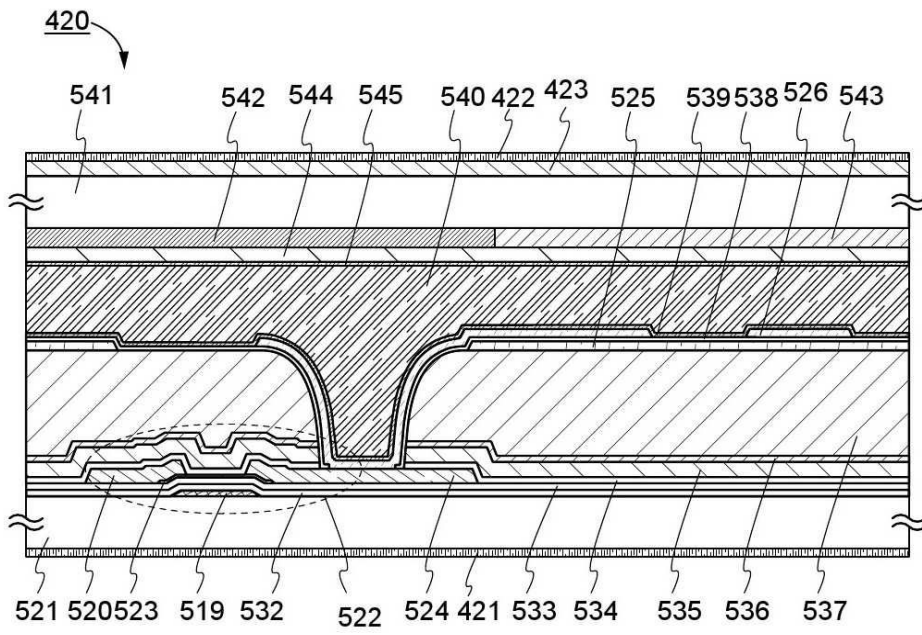
도면37



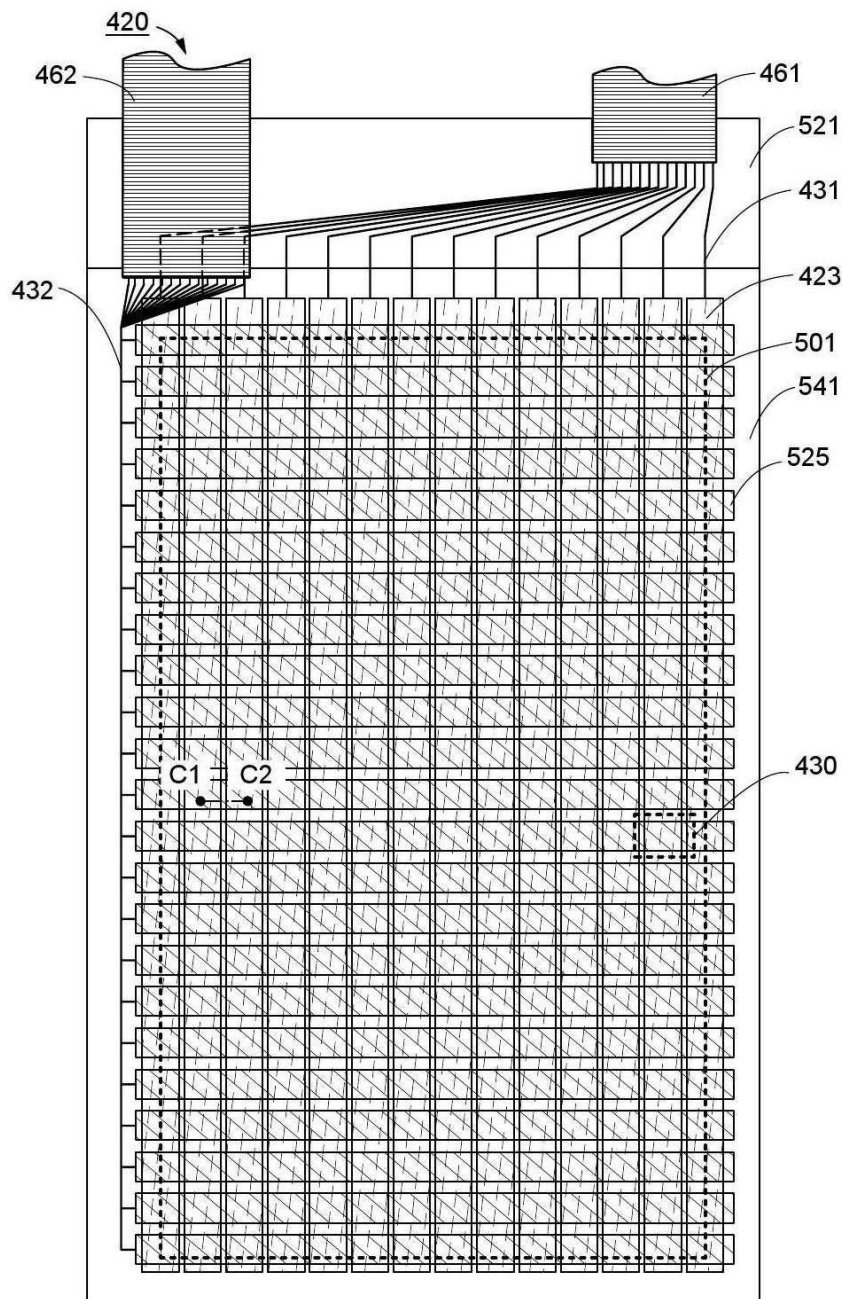
도면38



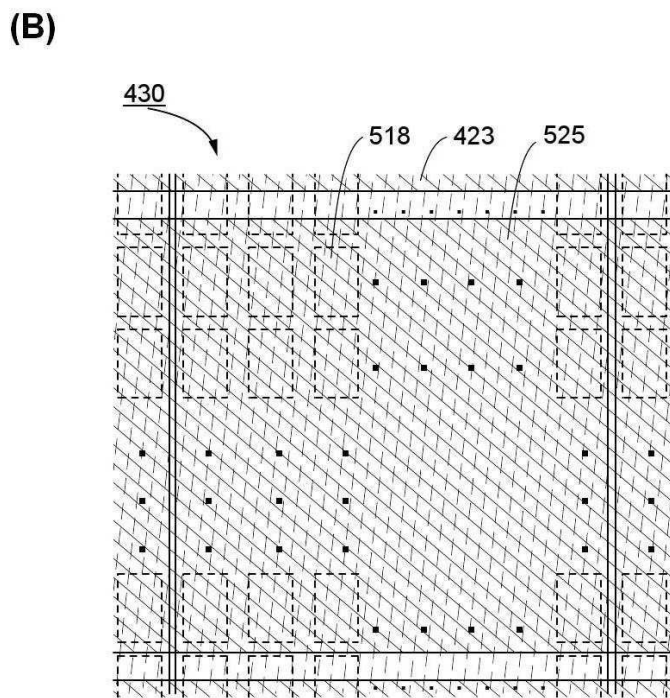
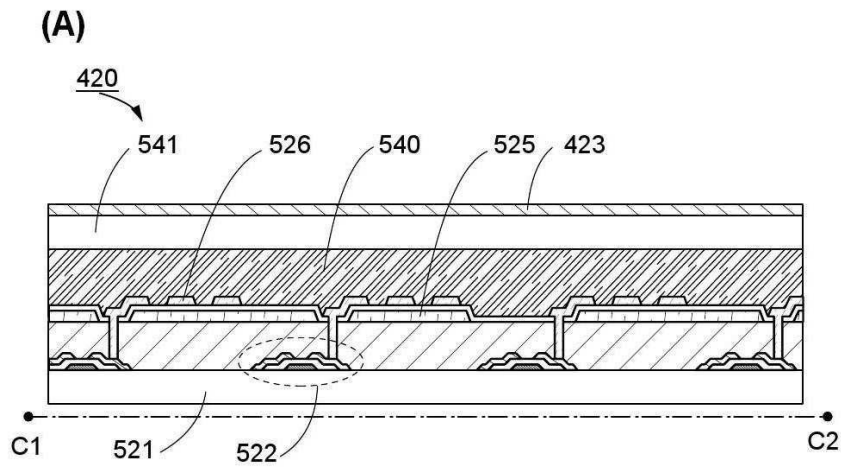
도면39



도면40

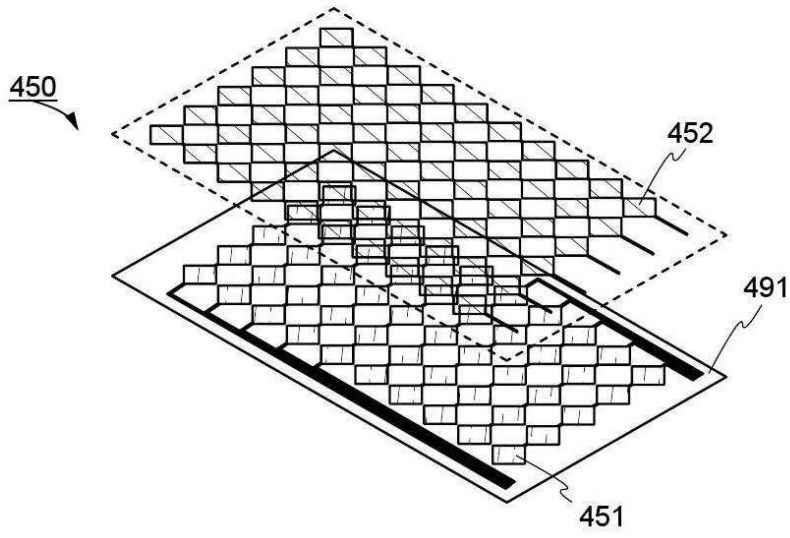


도면41

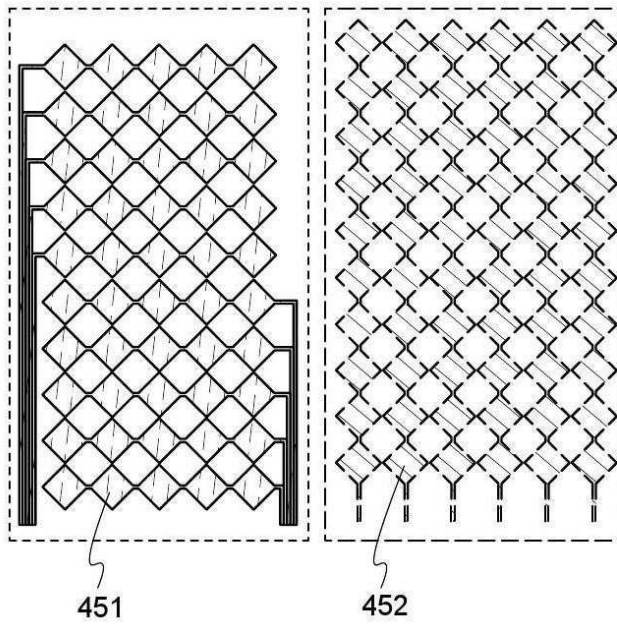


도면42

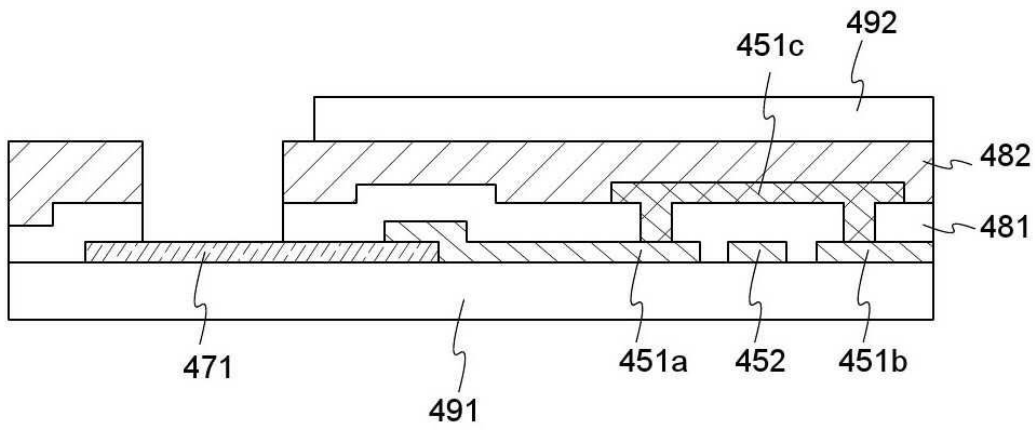
(A)



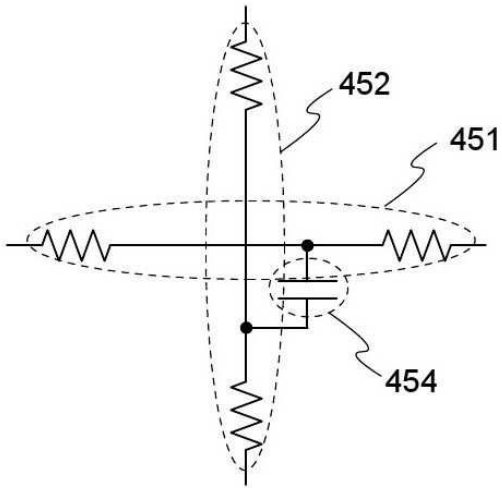
(B)



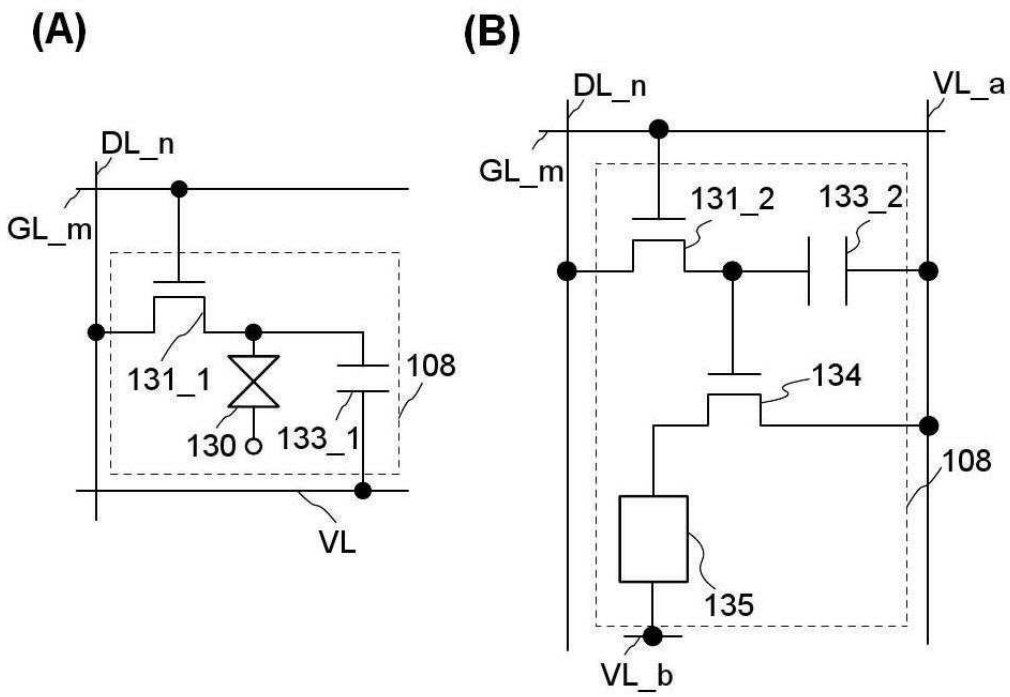
도면43



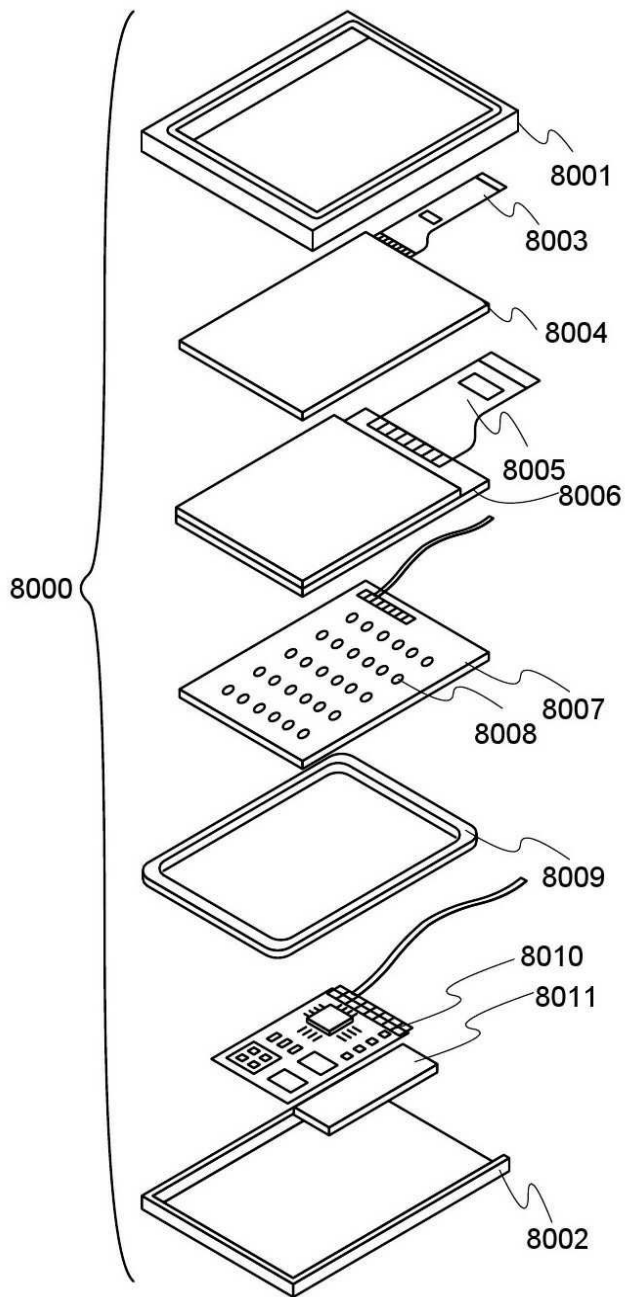
도면44



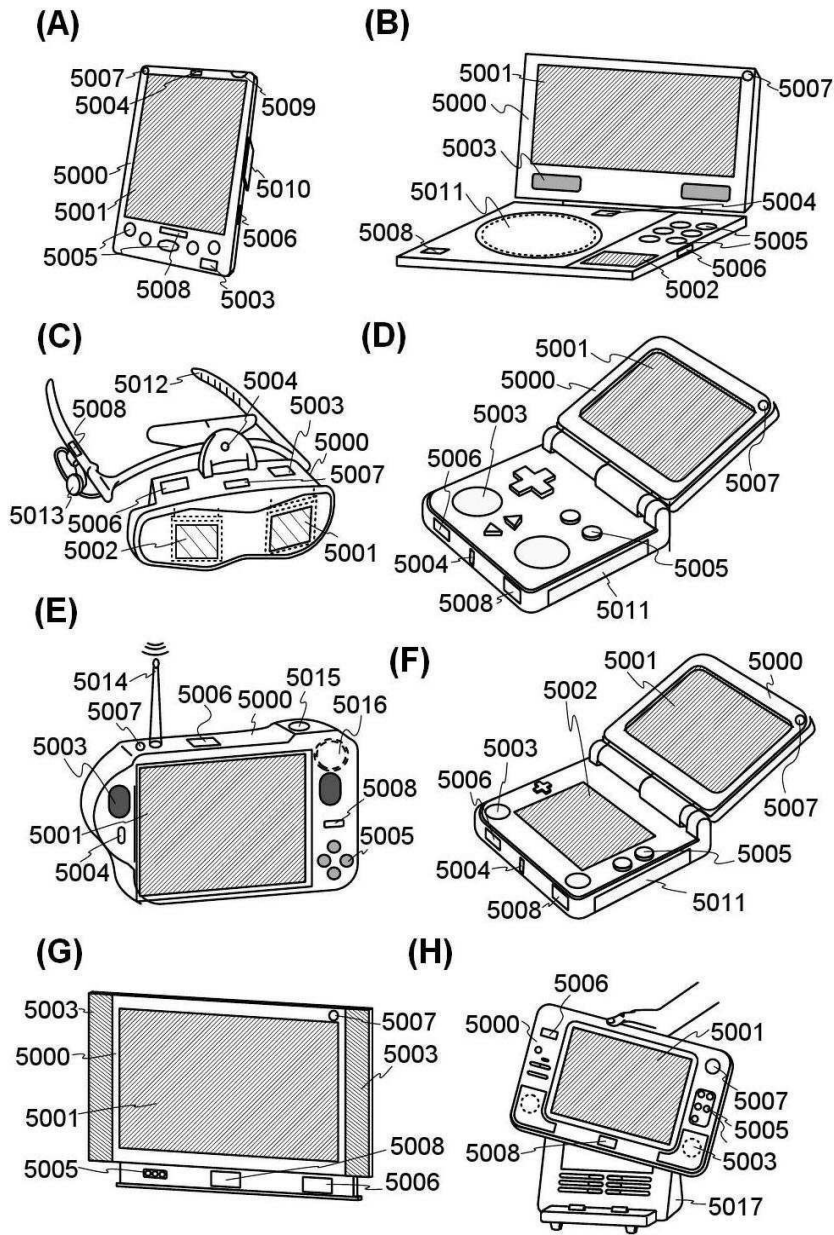
도면45



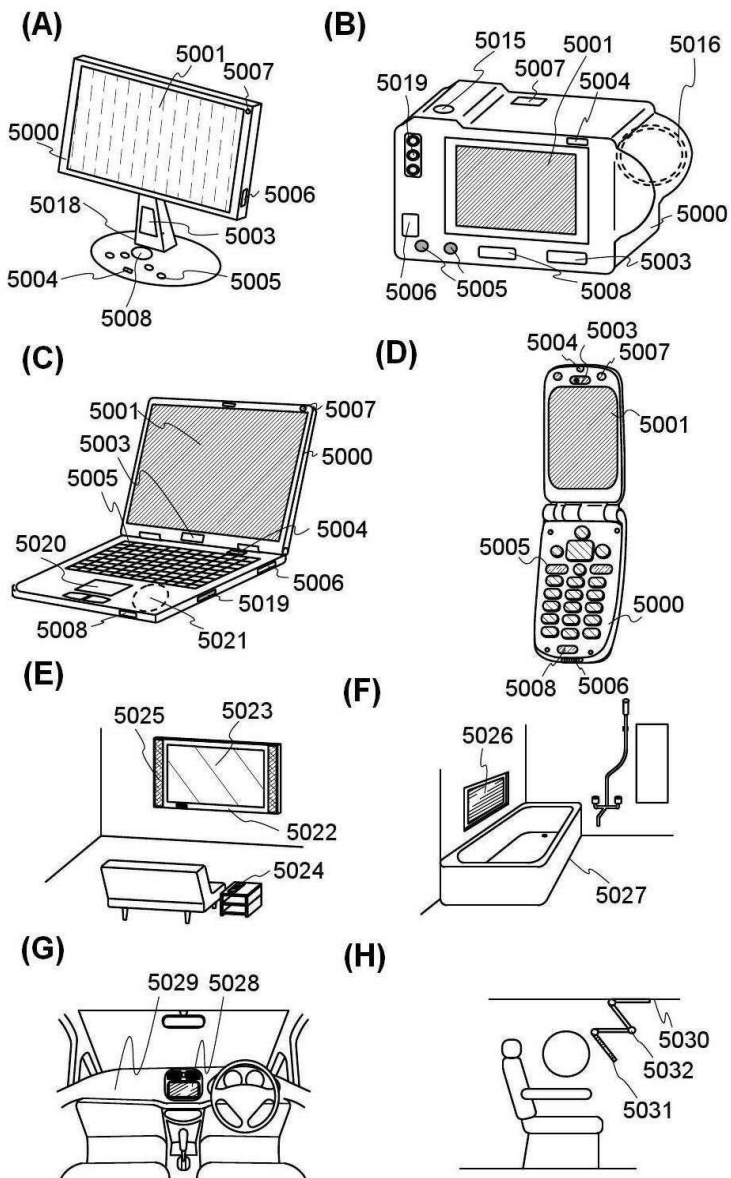
도면46



도면47

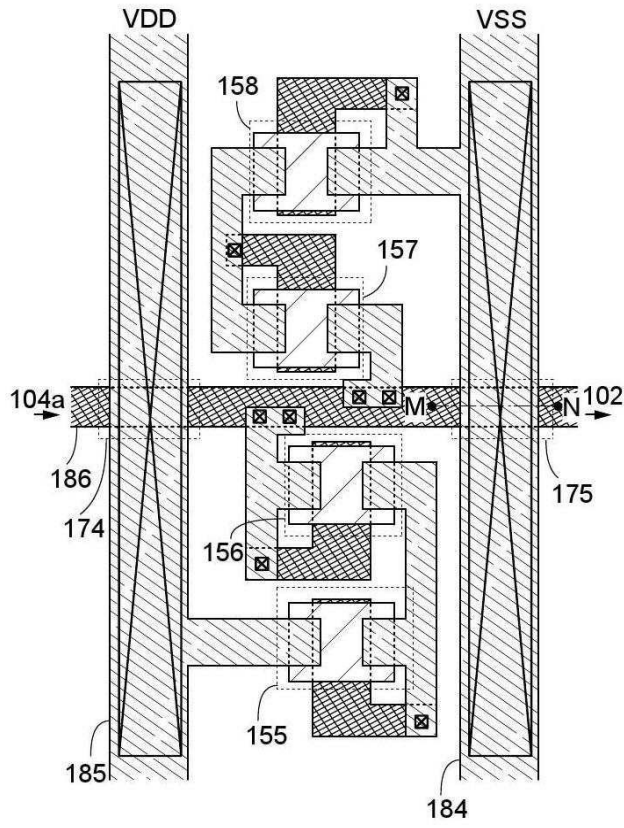


도면48

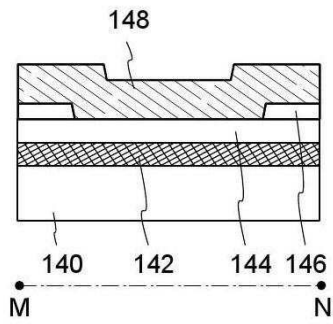


도면49

(A)

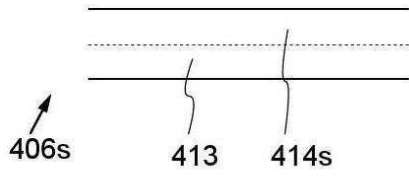


(B)

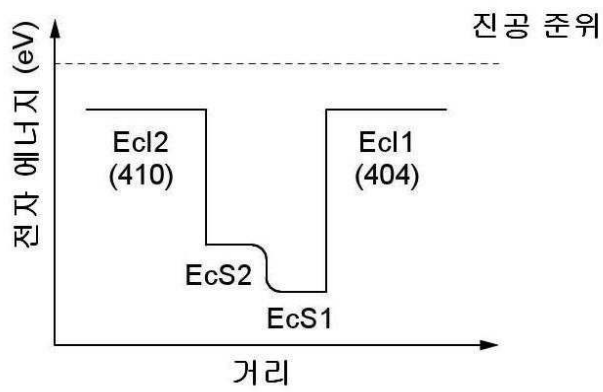


도면50

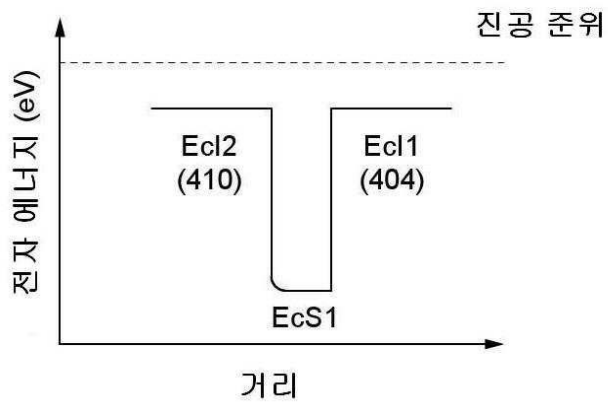
(A)



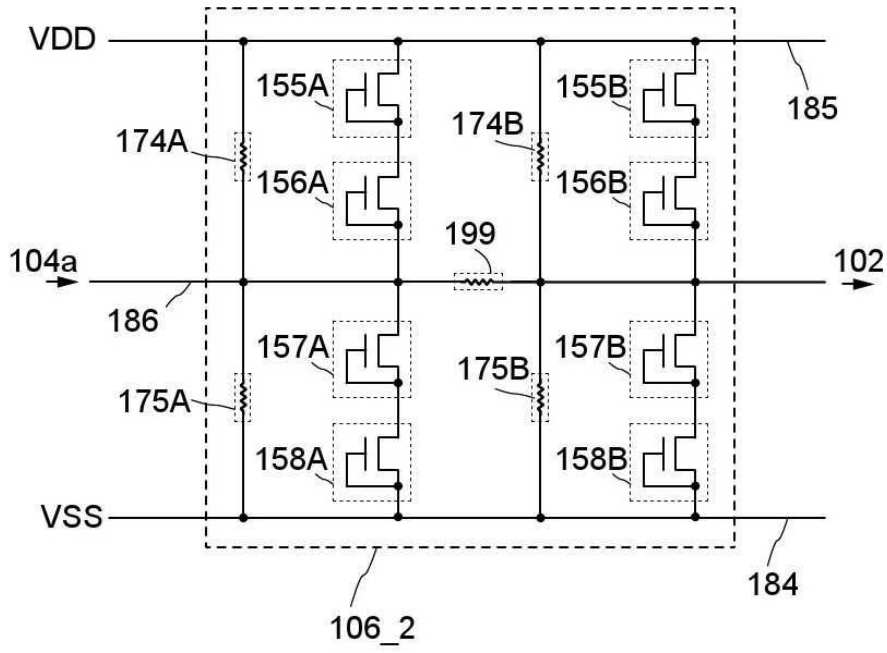
(B)



(C)

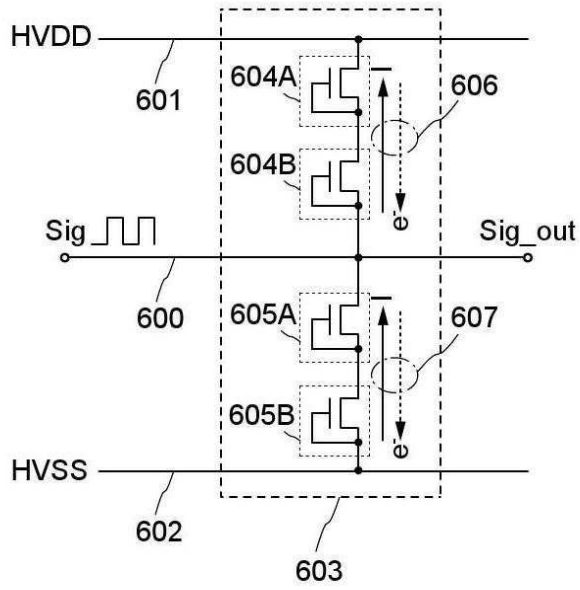


도면51



도면52

(A)



(B)

