

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5547150号
(P5547150)

(45) 発行日 平成26年7月9日 (2014.7.9)

(24) 登録日 平成26年5月23日 (2014.5.23)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O
HO 4 N 5/357 (2011.01)	HO 4 N 5/335 5 7 O
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 O

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2011-202814 (P2011-202814)	(73) 特許権者	000003078
(22) 出願日	平成23年9月16日 (2011.9.16)		株式会社東芝
(65) 公開番号	特開2013-65652 (P2013-65652A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成25年4月11日 (2013.4.11)	(74) 代理人	110000235
審査請求日	平成25年9月2日 (2013.9.2)		特許業務法人 天城国際特許事務所
		(72) 発明者	関根 弘一
			岩手県北上市北工業団地6番6号 岩手東芝エレクトロニクス株式会社内
		審査官	多賀 和宏
			最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【特許請求の範囲】

【請求項 1】

それぞれ多角形の平面形状を有し、中心部に前記多角形の辺により空間が形成されるように配列された6個のフォトダイオードと、これらのフォトダイオードにより光電変換され、蓄積された信号電荷を検出するために、前記中心部の空間内に配置されたフローティングジャンクションと、前記フォトダイオードに蓄積された信号電荷を前記フローティングジャンクションに読み出すために、前記中心部の空間内に配置された転送ゲートトランジスタと、前記中心部の空間内に配置され、前記フローティングジャンクションの電位変化を検出するアンプトランジスタおよび前記フローティングジャンクションの電位をリセットするリセットトランジスタを含む2組の出力回路と、を基本単位セルとして含み、この基本単位セルを2次元に複数個配置してなる固体撮像装置。

10

【請求項 2】

前記2組の出力回路は、前記リセットトランジスタのドレイン電極を共用していることを特徴とする請求項1に記載の固体撮像装置。

【請求項 3】

前記フォトダイオードと、前記出力回路との間にはシャロートレンチを用いた素子分離領域が形成されていることを特徴とする請求項2に記載の固体撮像装置。

【請求項 4】

前記6個のフォトダイオードのうち、互いに隣接するフォトダイオード間にはイオン注入による素子分離領域が形成されていることを特徴とする請求項2または3に記載の固体

20

撮像装置。

【請求項 5】

前記複数の基本単位セルは市松状に配置されていることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 6】

前記各基本単位セルに含まれる前記フォトダイオード、前記リセットトランジスタあるいは前記アンプトランジスタは、それぞれ行および列からなる格子状に配列され、前記格子状に配列されたフォトダイオードのうち、同じ行に配列されたフォトダイオードに蓄積された信号電荷を読み出すための転送ゲートトランジスタの転送ゲート電極に共通接続された転送ゲート配線と、前記格子状に配列されたりセットトランジスタのうち、同じ行に配列されたりセットトランジスタのリセットゲート電極に共通接続されたりセット配線と、前記前記格子状に配列されたアンプトランジスタのうち、同じ列に配列されたアンプトランジスタのソース電極に共通接続された出力配線と、を備えることを特徴とする請求項 5 に記載の固体撮像装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、画素の集積度を向上させた CMOS センサタイプの固体撮像素子に関する。

20

【背景技術】

【0002】

従来の CMOS センサタイプの固体撮像素子のセル構造としては、2 画素 1 セルの構成のタイプがよく知られている。これは、光電変換により発生した電荷を蓄積するフォトダイオード（以下略して PD と呼ぶ）を 2 つ配置し、これらの PD から読み出された信号電荷を電圧に変換する出力回路を、2 つの PD で共有化した、所謂シェアドピクセルタイプである。代表例として、特許文献 1 や、本出願人より提案した特許文献 2 に記載されている構造がある。

【0003】

2 画素 1 セルタイプの固体撮像素子の構成要素は、PD と、PD から電荷転送するフローティングジャンクション（以下略して FJ と呼ぶ）と、この転送を制御する転送ゲートトランジスタ（以下略して TG と呼ぶ）と、FJ の電位変化を検知する出力アンプトランジスタ（以下略して Amp と呼ぶ）と、PD からの電荷を FJ へ転送する前に FJ の電位を一定電位にリセットするためのリセットトランジスタ（以下略して RS と呼ぶ）のゲート電極と、このリセットトランジスタのリセット電位及び Amp の電源を兼ねるリセットドレイン電極（以下略して RD と呼ぶ）とから成る。Amp のソース電極側には FJ に連結されたゲート電極の電位変化を外部に出力するための出力ソース電極（以下略して OS と呼ぶ）がある。

30

【0004】

この様にそれぞれの PD には電荷転送用の TG が有り、2 つの PD は FJ、RS、Amp、RD を共有している。従って一つの PD の周囲にはこれらの構成要素が配置されるため、素子分離領域が多くなる。通常 2 画素 1 セルのトランジスタの数としては、2 つの TG、1 つの RS、1 つの Amp があり、1 つの PD 当たり 2 つのトランジスタが必要となる。また配線の数も、縦方向に 2 PD が配置された 2 画素 1 セル構造では、2 PD 当たり 2 TG、1 RS、1 RD、1 出力配線（OSL と連結されている）となる。従って 1 PD 当たり、1 本の TG 配線（横方向）、0.5 本の RS 配線（横方向）および RD 配線（横方向）、1 本の出力配線（縦方向）が必要となる。

40

【0005】

素子分離領域としては、通常の微細セルでは PD とトランジスタ間の素子分離で有るため、シャロートレンチアイソレーション（以下略して STI と呼ぶ）と言われる構造で素子分離される。これは半導体基板に浅い溝（トレンチ）を掘り、そこに酸化膜を埋め込ん

50

で分離する方法である。半導体基板に溝を掘るためダメージが入り、これによる画像劣化（白キズ）を防止するために、トレンチの周囲には不純物領域を設け、PDからの空乏層がこのダメージ領域まで届かない様な工夫を行っている。この不純物領域の形成は画質改善には貢献するも、PDの実効的な面積縮小になり、画素の微細化の際には、PDで蓄積できる電荷量（以下飽和電荷量と略す）の減少をもたらす。

【0006】

一方、配線本数の増加はPDに取り込まれる入射光の収集効率低下をもたらし、画面周辺部でもシェーディング劣化を引き起こす。やはりこれらは微細セル化と共に画質劣化をもたらしていた。

【先行技術文献】

10

【特許文献】

【0007】

【特許文献1】米国特許第6091449号明細書

【特許文献2】特開2006-302970号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の実施形態は、微細セルに於いても、白キズ劣化無く、飽和電荷量の劣化を防ぎ、かつシェーディング劣化も抑える固体撮像素子を提供することを目的とする。

【課題を解決するための手段】

20

【0009】

本発明の実施形態に係る固体撮像装置は、それぞれ多角形の平面形状を有し、中心部に前記多角形の辺により空間が形成されるように配列された6個のフォトダイオードと、これらのフォトダイオードにより光電変換され、蓄積された信号電荷を検出するために、前記中心部の空間内に配置されたフローティングジャンクションと、前記フォトダイオードに蓄積された信号電荷を前記フローティングジャンクションに読み出すために、前記中心部の空間内に配置された転送ゲートトランジスタと、前記中心部の空間内に配置され、前記フローティングジャンクションの電位変化を検出するアンプトランジスタおよび前記フローティングジャンクションの電位をリセットするリセットトランジスタを含む2組の出力回路と、を基本単位セルとして含み、この基本単位セルを2次元に複数個配置してなるものである。

30

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態に係る固体撮像素子を構成する6画素1セル用単位セルの等価回路図である。

【図2】図1に示す6画素1セル用単位セルのパターンレイアウトを示す平面図である。

【図3】図1に示す単位セルを2ブロック組み合わせた12画素1セル用単位セルの等価回路図である。

【図4】図3に示す12画素1セル用単位セルを繰り返し展開してなる固体撮像素子の等価回路図である。

40

【図5】図4に示す固体撮像素子のパターンレイアウトを色フィルタ配置とともに示す平面図である。

【図6】図4に示す等価回路に色情報と読み出し情報とを付記した等価回路図である。

【図7】本発明の他の実施形態に係る固体撮像素子の等価回路図である。

【図8】図7に示す固体撮像素子の画素読み出しタイミングチャート図である。

【図9】本発明の他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図である。

【図10】図9に示す固体撮像素子のパターンレイアウトに適用する色フィルタ配置を示す平面図である。

【図11】本発明の他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図

50

である。

【図 1 2】本発明の他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図である。

【発明を実施するための形態】

【0011】

本発明の実施形態に係る固体撮像素子は、6画素1セルを一つのブロックとし、これを市松状に配置した12画素1セルを繰り返し単位として配置したCMOSセンサである。出力回路を複数PDで共有化することにより、PDに隣接したSTI領域の長さを減らし、PD間の素子分離の大部分をイオン注入領域で行う事で、微細セルでも白キズ劣化を防止しつつ、飽和電荷量も確保し、かつ1PD当たりの配線本数を減らし、シェーディング劣化を防止することが可能である。

10

【0012】

以下に、本発明の実施形態に係る固体撮像素子について、図面を参照して詳細に説明する。

【0013】

(第1の実施形態)

図1は、第1の実施形態に係る固体撮像素子を構成する基本セルの等価回路図である。6つのフォトダイオードPD(PD11、PD12、PD21、PD22、PD31、PD32)は、左右2つに分かれており、左側のPD11、PD21、PD31は転送ゲートトランジスタTG11、TG21、TG31を介しフローティングジャンクションFJ1に連結されている。右側のPD12、PD22、PD32はTG12、TG22、TG32を介しFJ2に連結されている。FJ1、FJ2はそれぞれリセットトランジスタRS1、RS2を介し共通のリセットドレイン端子RDに左右から連結されている。出力アンプトランジスタAmpのゲートAmp1、Amp2の上下から共通のドレインに連結しており、この共通のドレインはRDで兼ねる。FJ1、FJ2はそれぞれAmp1、Amp2のゲートに連結されており、FJ1、FJ2の電位変化を出力ソース電極OS1、OS2より外部に出力される。OS1、OS2はそれぞれ縦方向に伸びる出力信号線LOS1、LOS2に連結されている。LOS1、LOS2の先には、回路は図示されていないが負荷MOS(L-MOS)がある。また水平方向の同一ライン上のTG11、TG12は読み出しラインTG1、同様に水平方向の同一ライン上のTG21、TG22は読み出しラインTG2、水平方向の同一ライン上のTG31、TG32は読み出しラインTG3に連結されている。図1は6画素で1つのRDを共有化する構造であり、以下6画素1セル構造と称する。

20

30

【0014】

図1に示す基本セルの等価回路のレイアウトを図2に示す。特徴的な事はFJ1の4辺の内3辺にTG11、TG21、TG31を配置し、その先にPD11、PD21、PD31が配置されている。FJ1の残り1辺にはRS1が隣接配置され、RS1のFJ1と対向するドレイン側にはRDが配置されている。このRDをセンターに3画素1セルブロックを水平方向に180度回転させた3画素1セルをもう一つ配置させる。即ちRDのRS1と対向した位置にRS2を配置されている。RS2のRDと対向する辺にFJ2が配置され、FJ2の4辺の内3辺にTG12、TG22、TG32を配置し、その先にPD12、PD22、PD32が配置されている。一方RDの上下2辺にはAmpトランジスタのゲートAmp1、Amp2が隣接配置されている。Amp1、Amp2はそれぞれFJ1、FJ2と連結(連結配線は図示せず)されている。Amp1、Amp2のソース側にはソース電極OS1、OS2が配置され、これと連結され縦方向に出力信号線LOS1、LOS2(図示せず)が伸びる。

40

【0015】

それぞれPDと出力回路のOS間の素子分離はSTIで行われる。一方PD間の素子分離は、イオン注入方法で形成された不純物領域(以下チャネルストッパーと称しCSと略す)で素子分離を行う。

50

【 0 0 1 6 】

図 2 に示す 6 画素 1 セルのレイアウトに於いては、隣接するセル配置を考慮すると、正
方格子状に配置するよりは斜め方向にシフトさせ配置させると収まりが良くなる。この実
用的な配置構造につき、図 3 を用い等価回路を説明する。図 3 は図 1 の 6 画素 1 セルを一
つのブロックとして、斜め方向に 2 つのブロックを隣接させた等価回路である。所謂 1 2
画素 1 セルの等価回路になる。ここで、1 ブロック目の P D 3 1、P D 3 2 に隣接し、2
ブロック目の P D 1 1、P D 1 2 が同一水平ライン上に配置されている。2 ブロック目の
読み出しライン T G、出力ソース電極 O S はそれぞれ 1 ブロック目と区別するため、T G
1 '、O S 1 ' と示している。

【 0 0 1 7 】

図 3 の 1 2 画素 1 セルを繰り返し配置した等価回路を図 4 に示す。図に於いて同一水平
ライン上の P D は同じ記号にて示す。例えば P D 1 1、P D 1 2 は P D 1 と呼ぶ。図 3 で
は 1 ブロック目の P D 3 1、P D 3 2 に隣接し、2 ブロック目の P D 1 1、P D 1 2 があ
るが、図 4 では同一ライン上なので P D 3 と示している。これに伴い、T G 3 と T G 1 '
は同一読み出しタイミングとし、T G 3 で示し、2 ブロック目の T G 2 '、T G 3 ' はそ
れぞれ T G 4、T G 5 と示している。T G 5 は 3 ブロック目の T G 1 と同じ配線である。
順次 3 ブロック目の T G 2、T G 3 に相当する配線は T G 6、T G 7 となり、T G 7 は 4
ブロック目の T G 1 ' に対応する。図 4 に示す等価回路で特徴的な事は、斜め方向に隣接
した 2 つのブロックが常にセットで出力回路が O N になるように T G が開く構成になって
いることである。このため R S は 2 つのブロックの R S 共通でリセットしていく配線にな
っている。また図 3 の出力信号線 O S 1 '、O S 2 ' は図 4 では、1 2 画素 1 セルレイア
ウトのイメージで O S 3、O S 4 と表記した。

【 0 0 1 8 】

図 4 の 1 2 画素 1 セルの繰り返し等価回路図のレイアウトを図 5 に示す。図 5 では、色
フィルタ配置の一例も合わせて表現している。色フィルタは輝度成分比率の高い G r e e
n 画素の数量を増やし、色信号を作り出す R e d、B l u e は人の眼の色解像度が低い事
を利用し、数量を G r e e n の 1 / 2 に絞っている。

【 0 0 1 9 】

斜め方向に隣接した 2 つのブロックの出力回路で同時に読み出される P D に対しては、
色フィルタの色情報を示す R、G、B の文字の横に、読み出し情報 1、2、3 の数字を付
記し表現している。即ち隣接する縦方向ラインの同じ数字の画素には、図 4 で示す同じ T
G 配線により読み出し信号が印加され、同時に読み出される。この表記は以下の図面でも
同じである。

【 0 0 2 0 】

図 5 に示すレイアウトに対応した図 4 の等価回路図の P D に、上記に示した色情報と読
み出し情報を付記した図を図 6 に示す。

【 0 0 2 1 】

次に、図 2 ~ 図 6 により説明した本実施形態に係る撮像素子の従来の撮像素子にはない
特徴について説明する。本実施形態の撮像素子における基本ブロックである図 2 に示す 6
画素 1 セル構造においては、トランジスタの数として、6 個の T G、2 個の R S、2 個の
A m p を含んでおり、いわゆる、6 画素 1 0 トランジスタ構造である。したがって、1 つ
の画素 (P D) 当たり 1 . 6 7 個のトランジスタとなる。また R D を共有化しているため
、6 画素当たり 1 つの R D となって R D の占有面積が減るため、1 セル当たりの P D の専
有面積割合が増える。

【 0 0 2 2 】

また画素配置にも特徴があり、6 画素で出力回路を囲むように画素が配置されている。
隣接 P D の一部を破線で示しているが、一つの P D の直交する 3 辺は他の P D と隣接して
おり、残り 1 辺もその一部が T G や他の P D に隣接し、残った部分で出力回路に隣接して
いる。図ではこの残り 1 辺が更に鈍角で交差する 3 辺に別れ、それぞれ P D、T G、出力
回路の O S の素子分離領域 (S T I) と隣接している。このように一つの P D の直交する

3 辺が隣接する P D と接している為、これらの隣接する P D 間についてはイオン注入方法で形成された不純物領域で素子分離を行う事が出来る。

【 0 0 2 3 】

この点についてさらに詳細に説明すると、出力回路部では周辺の電位が信号レベルに影響するため、素子分離を強化させる必要があり、その素子分離には S T I が使われる。しかしながら P D 間の素子分離では、P D の電位井戸の壁を形成する目的で形成されるため、壁の高さが多少変動しても、通常の撮像状態では光電変換や信号電荷の蓄積には影響しない。飽和状態で隣接 P D へ過剰電荷が漏れ込む懸念があるが、閉じた状態での T G 電位を制御（少し開き気味に）することで、過剰な電荷を F J に流すように出来、これは信号電荷の読み出しの直前に R S を開いて R D で捨てる事が出来、画質劣化を抑える事が出来る。

10

【 0 0 2 4 】

次に、P D の周囲の素子との分離に S T I を使わないメリットを示す。背景技術の項で説明したように、S T I の問題点として白キズと飽和電荷量のトレードオフにより、微細化が進むにつて素子の特性が大幅に劣化していた。特にそのしわ寄せは白キズに影響し、大規模なキズ補正を行うため、周辺回路に負荷が掛かり、また画像が不自然になる問題があった。本実施形態では素子分離がイオン注入だけで形成でき、半導体基板に対するダメージは熱処理（アニール）することで容易に回復でき、ダメージの少ない素子分離が可能となる為、白キズマージンが大幅に向上する。また素子分離幅も解像限界の抜きパターンで決める事が出来る。これは P D の実効的な面積縮小を抑制でき、P D の飽和電荷量の減少の抑制に繋がる。

20

【 0 0 2 5 】

本実施形態に係る撮像素子の他の特徴としては、画素ピッチがほぼ P D の大きさで決まり微細化に向いている。また F J 1 から A m p 1 までの距離（F J 2 から A m p 2 までの距離も同様）は近傍に隣接して配置されているため配線長を短くでき、F J に寄生する静電容量を減らし、アンプゲインを高める事も出来る。

【 0 0 2 6 】

（第 2 の実施形態）

図 7 は本発明の他の実施形態に係る固体撮像素子の等価回路図であり、図 6 に示す 1 2 画素 1 セルを繰り返し配置した等価回路図に於いて、R S 配線を T G 配線と共有化した回路図を示している。T G 配線を介して読み出しパルス信号を印加し P D から信号電荷を読み出す際に、同じパルス信号を次の出力ブロックの R S と共有化する事により、次のブロックの P D からの信号電荷の読み出しに先立って行われる F J のリセット動作を兼用する事が出来る。

30

【 0 0 2 7 】

図 8 は図 7 に示した等価回路での読み出しパルス信号 T G とリセットパルス信号 R S のタイミングチャートを示す。図に於いて T G での読み出しタイミングを実線で、その読み出しパルス信号 T G で次のラインの F J をリセット（R S）するタイミングを破線で示す。実線、破線の上に付記した R 1、G 1 なる記号は破線のタイミングで R 1、G 1 画素を読み出す回路ブロックの F J を R S するタイミングを示し、実線のタイミングでその読み出しパルス信号で P D から F J への読み出しが行われる事を示している。レイアウトでは R 1、B 1 が同じライン上にあり同時に出てくるが、これは R 1 で代表して示している。R S を掛けるために、T G の読み出し後余分のパルスを印加している。図 8 の下に表記した 4 ラインは O S 1、O S 2、O S 3、O S 4 に上記の読み出しパルス信号 T G のタイミングで出力される画素の色情報と読み出し情報を示している。これは図 7 の画素に付記したものと同一である。

40

【 0 0 2 8 】

図 9 は本発明の他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図で、図 5 に示した 1 2 画素 1 セルを繰り返し配置したレイアウトと水平走査線の構成を示す。画素配置に於いて、R と B 画素と同じ走査線上の画素数は G 画素の同じ走査線上の画素

50

数の半分である。これは出力回路が R と B 画素ライン上にある為である。この出力回路部分の画素の抜けを補正する一例を図 9 により説明する。即ち出力回路の上下に隣接した画素は共に G 画素、G 3、G 3 および G 2、G 2 であり、これらを平均化処理し仮想 G (以下 G_r と呼ぶ) を作ることで、水平走査線上の画素数を揃える事が出来る。この仮想 G_r で埋め込んだ際の各画素の色フィルタ配置を図 10 に示す。同図において破線で囲われた矩形 G が上記方法で作成した仮想 G_r である。また図 9 右下の部分には、マイクロレンズの形状の一例も合わせて記載してある。

【0029】

次に、図 9 に示した実施形態を参照してその特徴を配線本数の観点から説明する。図 7 に示す読み出し配線 T_G とリセット配線 R_S の共通化配置を使うと、図 9 の右端に記したように、水平方向に走る配線は T_G 1、T_G 2、T_G 3、R_D の 4 本配線の繰り返しである。なお、T_G 1、T_G 2、T_G 3、R_D の配線は図 9 には明示されていないが、P_D 間の間隙部に沿って配線されている。また水平走査線は L₁、L₂、L₃、L₄ の 4 本である。太い破線で囲まれた 12 画素 1 セルに於いて、下端の 2 画素 G₂、G₂ を走る水平走査線は、上端の 2 画素 G₁、G₁ を走る水平走査線 L₁ と同じ繰り返しとなり、やはり 4 本の繰り返しである。一方縦方向に走る出力信号線は L_{OS} 1、L_{OS} 2、L_{OS} 3、L_{OS} 4 で示すように、やはり 4 本の繰り返しである。なお、L_{OS} 1、L_{OS} 2、L_{OS} 3、L_{OS} 4 の配線についても図 9 には明示されていないが、P_D 間の間隙部に沿って配線されている。この水平走査線 4 本に対し、水平方向の配線も 4 本ということは、一画素当たり水平方向には 1 本の配線が走っている事を意味する。また縦方向も同様に 4 画素周期で 4 本の出力信号線が走っている。これは一画素 (P_D) 当たり垂直方向にも 1 本の配線が走っている事を意味する。この様に本願では画素の周囲に水平垂直方向に 1 本ずつの配線が走っている。

【0030】

一方、従来の 2 画素 1 セル構造の配線の本数は、本願と同様にリセット配線 R_S と読み出し配線 T_G を共通化した前提で、水平方向は 2 画素当たり 2 T_G、1 R_D であり、垂直方向は 1 画素当たり 1 本の出力配線となる。従って 1 画素当たり、水平方向には 1.5 本の配線、縦方向には 1 本の出力配線となる。この実施形態に於ける、配線本数の減少は P_D に取り込まれる入射光の収集効率向上をもたらし、画面周辺部でのシェーディング劣化を抑制できる。これらは微細セル化になる程効果が顕著になる。

【0031】

(第 3 の実施形態)

図 11 は本発明の他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図である。この固体撮像素子のパターンレイアウトは、図 5 に示した 12 画素 1 セルの繰り返しブロックを 90 度回転させて配置したレイアウトであり、色フィルタの色情報を示す R、G、B の文字の横に、読み出し情報 1、2、3、1'、2'、3' の数字を付記し表現している。画素からの読み出しは斜め方向に隣接する出力回路から 2 個ずつ、4 画素単位 (O_S 1、O_S 2、O_S 3、O_S 4) で出力する方式を取っており、読み出し情報としては、従来の 1、2、3 に加え、1'、2'、3' で付記した。

【0032】

図 12 は本発明のさらに他の実施形態に係る固体撮像素子のパターンレイアウトを示す平面図である。この固体撮像素子のパターンレイアウトは、図 5 に示した 12 画素 1 セルの繰り返しブロックを 45 度回転させて配置したレイアウトであり、色フィルタの色情報を示す R、G、B の文字の横に、読み出し情報 1、2、3、1'、2'、3' の数字を付記し表現している。画素からの読み出しは水平方向に隣接する出力回路から 2 個ずつ、4 画素単位 (O_S 1、O_S 2、O_S 3、O_S 4) で出力する方式を取っており、図 11 と同様に読み出し情報としては、従来の 1、2、3 に加え、1'、2'、3' で付記した。

【0033】

以上本発明の実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。例えば、図 2 に示す 6 画素 1 セルを単純

10

20

30

40

50

に縦方向、横方向に正方格子状に配置しても良く、その隙間のスペースはPDを拡大することで充足した配置を取る事が出来る。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。特に色フィルタの配置や、その読み出しの画素の組み合わせは色々な変形が可能である。

【 0 0 3 4 】

これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 3 5 】

P D・・・フォトダイオード (P D)

T G・・・転送ゲートトランジスタ

F J・・・フローティングジャンクション

R S・・・リセットトランジスタ

A m p・・・出力アンプトランジスタ

R D・・・リセットドレイン

O S・・・出力ソース

L O S・・・出力信号線

L - M O S・・・負荷 M O S

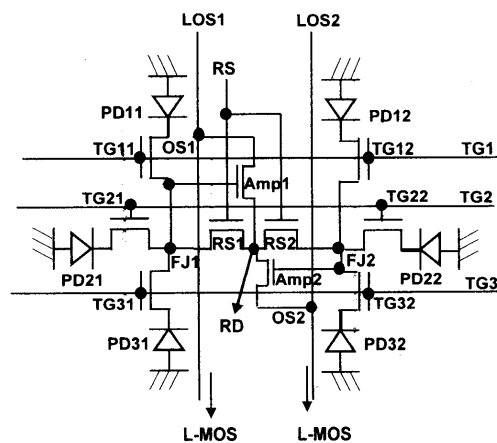
S T I・・・シャロートレンチアイソレーション (酸化膜埋め込み素子分離)

C S・・・チャネルストッパー (イオン注入素子分離)

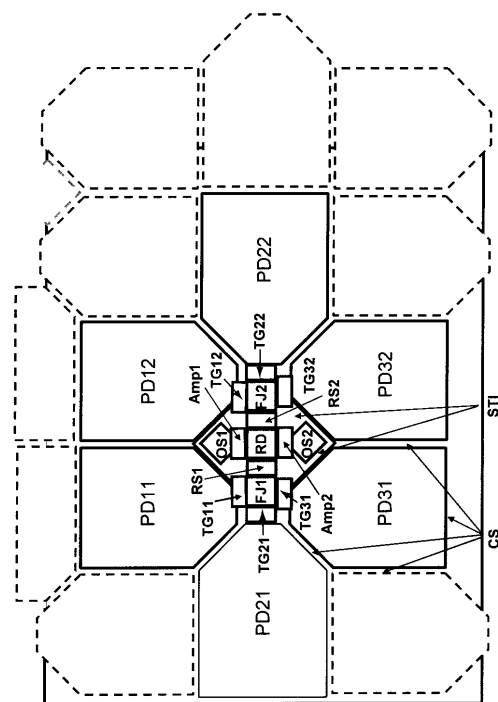
10

20

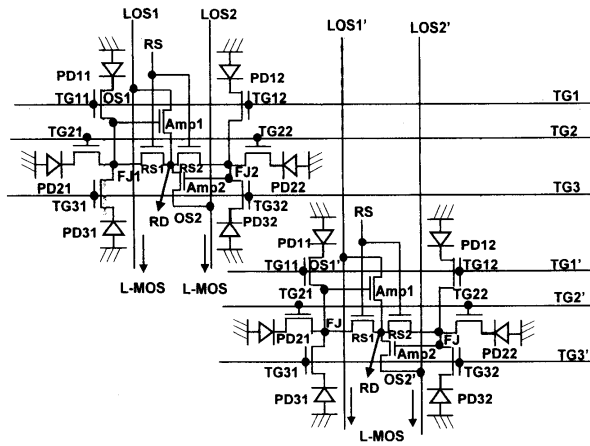
【 図 1 】



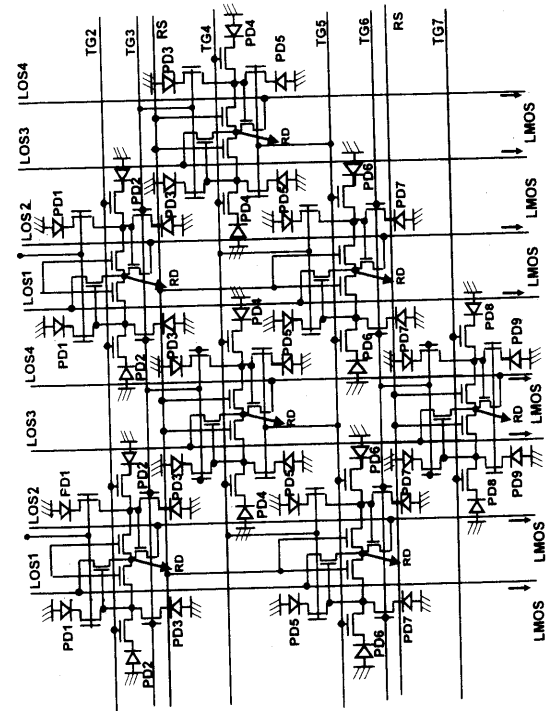
【 図 2 】



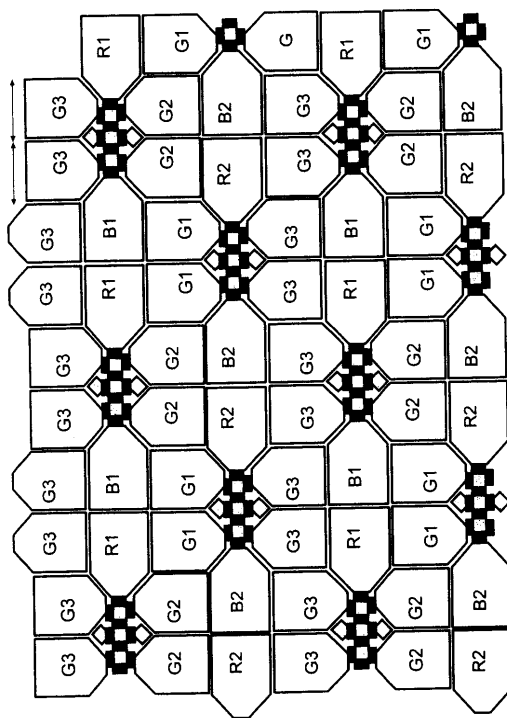
【図 3】



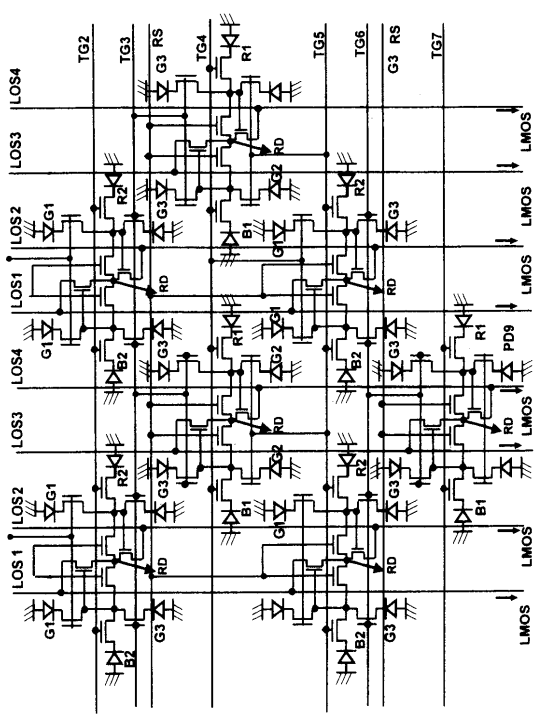
【図 4】



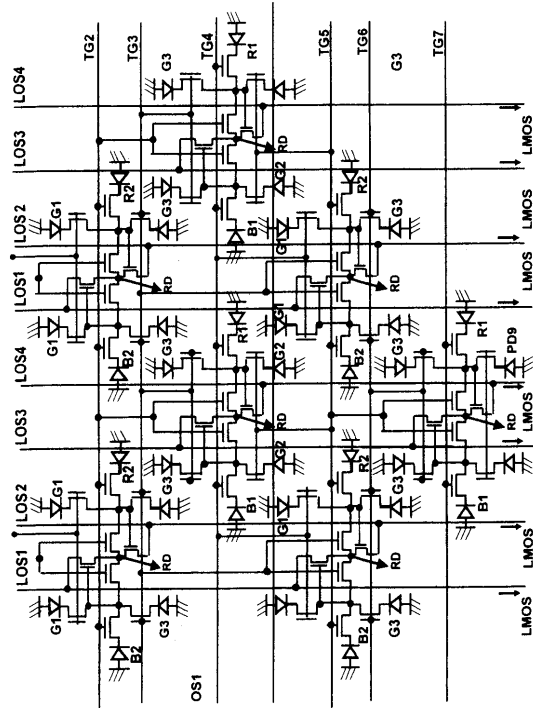
【図 5】



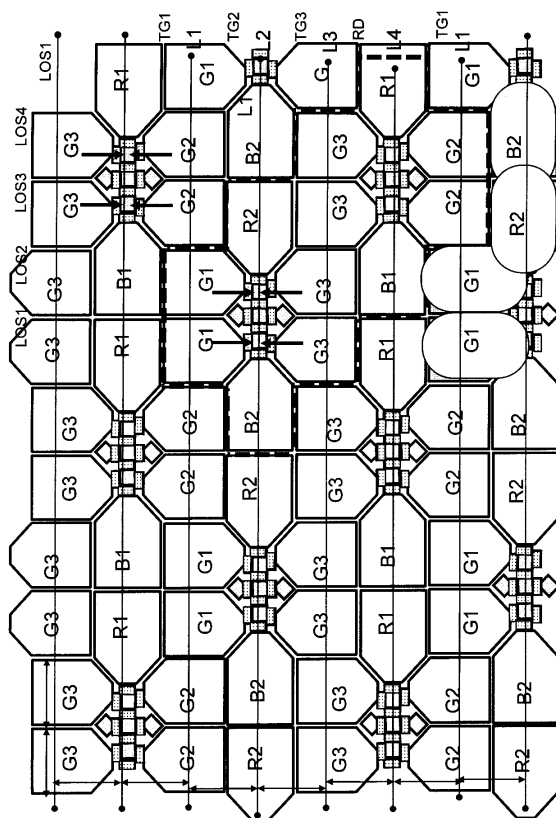
【図 6】



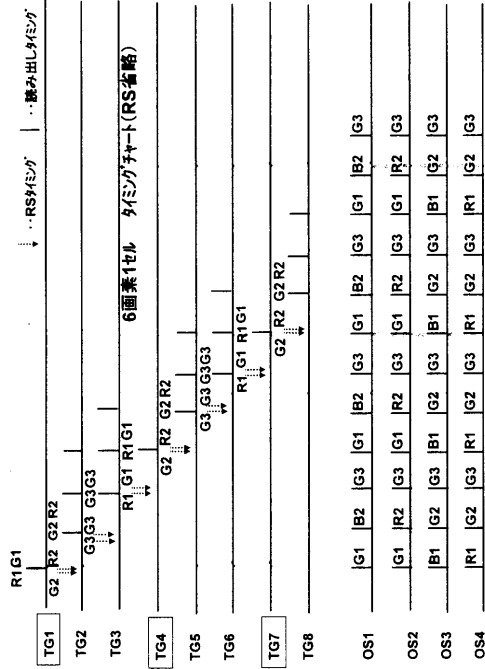
【図 7】



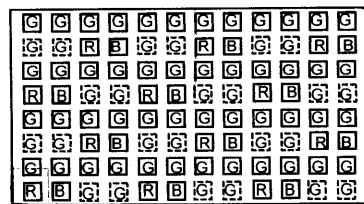
【図 9】



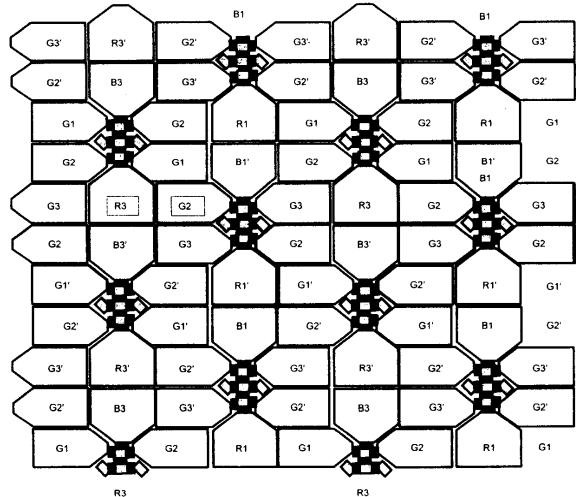
【図 8】



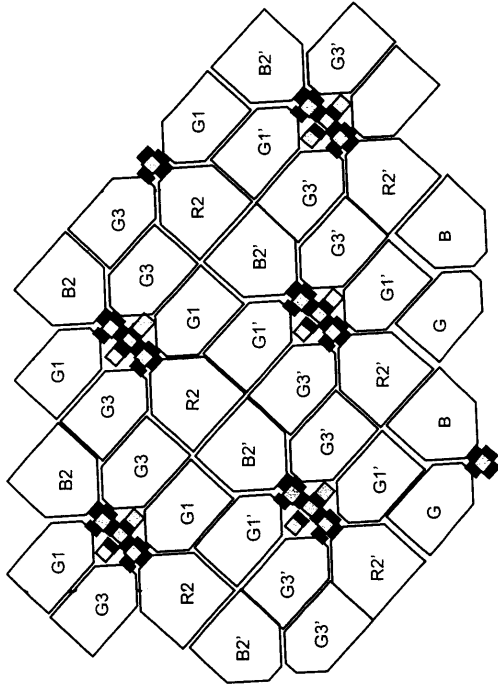
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 特表2011-517506(JP,A)
特開2006-302970(JP,A)
特表2009-506575(JP,A)
特開2006-165567(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/146
H04N	5/357
H04N	5/369
H04N	5/374