

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-90738
(P2019-90738A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int.Cl. F I テーマコード(参考)
G O 1 R 27/28 (2006.01) G O 1 R 27/28 T 2 G O 2 8

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2017-220599 (P2017-220599)	(71) 出願人	302023183 株式会社D T S インサイト 東京都渋谷区代々木四丁目30番3号
(22) 出願日	平成29年11月16日(2017.11.16)	(74) 代理人	110002055 特許業務法人J A Z Y 国際特許事務所
		(72) 発明者	椎名 崇弘 東京都渋谷区代々木四丁目30番3号 株式会社D T S インサイト内
		(72) 発明者	駒牧 盛年 東京都渋谷区代々木四丁目30番3号 株式会社D T S インサイト内
		(72) 発明者	宇野澤 真旺 東京都渋谷区代々木四丁目30番3号 株式会社D T S インサイト内

最終頁に続く

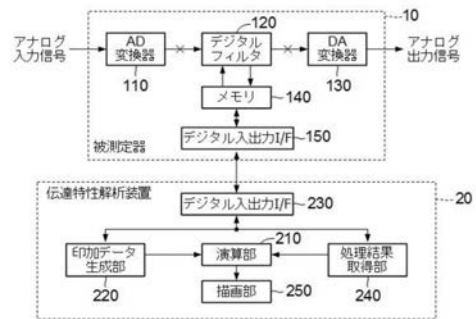
(54) 【発明の名称】 伝達特性解析装置

(57) 【要約】

【課題】測定者に高度なスキルを要求することなく、デジタル制御システムの伝達特性を精度良く測定することを可能にする。

【解決手段】デジタル制御システムを含む被測定器との間でデジタルデータの授受を行うデジタル入出力インタフェースと、前記デジタル制御システムへの入力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器へ与える一方、前記デジタル制御システムの入出力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器から受け取り、ゲインと位相の少なくとも一方を演算する演算部と、を有することを特徴とする伝達特性解析装置、を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

デジタル制御システムを含む被測定器との間でデジタルデータの授受を行うデジタル入出力インタフェースと、

前記デジタル制御システムへの入力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器へ与える一方、前記デジタル制御システムの出力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器から受け取り、ゲインと位相の少なくとも一方を演算する演算部と、

を有することを特徴とする伝達特性解析装置。

【請求項 2】

前記デジタル入出力インタフェースは、バスインタフェースであることを特徴とする請求項 1 に記載の伝達特性解析装置。

【請求項 3】

前記デジタル入出力インタフェースは、1 または複数の前記被測定器が接続される外部機器インタフェースであることを特徴とする請求項 1 に記載の伝達特性解析装置。

【請求項 4】

前記デジタル入出力インタフェースは、各々に前記被測定器が 1 つずつ接続される 1 または複数のデバッグインタフェースであることを特徴とする請求項 1 に記載の伝達特性解析装置。

【請求項 5】

前記デジタル制御システムへの入力信号の波形データを記憶したメモリを備え、前記演算部は、前記メモリから読み出した波形データを前記デジタル入出力インタフェースを介して前記被測定器へ与えることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の伝達特性解析装置。

【請求項 6】

前記演算部による演算結果を表示装置に描画する描画部をさらに有することを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の伝達特性解析装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御システムの伝達特性を測定する技術に関し、特にデジタル制御システムの伝達特性を測定する技術に関する。

【背景技術】

【0002】

モータや電源の制御を行う制御システムの伝達特性（利得対周波数特性）については、入力信号と出力信号のデータから演算で測定可能なことが従来から知られている。制御システムには、フィードバックループを含む閉ループ制御システムと、フィードバックループを含まない開ループ制御システムがある。開ループ制御システムの一例としては、フィルタを用いた制御システムが挙げられる。この種の制御システムについては、交流信号発生器から正弦波信号を当該フィルタに掃引入力して当該フィルタの出力信号の振幅を測定し、対数演算（利得 $G = 20 \log(\text{出力信号の電圧} / \text{入力信号の電圧})$ ）（位相は入出力ベクトルの差分）を行うことで、縦軸が利得 [dB] および位相 [deg] で横軸が周波数 [f] の利得対周波数特性（図 10 参照）を得ることができる。伝達特性を測定する際には、FFT（Fast Fourier Transform）アナライザ、ネットワークアナライザ、周波数特性分析器（Frequency Response Analyzer：以下、FRA）等が用いられる（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 08 - 184624 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】**【0004】**

近年ではデジタル信号処理を用いて各種制御を行うことが一般化しており、制御システムについてもハードウェア或いはソフトウェア処理で実現されるデジタル制御システムが一般化している。以下では、フィードバックループを含むデジタル制御システムを「閉ループデジタル制御システム」と呼び、フィードバックループを含まないデジタル制御システムを「開ループデジタル制御システム」と呼ぶ。デジタル制御システムには、閉ループデジタル制御システムと開ループデジタル制御システムが含まれる。デジタル制御システムの伝達特性の評価検証においても、従来からのアナログ制御システムの評価検証と同様に周波数特性測定器を用いてアナログ信号の入出力が行われることが一般的である。

10

【0005】

図11は、デジタルフィルタ120を用いた開ループデジタル制御システムを含む被測定器10の伝達特性を測定するシステムの構成例を示す図である。図11における被測定器10は、マイコンやFPGA(Field-Programmable Gate Array)などである。図11における330はアンチエイリアシングフィルタであり、120はアナログ信号をデジタル信号に変換するAD変換器であり、130はデジタルフィルタ120の出力信号(デジタル信号)をアナログ信号に変換するDA変換器であり、340はDA変換器130の出力信号からサンプリングノイズを除去するフィルタである。また、図11における320は正弦波掃引信号Vinを発生させる交流信号発生器であり、350は出力信号Voutの電圧値を測定する交流電圧測定器である。

20

【0006】

図11に示すシステムでは、交流信号発生器320の発生させた入力信号(アナログ信号)Vinを演算装置310に与えるとともに、同入力信号Vinにフィルタ330によるアンチエイリアシングフィルタ処理を施した後にAD変換器110によりデジタルデータに変換してデジタルフィルタ120に与えられる。デジタルフィルタ120はAD変換器110から与えられたデジタルデータに応じたデジタルデータを出力し、当該出力されたデジタルデータはDA変換器130により出力信号Voutに変換され、さらにフィルタ340によりサンプリングノイズの除去された出力信号Voutの電圧値が交流信号測定器350によって読み取られる。演算装置310は、入力信号Vinおよび出力信号Voutを用いて上述の対数演算を行う。これにより、デジタルフィルタ120の伝達特性が測定される。

30

【0007】

このように、被測定器がデジタル回路であっても、その伝達特性を測定する際には、アナログ信号を入出力する仕組みが必要であり、折り返し歪やクロックノイズを除去するためのアナログフィルタ(図11におけるフィルタ330および340)を被測定器10の外部に配置する必要があった。一般に、高精度のアナログ信号を入出力するアナログ機器は高価であり、その取扱いにはノイズの影響を排除する技術手段や高度な測定スキルが要求される。このため、デジタル回路であっても、測定者誰もがその伝達特性を容易に測定できる訳ではなかった。以上、開ループデジタル制御システムについて説明したが、これらの問題は、閉ループデジタル制御システムの伝達特性の測定においても同様に発生する。

40

【0008】

本発明は以上に説明した課題に鑑みて為されたものであり、測定者に高度なスキルを要求することなく、デジタル制御システムの伝達特性を精度良く測定することを可能にする技術を提供することを目的とする。

【課題を解決するための手段】**【0009】**

上記課題を解決するために本発明は、デジタル制御システムを含む被測定器との間でデジタルデータの授受を行うデジタル入出力インタフェースと、前記デジタル制御システムへの入力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器へ

50

与える一方、前記デジタル制御システムの出力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器から受け取り、ゲインと位相の少なくとも一方を演算する演算部と、を有することを特徴とする伝達特性解析装置、を提供する。

【0010】

本発明の伝達特性解析装置では、被測定器との間の信号の入出力はデジタルデータで行われ、それらデジタルデータを用いて対数演算を行うことでデジタル制御システムを含む被測定器の伝達特性が測定される。このため、本発明によれば、繊細なアナログ信号を扱う必要はなく、高価なアナログ機器を用いることなく、デジタル制御システムを含む被測定器の伝達特性を測定することが可能になる。加えて、本発明によれば、被測定器に対する入出力は全てデジタルデータで行われるため、測定誤差の少ない安定した環境で伝達特性の測定を行うことが可能になる。その結果、従来の伝達特性の測定において測定者に求められていた高度な測定スキルは不要となり、誰にでも取り扱いが容易で、かつ安価な測定環境を提供することが可能になる。

10

【0011】

デジタル入出力インタフェースの具体的な態様としては種々の態様が考えられ、一例を挙げれば、バスインタフェースである。デジタル入出力インタフェースの他の具体例としては、1または複数の前記被測定器が接続される外部機器インタフェースが挙げられる。また、デジタル入出力インタフェースの他の具体例としては、各々に前記被測定器が1つずつ接続される1または複数のデバッグインタフェースが挙げられる。

20

【0012】

より好ましい態様の伝達特性解析装置は、前記デジタル制御システムへの入力信号の波形データを記憶したメモリを備え、前記演算部は、前記メモリから読み出した波形データを前記デジタル入出力インタフェースを介して前記被測定器へ与えることを特徴とする。また、別の好ましい態様の伝達特性解析装置には、前記演算部による演算結果を表示装置に描画する描画部をさらに有することを特徴とする。

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施形態による伝達特性解析装置20の構成例を示す図である。

【図2】本発明の第2実施形態による伝達特性解析装置20Aの構成例を示す図である。

【図3】本発明の第3実施形態による伝達特性解析装置20Bの構成例を示す図である。

30

【図4】同伝達特性解析装置20Bの他の使用例を示す図である。

【図5】本発明の第4実施形態による伝達特性解析装置20Cの構成例を示す図である。

【図6】同伝達特性解析装置20Cの他の構成例を示す図である。

【図7】フィードバックループを含む制御システムの構成例を示す図である。

【図8】同制御システムの伝達特性を測定するシステムの構成例を示す図である。

【図9】本発明の第5実施形態を説明するための図である。

【図10】フィルタの伝達特性を示す利得対周波数特性グラフの一例を示す図である。

【図11】デジタルフィルタの伝達特性を測定するための従来のシステムの構成例を示す図である。

40

【発明を実施するための形態】

【0014】

以下、図面を参照しつつ本発明の実施形態を説明する。

(A：第1実施形態)

図1は、本発明の第1実施形態による伝達特性解析装置20の構成例を示す図である。伝達特性解析装置20は、測定者に高度なスキルを要求することなく、デジタルフィルタを用いた開ループデジタル制御システムの伝達特性を精度良く測定することを可能にする装置である。図1には、伝達特性解析装置20とともに、伝達特性の測定対象のデジタル制御システムを含む被測定器10が図示されている。図1では図8におけるものと同じ構成要素には同一の符号が付されている。図8と同じ符号が付された構成要素については詳細な説明を省略する。

50

【 0 0 1 5 】

被測定器 1 0 は、マイコン、D S P (Digital Signal Processor)、専用半導体或いはプログラマブルロジックデバイスであり、図 8 に示す被測定器 1 0 と同様に A D 変換器 1 1 0、デジタルフィルタ 1 2 0 および D A 変換器 1 3 0 を有する。また、被測定器 1 0 は、A D 変換器 1 1 0、デジタルフィルタ 1 2 0 および D A 変換器 1 3 0 の他に、デジタルフィルタ 1 2 0 によるフィルタ処理演算のワークエリアとして利用されるメモリ (例えば R A M (Random Access Memory)) 1 4 0 と、デジタル通信を実現するためのデジタル入出力インタフェース (図 1 では、「 I / F 」と略記) 1 5 0 とを有する。詳細については後述するが、デジタル入出力インタフェース 1 5 0 の具体例としては、バスインタフェース、外部機器インタフェースおよびデバッグインタフェース等が挙げられる。

10

【 0 0 1 6 】

メモリ 1 4 0 およびデジタル入出力インタフェース 1 5 0 は、マイコン等の被測定器 1 0 が一般に有するものであり、図 8 では図示が省略されていたに過ぎない。本実施形態の特徴の一つは、マイコン等の被測定器 1 0 が一般に有するメモリ 1 4 0 およびデジタル入出力インタフェース 1 5 0 を利用してデジタルフィルタ 1 2 0 の伝達特性の測定を行う点にある。本実施形態では、図 8 における入力信号 V i n に対応するデジタルデータは、デジタル入出力インタフェース 1 5 0 およびメモリ 1 4 0 を介してデジタルフィルタ 1 2 0 に与えられ、出力信号 V o u t に対応するデジタルデータは、メモリ 1 4 0 およびデジタル入出力インタフェース 1 5 0 を介してデジタルフィルタ 1 2 0 から出力される。図 1 では、A D 変換器 1 1 0 からデジタルフィルタ 1 2 0 への信号伝達経路を示す矢印に x 印が付与されており、デジタルフィルタ 1 2 0 から D A 変換器 1 3 0 への信号伝達経路を示す矢印にも x 印が付与されている。これらの x 印は、デジタルフィルタ 1 2 0 の伝達特性の測定の際には、上記各信号伝達経路が使用されないことを意味している (図 2 ~ 図 6 についても同様) 。

20

【 0 0 1 7 】

伝達特性解析装置 2 0 は、例えばパーソナルコンピュータである。図 1 に示すように、伝達特性解析装置 2 0 は、演算部 2 1 0、印加データ生成部 2 2 0、デジタル入出力インタフェース 2 3 0、処理結果取得部 2 4 0、および描画部 2 5 0 を有する。デジタル入出力インタフェース 2 3 0 は被測定器 1 0 におけるデジタル入出力インタフェース 1 5 0 に対応するデバイスであり、被測定器 1 0 との間でデジタルデータの授受を行う。ここで、「被測定器 1 0 におけるデジタル入出力インタフェース 1 5 0 に対応するデバイスである」とは、例えば、デジタル入出力インタフェース 1 5 0 がバスインタフェースであれば、デジタル入出力インタフェース 2 3 0 もバスインタフェースであり、デジタル入出力インタフェース 1 5 0 が外部機器インタフェースであれば、デジタル入出力インタフェース 2 3 0 も外部機器インタフェースである、といった具合にデジタル入出力インタフェース 1 5 0 とデジタル入出力インタフェース 2 3 0 の両者が同じ規格に準拠したデバイスであるという意味である。

30

【 0 0 1 8 】

演算部 2 1 0 は、例えば C P U (Central Processing Unit) であり、伝達特性解析装置 2 0 の制御中枢として機能する。より詳細に説明すると、演算部 2 1 0 は、デジタルフィルタ 1 2 0 を含む被測定器 1 0 へデジタル入出力インタフェース 2 3 0 を介してそのデジタルフィルタ 1 2 0 への入力信号の波形データを与える処理、およびデジタルフィルタ 1 2 0 の出力信号の波形データをデジタル入出力インタフェース 2 3 0 を介して受け取り、前述した対数演算 (図 8 における演算装置 3 1 0 が実行する演算) を実行し、その測定結果を描画部 2 5 0 に描画させるように、伝達特性解析装置 2 0 の各部 (印加データ生成部 2 2 0、デジタル入出力インタフェース 2 3 0、処理結果取得部 2 4 0、および描画部 2 5 0) の作動制御を行う。

40

【 0 0 1 9 】

印加データ生成部 2 2 0 は、例えば、各々周波数の異なる複数の信号波形のサンプリングデータ (波形データ) を波形毎に格納した波形メモリである。印加データ生成部 2 2 0

50

は、演算部 210 による制御の下、演算部 210 により出力を指示された波形データ（以下、入力波形データ）をデジタル入出力インタフェース 230 を介して被測定器 10 へ出力するとともに、当該波形データを演算部 210 に与える。処理結果取得部 240 は、上記入力波形データの入力に応じて被測定器 10 から出力される波形データ（以下、出力波形データ）をデジタル入出力インタフェース 230 を介して受け取り、演算部 210 に与える。描画部 250 は例えば R A M S c o p e などの R A M モニタツールであり、演算部 210 による対数演算の結果（例えば、図 X 7 に示す利得対周波数特性のグラフ）を液晶ディスプレイなどの表示装置に描画する。

以上が伝達特性解析装置 20 の構成である。

【0020】

図 1 と図 8 とを対比すれば明らかなように、本実施形態では、デジタルフィルタ 120 に対する波形データの入出力はアナログ信号を介さずに行われるため、折り返し歪やクロックノイズを除去するためのフィルタ（図 8 におけるフィルタ 330 および 340）は不要であり、測定結果に影響を与える要因を排除することができる。また、本実施形態によれば、アナログ信号の A D 変換およびアナログ信号への D A 変換を行う際に発生する変換誤差を排除することもできる。加えて、本実施形態では、印加データ生成部 220 が交流信号発生器 320 の役割を担い、処理結果取得部 240 が交流信号測定器 350 の役割を担うため、交流信号発生器 320 および交流信号測定器 350 も不要となる。

【0021】

以上説明したように、本実施形態によれば、繊細なアナログ信号を扱う必要がなくなり、高価なアナログ機器を使用することなく、デジタルフィルタ 120 を含む閉ループデジタル制御システムの伝達特性を測定することが可能になる。加えて、本実施形態によれば、デジタルフィルタ 120 に対する入出力は全てデジタルデータで行われるため、測定誤差の少ない安定した環境で伝達特性の測定を行うことが可能になる。その結果、従来の伝達特性の測定において測定者に求められていた高度な技術は不要となり、誰にでも取り扱いが容易で、かつ安価な測定環境を提供することが可能になる。なお、伝達特性解析装置 20 については、デジタルデータから伝達特性を演算する事が出来れば、様々な構成を採用することができる。本実施形態のように、伝達特性解析装置 20 としてパーソナルコンピュータを用いれば、取得、演算した結果を直ちに画面に表示し、記録することが可能となる。

【0022】

（B：第 2 実施形態）

図 2 は、本発明の第 2 実施形態による伝達特性解析装置 20 A の構成例を示す図である。

本実施形態の伝達特性解析装置 20 A では、デジタル入出力インタフェース 230 としてバスインタフェース 230 A が用いられている。同様に、被測定器 10 A においてもデジタル入出力インタフェース 150 としてバスインタフェース 230 A に対応するバスインタフェース 150 A が用いられている。バスインタフェース 230 A およびバスインタフェース 150 A の具体例としては、汎用バス I / F と呼ばれる非同期 S R A M（Static Random Access Memory）I / F、D D R（Double-Data-Rate）、D D R 2 或いは D D R 3 等の S D R A M（Synchronous Dynamic Random Access Memory）I / F、S P I（Serial Peripheral Interface）I / F、P C I（Peripheral Component Interconnect）/ P C I - E x p r e s s などが挙げられる。

【0023】

本実施形態によっても、前述した第 1 実施形態と同様に、繊細なアナログ信号を扱う必要がなくなり、高価なアナログ機器を使用することなくデジタルフィルタ 120 を含む閉ループデジタル制御システムの伝達特性を測定することが可能になり、測定誤差の少ない安定した環境で伝達特性の測定を行うことが可能になる。その結果、従来の伝達特性の測定において測定者に求められていた高度な技術は不要となり、誰にでも取り扱いが容易で、かつ安価な測定環境を提供することが可能になる。

10

20

30

40

50

【0024】

加えて、本実施形態のように、デジタル入出力インタフェース150としてバスインタフェース150Aを使用すると、被測定器10Aでは、図2に示すように、デジタルフィルタ120へのデータの入出力をメモリ140を介さずに直接行うことが可能になる。マイコンシステムの応用で考えるならば、伝達特性解析装置20Aは、外部メモリや外部周辺機器のようにして取り扱うことが可能となる。

【0025】

(C：第3実施形態)

図3は、本発明の第3実施形態による伝達特性解析装置20Bの構成例を示す図である。

10

本実施形態では、デジタル入出力インタフェース230として、他の外部機器を接続する外部機器インタフェース230Bが用いられており、被測定器10Bについてもデジタル入出力インタフェース150として外部機器インタフェース230Bに対応する外部機器インタフェース150Bが用いられている。外部機器インタフェース230Bおよび外部機器インタフェース150Bの具体例としては、USB(Universal Serial Bus)のような短距離汎用通信インタフェースや、ネットワークに使用されるEthernet(登録商標)などが挙げられる。なお、図3には、被測定器10Bにおけるメモリ140と外部機器インタフェース150Bとの間のデータ転送をDMA(Direct Memory Access)コントローラ(以下、「DMAC」と略記：図3においても同様)160が行う態様について図示されているが、前述の第1実施形態と同様にDMAC160を省略した構成としても勿論良い。

20

【0026】

本実施形態においても、伝達特性の測定の際の被測定器10Bへの入出力はデジタルデータで行われる。このため、第1および第2実施形態と同様に本実施形態によっても、繊細なアナログ信号を扱うことや高価なアナログ機器を必要とすることなく、測定誤差の少ない安定した環境で閉ループデジタル制御システムの伝達特性の測定を行うことが可能になる。加えて、本実施形態の伝達特性解析装置20Bであれば、図4に示すように1つの伝達特性解析装置20Bに複数の被測定器10Bを接続したり、被測定器10Bと伝達特性解析装置20Bの間のデジタル通信路を長くしたりするために、ハブやルータなどのネットワーク機器を含めたデジタル通信路を採用することも可能である。

30

【0027】

(D：第4実施形態)

図5は、本発明の第4実施形態による伝達特性解析装置20Cの構成例を示す図である。本実施形態では、デジタル入出力インタフェース230としてデバッグインタフェース230Cを用いた点が第2実施形態と異なる。デバッグインタフェース230Cの具体例としては、JTAGベースデバッグI/F、パラレルNexus I/F、シリアルNexus I/F(Aurora)、RAMモニタ専用I/Fなどが挙げられる。

【0028】

多くの半導体デバイスは、ソフトウェア開発のためにオンチップデバッグ機能を搭載しており、本実施形態では被測定器10C側のデジタル入出力インタフェース150として、このオンチップデバッグ機能を実現するデバッグインタフェース150Cが利用される。デバッグインタフェース150Cは、オンチップデバッグ機能を実現するデバッグ専用のメモリアクセスコントローラである。このメモリアクセスコントローラは、デバイスの指定されたメモリアドレスに対してメモリ140のリード/ライトを直接実行できる。このため、本実施形態によれば、バスインタフェースや外部機器インタフェースをデジタル入出力インタフェース150として用いる態様に比較して、被測定器10Cのメモリ140における入出力データの配置に関する制限が極めて少ない、といった利点がある。

40

【0029】

本実施形態においても、伝達特性の測定の際の被測定器10Cへの入出力はデジタルデータで行われる。このため、第1、第2および第3実施形態と同様に本実施形態によって

50

も、繊細なアナログ信号を扱うことや高価なアナログ機器を必要とすることなく、測定誤差の少ない安定した環境で開ループデジタル制御システムの伝達特性の測定を行うことが可能になる。

【0030】

図6は、本実施形態の伝達特性解析装置20Cの他の構成例を示す図である。図6に示す伝達特性解析装置20Cは、複数のデバッグインタフェース(図6に示す例では、デバッグインタフェース230C-1~230C-N:Nは2以上の任意の整数)を有する点が図5に示す伝達特性解析装置20Cと異なる。図6に示す伝達特性解析装置20Cのデバッグインタフェース230C-1~230C-Nの各々には、互いに異なる被測定器が接続される。図6に示す例では、デバッグインタフェース230C-n(n=1~N)には非測定器10C-nが接続されている。デバッグインタフェース230C-nは全て同一であっても良く、互いに異なっても良い。被測定器に対応した任意のデバッグインタフェース230Cを任意数搭載する事で解決出来る。このように、デジタル入出力インタフェース230としてデバッグインタフェース230Cを用いる態様においても、多数の被測定器に対して単一の伝達特性解析装置20Cで伝達特性の測定を行うことが可能である。

10

【0031】

(E:第5実施形態)

上述した第1~第4実施形態では、デジタルフィルタ120を含む開ループデジタル制御システムの伝達特性が測定された。しかし、本発明による伝達特性の測定対象はデジタルフィルタを含むシステムには限定されず、開ループデジタル制御システムであれば同様にその伝達特性を測定することが可能である。また、本発明による伝達特性の測定対象は開ループデジタル制御システムには限定されず、閉ループデジタル制御システムであっても、繊細なアナログ信号の扱いや高価なアナログ機器を必要とすることなく、かつ測定誤差の少ない安定した環境で、その伝達特性(閉ループ特性)を測定することが可能である。

20

【0032】

図7は、閉ループ制御システムの構成例を示す図である。図7に示すように、この制御システムは、加算器410、アンプ420、およびフィードバック演算部430を含む。加算器410には、当該制御システムへの入力信号INSとフィードバック演算部430の出力信号S1とが与えられる。加算器410は、入力信号INSから信号S1を減算した信号S2をアンプ420へ出力する。アンプ420は、信号S2に増幅率Aの増幅を施して出力する。アンプ420の出力信号S3は、当該制御システムの出力信号OUTSとなるとともに、フィードバック演算部430に与えられる。フィードバック演算部430は、遅延の付与等の信号処理を信号S3に施して信号S2を生成し、加算器410へ出力する。

30

【0033】

図8は、図7に示す制御システムの閉ループ特性をFRA450を用いて測定するシステムの構成例を示す図である。図8に示すように、FRA450を用いて閉ループ特性を測定する場合、フィードバックループを切断し、測定用信号を発生させる信号源440をループ内に挿入し、信号e1および信号e2をFRA450で演算して利得および位相を周波数軸で表示することが一般的である。しかし、FRAを用いた閉ループ特性の測定には、フィードバックループを切断しなければならない、といった問題がある。加えて、フィードバックループ内に本来存在しない回路(信号源440)を挿入することや、フィードバックループを2本のプローブによってFRAに接続することは、不安定要素の追加に他ならない。さらに、FRAを用いた閉ループ特性の測定には、これらのデメリットの他に、セッティングや調整に技術力が要求されるといったデメリットもあった。

40

【0034】

図9は、本発明の第5実施形態による閉ループデジタル制御システムの伝達特性の測定例を示す図である。本実施形態では、前述の第4実施形態と同様に、デジタル入出力イン

50

タフェース 230 としてデバッグインタフェース 230C を用いた伝達特性解析装置 20C が用いられる。図 9 における被測定器 10D では、例えば CPU などの制御部 170 が図 7 或いは図 8 におけるフィードバック演算部 430 の役割を果たす。本実施形態では、デバッグインタフェース 230C を介した通信によりループ制御信号へ測定用信号（印加データ生成部 220 により生成された波形データの示す信号）が重畳されるとともに、フィードバック信号から重畳した測定用信号成分が抽出され、重畳した測定用信号とフィードバック信号から抽出した信号とを演算することで閉ループ特性が測定される。

【0035】

ここで注目すべき点は、本実施形態では、フィードバックループを切断する必要はなく、不安定要素の追加もないといった点である。このため、本実施形態には、モータや電源等の制御対象を接続し実動作させた状態での閉ループ測定を容易に行えるといったメリットがある。また、本実施形態によれば、取得した周波数データを逆フーリエ変換することで時間軸での応答特性を表示することも可能である。

10

【0036】

本実施形態においても、伝達特性の測定の際の被測定器 10D への入出力はデジタルデータで行われ、この点は、第 1 ~ 第 4 実施形態と同様である。したがって、本実施形態によれば、繊細なアナログ信号を扱うことや高価なアナログ機器を必要とすることはなく、測定誤差の少ない安定した環境で閉ループデジタル制御システムの伝達特性の測定を行うことが可能になる。以上第 1 ~ 第 5 実施形態にて説明したように、本発明によれば、繊細なアナログ信号を扱うことや高価なアナログ機器を必要とすることはなく、測定誤差の少ない安定した環境でデジタル制御システムの伝達特性の測定を行うことが可能になる。

20

【0037】

(F: 変形例)

以上本発明の各実施形態について説明したが、この実施形態に以下の変形を加えても勿論良い。

(1) 上記第 2 実施形態におけるデジタル入出力インタフェース 230 はバスインタフェース 230A であり、第 3 実施形態におけるデジタル入出力インタフェース 230 は外部機器インタフェース 230B であり、第 4 および第 5 実施形態におけるデジタル入出力インタフェース 230 はデバッグインタフェース 230C であった。しかし、バスインタフェース 230A、外部機器インタフェース 230B およびデバッグインタフェース 230C のうちの任意の複数の組み合わせによりデジタル入出力インタフェース 230 を構成しても良い。

30

【0038】

(2) 第 1 ~ 第 5 実施形態における演算部 210 は、被測定器 10 のデジタル制御システムへの入力信号の波形データをデジタル入出力インタフェースを介して被測定器 10 へ与える一方、デジタル制御システムの出力信号の波形データをデジタル入出力インタフェースを介して被測定器 10 から受け取り、ゲインを演算したが、ゲインに代えて位相の演算を行ってもよく、ゲインと位相のそれぞれを演算しても良い。要は、ゲインと位相の少なくとも一方を演算する態様であれば良い。

【0039】

(3) 第 1 ~ 第 5 実施形態の伝達特性解析装置は、印加データ生成部 220、処理結果取得部 240、および描画部 250 を含んでいたが、印加データ生成部 220、処理結果取得部 240、および描画部 250 のうちの任意の 1 つまたは複数は伝達特性解析装置に接続される外部装置であっても良い。要は、本発明の伝達特性解析装置は、デジタル制御システムを含む被測定器との間でデジタルデータの授受を行うデジタル入出力インタフェースと、前記デジタル制御システムへの入力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器へ与える一方、前記デジタル制御システムの出力信号の波形データを前記デジタル入出力インタフェースを介して前記被測定器から受け取り、ゲインと位相の少なくとも一方を演算する演算部と、を有していれば良い。

40

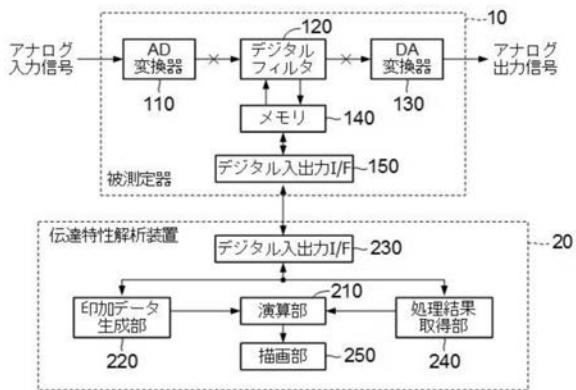
【符号の説明】

50

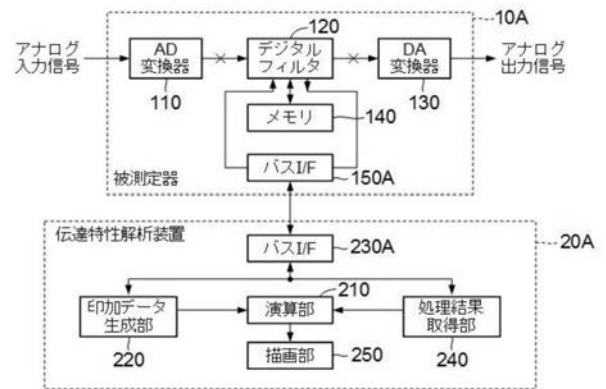
【 0 0 4 0 】

1 0 , 1 0 A , 1 0 B、 1 0 C、 1 0 D ... 被測定器、 2 0 , 2 0 A , 2 0 B、 2 0 C ... 伝達特性解析装置、 1 1 0 ... A D 変換器、 1 2 0 ... デジタルフィルタ、 1 3 0 ... D A 変換器、 1 4 0 ... メモリ、 1 5 0 , 2 3 0 ... デジタル入出力インタフェース、 1 5 0 A、 2 3 0 A ... バスインタフェース、 1 5 0 B、 2 3 0 B ... 外部機器インタフェース、 1 5 0 C、 2 3 0 C ... デバッグインタフェース、 1 6 0 ... D M A C、 1 7 0 ... 制御部、 2 1 0 ... 演算部、 2 2 0 ... 印加データ生成部、 2 4 0 ... 処理結果取得部、 2 5 0 ... 描画部、 3 1 0 ... 演算装置、 3 2 0 ... 交流信号発生器、 3 3 0 , 3 4 0 ... フィルタ、 3 5 0 ... 交流信号測定器、 4 1 0 ... 加算器、 4 2 0 ... アンプ、 4 3 0 ... フィードバック演算部。

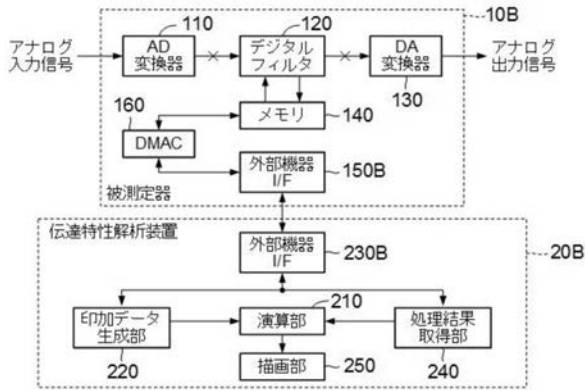
【 図 1 】



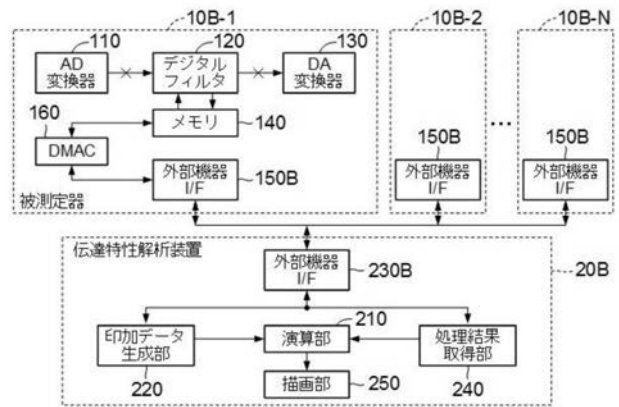
【 図 2 】



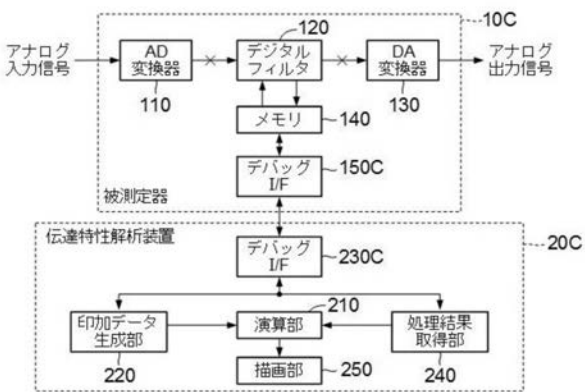
【 図 3 】



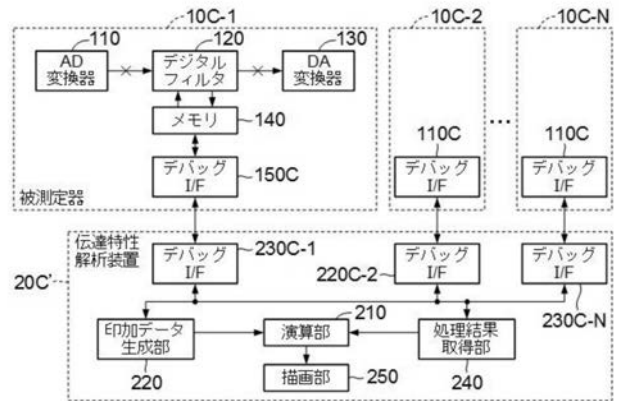
【 図 4 】



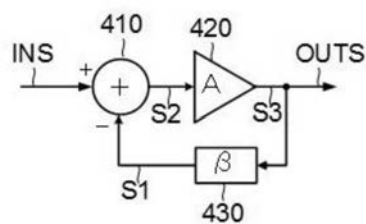
【 図 5 】



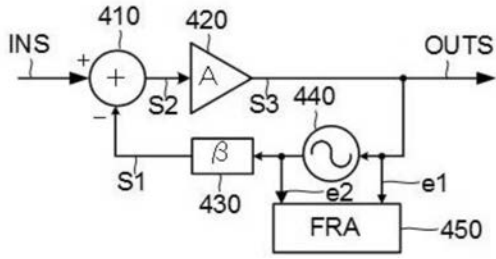
【 図 6 】



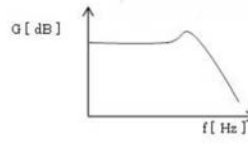
【 図 7 】



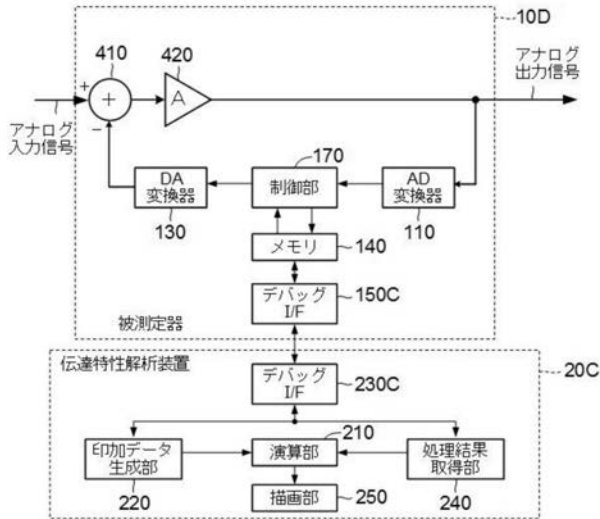
【 図 8 】



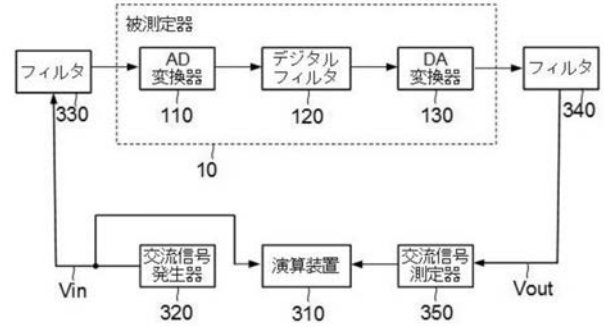
【 図 1 0 】



【 図 9 】



【 図 1 1 】



フロントページの続き

(72)発明者 吉田 啓和

東京都渋谷区代々木四丁目30番3号 株式会社DTSインサイト内

(72)発明者 末永 知明

東京都渋谷区代々木四丁目30番3号 株式会社DTSインサイト内

Fターム(参考) 2G028 AA01 BD02 BE10 CG22 DH05 DH11 GL17 LR08