



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 18 05 78
(21) (PV 3220—78)

(40) Zveřejněno 29 08 80
(45) Vydáno 30 03 84

20 5399
(11) (B1)

{51} Int. Cl.³
H 03 K 4/83

(75)

Autor vynálezu

STIEBER VOJTĚCH ing. a ŠTASTNÁ ALENA, Praha

(54) Zapojení generátoru časovacích impulsů

1.

Vynález se týká zapojení generátoru impulsů, užívaného v měřicí, řídicí a automatické technice.

Většina známých zapojení zdrojů impulsů je založena na tvarování signálů, získaných z astabilních klopných obvodů — multivibrátorů. Jak plyne i z principiálního jejich zapojení, je přesnost kmitočtu ovlivněna celou řadou součástek. U symetrických multivibrátorů je základní frekvence určena především dvěma časovacími obvody — tedy dvěma odpory a dvěma kondenzátory a závisí rovněž na parametrech použitých tranzistorů, integrovaných obvodů, na teplotě okolí, na stabilitě napájecího napětí i na zatěžovacím odporu připojených tvarovacích obvodů. U nesymetrických multivibrátorů je sice základní frekvence určena především jedním časovacím obvodem, ale zato se ve větší míře uplatňují ostatní rušivé vlivy, popsané v prvním případě. V zapojení, kde je využíváno integrovaných obvodů často dochází k nespolehlivému startu generátoru impulsů. Známá zapojení rovněž nedovolují dosáhnout nižších frekvencí.

Výše uvedené nedostatky odstraňuje zapojení generátoru časovacích impulsů podle vynálezu, jehož podstata spočívá v tom, že výstup Q prvního klopného obvodu je spojen se vstupem prvního hradla, jehož výstup je

2

spojen se vstupem prvního časovacího členu, jehož výstup je spojen se vstupem druhého hradla, jehož výstup je spojen s prvním vstupem R prvního klopného obvodu a zároveň i vstupem druhého časovacího členu, jehož výstup je spojen se vstupem druhého zesilovače, jehož výstup je napojen na druhý vstup S prvního klopného obvodu, jehož další dva vstupy D a T jsou spojeny s napájecí svorkou nulového potenciálu a inverzní výstup Q prvního klopného obvodu je spojen se vstupem druhého klopného obvodu.

Zapojení generátoru časovacích impulsů dle vynálezu má ve srovnání se známými zapojeními řadu předností. Především je to zaručený, spolehlivý start při připojení na napájecí napětí. Odebírané signály mají velmi strmou jak čelní tak i týlovou hranu, a jsou tedy vhodné pro aplikace s rychlými integrovanými obvody. Popsané zapojení je velmi odolné vůči poruchám, které jsou vyvolány změnou napájecího napětí a teplotou. Krátká regenerační doba časovacích obvodů dovoluje pracovat s velkým impulzním poměrem (střídou) až 1/300 a to i bez využívání druhého klopného obvodu. Tyto výhodné vlastnosti umožňují dosáhnout vysoké přesnosti opakovací frekvence, kterou v tomto zapojení ovlivňují: především jeden odpor a jeden kondenzátor prvního časovacího čle-

nu, zatímco změna časové konstanty druhého časovacího členu (tedy odporu, kondenzátoru, včetně tranzistorového zesilovače) nemá podstatný vliv na frekvenci generátoru. Při impulzním poměru 1/250 se změna časové konstanty druhého časovacího členu o $\Delta 50\%$ projevuje na frekvenci generátoru chybou menší než $\Delta f < 1\%$.

Předmět vynálezu je znázorněn na přiloženém výkresu.

Na obrázku jsou znázorněny tři elektrické okruhy. První elektrický okruh sestává z D — klopného obvodu 1, z hradla 2 a 5 typu NAND, z dvoustupňového tranzistorového zesilovače 4 a z časovacího členu 6 a z jednostupňového zesilovače 7. Třetí elektrický okruh sestává z klopného obvodu 8. Klopobvod 1 je integrovaný D — klopný obvod. Podobně je použito integrovaného obvodu typu NAND pro hradlo 2 a 5. Časovací členy 3 a 6 jsou složeny z pasivních elektronických prvků — odporů a kondenzátorů, a jsou zapojeny jako integrační členy. Zesilovač 4 je ve skutečnosti dvoustupňový zesilovač v zapojení s uzemněnými emitory. Zesilovač 7 je rovněž tranzistorový zesilovač se společným emitorem, ale pouze jednostupňový. Klopný obvod 8 je libovolný monostabilní klopný obvod, s výhodou lze využít zapojení skládající se ze zbývajících částí — již použitých obvodů. U prvního elektrického okruhu je výstup Q prvního klopného obvodu 1 vodičem spojen se vstupem prvního hradla 2, jehož výstup je spojen se vstupem prvního časovacího členu. Jeho výstup je vodičem spojen se vstupem prvního zesilovače 4, jehož výstup je vodičem spojen se vstupem druhého hradla 5. Výstup druhého hradla je vodičem spojen s prvním vstupem R prvního klopného obvodu 1, ale také vodičem s druhým elektrickým okruhem. U druhého elektrického okruhu je vstup časovacího členu 6 napojen na první elektrický okruh a výstup je vodičem spojen se vstupem druhého zesilovače 7. Výstup druhého zesilovače 7 je vodičem spojen opět s prvním elektrickým okruhem a to s druhým vstupem S prvního klopného obvodu 1. Další dva vstupy D a T prvního klopného obvodu 1 jsou uzemněny. U třetího elektrického okruhu je vstup

druhého klopného obvodu 8 napojen vodičem na inverzní výstup Q prvního klopného obvodu 1.

Zapojení pracuje takto: Vyjdeme ze stavu, kdy výstup Q prvního klopného obvodu 1 je na logické úrovni „0“, první tranzistor prvního zesilovače 4 je otevřen, první vstup R prvního klopného obvodu 1 je na úrovni „0“, tranzistor druhého zesilovače 7 je otevřen a druhý vstup S prvního klopného obvodu 1 je na úrovni „0“. Změníme-li výstup Q prvního klopného obvodu 1 na úroveň „1“, projeví se tato změna nulovou úrovní na vstupu prvního časovacího členu 3 a výstup tohoto členu nabude záporné hodnoty. Tento záporný potenciál uzavře první tranzistor prvního zesilovače 4 (druhý tranzistor prvního zesilovače 4 je otevřen a výstup prvního zesilovače 4 má logickou úroveň „0“), a první vstup R klopného obvodu 1 je na logické úrovni „1“. Tento přechodový stav trvá až do okamžiku, kdy výstup prvního časovacího členu 3 dosáhne takového napětí, které je schopno otevřít první tranzistor prvního zesilovače 4 a tato napěťová změna se postupně z výstupu prvního zesilovače 4 přenesou přes první hradlo 5 na vstup prvního časovacího členu 6 jehož výstup vyvolá uzavření tranzistoru druhého zesilovače 7 a přivede na druhý vstup S prvního klopného obvodu 1 signál o logické úrovni „1“. Po uplynutí doby stanovené časovou konstantou prvního časovacího členu 6 je opět tranzistor druhého zesilovače 7 otevřen a druhý vstup S prvního klopného obvodu 1 se nyní dostává na logickou úroveň „0“.

Tato změna vyvolá překlopení prvního klopného obvodu 1, takže výstup Q přechází z logické úrovně „0“ na logickou úroveň „1“, a současně dochází opět k aktivaci prvního časovacího členu 3, ale i k uzavření prvního tranzistoru prvního zesilovače 4 a celý cyklus se opakuje. Druhý klopný obvod 8 tvaruje (zkracuje) impulzy, odebírané z výstupu Q nebo inverzního výstupu Q prvního klopného obvodu 1.

Zapojení dle vynálezu lze použít v měřicí, řídicí a automatizační technice, především tam, kde je využíváno integrovaných obvodů.

Předmět vynálezu

Zapojení generátoru časovacích impulzů, sestávající z integrovaného D-klopného obvodu, ze dvou hradel typu NAND, z pasivních časovacích obvodů, z jednoho dvoustupňového tranzistorového zesilovače v zapojení se společným emitorem, z monostabilního klopného obvodu a z jednostupňového tranzistorového zesilovače, v zapojení se společným emitorem, vyznačené tím, že výstup Q prvního klopného obvodu (1) je spojen se vstupem prvního hradla (2), jehož výstup je spojen se vstupem prvního časovacího členu (3), jehož výstup je spojen se vstupem prvního

zesilovače (4), jehož výstup je spojen se vstupem druhého hradla (5), jehož výstup je spojen s prvním vstupem R prvního klopného obvodu (1), zároveň i se vstupem druhého časovacího členu (6), jehož výstup je spojen se vstupem druhého zesilovače (7), jehož výstup je napojen na druhý vstup S prvního klopného obvodu (1), jehož další dva vstupy D a T jsou spojeny s napájecí svorkou nulového potenciálu a vstup druhého klopného obvodu (8) je připojen na inverzní výstup Q prvního klopného obvodu (1).

205399

