

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年8月18日(2005.8.18)

【公開番号】特開2003-228982(P2003-228982A)

【公開日】平成15年8月15日(2003.8.15)

【出願番号】特願2002-20721(P2002-20721)

【国際特許分類第7版】

G 1 1 C 11/413

H 0 1 L 21/822

H 0 1 L 27/04

【F I】

G 1 1 C 11/34 J

H 0 1 L 27/04 U

H 0 1 L 27/04 M

【手続補正書】

【提出日】平成17年1月28日(2005.1.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置と半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1信号により活性化されて入力信号を取り込む入力回路と、第2信号により活性化されて上記入力回路の出力信号をデコードするデコーダ回路とを含むRAMマクロと、

クロック入力端子と、

ゲート回路とを備え、

上記第1信号は、上記クロック入力端子により入力されたクロック信号に同期して取り込まれて上記ゲート回路を制御する信号であり、

上記RAMマクロは、第1タイミングで入力信号を取り込む第1動作と、上記第1タイミングよりも遅い第2タイミングで入力信号を取り込む第2動作とを有することを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記入力回路は、上記第2信号を取り込む回路を含むことを特徴とする半導体集積回路装置。

【請求項3】

入力信号を取り込む入力回路と、

上記入力回路の出力信号をデコードするデコーダ回路と、

第1信号に基づいて上記入力回路を活性化し、第2信号に基づいて上記デコーダ回路を活性化する回路と、

クロック入力端子と、

ゲート回路とを備え、

上記第1信号は、上記クロック入力端子により入力されたクロック信号に同期して取り込まれて上記ゲート回路を制御する信号であり、

上記ゲート回路は、上記クロック入力端子の信号により上記入力回路を活性化するため用いられることを特徴とする半導体集積回路装置。

【請求項4】

請求項3において、

上記デコーダ回路は、メモリセルの選択信号を形成するものであり、

上記第2信号は、メモリセルからの読み出し信号を出力する出力回路の活性化信号として用いられるることを特徴とする半導体集積回路装置。

【請求項5】

請求項4において、

上記デコーダ回路は、第1及び第2プリデコーダ回路と、上記第1及び第2プリデコーダ回路の出力信号を受けてワード線の選択信号を形成するメインデコーダ回路とを含み、

上記第1プリデコーダ回路は、上記第1信号に基づいて活性化され、

上記第2プリデコーダ回路及びメインデコーダ回路は、上記第2信号に基づいて活性化されることを特徴とする半導体集積回路装置。

【請求項6】

請求項4において、

上記入力回路及びデコーダ回路の少なくとも一方は、上記クロック信号がアクティブルにされてから第1期間のみ有効な出力信号を送出し、かかる第1期間は上記メモリセルにデータの書き込み動作又はデータの読み出し動作を行うのに必要な期間であることを特徴とする半導体集積回路装置。

【請求項7】

請求項4において、

上記入力回路とデコーダ回路はRAMマクロを構成し、

上記RAMマクロは、複数の回路ブロックの1つであることを特徴とする半導体集積回路装置。

【請求項8】

請求項7において、

上記RAMマクロは、複数個であり、

上記RAMマクロの出力回路の出力端子は、共通の出力ノードに接続されることを特徴とする半導体集積回路装置。

【請求項9】

複数のメモリセルと、

上記複数のメモリセルを選択するための複数のアドレス信号を受け取るアドレス入力バッファと、

上記アドレス入力バッファの出力信号を第1スタンバイモードで第1所定電位にする第1回路と、

上記アドレス入力バッファの出力信号を受けるアドレスデコーダ回路と、

上記アドレスデコーダ回路の出力信号を第2スタンバイモードで第2所定電位にする第2回路と、

上記アドレス入力バッファは、上記第1スタンバイモードで非活性化され、

上記アドレス入力バッファは、上記第2スタンバイモードで活性化されることを特徴とする半導体装置。

【請求項10】

請求項9において、

上記アドレスデコーダ回路の動作電圧は、上記第1及び第2スタンバイモードのときに上記アドレスデコーダ回路に供給されることを特徴とする半導体集積回路装置。

【請求項11】

請求項 9 において、

上記アドレスデコーダ回路は、上記第 1 及び第 2 スタンバイモードのときに動作状態にされることを特徴とする半導体装置。

【請求項 1 2】

請求項 9 において、

上記第 1 及び第 2 スタンバイモードは、2つの制御信号によって設定されることを特徴とする半導体装置。

【請求項 1 3】

請求項 9 において、

上記第 1 スタイバイモードのとき、上記アドレス入力バッファの電流経路が遮断され、それによって上記アドレス入力バッファは非活性化されることを特徴とする半導体装置。

【請求項 1 4】

請求項 9 において、

上記第 1 及び第 2 スタイバイモードのとき、上記複数のメモリセルから情報の読み出し動作又は情報の書き込み動作は実行されないことを特徴とする半導体装置。