

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 8 月 18 日 (2005.8.18)

【公開番号】特開 2003-228982 (P2003-228982A)
 【公開日】平成 15 年 8 月 15 日 (2003.8.15)
 【出願番号】特願 2002-20721 (P2002-20721)
 【国際特許分類第 7 版】

G 1 1 C 11/413

H 0 1 L 21/822

H 0 1 L 27/04

【F I】

G 1 1 C 11/34 J

H 0 1 L 27/04 U

H 0 1 L 27/04 M

【手続補正書】

【提出日】平成 17 年 1 月 28 日 (2005.1.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置と半導体装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 信号により活性化されて入力信号を取り込む入力回路と、第 2 信号により活性化されて上記入力回路の出力信号をデコードするデコーダ回路とを含む R A M マクロと、
クロック入力端子と、
ゲート回路とを備え、

上記第 1 信号は、上記クロック入力端子により入力されたクロック信号に同期して取り込まれて上記ゲート回路を制御する信号であり、

上記 R A M マクロは、第 1 タイミングで入力信号を取り込む第 1 動作と、上記第 1 タイミングよりも遅い第 2 タイミングで入力信号を取り込む第 2 動作とを有することを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 において、

上記入力回路は、上記第 2 信号を取り込む回路を含むことを特徴とする半導体集積回路装置。

【請求項 3】

入力信号を取り込む入力回路と、

上記入力回路の出力信号をデコードするデコーダ回路と、

第 1 信号に基づいて上記入力回路を活性化し、第 2 信号に基づいて上記デコーダ回路を活性化する回路と、

クロック入力端子と、

ゲート回路とを備え、

上記第 1 信号は、上記クロック入力端子により入力されたクロック信号に同期して取り込まれて上記ゲート回路を制御する信号であり、

上記ゲート回路は、上記クロック入力端子の信号により上記入力回路を活性化するために用いられることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 において、

上記デコード回路は、メモリセルの選択信号を形成するものであり、

上記第 2 信号は、メモリセルからの読み出し信号を出力する出力回路の活性化信号として用いられることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 4 において、

上記デコード回路は、第 1 及び第 2 プリデコード回路と、上記第 1 及び第 2 プリデコード回路の出力信号を受けてワード線の選択信号を形成するメインデコード回路とを含み、

上記第 1 プリデコード回路は、上記第 1 信号に基づいて活性化され、

上記第 2 プリデコード回路及びメインデコード回路は、上記第 2 信号に基づいて活性化されることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 4 において、

上記入力回路及びデコード回路の少なくとも一方は、上記クロック信号がアクティブレベルにされてから第 1 期間のみ有効な出力信号を送出し、かかる第 1 期間は上記メモリセルにデータの書き込み動作又はデータの読み出し動作を行うのに必要な期間であることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 4 において、

上記入力回路とデコード回路は R A M マクロを構成し、

上記 R A M マクロは、複数の回路ブロックの 1 つであることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 7 において、

上記 R A M マクロは、複数個であり、

上記 R A M マクロの出力回路の出力端子は、共通の出力ノードに接続されることを特徴とする半導体集積回路装置。

【請求項 9】

複数のメモリセルと、

上記複数のメモリセルを選択するための複数のアドレス信号を受け取るアドレス入力バッファと、

上記アドレス入力バッファの出力信号を第 1 スタンバイモードで第 1 所定電位にする第 1 回路と、

上記アドレス入力バッファの出力信号を受けるアドレスデコード回路と、

上記アドレスデコード回路の出力信号を第 2 スタンバイモードで第 2 所定電位にする第 2 回路と、

上記アドレス入力バッファは、上記第 1 スタンバイモードで非活性化され、

上記アドレス入力バッファは、上記第 2 スタンバイモードで活性化されることを特徴とする半導体装置。

【請求項 10】

請求項 9 において、

上記アドレスデコード回路の動作電圧は、上記第 1 及び第 2 スタンバイモードのときに上記アドレスデコード回路に供給されることを特徴とする半導体集積回路装置。

【請求項 11】

請求項 9 において、

上記アドレスデコード回路は、上記第 1 及び第 2 スタンバイモードのときに動作状態に
されることを特徴とする半導体装置。

【請求項 1 2】

請求項 9 において、

上記第 1 及び第 2 スタンバイモードは、2 つの制御信号によって設定されることを特徴
とする半導体装置。

【請求項 1 3】

請求項 9 において、

上記第 1 スタイバイモードのとき、上記アドレス入力バッファの電流経路が遮断され、
それによって上記アドレス入力バッファは非活性化されることを特徴とする半導体装置。

【請求項 1 4】

請求項 9 において、

上記第 1 及び第 2 スタイバイモードのとき、上記複数のメモリセルから情報の読み出し
動作又は情報の書き込み動作は実行されないことを特徴とする半導体装置。