

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 表示装置におけるトランジスタ (1) は、基板 (2) 上に、下部電極 (4)、下部絶縁膜 (5)、酸化物半導体層 (6)、ゲート絶縁膜 (7)、およびゲート電極 (8) が順に積層されている。酸化物半導体層 (6) は、ゲート絶縁膜 (7) を介してゲート電極 (8) と対向するチャネル領域 (6 a) と、チャネル領域 (6 a) を互いの間に挟んで設けられたソース領域 (6 b) およびドレイン領域 (6 c) とを有する。下部電極 (4) は、ソース領域 (6 b) の側のソース側端面 (4 a) が、ソース領域 (6 b) と重畳し、ドレイン領域 (6 c) の側のドレイン側端面 (4 b) が、チャネル領域 (6 a) と重畳する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、基板上にトランジスタが形成される表示装置に関する。

背景技術

[0002] 近年、OLED (Organic Light Emitting Diode) 技術の進歩に伴い、有機EL (エレクトロルミネッセンス) 表示装置を備えた製品が広がってきている。一般に、有機EL表示装置では、発光層における画素に電流を供給する画素回路を含む構成を用いられている。画素回路に設けられる薄膜トランジスタでは、光が半導体層に入射することによりオフ電流が発生し、表示性能の劣化を招くことが知られている。そのため、半導体層の直下に遮光膜を配置して、光を遮る技術が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-170642号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の表示装置では、絶縁基板の上に薄膜トランジスタが設けられており、薄膜トランジスタの半導体層には、チャネル領域、ソース領域、およびドレイン領域が設けられている。絶縁基板と半導体層との間には、遮光層が設けられており、遮光層は、ソース領域と重なる面積よりもドレイン領域と重なる面積が大きくなっている。上述した表示装置では、遮光層がフローティング電位とされており、薄膜トランジスタの動作に影響を及ぼさず、薄膜トランジスタの特性を調整することについて考慮されていない。

[0005] 本発明は、上記の課題を解決するためになされたものであり、トランジスタにおける初期のオン電流を高く保ちつつ、耐圧を高く維持することができ

る表示装置を提供することを目的とする。

課題を解決するための手段

- [0006] 本発明に係る表示装置は、基板に、下部電極、下部絶縁膜、酸化物半導体層、ゲート絶縁膜、およびゲート電極が順に積層されたトランジスタを有する表示装置であって、前記ゲート電極は、平面視で前記ゲート絶縁膜と整合し、前記酸化物半導体層は、前記ゲート絶縁膜を介して前記ゲート電極と対向するチャネル領域と、前記チャネル領域を互いの間に挟んで設けられたソース領域およびドレイン領域とを有し、前記下部電極は、平面視した状態で、前記酸化物半導体層と交差するように延伸され、前記ソース領域の側のソース側端面が、前記チャネル領域の端面と平行であって、前記ソース領域と重畳し、前記ドレイン領域の側のドレイン側端面が、前記チャネル領域の端面と平行であって、前記チャネル領域と重畳することを特徴とする。
- [0007] 本発明に係る表示装置は、前記ソース領域と前記ドレイン領域とが対向する方向をチャネル長方向としたとき、前記チャネル長方向において、前記ドレイン側端面と前記チャネル領域の端面とは、互いに離間するように、互いの間のオフセット距離が設定されている構成としてもよい。
- [0008] 本発明に係る表示装置では、前記オフセット距離は、前記チャネル領域における前記チャネル長方向の長さの半分より小さい構成としてもよい。
- [0009] 本発明に係る表示装置は、表示領域にマトリクス状に設けられた画素回路を備え、前記トランジスタは、前記画素回路に含まれるスイッチングトランジスタである構成としてもよい。
- [0010] 本発明に係る表示装置は、額縁領域にモノリシックに設けられた周辺回路を備え、前記トランジスタは、前記周辺回路に含まれるスイッチングトランジスタである構成としてもよい。
- [0011] 本発明に係る表示装置は、額縁領域に設けられた端子部と、前記端子部から延伸された引き回し配線と、前記端子部と表示領域との間に設けられたフィルタ回路とを備え、前記端子部は、前記フィルタ回路を介して、前記表示領域の配線と電氣的に接続され、前記トランジスタは、前記フィルタ回路に

含まれる構成としてもよい。

[0012] 本発明に係る表示装置では、前記ソース領域は、高電源電圧線と電氣的に接続され、前記ドレイン領域および前記ゲート電極は、前記引き回し配線と電氣的に接続される構成としてもよい。

[0013] 本発明に係る表示装置では、前記ソース領域は、前記引き回し配線と電氣的に接続され、前記ドレイン領域および前記ゲート電極は、低電源電圧線と電氣的に接続される構成としてもよい。

[0014] 本発明に係る表示装置では、前記引き回し配線は、前記表示領域のデータ信号線と電氣的に接続される構成としてもよい。

[0015] 本発明に係る表示装置では、前記引き回し配線は、前記表示領域の走査信号線と電氣的に接続される構成としてもよい。

[0016] 本発明に係る表示装置では、前記下部電極は、前記ソース領域と電氣的に接続される構成としてもよい。

[0017] 本発明に係る表示装置では、前記下部電極は、定電位電圧線と電氣的に接続される構成としてもよい。

発明の効果

[0018] 本発明によると、下部電極をソース領域の側にずらした配置とすることで、初期のオン電流を高く保ちつつ、耐圧を高く維持することができる。

図面の簡単な説明

[0019] [図1]本発明の第1実施形態に係る表示装置におけるトランジスタを模式的に示す模式断面図である。

[図2]図1に示すトランジスタを模式的に示す模式平面図である。

[図3]本発明の第2実施形態に係る表示装置を模式的に示す概略構成図である。

[図4]トランジスタを用いたフィルタ回路の一部を示す回路構成図である。

[図5]フィルタ回路における一部のトランジスタを示す模式平面図である。

[図6]図5の矢符C-Cでの断面を示す模式断面図である。

[図7]図5の矢符D-Dでの断面を示す模式断面図である。

[図8]表示装置の画素回路を示す等価回路図である。

発明を実施するための形態

[0020] (第1実施形態)

以下、本発明の第1実施形態に係る表示装置について、図面を参照して説明する。

[0021] 図1は、本発明の第1実施形態に係る表示装置におけるトランジスタを模式的に示す模式断面図であって、図2は、図1に示すトランジスタを模式的に示す模式平面図である。なお、図面の見易さを考慮して、図1では、ハッチングを省略しており、図2では、下部絶縁膜5や層間絶縁膜等を透視的に示している。また、図1は、図2の矢符B-Bでの断面に相当する。

[0022] 本発明の第1実施形態に係る表示装置100(後述する図3参照)におけるトランジスタ1(薄膜トランジスタ: TFT)は、基板2に、下地層3、下部電極4、下部絶縁膜5、酸化物半導体層6、ゲート絶縁膜7、ゲート電極8、第1層間絶縁膜9、第2層間絶縁膜12、および端子電極(ソース電極10およびドレイン電極11)を順に積層して形成されている。

[0023] 図1では、基板2上に形成された1つのトランジスタ1を拡大して示しており、基板2には、さらに、複数のトランジスタが形成されていてもよい。下地層3は、基板2全体を覆うように形成されている。なお、以下では説明のため、基板2の表面に沿う方向をチャネル長方向Lと呼ぶことがある。

[0024] 下部電極4は、下地層3上に設けられ、それぞれのトランジスタ1毎に配置されている。なお、下部電極4は、それぞれのトランジスタ1のチャネル領域6a毎に対応して設けられていればよく、後述する図5に示すように、チャネル領域6aの外において、隣接するトランジスタ1の下部電極4と、定電位電圧線PLを介して繋がっていてもよい。また、下部電極4の詳細な位置については、チャネル領域6aの位置と併せて説明する。下部絶縁膜5は、下地層3および下部電極4を覆うように形成されている。

[0025] 酸化物半導体層6は、下部絶縁膜5上に設けられ、それぞれのトランジスタ1毎に配置されている。つまり、酸化物半導体層6は、他のトランジスタ

における酸化物半導体層 6 と離間して設けられている。酸化物半導体層 6 は、チャネル長方向 L での両端部に位置する導体領域（ソース領域 6 b およびドレイン領域 6 c）と、チャネル長方向 L での中央部に位置するチャネル領域 6 a とを含む。導体領域は、酸化物半導体がチャネル領域 6 a よりも低抵抗化された領域である。

[0026] ゲート絶縁膜 7 は、酸化物半導体層 6 上に設けられ、酸化物半導体層 6 のうちチャネル領域 6 a に重畳している。ゲート電極 8 は、ゲート絶縁膜 7 上に設けられ、ゲート絶縁膜 7 を介して、チャネル領域 6 a に対向している。

[0027] 第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 は、酸化物半導体層 6 およびゲート電極 8 を覆うように形成されている。トランジスタ 1 では、第 2 層間絶縁膜 12 上に、ソース電極 10（図 1 では、左方）およびドレイン電極 11（図 1 では、右方）が設けられている。ソース電極 10 とドレイン電極 11 とは、チャネル長方向 L で離間して設けられている。

[0028] ソース電極 10 は、第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 に設けられたソースコンタクトホール 9 a を介して、酸化物半導体層 6 のうち、ソース領域 6 b と電氣的に接続されている。ドレイン電極 11 は、第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 に設けられたドレインコンタクトホール 9 b を介して、酸化物半導体層 6 のうち、ドレイン領域 6 c と電氣的に接続されている。

[0029] 上述したように、トランジスタ 1 は、基板 2 の上に、第 1 金属配線、第 2 金属配線、第 3 金属配線、および第 4 金属配線の 4 つの金属配線が順に積層されており、それぞれの金属配線の間、絶縁膜が設けられている。ここで、第 1 金属配線は、下部電極 4 および定電位電圧線 P L（後述する図 5 参照）を含んでいる。第 2 金属配線は、ゲート電極 8 および第 2 引き回し配線 104 b（後述する図 5 参照）を含んでいる。第 3 金属配線は、第 1 引き回し配線 104 a（後述する図 5 参照）を含んでいる。第 4 金属配線は、フィルタ回路 105 の高電源電圧線 E L V D D、フィルタ回路 105 の低電源電圧線 E L V S S、および各種の配線間を接続する接続配線を含んでいる。

[0030] なお、定電位電圧線、第1引き回し配線、第2引き回し配線、フィルタ回路の高電源電圧線、フィルタ回路の低電源電圧線、および接続配線は、上述した組み合わせに特定されず、4つの金属配線のうちのいずれで構成されていてもよい。また、4つの金属配線を備える構成について説明したが、これに限定されず、例えば、第1金属配線、第2金属配線、および第3金属配線の3つを備える構成であってもよい。

[0031] 下部電極4は、平面視した状態で（図2参照）、酸化物半導体層6と交差するように延伸されている。また、下部電極4は、チャンネル長方向Lで酸化物半導体層6に対し、ソース領域6b寄りに配置されている。具体的に、下部電極4において、ソース領域6bの側のソース側端面4aは、チャンネル領域6aの端面（例えば、第1端面BL1）と平行であって、ソース領域6bと重畳しており、ドレイン領域6cの側のドレイン側端面4bは、チャンネル領域6aの端面（例えば、第2端面BL2）と平行であって、チャンネル領域と重畳している。そして、ドレイン側端面4bとチャンネル領域6aの端面とは、チャンネル長方向Lにおいて、互いに離間するように、互いの間のオフセット距離AAが設定されている。本実施の形態において、チャンネル長方向Lでのチャンネル領域6aの長さ（チャンネル長）は、 $6\mu\text{m}$ とされている。オフセット距離AAは、チャンネル長の半分の長さとしてされているのが好ましい。

[0032] このように、下部電極4をソース領域6bの側にずらした配置とすることで、初期のオン電流を高く保ちつつ、耐圧を高く維持することができる。また、オフセット距離AAを調整することで、トランジスタ1の特性を変化させることができる。この際、最適なオフセット距離AAに設定することで、トランジスタ1の初期特性と信頼性との向上を両立することができる。

[0033] 次に、トランジスタ1の製造工程について、詳細に説明する。

[0034] トランジスタ1の製造工程では、絶縁膜である下地層3を基板2上に成膜する。基板2としては、例えば、ガラス基板、シリコン基板、および耐熱性を有するプラスチック基板（樹脂基板）を用いることができる。プラスチック基板（樹脂基板）の材料としては、ポリエチレンテレフタレート（PET

）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アクリル樹脂、およびポリイミド等を用いることができる。

[0035] 本実施の形態において、下地層3は、 SiO_2 膜をCVD法によって成膜した。下地層3は、これに限定されず、例えば、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ； $x > y$ ）、窒化酸化珪素（ SiN_xO_y ； $x > y$ ）、酸化アルミニウム、および酸化タンタルなどで形成されていてもよく、複数の層を積層してもよい。

[0036] 次に、下地層3上に、スパッタリング法を用いて、下部電極4を成膜する。下部電極4は、例えば、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、および銅（Cu）から選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いてもよいし、これらのうちの複数の膜を含む積層膜を用いてもよい。下部電極4は、フォトリソグラフィプロセスによってパターンニングするなどして、設ける位置や形状を決定すればよい。下部電極4の上には、下地層3と同様にして、下部絶縁膜5を成膜する。下部絶縁膜5は、下地層3と同じ材料で形成してもよく、複数の層を重ねた積層構造とされていてもよい。

[0037] 続いて、下部絶縁膜5の上に、酸化物半導体層6を成膜する。酸化物半導体層6は、例えば、スパッタリング法で形成され、厚さが30nm以上100nm以下のIn-Ga-Zn-O系半導体膜とされている。そして、半導体層エッチング工程において、酸化物半導体層6は、フォトリソグラフィプロセスおよびエッチングによりパターンニングすることによって、それぞれのトランジスタ1毎に対応した島状に形成される。

[0038] さらに、酸化物半導体層6を覆うように、ゲート絶縁膜7およびゲート電極8が成膜される。ゲート絶縁膜7は、CVD法を用いて成膜された酸化珪素（ SiO_x ）で形成される。ゲート絶縁膜7は、下地層3と同じ材料で形成してもよく、複数の層を重ねた積層構造とされていてもよい。ゲート電極8は、スパッタリング法を用いて成膜される。ゲート電極8は、下部電極4と

同じ材料で形成してもよく、複数の膜を含む積層膜を用いてもよい。

[0039] ゲート電極 8 とゲート絶縁膜 7 とは、フォトリソグラフィプロセスによってパターニングした同じレジストマスクを用いて、連続してエッチングが行われる。これによって、ゲート電極 8 とゲート絶縁膜 7 とは、パターニング形状が整合し、同じレジストパターンに基づいた形状に成形される。

[0040] なお、ここでの整合とは、厳密に一致することを意味せず、エッチングレートの違いなどによって生じる数 μm 程度の寸法のズレも含まれる。このように、ゲート電極 8 とゲート絶縁膜 7 とのパターニング形状を整合させることで、セルフアライメント構造とすることができる。これによって、工程を簡略化しつつ、両者を精度良く位置合わせすることができる。

[0041] レジストマスクを除去した後、ゲート電極 8 の上方から、基板 2 の全面に対して、プラズマ処理が施される。プラズマ処理は、例えば、水素プラズマ処理や He プラズマ処理などである。プラズマ処理では、ゲート電極 8 およびゲート絶縁膜 7 がマスクとして機能し、酸化物半導体層 6 のうち、ゲート電極 8 およびゲート絶縁膜 7 で覆われていない部分（ゲート絶縁膜 7 から露出した部分）のみが低抵抗化される。つまり、ゲート電極 8 およびゲート絶縁膜 7 の直下のチャネル領域 6 a は、低抵抗化されず、ソース領域 6 b およびドレイン領域 6 c は低抵抗化される。

[0042] そして、酸化物半導体層 6 およびゲート電極 8 を覆う第 1 層間絶縁膜 9 が成膜され、第 1 層間絶縁膜 9 の上に、第 2 層間絶縁膜 12 が成膜される。第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 は、下地層 3 と同様の材料および方法で形成される。

[0043] 第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 には、公知のフォトリソグラフィプロセスにより、酸化物半導体層 6 の一部を露出するソースコンタクトホール 9 a およびドレインコンタクトホール 9 b が形成される。

[0044] 第 2 層間絶縁膜 12 を形成した後、第 2 層間絶縁膜 12 上およびコンタクトホール内に、ソース電極 10 およびドレイン電極 11 の基となる電極用導電膜を成膜している。電極用導電膜は、ゲート電極 8 として例示した材料を

用いることができる。電極用導電膜に対して、パターニングを行うことで、互いに離間したソース電極10とドレイン電極11とが形成される。

[0045] 酸化物半導体層6については、上述した材料だけに限らず、他の材料によって形成してもよい。酸化物半導体層6に含まれる酸化物半導体は、例えば、アモルファス酸化物半導体（非晶質酸化物半導体）であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、およびc軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0046] また、酸化物半導体層6は、2層以上の積層構造を有していてもよく、この場合、酸化物半導体層6は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造が異なる複数の結晶質酸化物半導体層を含んでいてもよいし、複数の非晶質酸化物半導体層を含んでいてもよい。

[0047] 次に、非晶質酸化物半導体および結晶質酸化物半導体の材料や構造などについて、詳細に説明する。酸化物半導体層6は、例えば、In、Ga、およびZnのうち、少なくとも1種の金属元素を含んでいてもよく、本実施の形態では、In-Ga-Zn-O系の半導体（例えば、酸化インジウムガリウム亜鉛）を用いた。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、およびZn（亜鉛）の三元系酸化物であって、In、Ga、およびZnの割合（組成比）は、特に限定されず、例えば、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、および $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。また、In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0048] In-Ga-Zn-O系の半導体層を有するTFTは、a-SiTFTに比べて、高い移動度および低いリーク電流を有しているので、表示装置100のトランジスタ1として、好適に用いることができる。

- [0049] 酸化物半導体層6は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよく、例えば、 In-Sn-Zn-O 系半導体を含んでいてもよい。 In-Sn-Zn-O 系の半導体は、 In 、 Sn （スズ）、および Zn の三元系酸化物であって、例えば、 $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ （ InSnZnO ）などが挙げられる。
- [0050] 酸化物半導体層6は、これに限らず、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体、 In-Ga-Zn-Sn-O 系半導体、 InGaO_3 （ ZnO ）₅、酸化マグネシウム亜鉛（ $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ ）、および酸化カドミウム亜鉛（ $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ ）などを含んでいてもよい。 Zn-O 系半導体としては、1族元素、13族元素、14族元素、15族元素または17族元素のうち一種、または複数種の不純物元素が添加された ZnO の非晶質（アモルファス）状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態のもの、または何も不純物元素が添加されていないものを用いることができる。
- [0051] 上述したトランジスタ1は、酸化物半導体層6を間に挟んで、上部（ゲート電極8）と下部（下部電極4）とに電極が設けられたダブルゲート構造とされているが、ゲート電極8と下部電極4とでは、異なる電圧（信号）が印加されてもよい。つまり、トランジスタ1の駆動は、ゲート電極8に印加する電圧で制御し、下部電極4には、トランジスタ1の駆動をアシストするように、定電位を印加してもよい。
- [0052] また、上述した構成に限らず、下部電極4については、コンタクトホールなどを介して、ソース領域6bと接続されていてもよい。
- [0053] （第2実施形態）

次に、本発明の第2実施形態に係る表示装置100について、図面を参照して説明する。なお、第2実施形態において、第1実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略する。

[0054] 図3は、本発明の第2実施形態に係る表示装置を模式的に示す概略構成図である。

[0055] 本発明の第2実施形態に係る表示装置100は、画素回路がマトリクス状に設けられた表示領域101と、表示領域101の周囲を囲む額縁領域102とを備える。額縁領域102には、外部と電氣的に接続するための端子部103と、端子部103から延伸された引き回し配線104と、端子部103と表示領域101との間に設けられたフィルタ回路105（周辺回路の一例）とを備える。引き回し配線104は、表示装置100のサイズに応じて、適宜数を決定すればよく、複数設けられている。

[0056] フィルタ回路105では、高い電圧（ノイズ）が加わることがあり、耐圧の高いトランジスタを用いることが好ましい。また、フィルタ回路105が、低電圧のノイズをフィルタする回路として用いられる場合は、低電圧（低電源電圧）よりも電圧が低いノイズを通さないようにする。

[0057] 図4は、トランジスタを用いたフィルタ回路の一部を示す回路構成図である。

[0058] フィルタ回路105では、複数の信号配線SL（引き回し配線104）に対して交差するように、低電源電圧線ELVSSと高電源電圧線ELVDDとが設けられている。図4では、4つの信号配線SLに対して、低電源電圧線ELVSSと高電源電圧線ELVDDとがそれぞれ交差している状態を示しているが、これに限定されず、信号配線SLの数は、増減してもよい。

[0059] フィルタ回路105では、それぞれの信号配線SLと低電源電圧線ELVSSとに接続された低電圧用トランジスタ1a（トランジスタ1）と、それぞれの信号配線SLと高電源電圧線ELVDDとに接続された高電圧用トランジスタ1b（トランジスタ1）とが設けられている。つまり、それぞれの信号配線SLは、低電源電圧線ELVSSおよび高電源電圧線ELVDDと

直接繋がっておらず、低電圧用トランジスタ 1 a を介して低電源電圧線 E L V S S と接続され、高電圧用トランジスタ 1 b を介して高電源電圧線 E L V D D と接続されている。

[0060] 低電圧用トランジスタ 1 a は、ゲート電極 8 およびドレイン電極 1 1 が低電源電圧線 E L V S S に接続され、ソース電極 1 0 が信号配線 S L に接続されている。高電圧用トランジスタ 1 b は、ソース電極 1 0 が高電源電圧線 E L V D D に接続され、ゲート電極 8 およびドレイン電極 1 1 が信号配線 S L に接続されている。

[0061] 表示装置 1 0 0 では、低電源電圧線 E L V S S および高電源電圧線 E L V D D に印加される電位が、それぞれ「E L V S S」および「E L V D D」として、所定の値に設定されている。低電圧用トランジスタ 1 a は、「E L V S S」以下の電位が信号配線 S L に印加された場合、信号配線 S L に印加される電位を「E L V S S」に保つ低電圧フィルタとされており、高電圧用トランジスタ 1 b は、「E L V D D」以上の電位が信号配線 S L に印加された場合、信号配線 S L に印加される電位を「E L V D D」に保つ高電圧フィルタとされている。

[0062] 図 5 は、フィルタ回路における一部のトランジスタを示す模式平面図であって、図 6 は、図 5 の矢符 C - C での断面を示す模式断面図であって、図 7 は、図 5 の矢符 D - D での断面を示す模式断面図である。なお、図面の見易さを考慮して、図 6 および図 7 では、ハッチングを省略しており、図 5 では、下部絶縁膜 5 や層間絶縁膜等を透視的に示している。

[0063] 図 5 では、フィルタ回路 1 0 5 に設けられた複数のトランジスタ 1 の一部（4 つ）を抽出して示しており、2 つの低電圧用トランジスタ 1 a と 2 つの高電圧用トランジスタ 1 b とを示している。また、図 6 は、低電圧のノイズをフィルタするフィルタ回路であって、2 つの低電圧用トランジスタ 1 a を示しており、図 7 は、高電圧のノイズをフィルタするフィルタ回路であって、2 つの高電圧用トランジスタ 1 b を示している。本実施の形態においては、設ける層が異なる 2 種類の引き回し配線 1 0 4 が存在する。具体的に、2

種類の引き回し配線 104 は、第 1 層間絶縁膜 9 の上に設けられた第 1 引き回し配線 104 a と、下部絶縁膜 5 の上に配線部絶縁膜 13 を介して設けられた第 2 引き回し配線 104 b とである。2 つの低電圧用トランジスタ 1 a のうち、一方（第 1 低電圧用トランジスタ 1 a a）は、第 1 引き回し配線 104 a に接続されており、他方（第 2 低電圧用トランジスタ 1 a b）は、第 2 引き回し配線 104 b に接続されている。また、2 つの高電圧用トランジスタ 1 b のうち、一方（第 1 高電圧用トランジスタ 1 b a）は、第 1 引き回し配線 104 a に接続されており、他方（第 2 高電圧用トランジスタ 1 b b）は、第 2 引き回し配線 104 b に接続されている。

[0064] 第 1 引き回し配線 104 a は、第 1 層間絶縁膜 9 を形成した後、第 2 層間絶縁膜 12 を成膜する前に、金属膜の成膜とパターニングとによって形成すればよい。また、第 1 引き回し配線 104 a に対するコンタクトホールは、ソースコンタクトホール 9 a およびドレインコンタクトホール 9 b と併せて、第 2 層間絶縁膜 12 をエッチングして形成してもよいし、別にして形成してもよい。

[0065] 第 2 引き回し配線 104 b は、ゲート絶縁膜 7 およびゲート電極 8 を形成する工程と併せて形成される。つまり、ゲート電極 8 におけるフォトリソグラフィプロセスの際、第 2 引き回し配線 104 b に対応する部分にもレジストマスクを形成すればよい。それによって、ゲート絶縁膜 7 およびゲート電極 8 におけるエッチングの際、第 2 引き回し配線 104 b と、第 2 引き回し配線 104 b に整合した配線部絶縁膜 13 とが併せて成形される。また、第 2 引き回し配線 104 b に対するコンタクトホールは、ソースコンタクトホール 9 a およびドレインコンタクトホール 9 b と併せて、第 1 層間絶縁膜 9 および第 2 層間絶縁膜 12 をエッチングして形成してもよいし、別にして形成してもよい。

[0066] 低電源電圧線 ELVSS および高電源電圧線 ELVDD については、ソース電極 10 およびドレイン電極 11 と併せて形成されており、第 1 層間絶縁膜 9 の上に設けられている。つまり、低電源電圧線 ELVSS および高電源

電圧線E L V D Dは、ソース電極1 0およびドレイン電極1 1の基となる電極用導電膜から形成されており、低電源電圧線E L V S Sおよび高電源電圧線E L V D Dも含んだ形状となるように、パターニングしている。

[0067] 低電圧用トランジスタ1 aにおいて、ソース電極1 0から第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bまで、ソース延伸部2 1が延伸し、第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bと電氣的に接続している。また、ドレイン電極1 1から低電源電圧線E L V S Sまで、ドレイン延伸部2 2が延伸し、低電源電圧線E L V S Sと電氣的に接続している。さらに、低電源電圧線E L V S Sからゲート電極8まで、ゲート延伸部2 3が延伸し、ゲート電極8と電氣的に接続している。

[0068] 高電圧用トランジスタ1 bにおいて、ソース電極1 0から高電源電圧線E L V D Dまで、ソース延伸部2 1が延伸し、高電源電圧線E L V D Dと電氣的に接続している。また、ドレイン電極1 1から第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bまで、ドレイン延伸部2 2が延伸し、第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bと電氣的に接続している。さらに、第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bからゲート電極8まで、ゲート延伸部2 3が延伸し、第1引き回し配線1 0 4 aおよび第2引き回し配線1 0 4 bと電氣的に接続している。

[0069] ソース延伸部2 1、ドレイン延伸部2 2、およびゲート延伸部2 3は、上述した電極用導電膜から形成されており、ソース電極1 0およびドレイン電極1 1と併せて形成される。異なる層の配線と接続する場合は、互いが重複する部分に、適宜コンタクトホールを形成すればよい。

[0070] 第1低電圧用トランジスタ1 a aにおいては、ソース延伸部2 1が、引き回しコンタクトホール9 eを介して第1引き回し配線1 0 4 aと接続されている。第2低電圧用トランジスタ1 a bにおいては、ソース延伸部2 1が、引き回しコンタクトホール9 fを介して第2引き回し配線1 0 4 bと接続されている。また、第1低電圧用トランジスタ1 a aおよび第2低電圧用トランジスタ1 a bにおけるゲート延伸部2 3では、ゲート電極8上の第1層間

絶縁膜 9 および第 2 層間絶縁膜 12 を貫通するように形成されたコンタクトホール 9c を介して、対応するゲート電極 8 と接続されている。

[0071] 第 1 高電圧用トランジスタ 1ba においては、ドレイン延伸部 22 が、引き回しコンタクトホール 9g を介して第 1 引き回し配線 104a と接続されている。第 2 高電圧用トランジスタ 1bb においては、ドレイン延伸部 22 が、引き回しコンタクトホール 9h を介して第 2 引き回し配線 104b と接続されている。また、第 1 高電圧用トランジスタ 1ba および第 2 高電圧用トランジスタ 1bb におけるゲート延伸部 23 では、引き回しコンタクトホール 9d を介して第 2 引き回し配線 104b と接続されている。なお、ゲート延伸部 23 とゲート電極 8 との接続については、第 1 低電圧用トランジスタ 1aa および第 2 低電圧用トランジスタ 1ab と同様に、コンタクトホール 9c を設ければよい。

[0072] なお、酸化物半導体層 6 に対し、ソース電極 10 およびドレイン電極 11 が重複する範囲は特に限定されず、各種配線から対応するコンタクトホールまで繋がるように、ソース電極 10 およびドレイン電極 11 が設けられていればよい。

[0073] 2 つの低電圧用トランジスタ 1a において、下部電極 4 は、定電位電圧線 PL に接続されている。また、2 つの高電圧用トランジスタ 1b において、下部電極 4 は、定電位電圧線 PL に接続されている。定電位電圧線 PL は、低電圧用トランジスタ 1a に対応するものと、高電圧用トランジスタ 1b に対応するものの 2 つが設けられており、互いの端部が繋がっていてもよい。

[0074] 図 6 に示すように、低電圧のノイズをフィルタする回路では、引き回し配線 104 と接続されたソース領域 6b 側に、下部電極 4 がオフセットされた低電圧用トランジスタ 1a が用いられている。また、図 7 に示すように、高電圧のノイズをフィルタする回路では、高電源電圧線 ELVDD と接続されたソース領域 6b 側に、下部電極 4 がオフセットされた高電圧用トランジスタ 1b が用いられている。

[0075] 図5では、フィルタ回路105のうち、4つのトランジスタ1を抜き出して示しているが、これに限定されず、引き回し配線104の数に応じて、適宜トランジスタ1を増減すればよい。また、引き回し配線104については、第1引き回し配線104aと第2引き回し配線104bとを交互に並べてもよいし、いずれか一方を連続して配置してもよい。

[0076] 本実施の形態に係るトランジスタ1では、ゲート電極8、ソース電極10、ドレイン電極11、および引き回し配線104などの各種配線について、各種絶縁膜を間に挟んで積層し、コンタクトホールで適直接続しているが、上述した構成は一例にすぎず、適宜積層する順番を入れ替えてもよい。例えば、上述した構成では、ソース電極10、ソース延伸部21、低電源電圧線ELVSS、および高電源電圧線ELVDDなどが、同じ層（レイヤー）に設けられ、同じ電極用導電膜を用いて一度に形成されていたが、異なる層に設けて、別々に成膜してもよい。

[0077] 図8は、表示装置の画素回路を示す等価回路図である。

[0078] 表示装置100は、マトリクス状に配列された複数の画素によって構成された表示領域101を有する。複数の画素は、典型的には、赤を表示する赤画素、緑を表示する緑画素、および青を表示する青画素を含む。それぞれの画素では、対応する発光ダイオードLDが設けられており、対応する画素回路によって制御している。

[0079] 「S(m)」に対応する直線は、ソース信号線を示し、「G(n)」および「G(n-1)」に対応する直線は、ゲート信号線を示し、「EM(n)」に対応する直線は、発光制御線を示している。また、「ELVDD」は、高電源電圧を示し、これに繋がる直線は、高電源電圧線に相当する。さらに、「ELVSS」は、低電源電圧を示し、これに繋がる直線は、低電源電圧線に相当する。そして、「Vini(n)」に対応する直線は、リセット電位に対応するリセット信号線を示している。

[0080] 図8は、画素回路の一例を示しており、7つのトランジスタ（第1回路トランジスタT1ないし第7回路トランジスタT7）、コンデンサC1、およ

び発光ダイオードLDを組み合わせて構成されている。上述したトランジスタ1は、第1回路トランジスタT1ないし第7回路トランジスタT7のいずれに適用してもよいが、それぞれの特性に応じた箇所に配置されることが望ましく、画素回路におけるスイッチングトランジスタに適用されることが好ましい。

[0081] 画素回路において、第1回路トランジスタT1ないし第3回路トランジスタT3と、第5回路トランジスタT5ないし第7回路トランジスタT7とは、スイッチングトランジスタとして用いられている。また、第4回路トランジスタT4は、発光ダイオードLDに電源を供給する駆動トランジスタとされている。

[0082] 本実施の形態に係る表示装置100は、表示素子を備えた表示パネルであれば、特に限定されるものではない。表示素子は、電流によって輝度や透過率が制御される表示素子と、電圧によって輝度や透過率が制御される表示素子とがある。電流制御の表示素子としては、例えば、OLED (Organic Light Emitting Diode:有機発光ダイオード) を備えた有機EL (Electro Luminescence:エレクトロルミネッセンス) ディスプレイ、無機発光ダイオードを備えた無機ELディスプレイ等のELディスプレイ、およびQLED (Quantum dot Light Emitting Diode:量子ドット発光ダイオード) を備えたQLEDディスプレイ等がある。また、電圧制御の表示素子としては、液晶表示素子等がある。

[0083] なお、今回開示した実施の形態は全ての点で例示であって、限定的な解釈の根拠となるものではない。従って、本発明の技術的範囲は、上記した実施の形態のみによって解釈されるものではなく、特許請求の範囲の記載に基づいて画定される。また、特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

符号の説明

[0084] 1 トランジスタ

- 2 基板
- 3 下地層
- 4 下部電極
- 4 a ソース側端面
- 4 b ドレイン側端面
- 5 下部絶縁膜
- 6 酸化物半導体層
- 6 a チャネル領域
- 6 b ソース領域
- 6 c ドレイン領域
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 第1層間絶縁膜
- 10 ソース電極
- 11 ドレイン電極
- 12 第2層間絶縁膜
- 100 表示装置
- 101 表示領域
- 102 額縁領域
- 103 端子部
- 104 引き回し配線
- 105 フィルタ回路
- AA オフセット距離
- ELVDD 高電源電圧線
- ELVSS 低電源電圧線
- L チャネル長方向

請求の範囲

- [請求項1] 基板に、下部電極、下部絶縁膜、酸化物半導体層、ゲート絶縁膜、およびゲート電極が順に積層されたトランジスタを有する表示装置であって、
- 前記ゲート電極は、平面視で前記ゲート絶縁膜と整合し、
- 前記酸化物半導体層は、前記ゲート絶縁膜を介して前記ゲート電極と対向するチャネル領域と、前記チャネル領域を互いの間に挟んで設けられたソース領域およびドレイン領域とを有し、
- 前記下部電極は、
- 平面視した状態で、前記酸化物半導体層と交差するように延伸され、
- 前記ソース領域の側のソース側端面が、前記チャネル領域の端面と平行であって、前記ソース領域と重畳し、
- 前記ドレイン領域の側のドレイン側端面が、前記チャネル領域の端面と平行であって、前記チャネル領域と重畳すること
- を特徴とする表示装置。
- [請求項2] 請求項1に記載の表示装置であって、
- 前記ソース領域と前記ドレイン領域とが対向する方向をチャネル長方向としたとき、
- 前記チャネル長方向において、前記ドレイン側端面と前記チャネル領域の端面とは、互いに離間するように、互いの間のオフセット距離が設定されていること
- を特徴とする表示装置。
- [請求項3] 請求項2に記載の表示装置であって、
- 前記オフセット距離は、前記チャネル領域における前記チャネル長方向の長さの半分より小さいこと
- を特徴とする表示装置。
- [請求項4] 請求項1から請求項3までのいずれか1つに記載の表示装置であっ

て、

表示領域にマトリクス状に設けられた画素回路を備え、

前記トランジスタは、前記画素回路に含まれるスイッチングトランジスタであること

を特徴とする表示装置。

[請求項5] 請求項1から請求項3までのいずれか1つに記載の表示装置であっ

て、

額縁領域にモノリシックに設けられた周辺回路を備え、

前記トランジスタは、前記周辺回路に含まれるスイッチングトランジスタであること

を特徴とする表示装置。

[請求項6] 請求項1から請求項3までのいずれか1つに記載の表示装置であっ

て、

額縁領域に設けられた端子部と、

前記端子部から延伸された引き回し配線と、

前記端子部と表示領域との間に設けられたフィルタ回路とを備え、

前記端子部は、前記フィルタ回路を介して、前記表示領域の配線と電氣的に接続され、

前記トランジスタは、前記フィルタ回路に含まれること

を特徴とする表示装置。

[請求項7] 請求項6に記載の表示装置であって、

前記ソース領域は、高電源電圧線と電氣的に接続され、

前記ドレイン領域および前記ゲート電極は、前記引き回し配線と電氣的に接続されること

を特徴とする表示装置。

[請求項8] 請求項6に記載の表示装置であって、

前記ソース領域は、前記引き回し配線と電氣的に接続され、

前記ドレイン領域および前記ゲート電極は、低電源電圧線と電氣的

に接続されること

を特徴とする表示装置。

[請求項9]

請求項7または請求項8に記載の表示装置であって、

前記引き回し配線は、前記表示領域のデータ信号線と電氣的に接続されること

を特徴とする表示装置。

[請求項10]

請求項7または請求項8に記載の表示装置であって、

前記引き回し配線は、前記表示領域の走査信号線と電氣的に接続されること

を特徴とする表示装置。

[請求項11]

請求項1から請求項10までのいずれか1つに記載の表示装置であって、

前記下部電極は、前記ソース領域と電氣的に接続されること

を特徴とする表示装置。

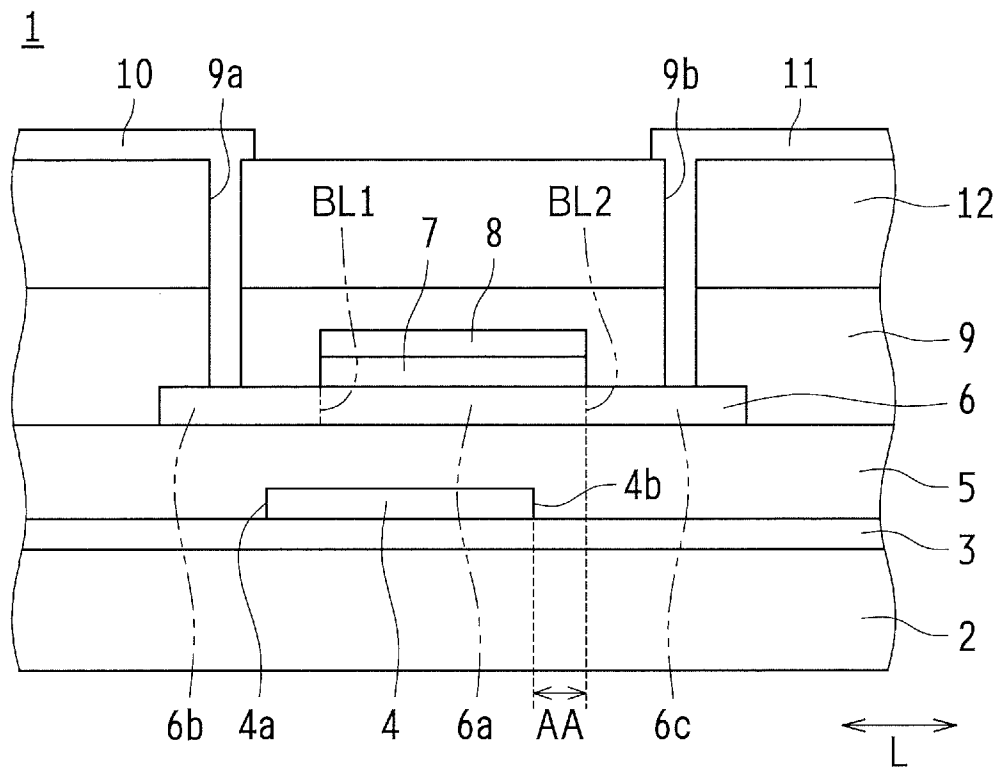
[請求項12]

請求項1から請求項10までのいずれか1つに記載の表示装置であって、

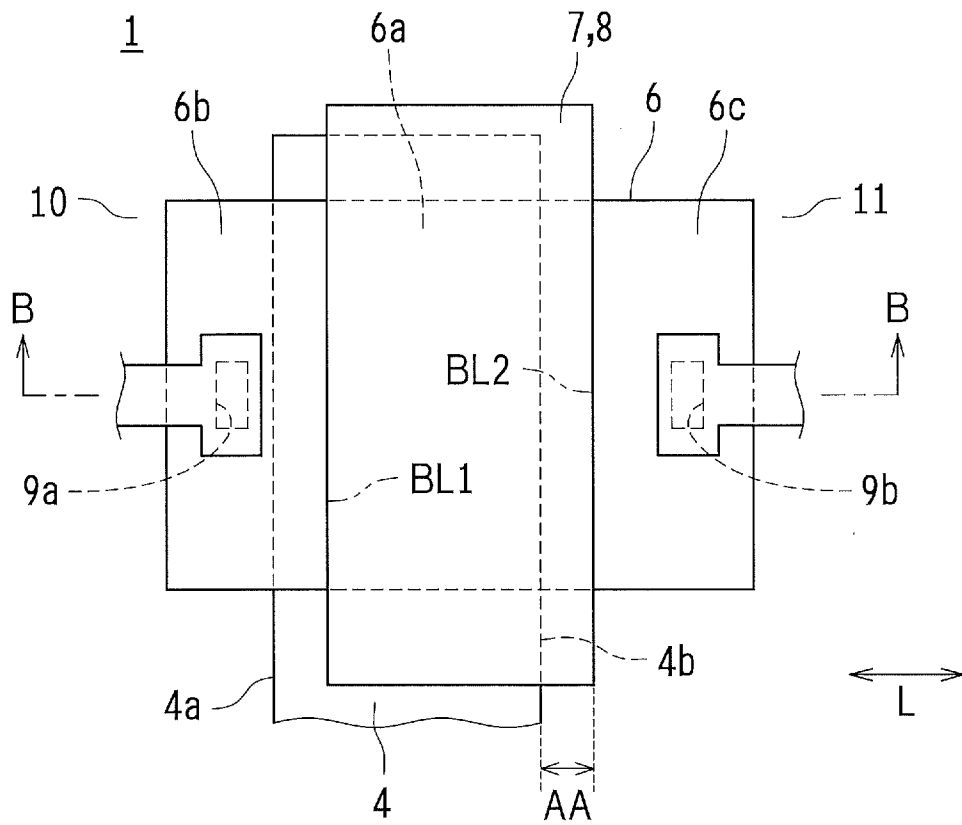
前記下部電極は、定電位電圧線と電氣的に接続されること

を特徴とする表示装置。

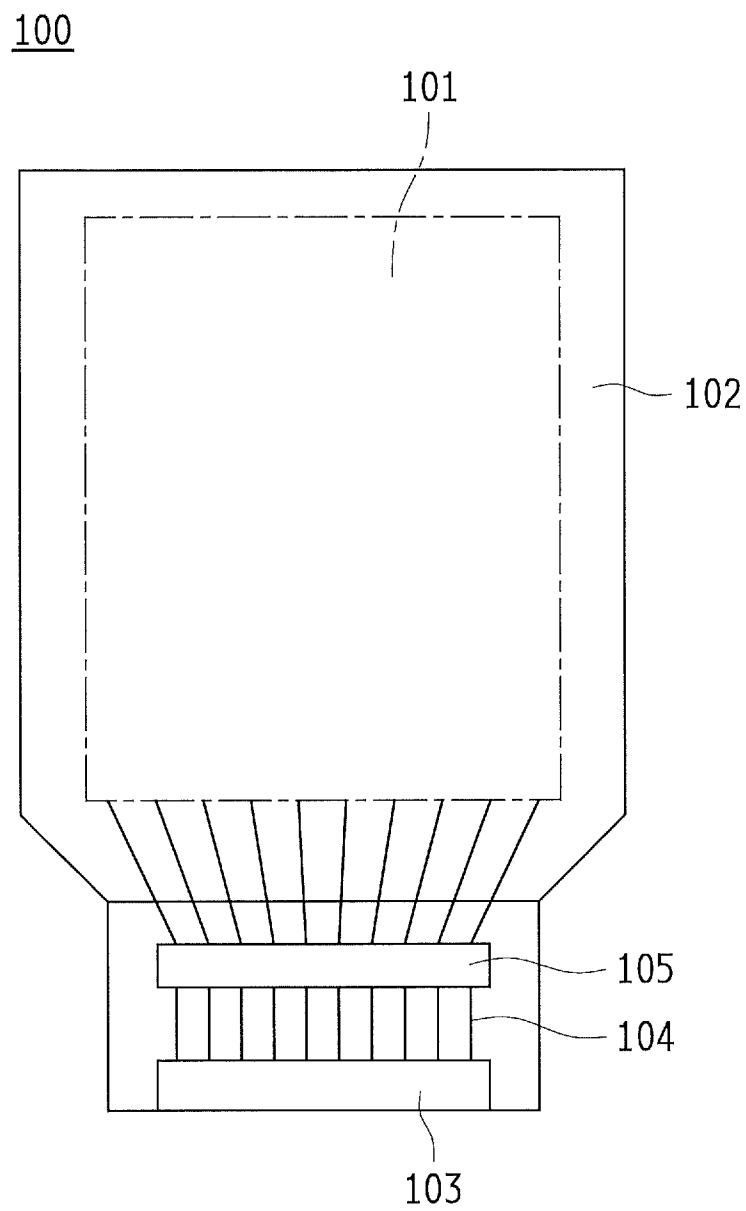
[図1]



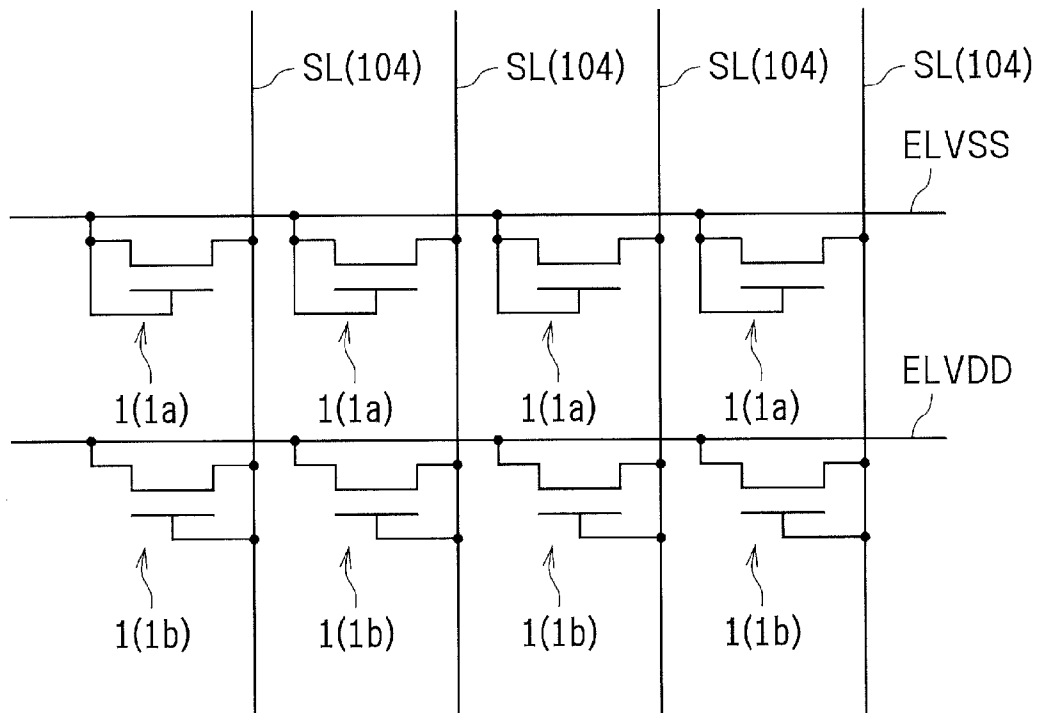
[図2]



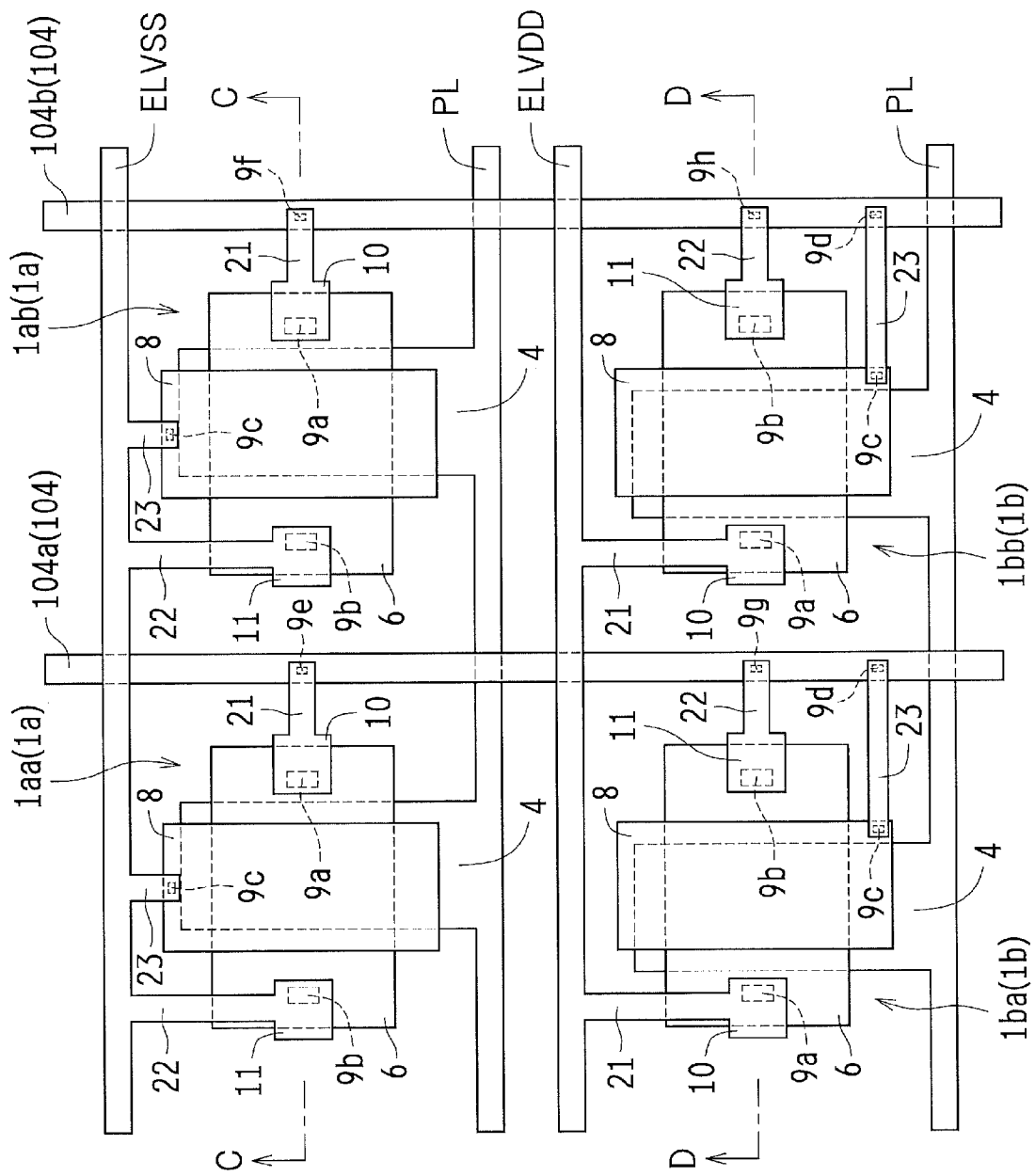
[図3]



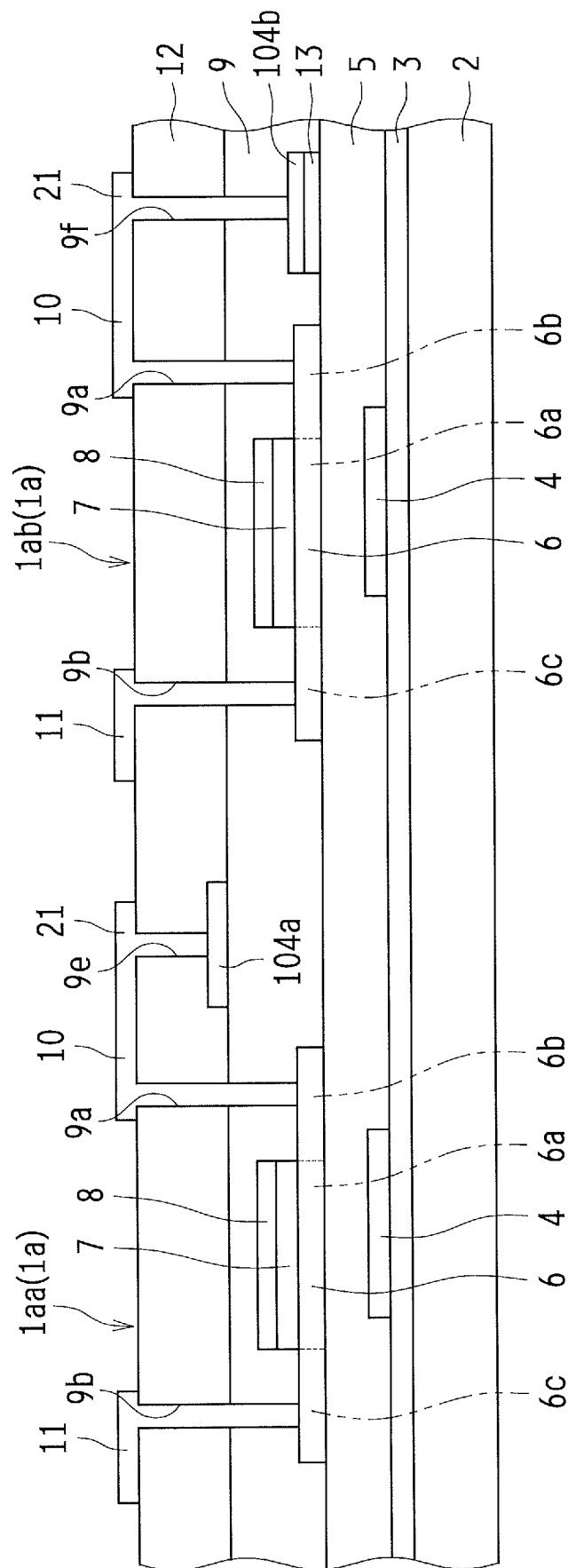
[図4]



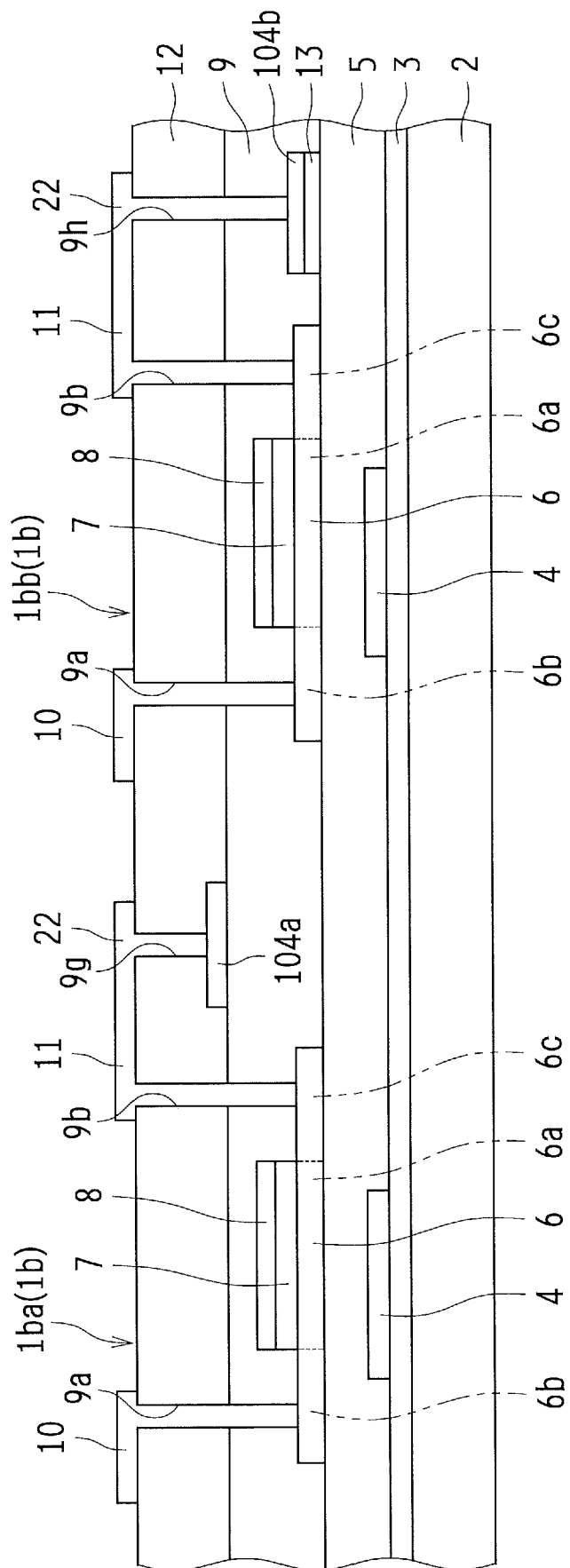
[図5]



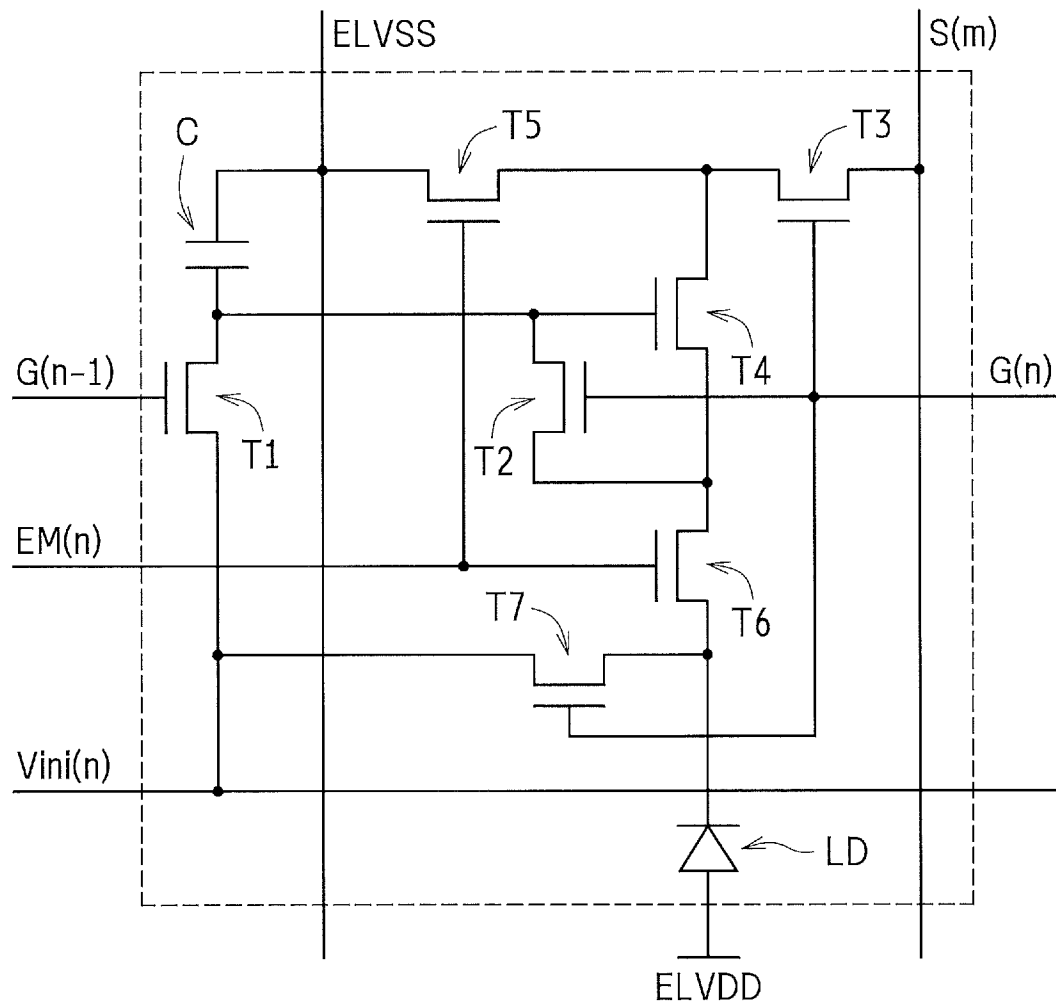
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/003902

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09F9/30 (2006.01) i, H01L27/32 (2006.01) i, H01L51/50 (2006.01) i, H05B33/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09F9/00-9/46, H01L27/32, H01L51/50, H05B33/02, H01L21/336, H01L29/786, G02F1/136-1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-38000 A (JAPAN DISPLAY INC.) 16 February 2017, entire text, all drawings & US 2017/0047348 A1, entire text, all drawings	1-12
A	JP 2007-201073 A (EPSON IMAGING DEVICES CORP.) 09 August 2007, entire text, all drawings & US 2007/0170506 A1, entire text, all drawings & KR 10-2007-0078075 A & CN 101009333 A & TW 200729511 A	1-12
A	JP 2004-258626 A (SEIKO EPSON CORP.) 16 September 2004, entire text, all drawings & US 2004/0218111 A1, entire text, all drawings & KR 10-0579343 B1 & CN 1519633 A & TW 200419495 A	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22.02.2019

Date of mailing of the international search report
12.03.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2019/003902**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-73920 A (SEIKO EPSON CORP.) 02 April 2010, entire text, all drawings (Family: none)	1-12
A	JP 2012-89831 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 May 2012, entire text, all drawings & US 2012/0068183 A1 & CN 102412305 A & KR 10-2012-0031127 A & TW 201230337 A	1-12
A	KR 10-2006-132372 A (LG. PHILIPS LCD CO., LTD.) 21 December 2006, entire text, all drawings (Family: none)	1-12
A	JP 2018-98364 A (TIANMA JAPAN LTD.) 21 June 2018, entire text, all drawings & US 2018/0166585 A1, entire text, all drawings & CN 108231904 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/00-9/46, H01L27/32, H01L51/50, H05B33/02, H01L21/336, H01L29/786, G02F1/136-1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-38000 A（株式会社ジャパンディスプレイ）2017.02.16, 全文全図 & US 2017/0047348 A1 全文全図	1-12
A	JP 2007-201073 A（エプソンイメージングデバイス株式会社） 2007.08.09, 全文全図 & US 2007/0170506 A1 全文全図 & KR 10-2007-0078075 A & CN 101009333 A & TW 200729511 A	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22.02.2019

国際調査報告の発送日

12.03.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

村川 雄一

21

3608

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-258626 A (セイコーエプソン株式会社) 2004. 09. 16, 全文全図 & US 2004/0218111 A1 全文全図 & KR 10-0579343 B1 & CN 1519633 A & TW 200419495 A	1-12
A	JP 2010-73920 A (セイコーエプソン株式会社) 2010. 04. 02, 全文全図 (ファミリーなし)	1-12
A	JP 2012-89831 A (株式会社半導体エネルギー研究所) 2012. 05. 10, 全文全図 & US 2012/0068183 A1 & CN 102412305 A & KR 10-2012-0031127 A & TW 201230337 A	1-12
A	KR 10-2006-132372 A (LG. PHILIPS LCD CO., LTD.) 2006. 12. 21, 全文全図 (ファミリーなし)	1-12
A	JP 2018-98364 A (T i a n m a J a p a n株式会社) 2018. 06. 21, 全文全図 & US 2018/0166585 A1 全文全図 & CN 108231904 A	1-12