



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I453822 B

(45)公告日：中華民國 103 (2014) 年 09 月 21 日

(21)申請案號：101121357

(22)申請日：中華民國 96 (2007) 年 08 月 29 日

(51)Int. Cl. : H01L21/312 (2006.01)

H01L21/3205(2006.01)

(30)優先權：2006/08/30 美國

11/514,038

2006/12/13 美國

11/639,012

(71)申請人：蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)

美國

(72)發明人：那拉 普文 NALLA, PRAVEEN (IN)；尤 威廉 THIE, WILLIAM (ID)；柏依 約翰 BOYD, JOHN (CA)；阿瑞那吉拉 第瑞區若巴里 ARUNAGIRI, TIRUCHIRAPALLI (IN)；優 楊格蘇克 亞歷山得 YOON, HYUNGSUK ALEXANDER (US)；瑞德克 佛禮茲 C REDEKER, FRITZ C. (US)；多迪 葉斯帝 DORDI, YEZDI (US)

(74)代理人：許峻榮

(56)參考文獻：

TW I378533B

審查人員：趙慶冷

申請專利範圍項數：11 項 圖式數：21 共 0 頁

(54)名稱

用以改善銅與阻隔層間之黏接的自組裝單層膜

SELF ASSEMBLED MONOLAYER FOR IMPROVING ADHESION BETWEEN COPPER AND BARRIER LAYER

(57)摘要

本發明之實施例滿足以良好電遷移及減少應力引發之銅配線空隙，來沉積一薄且保形之阻隔層，及一銅層於該銅配線，的需求。電遷移及應力引發之空隙化係受到該阻隔層及該銅層之間的黏接所影響。將一功能化層沉積於該阻隔層上，能使得銅層沉積在該銅配線中。該功能化層與阻隔層及與銅形成強力鍵結，以改善兩層間的黏接性質。本發明提供一製備基板之基板表面之方法，係沉積一功能化層在一銅配線之金屬阻隔層上，以協助沉積銅層於該銅配線中，以改善銅配線之電遷移性能。該方法包括於該整合系統中沉積該金屬阻隔層以填入該銅配線結構，並且將該金屬阻隔層之表面氧化。該方法尚包括沉積該功能化層於該金屬阻隔層之氧化表面上，及在該功能化層被沉積在該金屬阻隔層上後，沉積該銅層於該銅配線結構中。

The embodiments fill the need enabling deposition of a thin and conformal barrier layer, and a copper layer in the copper interconnect with good electro-migration performance and with reduced risk of stress-induce voiding of copper interconnect. Electromigration and stress-induced voiding are affected by the adhesion between the barrier layer and the copper layer. A functionalization layer is deposited over the barrier layer to enable the copper layer being deposit in the copper interconnect. The functionalization layer forms strong bonds with barrier layer and with copper to improve adhesion property between the two layers. An exemplary method of preparing a substrate surface of a substrate to deposit a functionalization layer over a metallic barrier layer of a copper interconnect to assist deposition of a copper layer in the copper

interconnect in order to improve electromigration performance of the copper interconnect is provided. The method includes depositing the metallic barrier layer to line the copper interconnect structure in the integrated system, and oxidizing a surface of the metallic barrier layer. The method also includes depositing the functionalization layer over the oxidized surface of the metallic barrier layer, and depositing the copper layer in the copper interconnect structure after the functionalization layer is deposited over the metallic barrier layer.

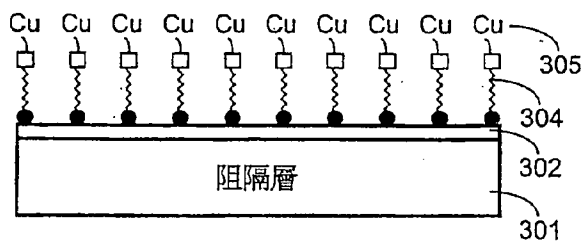


圖 3C

- 301 . . . 阻隔層
- 302 . . . 阻隔金屬氧化物
- 303 . . . 表面
- 304 . . . 功能化層
- 305 . . . 銅晶種層 (銅層)
- 320 . . . 錯合基
- 403 . . . 阻隔層

發明專利說明書

公告本

分割案

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：101121357

※申請日期：96.8.29

※IPC 分類：H01L 21/312 2006.01

原申請案號：96131991

H01L 21/3205 2006.01

一、發明名稱：(中文/英文)

用以改善銅與阻隔層間之黏接的自組裝單層膜

SELF ASSEMBLED MONOLAYER FOR IMPROVING
ADHESION BETWEEN COPPER AND BARRIER LAYER

二、中文發明摘要：

本發明之實施例滿足以良好電遷移及減少應力引發之銅配線空隙，來沉積一薄且保形之阻隔層，及一銅層於該銅配線，的需求。電遷移及應力引發之空隙化係受到該阻隔層及該銅層之間的黏接所影響。將一功能化層沉積於該阻隔層上，能使得銅層沉積在該銅配線中。該功能化層與阻隔層及與銅形成強力鍵結，以改善兩層間的黏接性質。本發明提供一製備基板之基板表面之方法，係沉積一功能化層在一銅配線之金屬阻隔層上，以協助沉積銅層於該銅配線中，以改善銅配線之電遷移性能。該方法包括於該整合系統中沉積該金屬阻隔層以填入該銅配線結構，並且將該金屬阻隔層之表面氧化。該方法尚包括沉積該功能化層於該金屬阻隔層之氧化表面上，及在該功能化層被沉積在該金屬阻隔層上後，沉積該銅層於該銅配線結構中。

三、英文發明摘要：

The embodiments fill the need enabling deposition of a thin and conformal barrier layer, and a copper layer in the copper interconnect with good electro-migration performance and with reduced risk of stress-induce voiding of copper interconnect. Electromigration and stress-induced voiding are affected by the adhesion between the barrier layer and the copper layer. A functionalization layer is

deposited over the barrier layer to enable the copper layer being deposit in the copper interconnect. The functionalization layer forms strong bonds with barrier layer and with copper to improve adhesion property between the two layers. An exemplary method of preparing a substrate surface of a substrate to deposit a functionalization layer over a metallic barrier layer of a copper interconnect to assist deposition of a copper layer in the copper interconnect in order to improve electromigration performance of the copper interconnect is provided. The method includes depositing the metallic barrier layer to line the copper interconnect structure in the integrated system, and oxidizing a surface of the metallic barrier layer. The method also includes depositing the functionalization layer over the oxidized surface of the metallic barrier layer, and depositing the copper layer in the copper interconnect structure after the functionalization layer is deposited over the metallic barrier layer.

四、指定代表圖：

(一)本案指定代表圖為：第(3C)圖。

(二)本代表圖之元件符號簡單說明：

- 301 阻隔層
- 302 阻隔金屬氧化物
- 303 表面
- 304 功能化層
- 305 銅晶種層(銅層)
- 320 錯合基
- 403 阻隔層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於用以改善銅與阻隔層間之黏接的自組裝單層膜。

【先前技術】

積體電路使用導電性配線以將各別的裝置接合在一半導體基板上，或者與該積體電路之外部連絡。通孔及溝渠用之配線金屬，可包括鋁合金及銅。隨著裝置尺寸持續地縮小到 45nm 節點技術及次 45nm 技術，提供高寬深比(aspect ratio)幾何特徵部中具有良好的階梯覆蓋率之連續阻隔/晶種層，以能夠無空隙銅填充的要求，變得具有挑戰性。推進 45-nm-節點或次-45-nm-技術之超薄且保形之阻隔層，係在於減少該阻隔對於通孔及線電阻的影響。然而，銅對於該阻隔層之不良黏接可能造成於處理或受熱應力時該阻隔層與銅層分離，而且有電遷移及應力引起的空隙化之顧慮。

基於前述，需要有一方法及設備需求，能沉積一薄且保形之阻隔層，以及一銅層於該銅配線中，具有良好電遷移性能，並且產生應力引起之銅配線空隙的風險小。

【發明內容】

廣泛言之，本發明之實施例滿足沉積一薄且保形之阻隔層，且一銅層於該銅配線之需求，帶有良好的電遷移性能，且發生應力引起之銅配線空隙之風險小。電遷移及應力引起之空隙，由在該阻隔層及該銅層之間的黏接影響。一功能化層可以沉積於該阻隔層上，以使得該銅層沉積在該銅配線中。該功能化層與阻隔層及與銅形成強力鍵結，而改善介於兩層間的黏接性質。應瞭解到，本發明可以許多方式實施，包括一方案、一方法、一處理、一設備，或一系統。以下敘述數個本發明之創新性實施例。

於一實施例中，提供一種方法，用於製備一基板之基板表面以沉積一功能化層在銅配線之金屬阻隔層上以協助沉積一銅層於

該銅配線中，以改善該銅配線之電遷移性能。該方法包括在該整合系統中沉積該金屬阻隔層以填入銅配線結構，並且氧化該金屬阻隔層之一表面。該方法尚包括於該整合系統中沉積該功能化層在該金屬阻隔層之經氧化的表面上，並於該功能化層被沉積在該金屬阻隔層上後，沉積該銅層於該銅配線結構中。

於另一實施例，提供一種方法，用於製備一基板之基板表面以沉積一功能化層在銅配線之金屬阻隔層上以協助沉積一銅層於該銅配線中，以改善該銅配線之電遷移性能。該方法包括在該整合系統中，沉積該金屬阻隔層以填入銅配線結構。該方法尚包括沉積該功能化層在該金屬阻隔層之經氧化的表面上。該方法更包含於該功能化層被沉積在該金屬阻隔層上後，沉積該銅層於該銅配線結構中。

於另一實施例，提供一種整合系統，用於在受控制的環境處理一基板以便沉積一功能化層在一銅配線之金屬阻隔層上，以改善該銅配線之電遷移性能。該整合系統包括：一實驗室環境運送腔室，能將該基板從一連接到該實驗室環境運送腔室之基板匣盒運送到該整合系統內；及一真空運送腔室，其係在壓力低於 1 托爾之真空下操作。該整合系統更包含一真空處理模組，用於沉積該金屬阻隔層，其中該用於沉積該金屬阻隔層之真空處理模組，連接於該真空運送腔室，並且係於壓力低於 1 托爾之真空下操作。此外該整合系統包括：一環境受控制的運送腔室，其填滿擇自惰性氣體之一惰性氣體；及一沉積處理模組，用於沉積該功能化層在該金屬阻隔層之表面。

雖然本發明係就 Cu 雙重-鑲嵌配線處理敘述，但亦能應用於 3D 包裝或個人電腦板(PCB)處理流程之通孔。本發明之其他態樣以及優點，將由以下經由本發明原理例之詳細說明以及參照附圖而更為顯明。

【實施方式】

提供數個用於改良的金屬整合技術之例，其係加入一促進黏

接層以改善界面黏接。應瞭解到，本發明可以多種方式實施，包括：一處理、一方法、一設備，或一系統。本發明之數個創造性實施例說明如下。對於熟知此項技術領域之人士而言，很明顯地，本發明在沒有此處所說明之一些或所有特徵細節之下，仍能實施。

圖 1A 顯示配線結構之一例示性橫剖面，係使用一雙重鑲嵌處理程序進行圖案化之後者。該配線結構係在一基板 50 上並具有一介電層 100，係預先製作以於其中形成一金屬線 101。該金屬線之製作，通常係蝕刻一溝渠到介電層 100 內，然後將該溝渠以一導電性材料，例如銅予以填滿。

於該溝渠中，有一阻隔層 120，係用於防止該銅材料 122 擴散到該介電層 100 中。該阻隔層 120 可由物理氣相沉積(PVD)氮化鉭(TaN)、PVD 鉭(Ta)、原子層沉積(ALD) TaN 或者組合此等薄膜以製作。亦可使用其他阻隔層材料。將一阻隔層 102 沉積在該經平面化銅材料 122 上以保護銅材料 122 免於在當通孔 114 經由上覆介電材料 104、106 蝕穿到該阻隔層 102 時受到不成熟的氧化。該阻隔層 102 亦配置為作用為一選擇性蝕刻停止層。例示性阻隔層 102 材料，包括：氮化矽(Si_3N_4)、碳氮化矽(SiCN)或碳化矽(SiC)。

將一通孔介電層 104 沉積在該阻隔層 102 上。該通孔介電層 104 能由有機矽酸鹽玻璃(OSG，碳攪雜氧化矽)或其他類型介電材料製作，尤佳為低介電常數者。例示性的二氧化矽，可包括：一 PECVD 非攪雜之 TEOS 二氧化矽、一 PECVD 氟化之二氧化矽玻璃(FSG)、一 HDP FSG、OSG、多孔 OSG 等。也可使用市售的介電材料，包括：Black Diamond(I)及 Black Diamond(II) (Applied Materials of Santa Clara, California, Coral (Novellus System of San Jose)、Aurora (ASM America Inc. of Phoenix, Arizona)。在該通孔介電層 104 上，為一溝渠介電層 106。該溝渠介電層 106 可為一 low K 介電材料，例如一碳攪雜氧化物(C-氧化物)。該 low K 介電材料之介電常數，可為約 3.0 或以下。於一實施例中，該通孔及溝渠介電層皆由相同材料製成，並且同時被沉積，以形成一連續的薄膜。

於沉積該溝渠介電層 106 之後，對於保持有該結構的該基板 50，以周知的技術，實施圖案成形以及蝕刻處理，以形成該通孔 114 及溝渠 116。

圖 1B 顯示於形成通孔 114 及溝渠 116 後，將阻隔層 130 沉積填入並填滿該通孔 114 及該溝渠 116。該阻隔層 130 可由氮化鈮 (TaN)、鈮 (Ta)、鈦 (Ru) 或者此等材料之混成組合製作。即便此等為通常考慮的材料，但也可使用其他阻隔層材料。阻隔層材料可為其他高熔點金屬化合物，包括但不限於：鈦 (Ti)、鎢 (W)、鋯 (Zr)、鈪 (Hf)、鉬 (Mo)、鈮 (Nb)、釩 (V)、鈦 (Ru)，銱 (Ir)，鉑 (Pt)，及鉻 (Cr)。

接著，沉積一銅層 132 以填滿該通孔 114 及該溝渠 116，如圖 1C 所示。於一實施例中，該銅層 132 於其下包括一薄的銅晶種層 131。於一實施例中，該薄銅晶種層的厚度，介於約 5 埃至約 300 埃。

阻隔層，例如 Ta、TaN 或 Ru，若暴露於空氣一段時間，則會形成 Ta_xO_y (氧化鈮)、 TaO_xN_y (氧氮化鈮) 或者 RuO_2 (氧化鈦)。當阻隔金屬，例如 Ta、TaN 或 Ru，暴露於水溶液，則亦可能形成金屬氧化物，例如， Ta_xO_y 、 TaO_xN_y 或者 RuO_2 。

無電沉積金屬層於基板上，對於基板之表面特性及組成，係高度依賴的。無電電鍍銅在一 Ta、TaN 或者 Ru 表面上，對於在電鍍前形成保形之晶種層以及選擇性沉積 Cu 線在已以微影定義的圖案中，都是受到關注的。一種考量為，自動地在氧氣或水溶液存在下所形成之薄的原本的金屬氧化物層，會抑制無電沉積處理。

此外，銅薄膜並不能良好地黏接於該阻隔氧化物層，例如氧化鈮、氧氮化鈮或者氧化鈦，而其黏接於純阻隔金屬或富阻隔層之薄膜，例如 Ta、Ru 或者富 Ta 之 TaN 薄膜。Ta 及/或 TaN 阻隔層僅使用為實施例。該說明及概念可應用於其他類型阻隔金屬，例如 Ta 或 TaN 上罩蓋有薄層 Ru 者。如上所述，不良的黏接對於 EM 性能及應力引起之空隙化會有負面影響。此外，形成氧化鈮或

氮化鈮在該阻隔層表面，會增加該阻隔層之電阻。由於此等課題，希望使用該整合系統製備該阻隔/銅界面以確保在該阻隔層及銅之間有良好黏接，並確保該阻隔層/銅堆疊體之低電阻。

圖 1B 顯示該阻隔層 130 為一單一層，其係以 ALD 或 PVD 沉積者。或者，該阻隔層 130 可藉由一 ALD 處理沉積，以沉積一第 1 阻隔層 130_I ，例如 TaN，再接著沉積一 PVD 第 2 阻隔層 130_{II} ，例如 Ta，如圖 1D 所示。

除了雙重鑲嵌配線結構，銅配線亦可應用於接點上的金屬線（或 M1 線）。圖 2A 顯示一例示性橫剖面，係一藉由介電蝕刻予以金屬化後移除光阻的金屬線結構。該金屬線結構係在基板 200 上，並具有一矽層 110，其係預先製造以形成一具有閘氧化物 121、間隔件 107 及接點 125 於其中的閘結構 105。該接點 125 通常係藉由蝕刻一接觸孔至氧化物 103 中，然後將該接觸孔以一導電性材料 124，例如鎢，填滿以製作。該導電性材料 124 之表面 124a 應當非常清潔。其他材料可包括銅、鋁或其他導電性材料。該阻隔層 102 亦配置成作用為一選擇性溝渠蝕刻停止層。該阻隔層 102 可由例如氮化矽(Si_3N_4)、碳氮化矽(SiCN)或碳化矽(SiC)等材料製作。

將一介電層 106 沉積在該阻隔層 102 上。可用於沉積介電層 106 之該介電材料已於上敘述。於沉積介電層 106 後，將該基板圖案化及蝕刻，以產生金屬溝渠 116。圖 2B 顯示於形成金屬溝渠 116 後，沉積一金屬阻隔層 130 以填入金屬溝渠 116。圖 2C 顯示於沉積該阻隔層 130 後，沉積一銅層 132 至該阻隔層 130 上。類似於該雙重鑲嵌配線結構，該阻隔層 130 可由氮化鈮(TaN)、鈮(Ta)、鈦(Ru)、或此等薄膜之組合製作。接著，沉積一銅層 132 以填滿金屬溝渠 116。

如上對於雙重鑲嵌結構之敘述，阻隔層例如 Ta、TaN 或 Ru，若暴露於空氣或水溶液中一段時間，會形成 Ta_xO_y (氧化鈮)、 TaO_xN_y (氧氮化鈮)或者 RuO_2 (氧化鈦)，其會影響在銅及該阻隔層間之黏接品質。於一實施例中，化學接枝化合物會選擇性地鍵結

於該經氧化之阻隔金屬表面以形成該化學藥品之自組裝單層(SAM)在該經氧化的阻隔金屬表面上。該化學接枝之化學藥品具有 2 端。一端鍵結於該經氧化之阻隔金屬表面，另一端鍵結於銅。該化學接枝化合物之單層，藉由一端與該經氧化之阻隔金屬強力鍵結，另一端與銅強力鍵結，能使銅牢固地黏接於該銅配線結構。銅對於該配線結構之良好黏接，能改善 EM 性能並減小應力引起之空隙化。

該電接枝或化學接枝化合物，為一錯合基並在該經氧化之阻隔金屬表面形成一單層，能使該基板表面功能化，例如，在單層及該被沉積層材料之間以強力接合，而沉積一層材料，例如銅，在該單層上。因此該單層也可稱為功能化層。自此以下，用語「自組裝單層」及「功能化層」互相替代的使用。該錯合基具有一端，與該經氧化之阻隔層表面形成一共價鍵，及另一端，其具有一官能基，可與銅直接形成鍵結，或者可以改性成一會與銅鍵結的催化部位。使用 Ta 作為銅配線用阻隔金屬之例，該功能化層之錯合基具有一端，與 Ta_xO_y 形成強力鍵結，且另一端與銅形成強力鍵結。對於由化學接枝形成的 SAM，於一實施例中，該化學接枝分子從溶液以物理吸附及化學吸附(濕式處理)吸附到固體基板上，以與該表面鍵結形成有次序的分子功能化層，其為一自組裝單層。或者，該化學接枝的化合物亦可以蒸氣的形式施用於該基板表面(乾式處理)。

圖 3A 顯示具有一阻隔金屬氧化物薄層 302 之一阻隔層 301，該阻隔金屬氧化物薄層 302 具有一表面 303。圖 3B 顯示該表面 303 上沉積了化學接枝錯合基 320 的功能化層 304。該錯合基 320 具有 2 端，「A」端及「B」端。「A」端與該阻隔金屬氧化物 302 形成共價鍵。該錯合基 320 應具有一「A」端，其與該阻隔金屬氧化物表面形成一共價鍵，可由例如 Ta_xO_y (氧化鉭)、 TaO_xN_y (氧氮化鉭)或者 RuO_2 (氧化鈦)製作。例如烷基磷酸酯之磷酸根(PO_4)可以與 Ta_xO_y (例如 Ta_2O_5)鍵結。其他用於接合於 Ta_xO_y 、 TaO_xN_y 或 RuO_2

表面之基團(自由基及/或離子性基)，包括矽(-Si-)、矽烷($\text{Si}(\text{OR})_3$)，其中， $\text{R}=\text{H}$ 及/或 C_xH_y ，及酸或酸氯化物(-O-CO-R)。

該錯合基 320 之「B」端與一銅晶種層 305 之銅形成共價鍵，如圖 3C 所示。該錯合基 320 之「B」端，應由會與銅形成共價鍵之化合物構成。該錯合基 320 之 B 端可為本質上為金屬或有機金屬者，或者，具有導電性質(例如，導電性聚合物)，以能直接無電沉積銅在該已經沉積了該功能化層之阻隔表面上。會與銅形成金屬鍵之化合物例，包括：Ru-吡啶、Pd-胺(鈀-胺)、Pd-吡啶、Cu-吡啶、Cu-胺，及 Ru-胺、S-Au。與金屬間的乙酸根鍵(acetate linkage)，包括二、三、四及五乙酸根基團的螯合錯合物。介於 Ru 或 Pd 或 Au 或 Cu 金屬(觸媒)及官能基(於此情形，例如，吡啶、胺、硫醇、腈、酸或乙酸根)之鍵結，為半共價或者離子鍵(donor bond)。介於觸媒金屬及該 Cu 種之間的鍵結，為金屬鍵。該錯合基具有一般式 $\text{PO}_4\text{-R}'\text{-R}$ ，其中 PO_4 -係與 Ta_xO_y 鍵結之 A 端，R 為與銅鍵結之 B 端。

圖 3D 顯示一錯合基，其在該 A 端帶有一磷酸根(PO_4^-)，及在該 B 端具帶有一鈀-胺(Pd-胺)。該磷酸根鍵結於該 Ta_xO_y 表面，而銅鍵結於 Pd。

圖 3E 顯示一配線堆疊體 310 之橫剖面。一薄的阻隔金屬氧化物層 302 已成長在一阻隔層 301 之表面上。一功能化單層 304 沉積於薄的阻隔金屬氧化物層 302 上。該功能化單層牢固地鍵結於該薄的阻隔金屬氧化物層 302 上。該功能化層 304 之錯合基之一端鍵結於該阻隔金屬氧化物。在該功能化層 304 上，一銅層 305 被沉積。於一實施例中，該銅層 305 包括一銅晶種層 306。銅層 305 中之銅鍵結於該功能化層 304 之錯合基之另一端。因為連結在功能化層及該阻隔表面(阻隔金屬化合物)，及在該功能化層及銅間的鍵結為共價鍵，故銅牢固地經由該功能化層 304 及該阻隔金屬氧化物層 302 而附著在阻隔層 301。該配線堆疊體 310 可以位在圖 1A 之通孔 114 或金屬溝渠 116 內。

於圖 3B 及 3C 所示之功能化單層 304 的錯合基，為線形且垂直於該基板表面。然而，此錯合基也可不垂直於該基板表面。圖 3E 顯示一錯合基 320' 之例，其相對於該基板表面的角度 α 小於 90° 。當該錯合基 320' 以角度 α 附著於該基板表面，則該功能化單層之厚度會小於當該錯合基垂直地附著於該基板表面的情形。該厚度(T)約等於單層對於基板之角度 θ 之正弦值與分子長度(L)之乘積($T = L \cdot \sin[\theta]$)。

為了應用一功能化層來改善 45nm 技術節點或次 45nm 技術節點中，該阻隔層與銅層之間的黏接，例如在 22nm 節點，該阻隔層 301 與其附帶的阻隔金屬氧化物層 302 應該要儘可能的薄。圖 4 顯示一配線結構 401，其可為一通孔或一金屬溝渠。一阻隔層 403 沉積於該開口 405 中。若該阻隔沉積處理為一物理氣相沉積(PVD)，則在結構 401 之上表面的阻隔薄膜的厚度 T_T 可能為該結構下部角落(或底部角落)之阻隔層厚度 T_{LC} 的 10 倍。PVD 處理通常階梯覆蓋率不良，且在上部角落 B_{TC} 及 B_{TC} 之該阻隔薄膜可能在從底部起填充該阻隔層前便接觸，此會造成在配線結構 401 中留下小孔(key hole)。在該配線結構中之小孔會捕捉用在間隙填充處理之化學藥物，在低壓期間、在平面化後之高溫處理的腐蝕或爆炸性揮發，或者在金屬 CMP 期間造成開口，並且可能捕捉污染物於內部而減少產量；因此應避免形成小孔。因此，該阻隔層之厚度應保持儘量地薄，且該阻隔薄膜應儘可能為保形的。使用在該阻隔層及該銅層之間夾持功能化單層，能減小沉積一銅層之開口的尺寸。因此，該功能化單層應儘可能地薄。於一實施例中，該功能化層之厚度介於約 10 埃至約 30 埃。此外，該功能化層不應顯著地增加整體的金屬線電阻或者通孔電阻。於用在 3D 包裝之通孔處理應用，存在單層對於該通孔中之金屬電阻影響可忽略，且完全不會提供通孔電阻。

圖 5A 顯示一配線金屬溝渠結構(金屬 1)之一開口 510，係被一介電層 501 所圍繞。圖 5B 顯示一阻隔層 502 被沉積以填入該金

屬溝渠開口 510。該金屬結構之底部為一接點，類似於圖 2A-2C 所示接點 125。該阻隔層可由 ALD、PVD 或者其他可應用的處理沉積。阻隔層之厚度介於約 5 埃至約 300 埃。圖 5C 顯示化學接枝配位化合物之一功能化單層 503 被沉積在阻隔層 502 上。於該功能化單層 503 被沉積後，則一銅晶種層 504 被沉積在該功能性單層 503 上，如圖 5D 所示。於銅晶種層 504 被沉積後，銅間隙填充層 505 被沉積，如圖 5E 所示。

圖 6A 顯示無電銅沉積用之阻隔(或襯墊層)之處理流程例。於步驟 601，圖 2A 之接點 125 之上表面 124a 被清潔以移除原本的金屬氧化物。金屬氧化物可藉由一 Ar 濺鍍處理、使用一含氟氣體例如 NF_3 、 CF_4 之電漿處理，或兩者之組合、濕式化學蝕刻處理，或一還原處理，例如含氫氣電漿，以移除。金屬氧化物可藉由濕式化學移除處理，以單步驟或二步驟濕式化學處理程序移除。該濕式化學移除處理可使用一有機酸，例如 Deer Clean(日本關東化學公司提供)，或一半水性溶劑，例如 ESC5800 (DuPont of Wilmington, Delaware)、一有機鹼，例如四甲基氯化銨(TMAH)、複合胺，例如：乙二胺、二乙三胺，或者適當的化學藥品溶液，例如 ELD Clean and Cap Clean 61(Enthone, Inc. of West Haven, Connecticut 提供)。此外，金屬氧化物，具體而言，銅氧化物，可使用弱有機酸，例如檸檬酸，或者其他有機酸或無機酸移除。此外，亦可使用極稀(即 $<0.1\%$)之含過氧化物之酸，例如硫酸-過氧化物混合物。於步驟 603，一阻隔層於一 ALD 或一 PVD 系統中被沉積。

如上所述，為了使該功能化層適當地沉積在該阻隔表面上，該阻隔表面應覆蓋阻隔氧化物。該阻隔層藉由一氧化性環境處理，例如一含氧電漿、一受控制的熱氧處理，或以過氧化物或其他氧化性化學藥物進行濕式化學處理，於步驟 605 產生一阻隔金屬氧化物層，能用於接續的功能化層沉積步驟。

該氧化性處理為隨意的，取決於該表面組成。之後，於步驟

606，該基板表面被以化學接枝配位化合物之 SAM 沉積。於一實施例中，該化學接枝配位化合物於溶液中為混合的，且該沉積處理為一濕式處理。於步驟 606 之沉積之後，可能需要一隨意的清潔步驟 607。

之後，於步驟 608，一保形的銅種被沉積在該阻隔表面上，接著，於步驟 609，進行厚銅主體填充(或間隙填充)處理。該保形的銅晶種層可以用無電處理沉積。該厚的銅主體填充(亦為間隙填充)層可藉由 ECP 處理沉積。或者，該厚的主體填充(亦為間隙填充)層可藉由無電處理，在與保形的銅種一樣的無電系統中填充，但使用不同的化學藥品。或者，若一含硫醇錯合基使用為該「B」端基團，則可沉積金奈米微粒以形成催化部位供後續的銅沉積步驟。

於在步驟 608 將該基板以保形的銅種沉積，並於步驟 609 以無電或電-電鍍處理進行厚 Cu 主體填充後，進行隨意的次一處理步驟 610，即基板清潔步驟，將來自於先前沉積的殘渣污染物予以清潔。

圖 6B 顯示整合系統 650 之概要圖例，能實施銅配線處理以產生具有良好電遷移及減少之應力引起空隙化的銅配線。該整合系統 650 可用於在圖 6A 之整個處理流程 600 之程序處理一或多基板。

該整合系統 650 具有 3 個基板運送模組 660、670，及 680。運送模組 660、670 及 680 配備有機器人以將基板 655 從一處理區移動到另一處理區。該處理區可為一基板匣盒、一反應器，或一真空預備室(loadlock)。基板運送模組 660 係於實驗室環境之下操作。模組 660 與基板裝載器 (或基板匣盒)661 交界，以將該基板 655 帶入該整合系統或使該基板返回該晶圓匣盒 661 其中之一。

如圖 6A 之處理流程 600 中所述，該基板 655 被帶到該整合系統 650 以沉積阻隔層、製備銅層沉積用之阻隔表面。如處理流程 600 之步驟 601 所述，接點 125 之上接觸表面 124a 被蝕刻以移除

原本的金屬氧化物。一旦該金屬氧化物被移除，圖 2A 之暴露的金屬表面 124a 需要被保護以免於暴露於氧。因為系統 650 為一整合系統，該基板從一處理站立即地運送到次一處理站，以限制經清潔之金屬表面 124a 暴露於低位準之氧的期間。

若該移除處理為一 Ar 濺鍍處理，則將該 Ar 濺鍍反應器 671 連接於該真空運送模組 670。若選擇了濕式化學蝕刻處理，則該反應器應連接到環境受控制的運送模組 680，而不是該實驗室環境運送模組 660，以限制該清潔的鎢表面暴露於氧。對於欲整合在具有受控制之處理及傳送環境的系統中的濕式處理，該反應器需要與一沖洗/乾燥器整合，以具備乾進/乾出處理能力。此外，該系統需要填滿惰性氣體，以確保該基板對氧之暴露極小化。

之後，將該阻隔層沉積於該基板。圖 2B 之阻隔層 130，可藉由 PVD 或 ALD 處理進行沉積。於一實施例中，該阻隔層 130 藉由 ALD 處理被沉積，該處理為乾式處理且於小於 1 托爾操作。該 ALD 反應器 672 連接於該真空運送模組 670。該基板可經歷一隨意的表面氧化處理以確保該阻隔層表面對於功能化層沉積是富金屬氧化物的。該氧化反應器 674 可連接於該真空運送模組 670。於此階段，該基板已預備好進行化學-接枝配位化合物功能化層沉積。如上所述，於一實施例中，此處理為一濕式處理且可沉積於連接於該環境受控制的運送模組 680 之化學-接枝配位化合物沉積腔室 683 中。於一實施例中，腔室 683 整合了一清潔模組(未顯示)，以在功能化單層沉積後清潔該基板 655。於另一實施例，該功能化單層之沉積係於一乾式處理反應器 676 中實施，其連接於該真空運送模組 670。該反應器於 1 托爾以下操作。於一實施例中，基板 655 實施一隨意的基板清潔步驟 607，如處理流程 600 所述。該基板清潔處理可為一刷擦清潔處理，該刷擦清潔處理之反應器 685 可以與該環境受控制的運送模組 680 整合。於該基板表面清潔之後，基板 655 預備好進行銅晶種層沉積，如流程 600 之步驟 608 所述。於一實施例中，該銅晶種層沉積係由無電處理實施。該無

電銅電鍍可於一無電銅電鍍反應器 681 中進行，以沉積一保形的銅晶種層，如圖 6A 之步驟 608 所述。如上所述，圖 6A 之步驟 609 中，沉積間隙填充銅層可以在無電電鍍反應器 681 中以不同的化學藥品溶液實施，或在一分開的 ECP 反應器 681' 中實施。

於該基板離開該整合系統 650 之前，該基板可以隨意地經歷一表面清潔處理，其能清潔來自於先前之銅電鍍處理的殘渣。該基板清潔處理可為刷擦清潔處理，該刷擦清潔處理之反應器 663 可以與實驗室環境運送模組 660 整合。

圖 6B 所述連接於該環境受控制的運送模組 680 之該濕式處理系統，需要滿足乾進/乾出之要求，以允許系統整合。此外，該系統中填滿一種以上惰性氣體，以確保該基板對氧之暴露為極小化。

於圖 6A 所述處理流程 600 及圖 6B 所述系統 650，可用在沉積雙重鑲嵌結構用之阻隔層及銅，如圖 1A-1D 所示。對於雙重鑲嵌結構，將流程 600 之步驟 601 取代成清潔金屬線之上表面，如圖 1A 所示之表面 122a。

雖然本發明已就數個實施例敘述，但應瞭解熟習此項技術領域之人士能於閱讀前面的說明書並探討圖式後，瞭解到各種改變、添加、變體及均等物。因此本發明意欲包括所有落於本發明精神以及範圍內之此種改變、添加、變體以及均等物。於申請專利範圍中，除非明示，否則元件及/或步驟不意指特定的操作順序。

【圖式簡單說明】

本發明將由以上敘述及附圖而更為容易瞭解。相同參照符號代表相同結構元件。

圖 1A-1D 顯示配線處理之各種階段中，雙重鑲嵌配線結構之橫剖面。

圖 2A-2C 顯示配線處理之各種階段中，金屬線結構之橫剖面。

圖 3A-3C 顯示在欲引入功能化層之配線處理之各種階段，金屬線結構之橫剖面。

圖 3D 顯示鍵結之概要圖，係介於功能化層之一端與一氧化鉭

表面之間，以及介於功能化層另一端與銅之間。

圖 3E 顯示一配線結構之沉積層的橫剖面。

圖 3F 顯示一功能化層之錯合基以角度 α 沉積在該經氧化的金屬阻隔表面。

圖 4 顯示一非保形的阻隔層沉積在一配線結構之開口的橫剖面圖。

圖 5A-5E 顯示在欲引入功能化層之配線處理之各種階段，配線結構之橫剖面。

圖 6A 顯示在欲引入功能化層之配線處理之處理流程例。

圖 6B 顯示使用圖 6A 之處理流程處理一基板的整合系統例。

【主要元件符號說明】

50	基板
100	介電層
101	金屬線
102	阻隔層
103	氧化物
104	通孔介電層
105	閘結構
106	金屬線介電層(介電材料、金屬溝渠、溝渠介電層)
107	間隔件
110	矽層
114	通孔
116	溝渠
120	阻隔層
121	閘氧化物
122	銅材料
122a	表面
124a	上表面
125	接點

- 130 阻隔層
- 130_I 第 1 阻隔層
- 130_{II} 第 2 阻隔層
- 131 銅晶種層
- 132 銅層
- 200 基板
- 301 阻隔層
- 302 阻隔金屬氧化物
- 302' 錯合基
- 303 表面
- 304 功能化層
- 305 銅晶種層(銅層)
- 306 銅晶種層
- 310 配線堆疊體
- 320 錯合基
- 401 配線結構
- 403 阻隔層
- 405 開口
- 501 介電層
- 502 阻隔層
- 503 功能性單層
- 504 銅晶種層
- 505 銅間隙填充層
- 510 開口
- 600 流程
- 601 步驟
- 603 步驟
- 605 步驟

606	步驟
607	步驟
608	步驟
609	步驟
610	步驟
650	整合系統
655	基板
660	運送模組
661	晶圓匣盒
663	反應器
665	真空預備室
670	真空運送模組(運送模組)
671	Ar 濺鍍反應器
672	ALD 反應器
674	氧化反應器
675	真空預備室
676	乾式處理反應器
680	環境受控制的運送模組(運送模組)
681	無電電鍍反應器
681'	ECP 反應器
683	沉積腔室
685	反應器

七、申請專利範圍：

1. 一種整合系統，用以在受控制之環境中處理一基板，以將功能化層沉積在銅配線之金屬阻隔層上，俾改善銅配線之電遷移性能，包含：

一實驗室環境運送腔室，可將該基板從連接於該實驗室環境運送腔室之基板匣盒運送到該整合系統內；

一真空運送腔室，於壓力小於 1 托爾之真空下操作；

一真空處理模組，用以沉積該金屬阻隔層，其中，該用以沉積該金屬阻隔層之真空處理模組連接於該真空運送腔室，且係在壓力小於 1 托爾之真空下操作；

一環境受控制的運送腔室，填滿擇自於一群惰性氣體之一惰性氣體；

一沉積處理模組，用以沉積該功能化層在該金屬阻隔層之表面上，其中，該沉積處理模組連接於該環境受控制的運送腔室；及

一氧化處理模組，製備欲沉積該功能化層之該金屬阻隔層的表面。

2. 如申請專利範圍第 1 項之整合系統，更包含：

一無電銅沉積處理模組，用於在該功能化層被沉積於該金屬阻隔層之表面上後，沉積一薄層銅晶種層於該銅配線中，其中，該無電銅沉積處理模組係連接於該環境受控制的運送腔室。

3. 如申請專利範圍第 2 項之整合系統，其中該無電銅沉積處理模組，亦用於沉積一間隙填充銅層於該薄的銅晶種層上。

4. 如申請專利範圍第 1 項之整合系統，更包含：

一基板清潔處理模組，用以在將該功能化層沉積於該金屬阻隔層上之後，清潔該基板表面，其中，該基板清潔處理模組連接

於該環境受控制的運送模組。

5. 如申請專利範圍第 1 項之整合系統，其中，用來沉積該功能化層之該沉積處理模組，為一乾式處理模組，並且連接於真空運送模組。

6. 如申請專利範圍第 1 項之整合系統，更包含：

一第 1 真空預備室，連接於該真空運送腔室及該環境受控制的運送腔室，其中該第 1 真空預備室協助該基板在該真空運送腔室及該環境受控制的運送腔室之間運送，該第 1 真空預備室用以在壓力小於 1 托爾之真空下操作，或填滿擇自於一群惰性氣體的一惰性氣體；及

一第 2 真空預備室，連接於該真空運送腔室及該實驗室環境運送腔室，其中，該第 2 真空預備室協助該基板在該真空運送腔室及該實驗室環境運送腔室之間運送，該第 2 真空預備室用以在壓力小於 1 托爾之真空下操作或於實驗室環境操作，或填滿擇自於一群惰性氣體的一惰性氣體。

7. 如申請專利範圍第 1 項之整合系統，其中，該真空運送腔室及連接於該真空運送腔室之該真空處理模組，係於壓力小於 1 托爾之真空下操作，以控制該基板之暴露於氧。

8. 如申請專利範圍第 1 項之整合系統，其中，該環境受控制的運送腔室及連接於該環境受控制的運送腔室之該沉積處理模組，係填滿一種以上擇自於一群惰性氣體之惰性氣體，以控制該基板之暴露於氧。

9. 如申請專利範圍第 1 項之整合系統，其中連接於該環境受控制的運送模組之該至少一處理模組，使該基板得以進行乾進/乾出處

理，其中，該基板係於乾式狀態，進出該至少一處理模組。

10. 一種整合系統，用以在受控制之環境中處理一基板，以將功能化層沉積在銅配線之金屬阻隔層上，俾改善銅配線之電遷移性能，包含：

一實驗室環境運送腔室，可將該基板從連接於該實驗室環境運送腔室之基板匣盒運送到該整合系統內；

一真空運送腔室，於壓力小於 1 托爾之真空下操作；

一真空處理模組，用以沉積該金屬阻隔層，其中，該用以沉積該金屬阻隔層之真空處理模組連接於該真空運送腔室，且係在壓力小於 1 托爾之真空下操作；

一環境受控制的運送腔室，填滿擇自於一群惰性氣體之一惰性氣體；

一沉積處理模組，用以沉積該功能化層在該金屬阻隔層之表面上，其中，該沉積處理模組連接於該環境受控制的運送腔室；及

一氧化處理模組，用於在該功能化層沉積於該金屬阻隔層表面上之前，氧化該金屬阻隔層之一表面，其中，該氧化處理模組連接於該真空運送腔室，並且係於壓力小於 1 托爾之真空下操作。

11. 一種整合系統，用以在受控制之環境中處理一基板，以將功能化層沉積在銅配線之金屬阻隔層上，俾改善銅配線之電遷移性能，包含：

一實驗室環境運送腔室，可將該基板從連接於該實驗室環境運送腔室之基板匣盒運送到該整合系統內；

一真空運送腔室，於壓力小於 1 托爾之真空下操作；

一真空處理模組，用以沉積該金屬阻隔層，其中，該用以沉積該金屬阻隔層之真空處理模組連接於該真空運送腔室，且係在壓力小於 1 托爾之真空下操作；

一環境受控制的運送腔室，填滿擇自於一群惰性氣體之一惰

性氣體；及

一沉積處理模組，用以沉積該功能化層在該金屬阻隔層之表面上，其中，該沉積處理模組連接於該環境受控制的運送腔室，

其中，用來沉積該功能化層之該沉積處理模組，為一濕式處理模組，並且連接於該環境受控制的運送模組。

八、圖式：

圖式

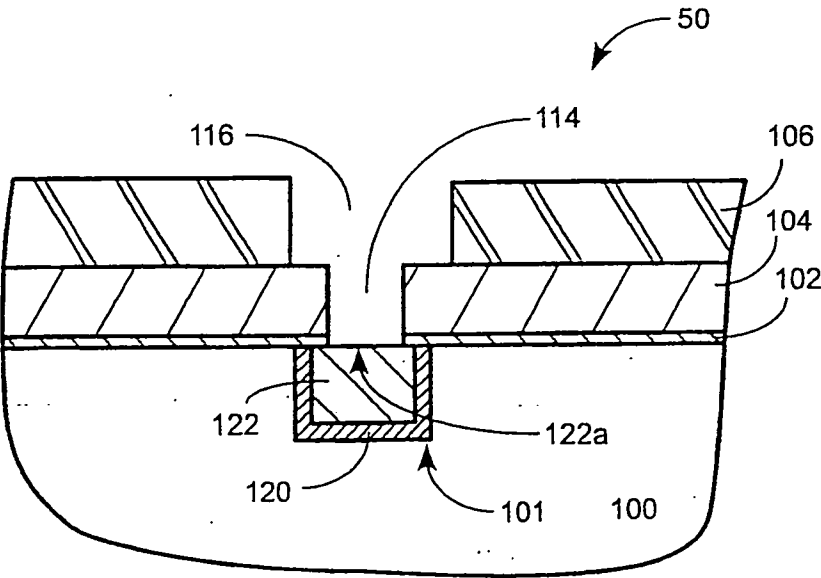


圖 1A

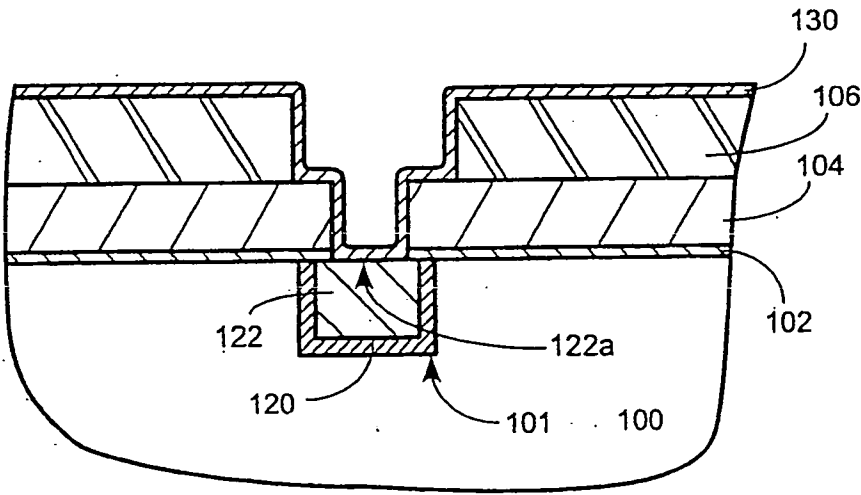


圖 1B

圖式

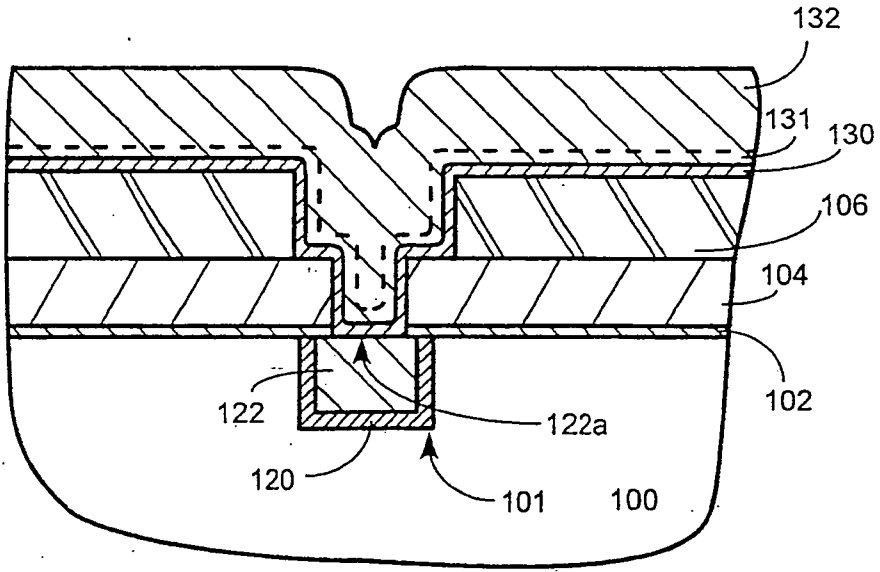


圖 1C

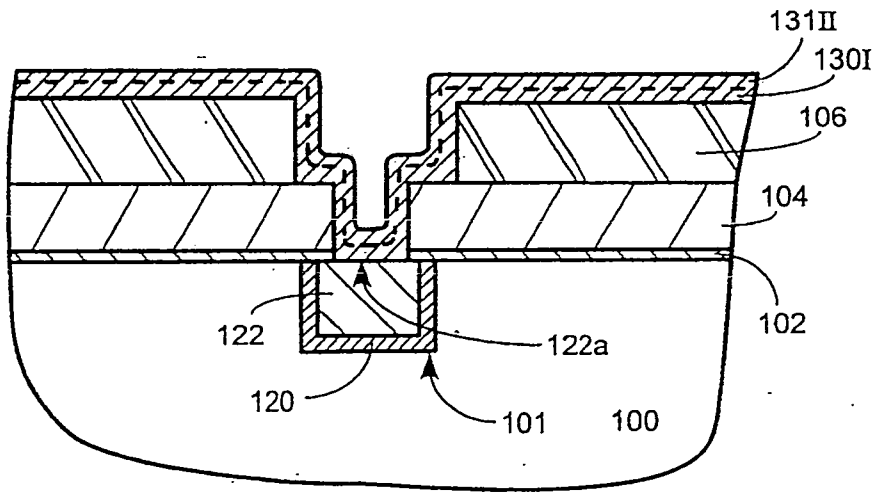


圖 1D

圖式

圖 2A

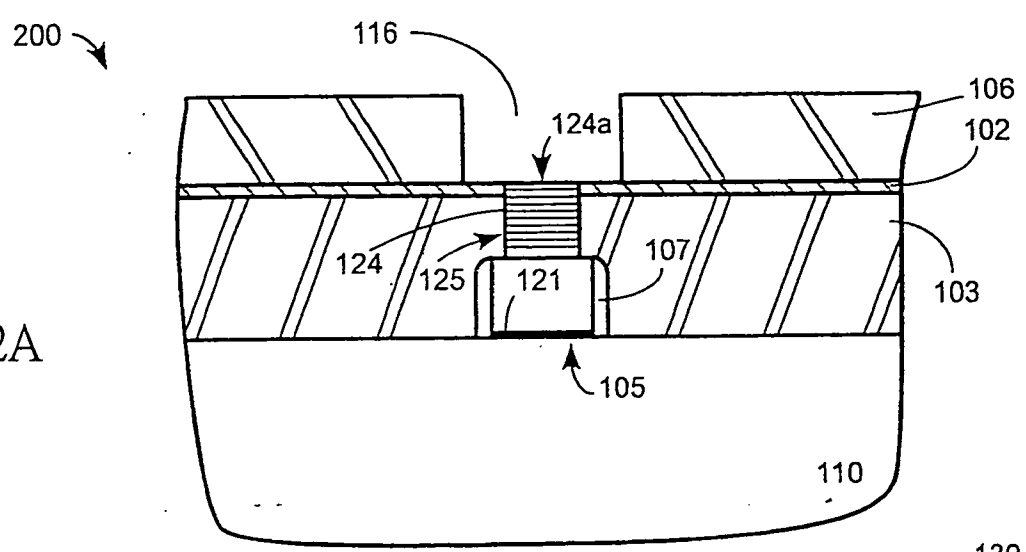


圖 2B

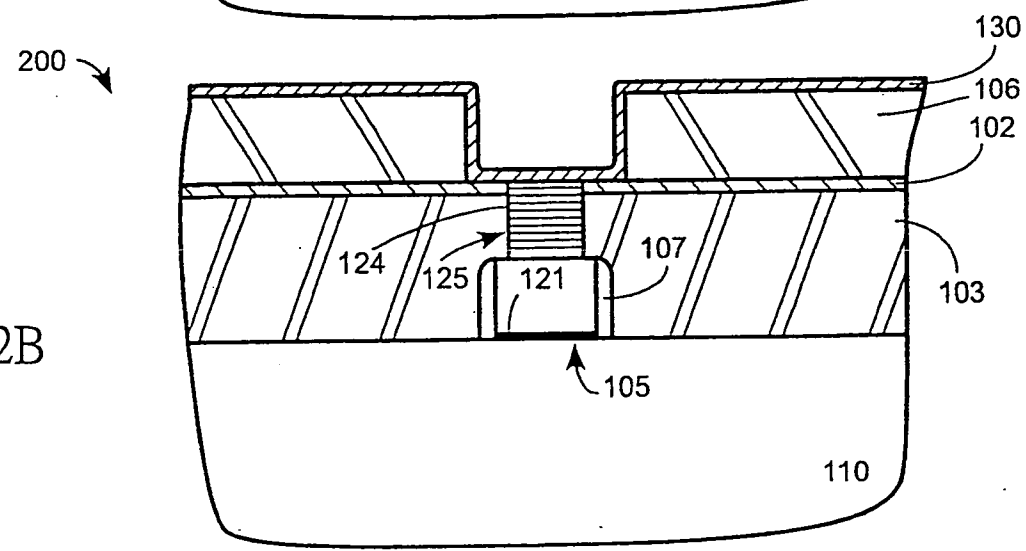
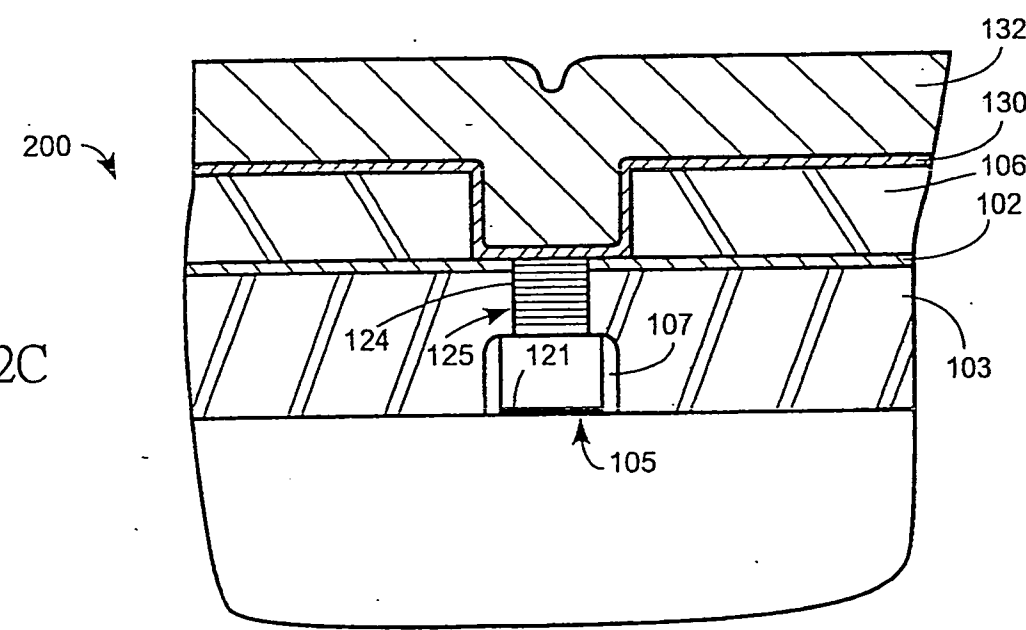


圖 2C



圖式

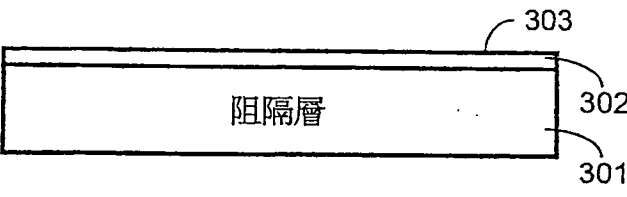


圖 3A

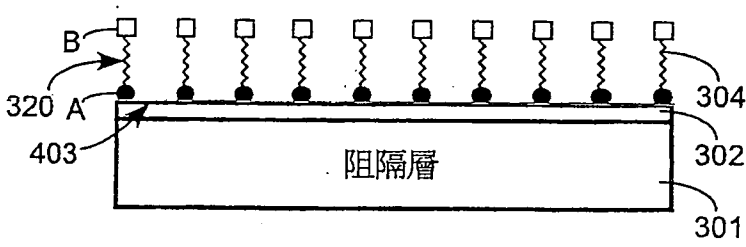


圖 3B

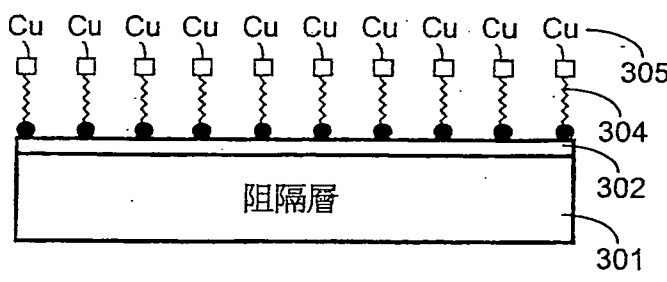


圖 3C

圖式

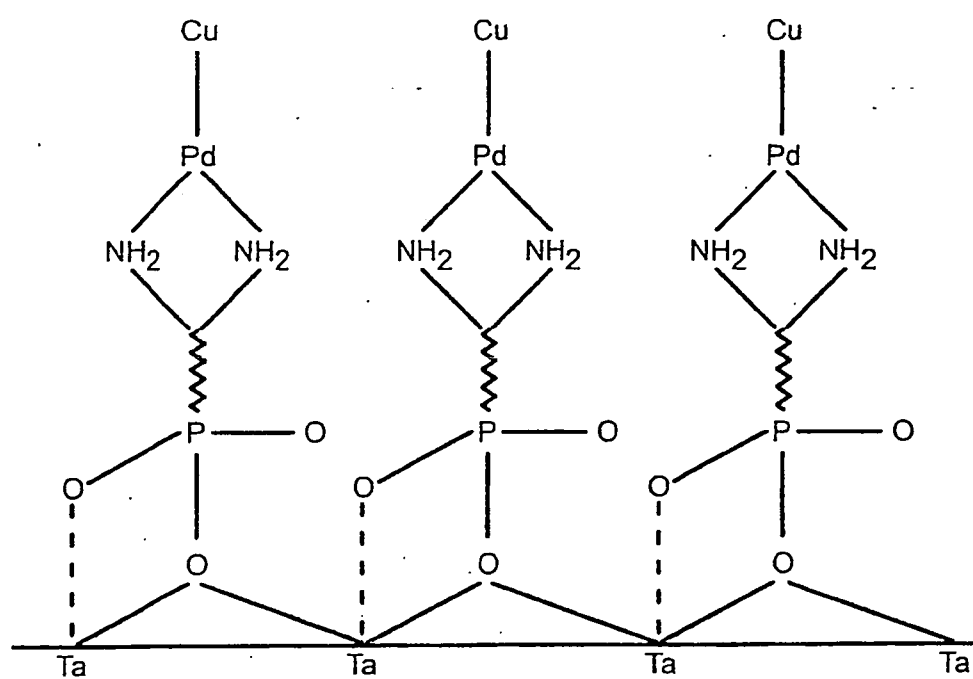


圖 3D

圖式

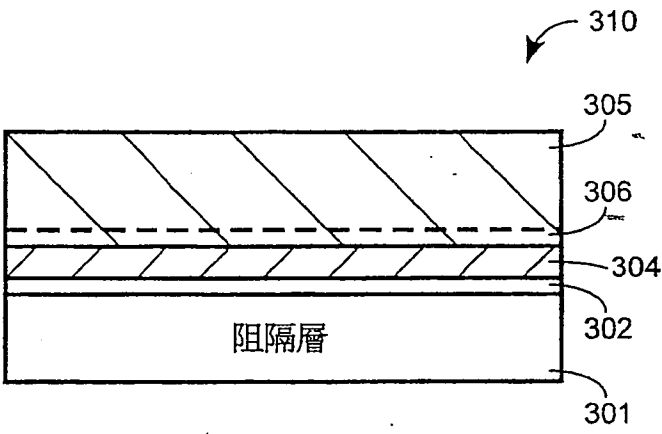


圖 3E

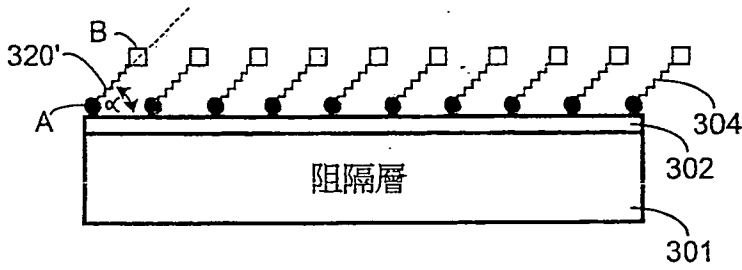


圖 3F

圖式

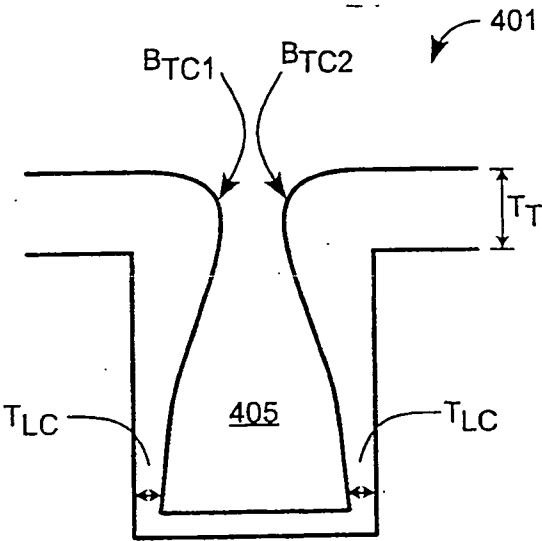


圖 4

圖式

圖 5A

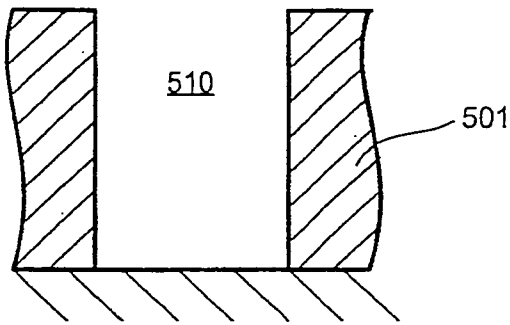


圖 5B

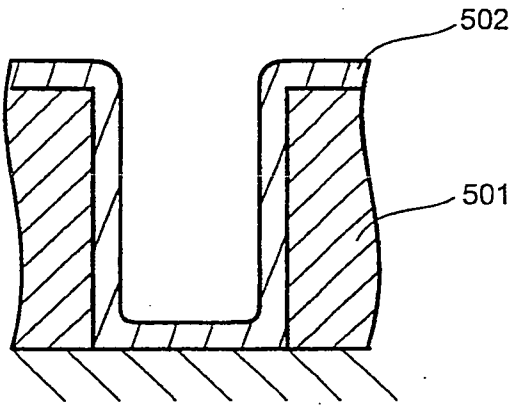
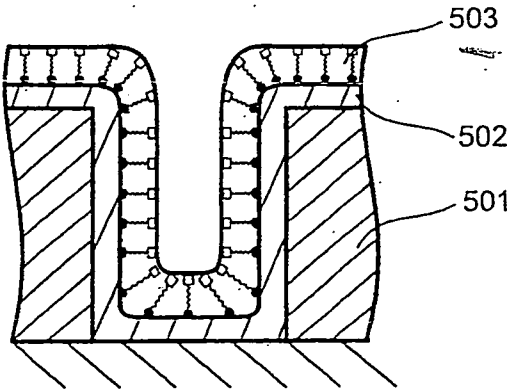


圖 5C



圖式

圖 5D

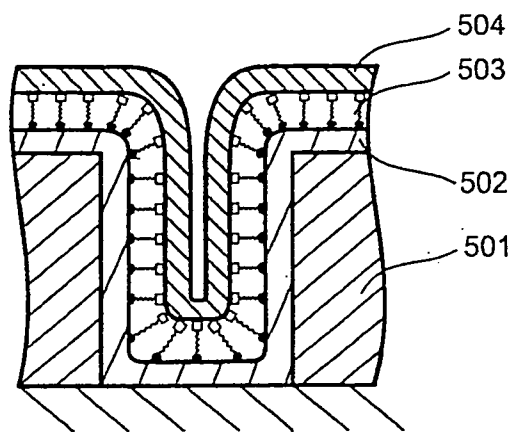
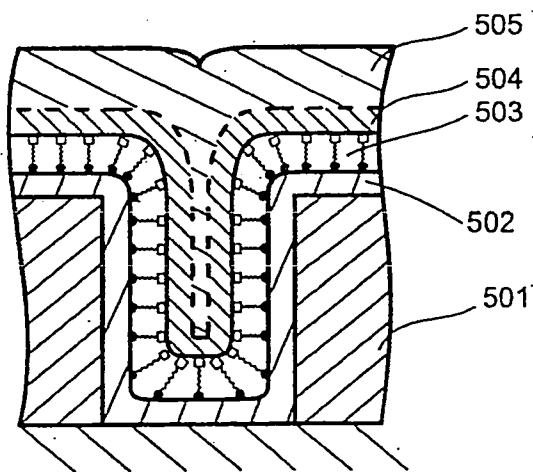


圖 5E



圖式

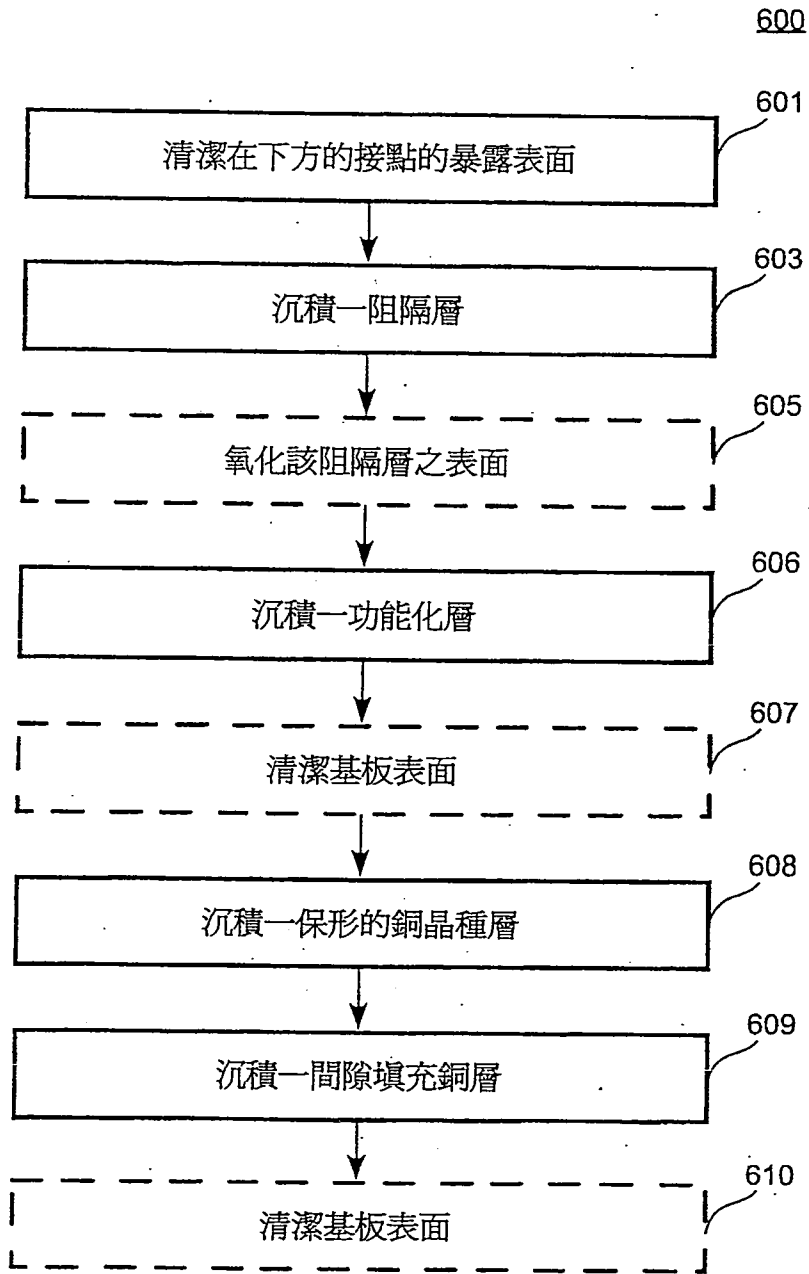


圖 6A

圖式

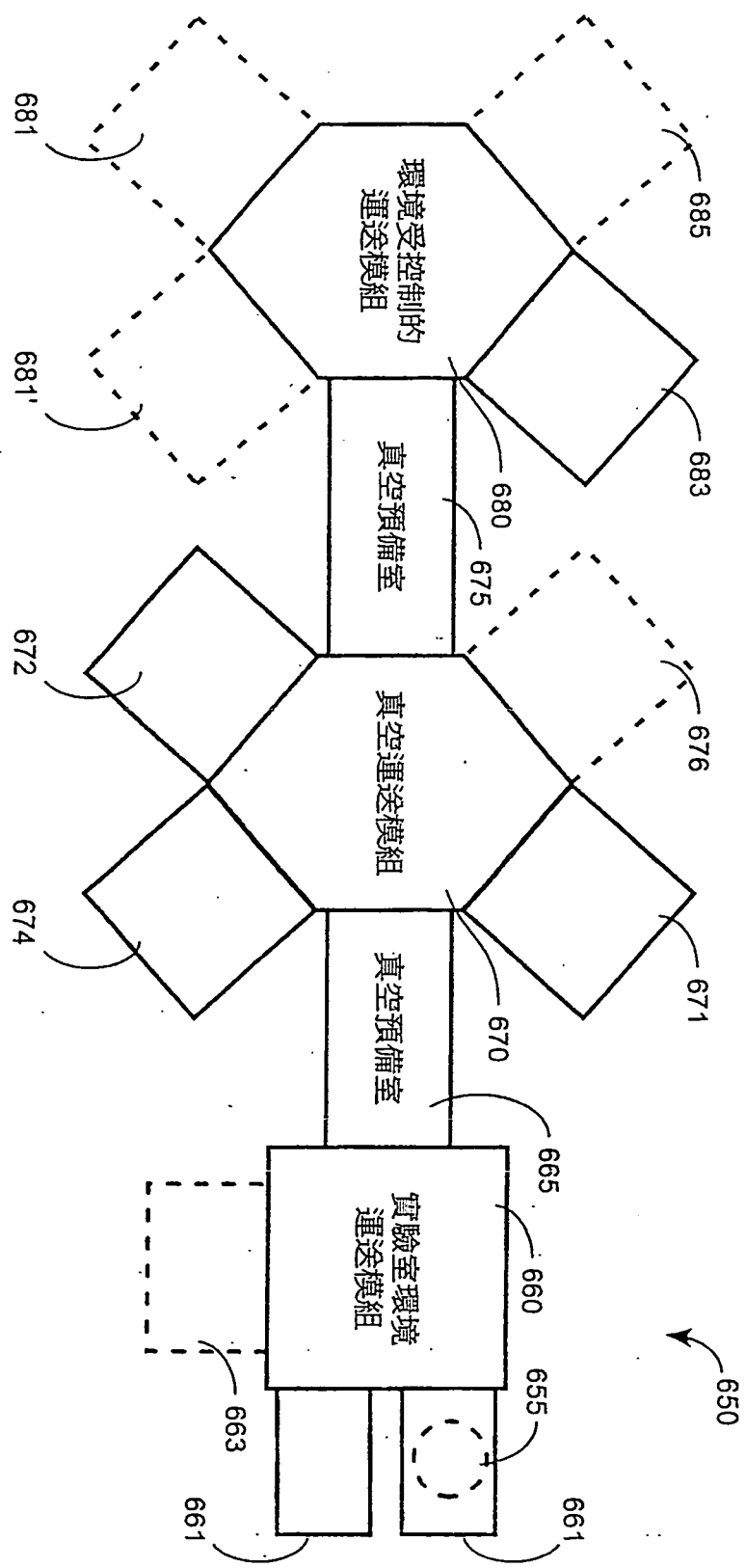


圖 6B