



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0055607
(43) 공개일자 2023년04월26일

(51) 국제특허분류(Int. Cl.)
H10N 70/00 (2023.01) G06N 3/063 (2023.01)
(52) CPC특허분류
H10N 70/011 (2023.02)
G06N 3/063 (2013.01)
(21) 출원번호 10-2021-0139188
(22) 출원일자 2021년10월19일
심사청구일자 2021년10월19일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
왕건욱
서울특별시 강북구 삼양로19길 25, 112동 1103호
최상현
서울특별시 성북구 개운사2길 48, 411호
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

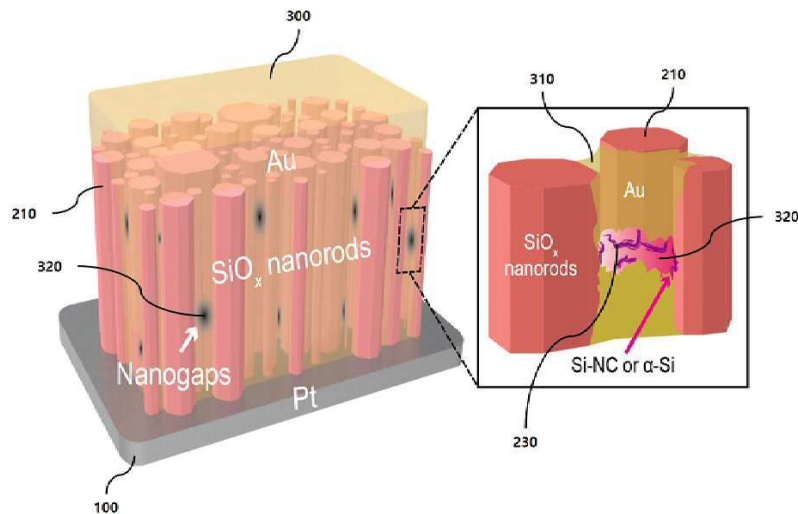
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **확률론적 램리스트브 인공뉴런 소자 및 그 제작 방법**

(57) 요약

본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자 제작 방법은 a) 기판 상에 하부 전극을 증착하는 단계; b) 상기 하부 전극 상에 산화물로 이루어진 나노로드 구조를 형성하는 단계; c) 상기 나노로드 구조 상에 복수의 상부 전극을 증착하여 상기 상부 전극과 상기 하부 전극을 연결하는 복수의 나노와이어를 형성하는 단계; 및 d) 일렉트로포밍을 수행하여 상기 나노와이어의 무작위 부분을 끊어 나노갭을 형성하고, 상기 나노갭에 상기 산화물에 포함된 특정 원소를 기반으로 한 스위칭 필라멘트를 형성하는 단계를 포함한다.

대표도 - 도5



(52) CPC특허분류

H10N 70/231 (2023.02)

H10N 70/826 (2023.02)

H10N 70/841 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711108925
과제번호	2019R1A2C2003704
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	에너지 절감형 스마트 단일 뉴럴 네트워크를 위한 가소성 고차원 튜닝 및 누설 뉴럴
신호 제어 가능한 이중접합형	인공시냅스 소재/소자 개발
기 여 율	1/3
과제수행기관명	고려대학교
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711135355
과제번호	2021M3H4A1A01079420
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노미래소재원천기술개발(R&D)
연구과제명	신개념 대각선-게이트 램프랜지스터 어레이를 통한 극저전력 원-스텝 컨볼루션 신경
망 원천 기술 개발	
기 여 율	1/3
과제수행기관명	고려대학교
연구기간	2021.05.10 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711124242
과제번호	20KIST-KU
부처명	과학기술정보통신부
과제관리(전문)기관명	한국과학기술연구원
연구사업명	한국과학기술연구원연구운영비지원(R&D)(주요사업비)
연구과제명	KIST-KU스쿨 운영사업
기 여 율	1/3
과제수행기관명	한국과학기술연구원
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

- a) 기판 상에 하부 전극을 증착하는 단계;
- b) 상기 하부 전극 상에 산화물로 이루어진 나노로드 구조를 형성하는 단계;
- c) 상기 나노로드 구조 상에 복수의 상부 전극을 증착하여 상기 상부 전극과 상기 하부 전극을 연결하는 복수의 나노와이어를 형성하는 단계; 및
- d) 일렉트로포밍을 수행하여 상기 나노와이어의 무작위 부분을 끊어 나노갭을 형성하고, 상기 나노갭에 상기 산화물에 포함된 특정 원소를 기반으로 한 스위칭 필라멘트를 형성하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 2

제1항에 있어서,

상기 a) 단계는:

- a-1) 상기 기판 상에 접착층을 증착하는 단계; 및
- a-2) 상기 접착층 상에 하부 전극층을 증착하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 3

제1항에 있어서,

상기 b) 단계는:

- b-1) 상기 하부 전극 상에 상기 산화물을 빗각증착법을 통해 증착 하여 상기 나노로드 구조를 형성하는 단계; 및
- b-2) 상기 빗각증착법 수행 시 기 설정된 각도로 증착 각도를 조절하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 4

제1항에 있어서,

상기 c) 단계는:

- c-1) 상기 나노로드 구조 상에 기 설정된 직경을 갖는 복수의 상부 전극을 증착하는 단계; 및
- c-2) 상기 복수의 상부 전극 증착 과정에서 상기 나노로드 구조를 이루는 각각의 나노로드 사이에 형성된 각각의 나노홀에 상기 상부 전극이 침투하여 복수의 나노와이어를 형성하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 5

제1항에 있어서,

상기 d) 단계는:

- d-1) 상기 하부 전극과 상기 하부 전극에 전압을 가하여 일렉트로포밍을 수행하는 단계;
- d-2) 상기 일렉트로포밍을 통해 상기 나노와이어의 무작위 부분을 끊어 복수의 나노갭을 형성하는 단계; 및
- d-3) 상기 산화물에 포함된 산소와 특정 원소 간의 결합을 끊어 상기 나노갭에 상기 특정 원소를 기반으로 한

스위칭 필라멘트를 형성하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 6

제5항에 있어서,

상기 d-3) 단계는:

d-3-1) Post-Breakdown과 상기 나노갭에 걸리는 고전위 전기장을 통해 상기 산화물에 포함된 특정 원소와 산소 간의 결합을 끊는 단계; 및

d-3-2) 상기 특정 원소가 상대적으로 낮은 전도성을 갖는 a-특정원소 상과 상대적으로 높은 전도성을 갖는 특정 원소-NC 상 사이에서 상변화가 확률적으로 일어남으로써 스위칭 필라멘트를 형성하는 단계를 포함하는, 확률론적 인공뉴런 소자 제작 방법.

청구항 7

기판 상에 적층되도록 구성되는 하부 전극;

상기 하부 전극 상에 적층되도록 구성되는 산화물로 이루어진 나노로드 구조;

상기 나노로드 구조 상에 적층되도록 구성되는 상부 전극;

상기 상부 전극으로부터 연장되어 각각의 나노로드 사이의 나노홀을 통해 상기 하부 전극으로 연결되도록 구성되는 나노와이어; 및

상기 스위칭 필라멘트에 형성된 나노갭에 제공되는 스위칭 필라멘트를 포함하는, 확률론적 인공뉴런 소자.

청구항 8

제7항에 있어서,

상기 하부 전극은:

상기 기판 상에 적층되도록 구성되는 집착층; 및

상기 집착층 상에 적층되도록 구성되는 하부전극층을 포함하는, 확률론적 인공뉴런 소자.

청구항 9

제7항에 있어서,

상기 나노로드 구조는 상기 하부 전극 상에 상기 산화물을 빗각증착법을 통해 증착하여 형성되고,

상기 빗각증착법을 통한 증착 시 증착 각도가 기 설정된 각도로 조절되도록 구성되는, 확률론적 인공뉴런 소자.

청구항 10

제7항에 있어서,

상기 상부 전극은 상기 나노로드 구조 상에 기 설정된 직경으로 증착되고,

상기 나노와이어는 상기 나노로드 구조를 이루는 각각의 나노로드 사이에 형성된 각각의 나노홀에 상기 상부 전극이 침투하여 형성되는, 확률론적 인공뉴런 소자.

청구항 11

제7항에 있어서,

상기 스위칭 필라멘트는 상기 나노와이어의 무작위 부분에 형성된 복수의 나노갭이 차지하는 영역에 상기 산화물에 포함된 특정 원소를 기반으로 형성된, 확률론적 인공뉴런 소자.

청구항 12

제11항에 있어서,

상기 스위칭 필라멘트는 상기 특정 원소가 상대적으로 낮은 전도성을 갖는 a-특정원소 상과 상대적으로 높은 전도성을 갖는 특정원소-NC 상 사이에서의 확률적인 상변화를 통해 형성된, 확률론적 인공뉴런 소자.

발명의 설명

기술 분야

[0001] 본 발명은 확률론적 멤리스티브 인공뉴런 소자 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 생물학적 신경 기능을 모방한 뉴로모픽 하드웨어 시스템은 빅데이터 시대에서 지속 가능한 컴퓨팅 기술의 대안으로 여겨지고 있다. 일반적으로, 현대 컴퓨팅 플랫폼을 사용하는 기존의 인공 신경망은 고정밀 및 결정론적 컴퓨팅을 기반으로 운영된다. 그러나, 이 결정론적 컴퓨팅 방법은 구조화되지 않고 모호한 특성을 가진 자연 및 생물학적 데이터를 다룰 때 한계를 드러내고 있다. 예를 들어, 전처리 없이 입력 데이터를 직접 인코딩 할 때, 자연 데이터의 불확실성과 복잡성은 기존 컴퓨터에서의 잘 정의된 논리적 작업 및 정확성을 감소시켜 인공 신경망의 성능 저하를 유발한다. 따라서, 이런 결정론적 계산 방식은 고차원 데이터에 대한 추가적인 전처리 단계를 수반하게 되어 더 높은 컴퓨팅 성능과 많은 리소스를 소비해야 하는 문제가 있다.

[0003] 그러나, 실제 인간의 뇌에서는, 결정론적 계산보다는 확률론적인 계산 및 처리 방법이 두뇌의 주요한 동작 원리로 보고 및 간주되고 있다. 다시 말해, 두뇌의 확률론적 신경 회로는 인간의 추론 프로세스, 자연 및 고차원 데이터에 대한 지각, 이해 및 의사 결정의 주요 원동력으로 작용하며 그 과정들을 촉진하는 것으로 알려져 있다. 이러한 인간 뇌의 기본 작동 원리에서 영감을 받아 기존의 인공 신경망에서 확률적 컴퓨팅 패러다임이 새롭게 제안되었고, 이는 가공되지 않은 데이터의 불확실한 정보들을 이해하고 처리할 수 있는 기술이 될 것이라 예상하고 있다.

[0004] 처음에는 기존의CMOS(complementary metal-oxide-semiconductor) 및 FPGA(field-programmable gate array) 회로를 사용하여 확률적 컴퓨팅 패러다임을 구현하려는 많은 노력과 시도가 있었다. 그러나, 이러한 방법은 다중 트랜지스터와 수많은 계산을 유발하는 복잡한 회로 설계를 요구하여 고밀도 집적 및 에너지 효율적인 확률론적 신경망을 실현하는 데 주요 장애물이 된다. 이러한 문제를 해결하기 위해 확률론적 신경망 및 컴퓨팅의 구성 요소로서, 본질적으로 생물학적 뉴런의 기능을 충실하게 모방할 수 있음과 동시에 간단한 구조로 구현될 수 있는 물리 소자의 개발이 필요하다. 특히, 실제 두뇌에서 일어나는 확률적 거동을 모방할 수 있고 그 확률 특성을 정밀하게 제어가 가능함과 동시에 매우 큰 시스템 스케일로의 확장가능성 및 동작 안정성을 겸비한 인공 뉴런 소자의 개발이 반드시 선행되어야 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는 확률 특성을 소자 레벨에서 제어가 가능하도록 함으로써 전압 인가만으로 인간의 두뇌의 확률 특성을 용이하게 반영할 수 있는 확률론적 인공뉴런 소자 및 그 제작 방법을 제공하는 것을 목적으로 한다.

[0006] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자 제작 방법은 a) 기판 상에 하부 전극을 증착하는 단계; b) 상기 하부 전극 상에 산화물로 이루어진 나노로드 구조를 형성하는 단계; c) 상기 나노로드 구조 상에 복수의 상부 전극을 증착하여 상기 상부 전극과 상기 하부 전극을 연결하는 복수의 나노와이어를 형성하는 단계; 및 d) 일렉트로포밍을 수행하여 상기 나노와이어의 무작위 부분을 끊어 나노갭을 형성하고, 상기 나노갭에 상기 산화물에 포함된 특정 원소를 기반으로 한 스위칭 필라멘트를 형성하는 단계를 포함한다.

[0008] 상기 a) 단계는: a-1) 상기 기판 상에 접착층을 증착하는 단계; 및 a-2) 상기 접착층 상에 하부 전극층을 증착

하는 단계를 포함할 수 있다.

- [0009] 상기 b) 단계는: b-1) 상기 하부 전극 상에 상기 산화물을 빔각증착법을 통해 증착 하여 상기 나노로드 구조를 형성하는 단계; 및 b-2) 상기 빔각증착법 수행 시 기 설정된 각도로 증착 각도를 조절하는 단계를 포함할 수 있다.
- [0010] 상기 c) 단계는: c-1) 상기 나노로드 구조 상에 기 설정된 직경을 갖는 복수의 상부 전극을 증착하는 단계; 및 c-2) 상기 복수의 상부 전극 증착 과정에서 상기 나노로드 구조를 이루는 각각의 나노로드 사이에 형성된 각각의 나노홀에 상기 상부 전극이 침투하여 복수의 나노와이어를 형성하는 단계를 포함할 수 있다.
- [0011] 상기 d) 단계는: d-1) 상기 하부 전극과 상기 하부 전극에 전압을 가하여 일렉트로포밍을 수행하는 단계; d-2) 상기 일렉트로포밍을 통해 상기 나노와이어의 무작위 부분을 끊어 복수의 나노갭을 형성하는 단계; 및 d-3) 상기 산화물에 포함된 산소와 특정 원소 간의 결합을 끊어 상기 나노갭에 상기 특정 원소를 기반으로 한 스위칭 필라멘트를 형성하는 단계를 포함할 수 있다.
- [0012] 상기 d-3) 단계는: d-3-1) Post-Breakdown과 상기 나노갭에 걸리는 고전위 전기장을 통해 상기 산화물에 포함된 특정 원소와 산소 간의 결합을 끊는 단계; 및 d-3-2) 상기 특정 원소가 상대적으로 낮은 전도성을 갖는 a-특정 원소 상과 상대적으로 높은 전도성을 갖는 특정원소-NC 상 사이에서 상변화가 확률적으로 일어남으로써 스위칭 필라멘트를 형성하는 단계를 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자는 기관 상에 적층되도록 구성되는 하부 전극; 상기 하부 전극 상에 적층되도록 구성되는 산화물로 이루어진 나노로드 구조; 상기 나노로드 구조 상에 적층되도록 구성되는 상부 전극; 상기 상부 전극으로부터 연장되어 각각의 나노로드 사이의 나노홀을 통해 상기 하부 전극으로 연결되도록 구성되는 나노와이어; 및 상기 스위칭 필라멘트에 형성된 나노갭에 제공되는 스위칭 필라멘트를 포함한다.
- [0014] 상기 하부 전극은: 상기 기관 상에 적층되도록 구성되는 접착층; 및 상기 접착층 상에 적층되도록 구성되는 하부전극층을 포함할 수 있다.
- [0015] 상기 나노로드 구조는 상기 하부 전극 상에 상기 산화물을 빔각증착법을 통해 증착하여 형성되고, 상기 빔각증착법을 통한 증착 시 증착 각도가 기 설정된 각도로 조절되도록 구성될 수 있다.
- [0016] 상기 상부 전극은 상기 나노로드 구조 상에 기 설정된 직경으로 증착되고, 상기 나노와이어는 상기 나노로드 구조를 이루는 각각의 나노로드 사이에 형성된 각각의 나노홀에 상기 상부 전극이 침투하여 형성될 수 있다.
- [0017] 상기 스위칭 필라멘트는 상기 나노와이어의 무작위 부분에 형성된 복수의 나노갭이 차지하는 영역에 상기 산화물에 포함된 특정 원소를 기반으로 형성될 수 있다.
- [0018] 상기 스위칭 필라멘트는 상기 특정 원소가 상대적으로 낮은 전도성을 갖는 a-특정원소 상과 상대적으로 높은 전도성을 갖는 특정원소-NC 상 사이에서의 확률적인 상변화를 통해 형성될 수 있다.

발명의 효과

- [0019] 본 발명의 일 실시예에 따른 확률론적 멤리스티브 인공뉴런 소자 및 그 제작 방법은 확률 특성을 소자 레벨에서 제어가 가능하도록 함으로써 전압 인가만으로 인간의 두뇌의 확률 특성을 용이하게 반영할 수 있다.
- [0020] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자(10)와 기관(20)의 단면도이다.
- 도 2는 웨이퍼 기관 상에 도 1의 하부 전극(100)과 나노로드 구조(200)가 증착된 모습을 나타낸 예시도이다.
- 도 3는 도 1의 a 영역의 상면에 대한 SEM 이미지이다.
- 도 4는 도 1의 b 영역의 단면에 대한 TEM 이미지이다.
- 도 5는 도 1의 b 영역을 보다 상세히 나타낸 도면이다.

도 6은 어느 한 나노로드(210)의 엣지 영역을 표시한 도면이다.

도 7은 60 나노미터의 폭을 갖는 한 개의 나노와이어를 제작한 후, 일렉트로포밍을 수행한 결과 실제로 나노와이어에 나노갭이 생성되며, 생성된 나노갭에 스위칭 필라멘트가 생성된 모습을 나타낸 SEM 이미지이다.

도 8은 60 나노미터의 폭을 갖는 복수의 나노와이어를 제작한 후, 일렉트로포밍을 수행한 결과 실제로 복수의 나노와이어 각각에 나노갭이 생성되며, 생성된 나노갭에 스위칭 필라멘트가 생성된 모습을 나타낸 SEM 이미지이다.

도 9는 확률론적 인공뉴런 소자(10)에 폭이 500 나노세컨드인 펄스를 50회 인가함에 따라 출력 전류가 문턱 전류를 넘어 발화하는지 여부를 나타낸 표이다.

도 10은 확률론적 인공뉴런 소자(10)에 폭이 50 마이크로세컨드인 펄스를 50회 인가함에 따라 출력 전류가 문턱 전류를 넘어 발화하는지 여부를 나타낸 표이다.

도 11은 증착 각도와 펄스의 폭에 따라 확률론적 인공뉴런 소자(10)가 발화하는데 필요한 펄스의 수를 나타낸 표이다.

도 12는 확률론적 인공뉴런 소자(10)에 5000회의 펄스를 인가 했을 때 발화 현상이 일어나는 모습을 나타낸 표이다.

도 13은 확률론적 인공뉴런 소자(10)가 발화된 후 스스로 리셋을 수행하는 회로를 나타낸 도면이다.

도 14는 도 13의 회로를 동작시킴으로써 확률론적 인공뉴런 소자(10)가 발화된 후 스스로 리셋을 수행하는지를 나타낸 도면이다.

도 15는 인체 내에서 제1 유전자와 제2 유전자가 제3 유전자의 발현에 관여할 때, 이들 간의 관계를 개략적으로 나타낸 도면이다.

도 16은 도 15에서의 각각의 유전자가 확률론적 인공뉴런 소자(10)로 대체되었 때, 이들 간의 관계를 개략적으로 나타낸 도면이다.

도 17은 제1 확률론적 인공뉴런 소자에서 펄스가 입력됨에 따라 발현 또는 비발현 확률을 나타낸 도면이다.

도 18은 각각의 확률론적 인공뉴런 소자에 펄스가 입력됨에 따라 이들 간의 발현 또는 비발현 확률을 나타낸 도면이다.

도 19는 확률론적 인공뉴런 소자에 펄스가 입력됨에 따라 정규화된 오류가 변화하는 모습을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다.
- [0024] 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.
- [0025] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.
- [0026] 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는'이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.

- [0027] 한편, 본 명세서 전체에서 사용되는 '~부', '~기', '~블록', '~모듈' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다. 예를 들어 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미할 수 있다.
- [0028] 그렇지만 '~부', '~기', '~블록', '~모듈' 등이 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부', '~기', '~블록', '~모듈'은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.
- [0029] 따라서, 일 예로서 '~부', '~기', '~블록', '~모듈'은 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.
- [0030] 구성요소들과 '~부', '~기', '~블록', '~모듈'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부', '~기', '~블록', '~모듈'들로 결합되거나 추가적인 구성요소들과 '~부', '~기', '~블록', '~모듈'들로 더 분리될 수 있다.
- [0031] 이하, 본 명세서의 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자(10)와 기판(20)의 단면도이고, 도 2는 웨이퍼 기판 상에 도 1의 하부 전극(100)과 나노로드 구조(200)가 증착된 모습을 나타낸 예시도이다.
- [0033] 도 1 및 도 2를 참조하면, 웨이퍼 기판(이하, 기판(20)) 상에 확률론적 인공뉴런 소자(10)가 증착될 수 있다.
- [0034] 확률론적 인공뉴런 소자(10)는 하부 전극(100), 나노로드 구조(200) 및 상부 전극(300)을 포함할 수 있다.
- [0035] 기판(20)은 4inch의 SiO₂/Si 기판이 사용될 수 있으나, 이에 한정되지 않으며 공지의 다른 기판이 적용될 수 있다.
- [0036] 하부 전극(100)은 스퍼터를 통해 기판(20) 상에 20 나노미터 이내의 두께로 증착될 수 있으나, 하부 전극(100)의 두께는 확률론적 인공뉴런 소자(10)의 성능에는 영향을 미치지 않을 수 있으며, 두께 역시 이에 한정되지 않을 수 있다.
- [0037] 하부 전극(100)은 하부 전극층(110)과 접착층(120)을 포함할 수 있다. 접착층(120)은 하부 전극층(110)과 기판(20)을 접착하기 위한 층을 말하며, Ta를 포함할 수 있으나, 이에 한정되지 않으며 그 외 다른 금속이 적용될 수 있다. 하부 전극층(110)은 Au, Pt, W, Ti, Hf, Ta 및 Al 중 적어도 어느 하나를 포함할 수 있으나, 이에 한정되지 않으며 전극으로 활용 가능한 다른 금속이 적용될 수 있다.
- [0038] 도 3는 도 1의 a 영역의 상면에 대한 SEM 이미지이고, 도 4는 도 1의 b 영역의 단면에 대한 TEM 이미지이고, 도 5는 도 1의 b 영역을 보다 상세히 나타낸 도면이다.
- [0039] 도 3 및 도 5를 참조하면, 이하 설명에서는 하부 전극층(110)으로는 Pt가, 나노로드 구조(200)로는 SiO_x가, 상부 전극(300)으로는 Au가 적용된 경우를 예로 들어 설명한다.
- [0040] 나노로드 구조(nanorod structure)(200)는 하부 전극(100) 상에 전자빔 증발기(E-beam evaporator)를 사용하여 빗각증착법(Glancing Angle Deposition)을 통해 산화물을 110 나노미터 이내의 두께로 증착함으로써 형성될 수 있다. 다만, 나노로드 구조(200)의 두께는 이에 한정되지 않을 수 있다.
- [0041] 산화물은 SiO_x, WO_x, TiO_x, HfO_x 및 TaO_x 중 적어도 어느 하나를 포함할 수 있다. 이때 x는 산화물의 화학양론에 적합한 수가 적용될 수 있다. 다만, 산화물은 이에 한정되지 않으며 공지의 다른 산화물이 적용될 수 있다.
- [0042] 빗각증착법(Glancing Angle Deposition) 수행 시 증착 각도(Glancing Angle)는 기 설정된 각도인 30°, 60° 및 80° 중 적어도 어느 하나의 각도로 조절될 수 있으며, 증착 각도에 의해 self-shadowing effect가 나타나게 된다. 즉, 증착 각도 조절을 통해 나노로드 구조(200)를 다양하게 변경시킴으로써 확률론적 인공뉴런 소자(10)의 확률 특성을 제어할 수 있다. 다만, 증착 각도는 이에 한정되지 않을 수 있다.
- [0043] 상부 전극(300)은 나노로드 구조(200) 상에 110 나노미터 이내의 두께로 복수로 증착될 수 있다. 각각의 상부 전극(300)은 150 마이크로미터의 직경을 갖을 수 있으며, 서로 기 설정된 간격을 유지하며 증착될 수 있다. 상

부 전극(300)의 직경 및 각각의 상부 전극(300) 간의 거리는 상부 전극(300) 증착을 위한 마스크 패턴을 조절함으로써 함께 조절될 수 있으며, 따라서 각각의 상부 전극(300)의 두께와 직경은 110나노미터와 150 마이크로미터로 한정되지 않을 수 있다.

[0044] 상부 전극(300)은 하부 전극층(110)과 마찬가지로 Au, Pt, W, Ti, Hf, Ta 및 Al 중 적어도 어느 하나를 포함할 수 있으나, 이에 한정되지 않으며 전극으로 활용 가능한 다른 금속이 적용될 수 있다.

[0045] 나노로드 구조(200)를 이루는 각각의 나노로드(nanorod)(210) 사이 사이에는 복수의 나노홀(nanohole)(220)이 형성될 수 있다. 나노로드 구조(200) 상에 증착된 상부 전극(300)은 증착 과정에서 나노홀(220)에 침투하여 하부 전극(100)까지 닿을 수 있으며, 이 과정에서 나노홀(220)이 차지하던 공간을 채움으로써 복수의 나노와이어(nanowire)(310)를 형성할 수 있다.

[0046] 나노와이어(310) 형성 후, 상부 전극(300)과 하부 전극(100)을 통해 일렉트로포밍 과정(Electroforming Process)을 수행하면, 일렉트로마이그레이션 효과(Electromigration Effect)에 의해 상부 전극(300)과 하부 전극(100)을 잇던 나노와이어(310)의 무작위 부분이 끊어지면서 나노갭(nanogap)(320)이 형성될 수 있다.

[0047] 도 6은 어느 한 나노로드(210)의 엣지 영역을 표시한 도면이다.

[0048] 도 5 및 도 6을 참조하면, 일렉트로포밍 과정(Electroforming Process) 수행 시, 나노갭(320) 주변의 나노와이어(310)에서는 Post-Breakdown Process가 진행되며 이와 동시에 나노갭(320)에 걸리는 고전위 전기장(High Electric Field)에 의해 나노로드(210)를 구성하는 산화물에 포함된 산소와 특정 원소 간의 결합이 끊어지게 된다.

[0049] 산소와의 결합이 끊어진 특정 원소는 상대적으로 낮은 전도성을 갖는 a-특정 원소 상(phase)과 상대적으로 높은 전도성을 갖는 특정 원소-NC 상(phase) 사이에서 상변화가 확률적으로 일어남으로써 스위칭 필라멘트(230)를 형성할 수 있다.

[0050] 예를 들어, 산화물이 SiO_2 인 경우 산소와의 결합이 끊어진 Si는 상대적으로 낮은 전도성을 갖는 a-Si 상(amorphous-Si Phase)과 상대적으로 높은 전도성을 갖는 Si-NC 상(Si-NanoCrystal Phase) 사이를 상변화하면서 스위칭이 일어나게 되며, 그 결과 Si를 기반으로 한 스위칭 필라멘트(230)를 형성할 수 있다.

[0051] 동일한 전압을 걸어 일렉트로포밍을 수행하더라도 스위칭 필라멘트(230)를 형성하는 상변화는 확률적으로(무작위하게) 일어나게 되며, 이를 통해 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자(10)가 확률 특성을 갖게 된다.

[0052] 특히, 본 발명의 일 실시예에 따른 확률론적 인공뉴런 소자(10)는 복수의 나노와이어(310)를 포함하고 있기에 복수의 스위칭 필라멘트(230)가 형성될 수 있으며, 그 결과 확률적 스위칭 현상이 보다 용이하게 발생할 수 있다.

[0053] 도 7은 60 나노미터의 폭을 갖는 한 개의 나노와이어를 제작한 후, 일렉트로포밍을 수행한 결과 실제로 나노와이어에 나노갭이 생성되며, 생성된 나노갭에 스위칭 필라멘트가 생성된 모습을 나타낸 SEM 이미지이고, 도 8은 60 나노미터의 폭을 갖는 복수의 나노와이어를 제작한 후, 일렉트로포밍을 수행한 결과 실제로 복수의 나노와이어 각각에 나노갭이 생성되며, 생성된 나노갭에 스위칭 필라멘트가 생성된 모습을 나타낸 SEM 이미지이다.

[0054] 도 7 및 도 8의 SEM 이미지를 도 4 및 도 5와 비교하여 설명하면, 우측의 Au 영역은 상부 전극(300)에 대응될 수 있고, 좌측의 Au 영역은 하부 전극(100)에 대응될 수 있고, 가운데의 SiO_x 영역은 나노로드(210)에 대응될 수 있고, 우측의 Au 영역과 좌측의 Au 영역을 연결하는 선은 나노와이어(310)에 대응될 수 있다.

[0055] 각각의 SEM 이미지를 살펴보면, 각각의 나노와이어(310)에 실제로 나노갭(320)이 생성되었으며, 생성된 나노갭(320)에 스위칭 필라멘트(230)가 생성됨을 확인할 수 있다.

[0056] 특히, 도 8의 복수의 나노와이어의 경우 모든 나노와이어(310)에 나노갭이 형성되었을 뿐 아니라 각각의 나노갭(320)의 크기가 제각각인 것을 알 수 있다. 그 결과 스위칭 필라멘트(230)의 크기 역시 제각각일 수 있으며, 이러한 크기의 차이는 확률론적 인공뉴런 소자(10)의 확률 특성을 보다 증가시킬 수 있음을 알 수 있다.

[0057] 도 9는 확률론적 인공뉴런 소자(10)에 폭이 500 나노세컨드인 펄스를 50회 인가함에 따라 출력 전류가 문턱 전류를 넘어 발화하는지 여부를 나타낸 표이고, 도 10은 확률론적 인공뉴런 소자(10)에 폭이 50 마이크로세컨드인 펄스를 50회 인가함에 따라 출력 전류가 문턱 전류를 넘어 발화하는지 여부를 나타낸 표이다.

- [0058] 도 9 내지 및 도 10을 참조하면, 4 볼트를 셋 전압으로, 8.5 볼트를 리셋 전압으로 설정한 확률론적 인공뉴런 소자(10)에 각기 다른 펄스 폭을 갖는 펄스를 50회 인가하는 동안 몇번의 펄스가 입력되었을 때 확률론적 인공뉴런 소자(10)가 발화하는지를 살펴보았다.
- [0059] 이때, V_S 는 셋 전압이고, V_{RESET} 은 리셋 전압이고, W_S 는 셋 펄스 폭이고, W_{RS} 는 리셋 펄스 폭이고, N_F 는 발화하는데 필요한 펄스의 수를 나타낸다.
- [0060] 도 9의 경우, 500 나노세컨드의 펄스 폭을 갖는 셋 전압을 50회 인가하는 동안 확률론적 인공뉴런 소자(10)의 출력 전류가 문턱 전류(Firing threshold)를 넘어가는 발화(Firing) 현상이 전혀 일어나지 않았다.
- [0061] 이에 반해 도 10의 경우, 50 마이크로세컨드의 펄스 폭을 갖는 셋 전압이 각각 16번, 7번, 7번, 9번, 5번의 펄스가 입력됐을 때 발화(Firing) 현상이 일어났으며, 발화 된 후에는 리셋 전압을 입력하여 확률론적 인공뉴런 소자(10)를 리셋 시켰다.
- [0062] 확률론적 인공뉴런 소자(10)는 사람의 두뇌에서의 하나의 뉴런과 대응될 수 있으며, 확률론적 인공뉴런 소자(10)에서의 발화는 어느 하나의 뉴런이 인접한 다른 뉴런으로 신호를 전달하는 현상과 대응될 수 있다.
- [0063] 실제 두뇌에서는 결정론적(deterministic)이 아닌 확률론적(probabilistic) 처리가 이루어지는 것으로 알려져 있으며, 실제 두뇌의 뉴런들에서 일어나는 신호 전달 현상을 소자로 구현하기 위한 본 발명의 확률론적 인공뉴런 소자(10)는 이러한 확률론적 처리가 이루어질 수 있어야 한다.
- [0064] 본 발명의 경우 도 9 및 도 10에서 알 수 있는 바와 같이, 확률론적 인공뉴런 소자(10)에서 셋 전압을 갖는 펄스를 수차례 인가했을 때 확률적으로 발화 현상이 일어났으며, 이는 실제 두뇌에서 일어나는 확률론적 처리와 대응됨을 확인할 수 있다.
- [0065] 도 11은 증착 각도와 펄스의 폭에 따라 확률론적 인공뉴런 소자(10)가 발화하는데 필요한 펄스의 수를 나타낸 표이다.
- [0066] 도 9 내지 도 11을 참조하면, 펄스의 폭 뿐만 아니라 증착 각도에 의해서도 발화에 필요한 펄스의 수가 변화함을 알 수 있다.
- [0067] 즉, 확률론적 인공뉴런 소자(10) 제작 단계에서 증착 각도를 조절하거나, 확률론적 인공뉴런 소자(10)가 제작된 후 펄스를 인가하는 단계에서 펄스의 폭을 조절함으로써 확률론적 인공뉴런 소자(10)이 확률 특성을 조절할 수 있다.
- [0068] 도 12는 확률론적 인공뉴런 소자(10)에 5000회의 펄스를 인가 했을 때 발화 현상이 일어나는 모습을 나타낸 표이다.
- [0069] 도 12를 참조하면, 확률론적 인공뉴런 소자(10)에 인가하는 펄스의 수(number of pulse)를 5000회 인가하는 동안에도 여전히 확률적으로 발화 현상이 일어남을 알 수 있다.
- [0070] 도 13은 확률론적 인공뉴런 소자(10)가 발화된 후 스스로 리셋을 수행하는 회로를 나타낸 도면이고, 도 14는 도 13의 회로를 동작시킴으로써 확률론적 인공뉴런 소자(10)가 발화된 후 스스로 리셋을 수행하는지를 나타낸 도면이다.
- [0071] 도 13 및 도 14를 참조하면, 도 9 및 도 10의 경우 4 볼트의 셋 전압을 인가하여 발화가 일어난 후에는 8.5 볼트의 리셋 전압을 인가하여 소자를 다시 리셋 시켜야 한다. 하지만 도 13의 회로의 경우 발화 현상이 발생한 후 다음 펄스가 입력됐을 때 소자가 스스로 리셋 될 수 있으며, 이를 도 14를 통해 확인할 수 있다.
- [0072] 해당 회로도 와 확률론적 인공뉴런 소자(10)의 경우, 셋 전압인 V_S 는 각각 2.5 볼트, 3 볼트 및 3.5 볼트 중 어느 하나로 설정되어 있을 수 있고, V_{low} 는 0 볼트, V_{high} 는 6 볼트, V_{RES} 는 1.5 볼트로 설정되어 있을 수 있다.
- [0073] 보다 상세히 말하면, 특정 펄스로 셋 전압이 인가되었을 때 확률론적 인공뉴런 소자(10)에서 발화가 일어나지 않으면 비교기에서는 V_{low} 가 출력된다. 이 경우 다음 펄스의 셋 전압과 V_{low} 인 0 볼트의 합에 해당하는 값이 또다시 셋 전압으로써 확률론적 인공뉴런 소자(10)에 입력된다.

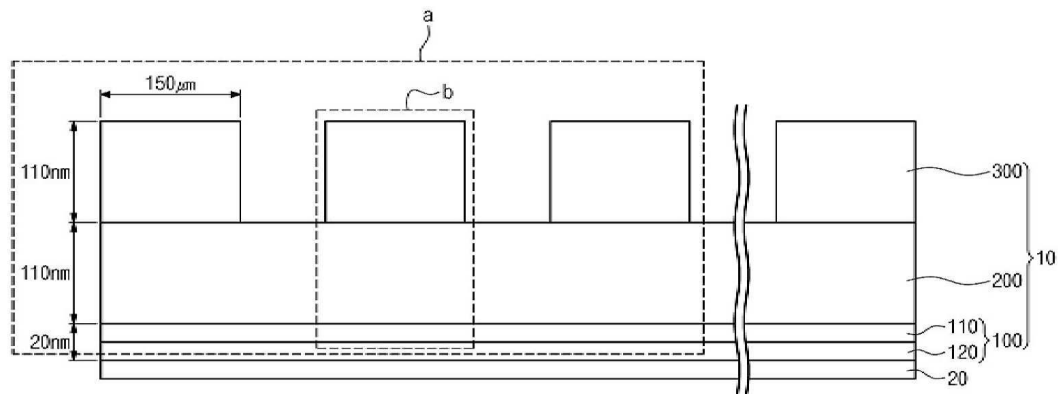
- [0074] 이에 반해, 특정 펄스로 셋 전압이 인가되었을 때 확률론적 인공뉴런 소자(10)에서 발화가 일어날 경우 비교기에서는 V^{high} 가 출력된다. 이 경우 다음 펄스의 셋 전압과 V^{high} 인 6 볼트의 합에 해당하는 값이 리셋 전압으로써 확률론적 인공뉴런 소자(10)에 입력되어 소자를 리셋 시킬 수 있다.
- [0075] 다시 도 14를 참조하면, V^s 으로 2.5 볼트, 3 볼트 및 3.5 볼트 중 어느 하나가 인가되었을 때 소자 스스로 리셋이 정상적으로 수행되었음을 알 수 있다.
- [0076] 도 15는 인체 내에서 제1 유전자와 제2 유전자가 제3 유전자의 발현에 관여할 때, 이들 간의 관계를 개략적으로 나타낸 도면이고, 도 16은 도 15에서의 각각의 유전자가 확률론적 인공뉴런 소자(10)로 대체되었 때, 이들 간의 관계를 개략적으로 나타낸 도면이고, 도 17은 제1 확률론적 인공뉴런 소자에서 펄스가 입력됨에 따라 발현 또는 비발현 확률을 나타낸 도면이고, 도 18은 각각의 확률론적 인공뉴런 소자에 펄스가 입력됨에 따라 이들 간의 발현 또는 비발현 확률을 나타낸 도면이고, 도 19는 확률론적 인공뉴런 소자에 펄스가 입력됨에 따라 정규화된 오류가 변화하는 모습을 나타낸 도면이다.
- [0077] 도 15 내지 도 19를 참조하면, 제1 유전자는 제1 확률론적 인공뉴런 소자로, 제2 유전자는 제2 확률론적 인공뉴런 소자로, 제3 유전자는 제3 확률론적 인공뉴런 소자로 대체되었음을 알 수 있다. 이때, T는 소자가 발현된 상태를, F는 소자가 발현되지 않은 상태를 나타낸다.
- [0078] 제1 확률론적 인공뉴런 소자는 제2 확률론적 인공뉴런 소자의 특성 발현에 관여하며, 제1 확률론적 인공뉴런 소자와 제2 확률론적 인공뉴런 소자는 동시에 제3 확률론적 인공뉴런 소자의 발현에 관여할 수 있다.
- [0079] 도 17 내지 도 19를 참조하면, 펄스가 입력됨에 따라 각각의 확률론적 인공뉴런 소자(10)에서 확률적으로 발현이 일어남을 알 수 있으며, 펄스 입력 횟수가 증가할수록 발현 또는 비발현 과정에서의 오차 역시 함께 감소하였음을 알 수 있다.
- [0080] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

부호의 설명

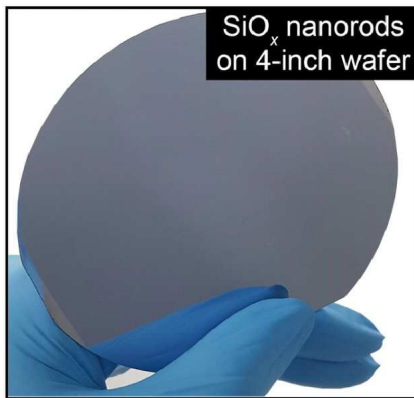
- [0081] 10 확률론적 인공뉴런 소자
- 100 하부 전극
- 110 하부 전극층
- 120 집착층
- 200 나노로드 구조
- 210 나노로드
- 220 나노홀
- 230 스위칭 필라멘트
- 300 상부 전극
- 310 나노와이어
- 320 나노갭

도면

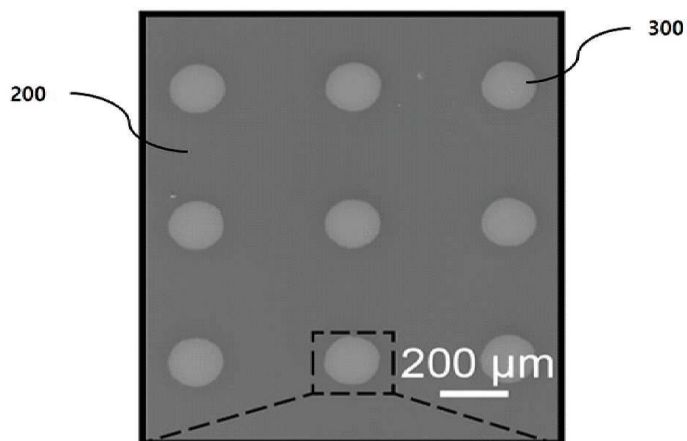
도면1



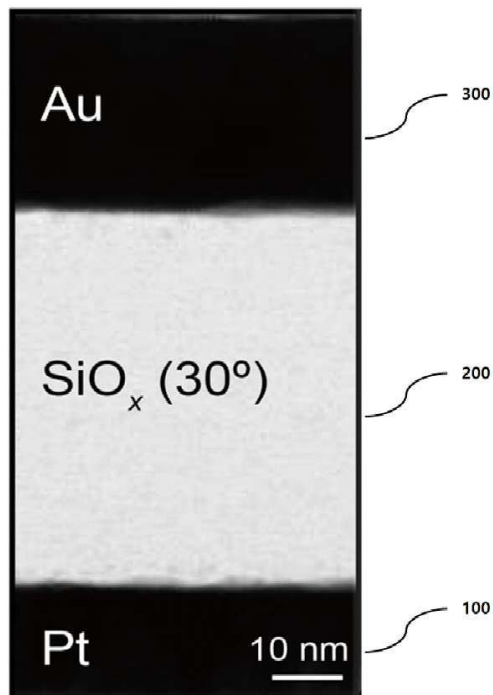
도면2



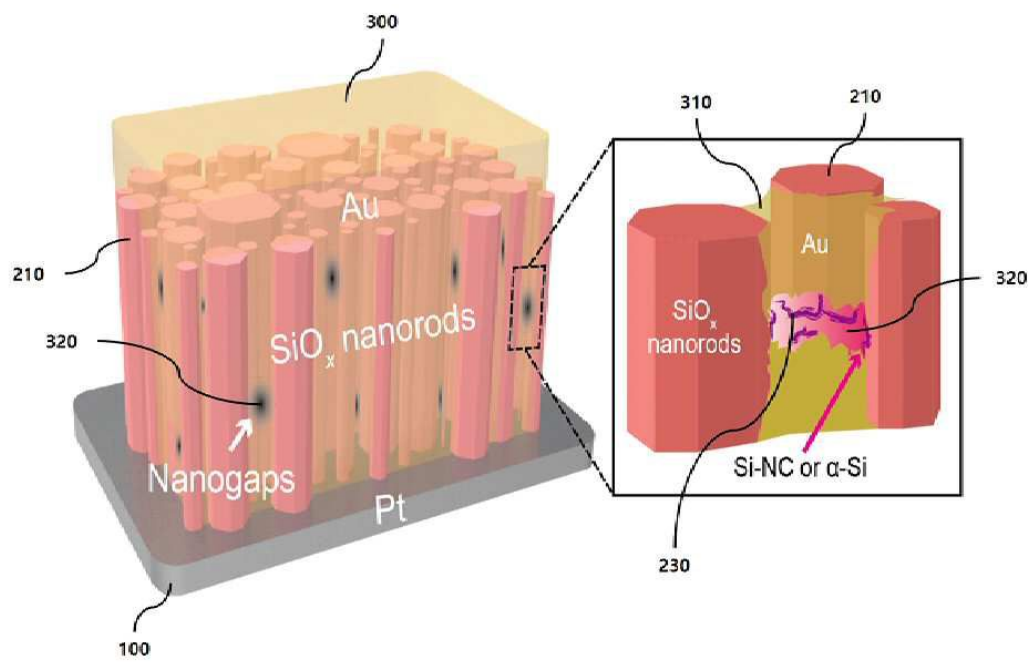
도면3



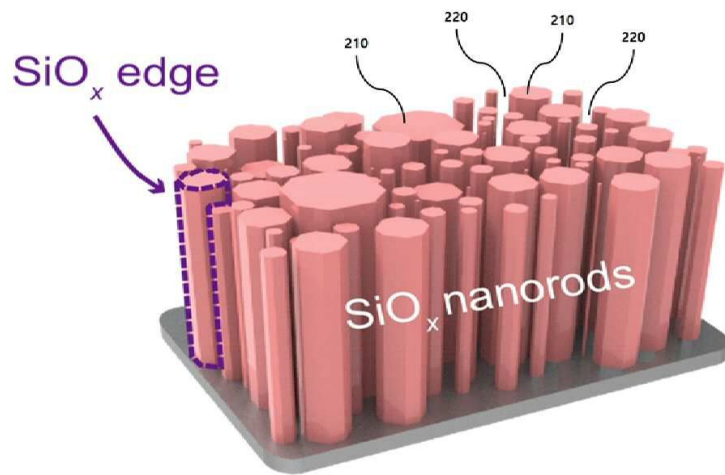
도면4



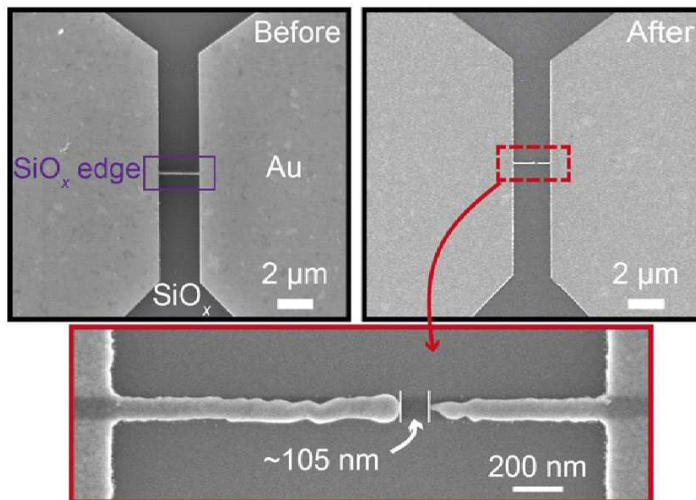
도면5



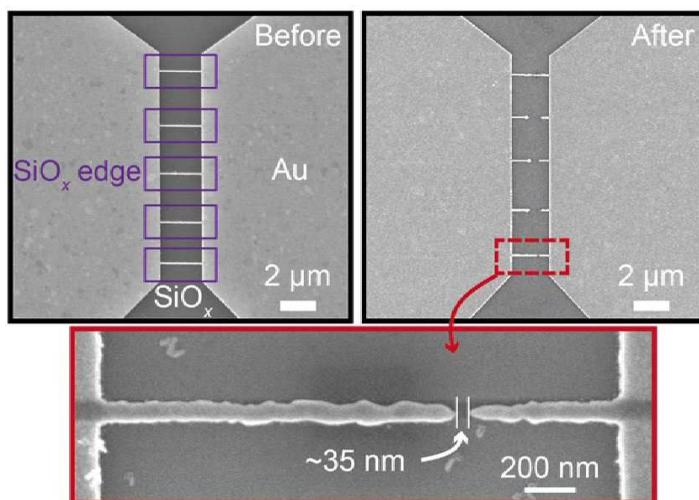
도면6



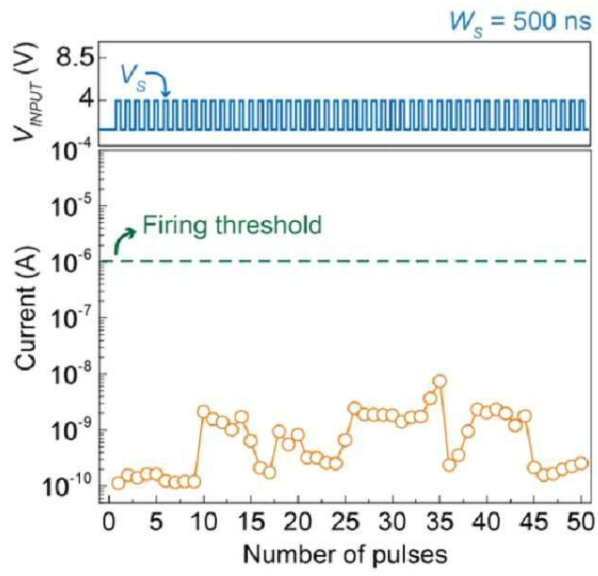
도면7



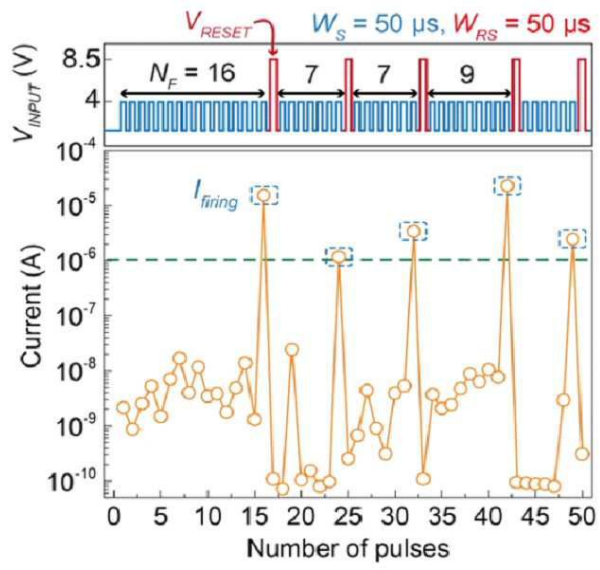
도면8



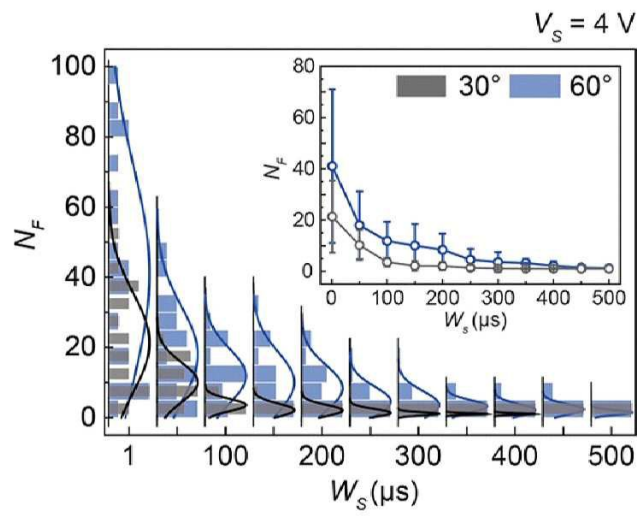
도면9



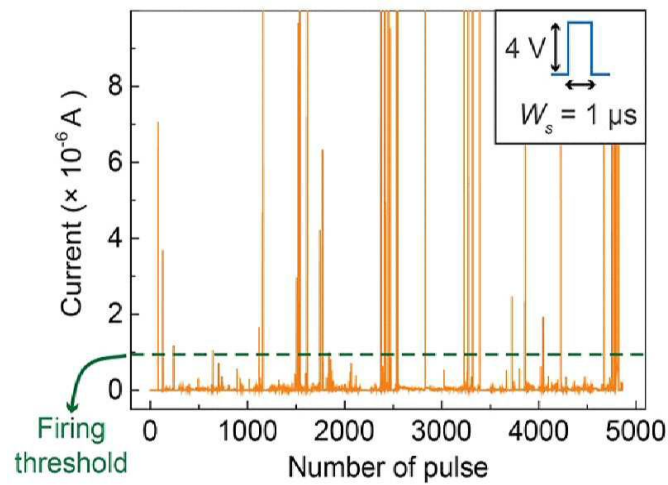
도면10



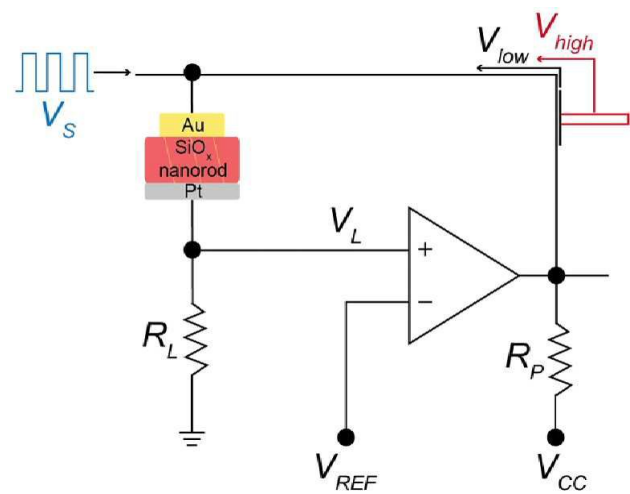
도면11



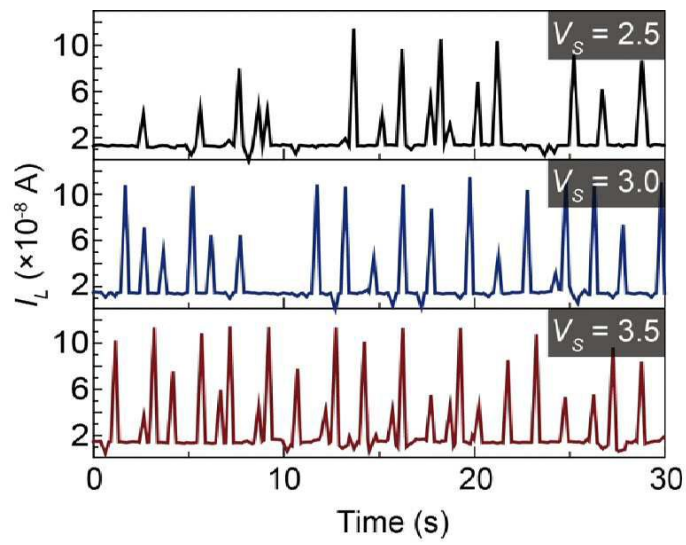
도면12



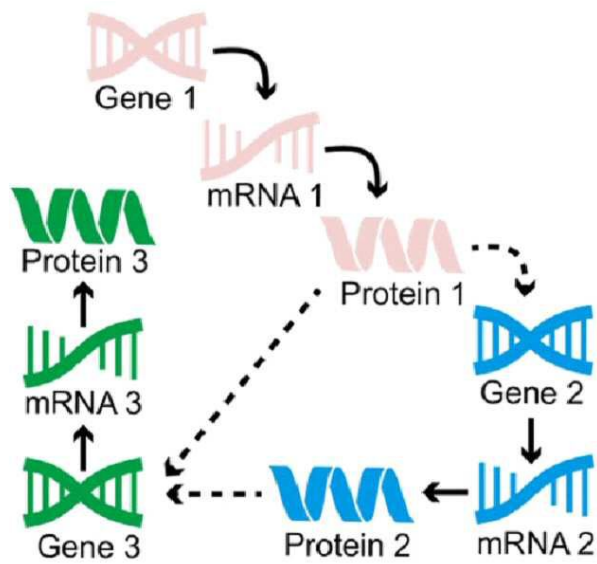
도면13



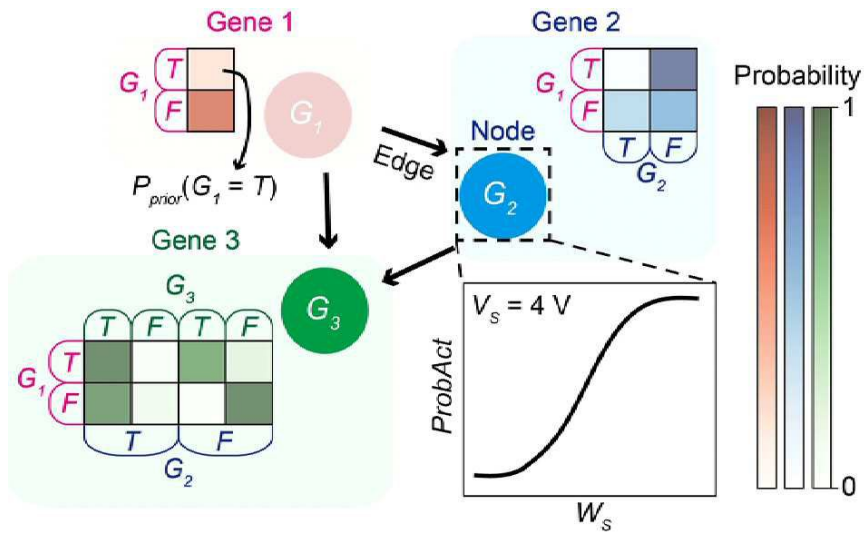
도면14



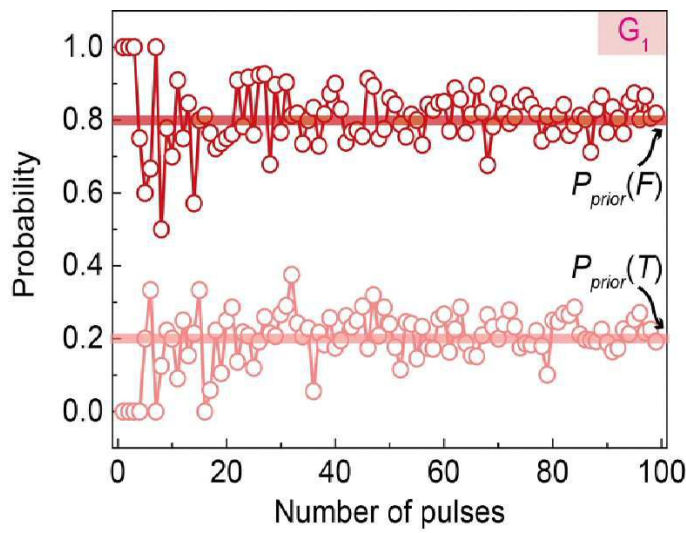
도면15



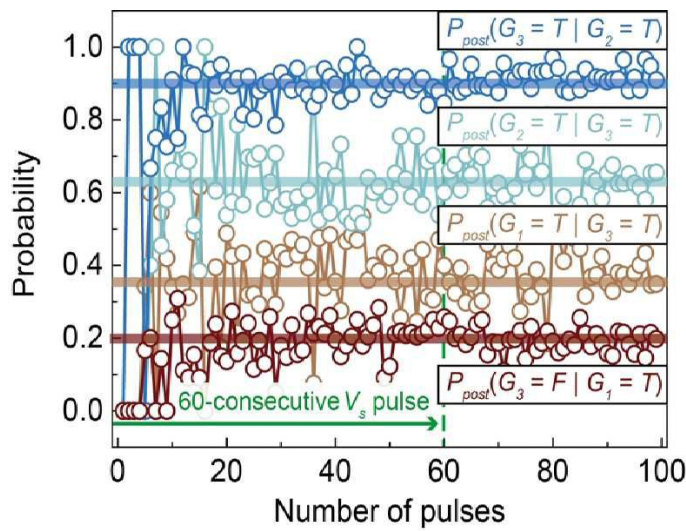
도면16



도면17



도면18



도면19

