(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 4 月 14 日(14.04.2011)

PCT

(10) 国際公開番号
WO 2011/042964 A1

(51) 国際特許分類:
H01J 9/02 (2006.01) *H01J 1/316* (2006.01)
H01J 1/304 (2006.01)

(21) 国際出願番号: PCT/JP2009/067498

(22) 国際出願日: 2009 年 10 月 7 日(07.10.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): キヤノン株式会社(CANON KABUSHIKI KAISHA) [JP/JP]; 〒1468501 東京都大田区下丸子３丁目３０番２号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 北尾 暁子(KITAO Akiko) [JP/JP]; 〒1468501 東京都大田区下丸子３丁目３０番２号キヤノン株式会社内 Tokyo (JP). 寺本 洋二(TERAMOTO Youji) [JP/JP]; 〒1468501 東京都大田区下丸子３丁目３０番２号キヤノン株式会社内 Tokyo (JP).

(74) 代理人: 阿部 琢磨, 外(ABE, Takuma et al.); 〒1468501 東京都大田区下丸子３丁目３０番２号キヤノン株式会社内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

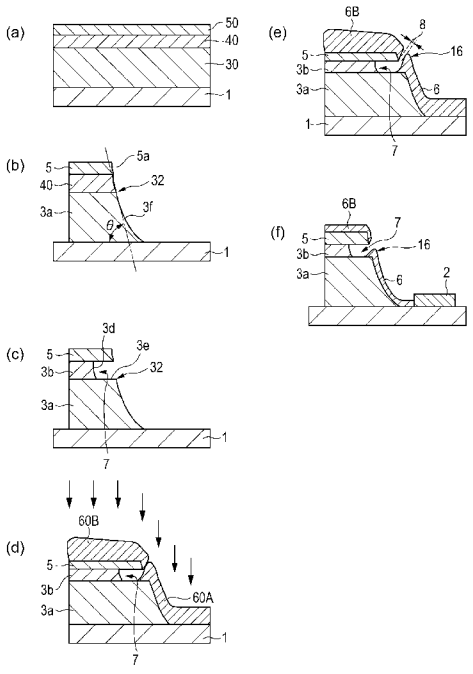
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: METHOD FOR PRODUCING ELECTRON EMISSION ELEMENT

(54) 発明の名称 : 電子放出素子の製造方法

[図8]



(57) **Abstract**: Disclosed is an electron emission element wherein a greater number of protrusions which contribute to electron emission are formed in a controlled manner, and the protrusions are easily formed over a large area in a controlled manner. A conductive film composed of a conductive material which constitutes a cathode is formed by sputtering at a total pressure of 1.0-2.8 Pa, and an etching treatment is performed for the conductive film to form a cathode having a surface provided with a plurality of protrusions.

(57) 要約: 電子放出に寄与する突出部をより多く制御して形成すると共に、突出部を大面積に渡って簡易に制御して形成する。 カソードを構成する導電性材料からなる導電性膜を、全圧が１．０Ｐａ以上２．８Ｐａ以下で行うスパッタリング法によって、形成し、前記導電性膜に対してエッチング処理を行って、表面に複数の突出部を備えるカソードを形成する。

WO 2011/042964 A1

明　細　書

発明の名称 ： 電子放出素子の製造方法

技術分野

[0001] 本発明は、ディスプレイなどに用いられる電子放出素子に関する。

背景技術

[0002] ディスプレイなどに用いられる電子放出素子として電界放出型の電子放出素子が知られている。特許文献１には、電界が集中する微細な突起部を備えた電界放出型の電子放出素子が開示されている。また、特許文献２には、導電性膜の表面に凹凸が設けられた電子放出素子が開示されている。また、特許文献３には、一対の導電性膜の間に絶縁層を備え、その絶縁層の表面に凹部を有する電子放出素子が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００２－０９３３０５号公報

特許文献2：特開２００６－１８５８２０号公報

特許文献3：特開２００１－１６７６９３号公報

発明の概要

発明が解決しようとする課題

[0004] 電子放出特性を向上させる上で、電子放出点の数をより多く且つ制御して形成するためには、突出部を制御して形成することが重要となる。しかしながら、従来は、電子放出に寄与する突出部をより多く制御して形成することが不十分であったり、突出部を大面積に渡って簡易に制御して形成することが不十分であったりする場合があった。そこで、本発明は、良好な電子放出特性を得るために、微細な突出部を制御性よく簡易な方法で実現することのできる製造方法を提供することを目的とする。

課題を解決するための手段

[0005] 複数の突出部を備えるカソードを有する電子放出素子の製造方法であって

、前記カソードを構成する材料からなる導電性膜を、全圧が１．０Ｐａ以上２．８Ｐａ以下で行うスパッタリング法によって、基体の上に形成する工程と、前記導電性膜に対してエッチング処理を行うことにより、表面に複数の突出部を備えるカソードを形成する工程と、を少なくとも有することを特徴とする。

発明の効果

[0006] 本発明によれば、微細な突出部を有し、良好な電子放出特性を備える電子放出素子を、制御性よく簡易な方法で形成することができる。

図面の簡単な説明

[0007] [図1]実施形態に記載の製造方法により製造される電子放出素子の模式図である。

[図2]実施形態に記載の製造方法により製造される電子放出素子の変形例である。

[図3]電子放出素子の一部拡大模式図である。

[図4]電子放出素子の一部拡大模式図である。

[図5]成膜圧力と間隔ｄの標準偏差との関係を示す図である。

[図6]エッチング時間と間隔ｄの標準偏差との関係を示す図である。

[図7]エッチングのイメージを示す図である。

[図8]実施形態に記載の電子放出素子の製造方法を示す模式図である。

[図9]電子放出特性を測定する構成を説明する図である。

[図10]画像表示装置の模式図である。

発明を実施するための形態

[0008] 以下に図面を参照して、好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定的な記載がない限りは、本発明の範囲をそれらのみに限定する趣旨のものではない。

[0009] まず本実施形態に係る製造方法が好ましく適用される電子放出素子の一例について図１（ａ）～図１（ｃ）、図３を用いて説明する。

[0010] 図１（ａ）は電子放出素子の平面模式図であり、図１（ｂ）は図１（ａ）におけるＡ－Ａ線および図１（ｃ）のＡ－Ａ線での断面模式図である。図１（ｃ）は図１（ｂ）における矢印の方向から電子放出素子を眺めたときの側面図である。図３は、図１（ｂ）における一部の拡大模式図である。

[0011] 電子放出素子は、基板１の表面に積層された絶縁部材３と、基板１との間に絶縁部材３を挟むように、絶縁部材３の上面に設けられたゲート５を備えている。更に、絶縁部材３の側面に設けられたカソード６を備えており、カソード６は、その一部が絶縁部材３の上面の一部にまで延在し、複数の突出部１６を有している。複数の突出部１６は絶縁部材３の側面（図１（ｂ）においては３ｆ）と上面（図１（ｂ）においては３ｅ）との境界部である角部３２に沿って並んで設けられている。この複数の突出部１６の各々が電子放出部に相当する。また、ゲート５とカソード６の突出部１６との間には空隙である間隙８が形成されている。そして、カソード６とゲート５との間に、ゲート５の電位がカソード６の電位よりも高くなるように電圧を印加することで、カソード６の複数の突出部１６から電子が電界放出される。尚、ゲート５の配置位置は、図１（ａ）～図１（ｃ）に示す形態に限られるものではない。即ち、電子放出部である複数の突出部１６に電界放出可能な電界を印加することができるように、カソード６と所定の間隔を置いて、配置されればよい。また、ここで示す例では、絶縁部材３を第１絶縁層３ａと第２絶縁層３ｂとの積層体で構成した態様を示しているが、絶縁部材３は、１つの絶縁層で構成することもできる。また、絶縁部材３は、３つ以上の複数の絶縁層から構成することもできる。そして、図１（ａ）～図１（ｃ）に示す態様では、第１絶縁層３ａの上面３ｅの一部の上に第２絶縁層３ｂが積層している。即ち、第２絶縁層３ｂの側面３ｄを第１絶縁層３ａの側面３ｆよりもカソード６から離れるように設けている。このようにすることで、絶縁部材３の上面が凹部７を備えることができる。このため、絶縁部材３の上面は段差を備えることになる。

[0012] 次に、上記態様の電子放出素子を例に、本実施形態の製造方法の一連の工

程を図８（ａ）～図８（ｆ）を用いて簡単に説明し、その後、各工程について詳述する。

[0013] （工程１）

第１絶縁層３ａとなる絶縁層３０を基板１の表面に形成し、続いて、第２絶縁層３ｂとなる絶縁層４０を絶縁層３０の上面に積層する。そして、絶縁層４０の上面にゲート５となる導電層５０を積層する（図８（ａ））。

[0014] 絶縁層４０の材料は、絶縁層３０の材料よりも、後述する工程３で用いるエッチング液（エッチャント）に対するエッチング量が多くなるように、絶縁層３０の材料とは異なる材料が選択される。

[0015] （工程２）

次に、導電層５０、絶縁層４０、絶縁層３０に対するエッチング処理（第１エッチング処理）を行う（図８（ｂ））。

[0016] 第１エッチング処理は、具体的には、フォトリソグラフィー技術等により導電層５０上にレジストパターンを形成したのち、導電層５０、絶縁層４０、絶縁層３０をエッチングする処理である。工程２により、基本的には、図１（ａ）～図１（ｃ）に示した電子放出素子を構成する第１絶縁層３ａとゲート５が形成される。尚、図８（ｂ）に示す様に、この工程で形成される第１絶縁層３ａの側面（斜面）３ｆと基板１の表面とが成す角度（θ）を９０°よりも小さくすることが好ましい。また、ゲート５の側面（斜面）５ａと第１絶縁層３ａの上面３ｅ（又は基板１の表面）とが成す角度が、第１絶縁層３ａの側面（斜面）３ｆと基板１の表面とが成す角度（θ）よりも小さくすることが好ましい。

[0017] （工程３）

続いて、絶縁層４０に対するエッチング処理（第２エッチング処理）を行う（図８（ｃ））。

[0018] 工程３により、基本的には、図１（ａ）～図１（ｃ）に示した電子放出素子を構成する第２絶縁層３ｂが形成される。この結果、第１絶縁層３ａの上面３ｅの一部と第２絶縁層３ｂの側面３ｄとからなる凹部７が形成される。

より詳細には、ゲート５の下面の一部と第１絶縁層３ａの上面３ｅの一部と第２絶縁層３ｂの側面３ｄとで凹部７が形成される。また、工程３において、絶縁層４０の側面がエッチングされるので第１絶縁層３ａの上面３ｅの一部が露出する。第１絶縁層３ａの上面３ｅと第１絶縁層３ａの側面３ｆとが接続している部分（上面３ｅと側面３ｆの境界部）が角部３２である。この工程により、後述する導電性膜６０Ａを堆積させる基体が形成される。即ち、本実施形態では、絶縁部材３が、あるいは、基板１と絶縁部材３とが、導電性膜６０Ａを堆積させる基体に相当する。

[0019] （工程４）

カソード６を構成する導電性材料からなる導電性膜６０Ａを、少なくとも第１絶縁層３ａのカソード電極２側の側面となる斜面３ｆから、第１絶縁層３ａの上面３ｅの一部に至るようにスパッタリング法により堆積する（図８（ｄ））。

[0020] 尚、この時、詳しくは後述するが、全圧が１．０Ｐａ以上２．８Ｐａ以下の条件下で、スパッタリング法により導電性膜６０Ａを成膜する。この条件で成膜することで、後述する工程５におけるエッチングによって有意な突出部１６を形成するのに適した、結晶粒部分と結晶粒界部分とを備える導電性膜６０Ａを形成できる。

[0021] 尚、導電性膜６０Ａは、第１絶縁層３ａの角部３２の少なくとも一部を覆い、第１絶縁層３ａの側面３ｆから第１絶縁層３の上面３ｅにかけて延在するように成膜される。また、同時に、カソード６を構成する材料からなる導電性膜６０Ｂも、ゲート５の上に堆積する。尚、図８（ｄ）では、導電性膜６０Ａと導電性膜６０Ｂとが接触するように成膜した例を示しているが、導電性膜６０Ａと導電性膜６０Ｂとが接触しないように、導電性膜６０Ａと導電性膜６０Ｂを成膜する場合もある。

[0022] （工程５）

続いて、少なくとも導電性膜６０Ａに対してエッチング処理（第３エッチング処理）を行い、カソード６を形成する（図８（ｅ））。

[0023] 第３エッチング処理は、複数の突出部１６を形成することを主眼とした処理である。尚、工程４で導電性膜６０Ａと導電性膜６０Ｂとを接触するように成膜した場合には、本工程により、その間に間隙８が形成される。また、工程４で導電性膜６０Ａと導電性膜６０Ｂとを接触しないように成膜した場合には、本工程により、間隙８におけるゲート５とカソード６との距離ｄが広げられる。

[0024] 工程５により、図１（ｃ）に示すように、第１絶縁層３ａの角部３２に沿って、複数の突出部１６が形成される。また、工程５により、凹部７内に付着している余計な導電材料を除去することもできる。これらの結果、カソード６と導電性膜６Ｂとが形成される。尚、工程５では、導電性膜（６０Ａ、６０Ｂ）の露出している表面が全てエッチャントに曝されることになる。また、導電性膜６Ｂは残さずに除去しても良い。導電性膜６Ｂを除去する場合は、例えば、工程４の前にゲート５の表面に犠牲層を設け、犠牲層と共に導電性膜６Ｂを除去すればよい。

[0025] （工程６）

カソード６に電子を供給するためのカソード電極２を形成する（図８（ｆ））。この工程は、他の工程の前や後に変更することもできる。尚、カソード電極２を用いずに、カソード電極２の機能をカソード６が兼ねることもできる。その場合には、工程６は省略できる。

[0026] 基本的には、以上の（工程１）～（工程６）により、図１（ａ）～図１（ｃ）に示した複数の突出部１６を備えるカソード６を有する電子放出素子を形成することができる。

[0027] 尚、工程４においてゲート５の上に堆積した導電性膜６０Ｂを完全に除去せずにゲート５の上に導電性膜６Ｂとして残す場合には、残った導電性膜６Ｂはゲート５の一部と見なすことができる。

[0028] また、工程５以降にカソード６を高抵抗化する工程を備える場合には、例えば、工程５以降にカソード６を酸化することでカソード６を高抵抗化することができる。

[0029] 以下、各工程について詳細に説明する。

[0030] （工程１について）

基板１は電子放出素子を支持するための基板である。石英ガラス，Ｎａ等の不純物含有量を減少させたガラス、青板ガラスなどを用いることができる。基板１に必要な機能としては、機械的強度が高いだけでなく、ドライエッチング、ウェットエッチング、現像液等のアルカリや酸に対して耐性があることが挙げられる。また、画像表示装置に用いる場合は、加熱工程などを経るので、積層する部材と熱膨張率差が小さいものが望ましい。また熱処理を考慮すると、ガラス内部からのアルカリ元素等が電子放出素子に拡散しづらい材料が望ましい。

[0031] 絶縁層３０（第１絶縁層３ａ）と絶縁層４０（第２絶縁層３ｂ）を構成する材料は、加工性に優れる材料からなり、たとえば窒化シリコン（典型的にはSi_3N_4）や酸化シリコン（典型的にはSiO_2）である。絶縁層３０と絶縁層４０は、スパッタ法等の一般的な真空成膜法、ＣＶＤ法、真空蒸着法で形成することができる。また絶縁層３０の厚さは、数ｎｍから数十μｍの範囲で設定され、好ましくは数十ｎｍから数百ｎｍの範囲に選択される。また絶縁層４０の厚さは、絶縁層３０よりも薄く、数ｎｍから数百ｎｍの範囲で設定され、好ましくは数ｎｍから数十ｎｍの範囲で選択される。

[0032] 尚、絶縁層３０と絶縁層４０を基板１上に積層した後に工程３にて凹部７を形成する場合は、上記第２エッチング処理に対して、絶縁層３０よりも絶縁層４０の方がよりエッチング量が多い関係に設定する。望ましくは絶縁層３０と絶縁層４０との間のエッチング量の比は、１０以上であることが好ましく、５０以上であることが更に好ましい。

[0033] このようなエッチング量の比を得るためには、例えば、絶縁層３０を窒化シリコン膜で形成し、絶縁層４０を酸化シリコン膜やリン濃度の高いＰＳＧやホウ素濃度の高いＢＳＧ膜等で構成すれば良い。尚、ＰＳＧはリンシリケートガラスであり、ＢＳＧはボロンシリケートガラスである。

[0034] 導電層５０（ゲート５）は導電性を有しており、蒸着法、スパッタ法等の

一般的真空成膜技術により形成されるものである。ゲート５となる導電層５０の材料は、導電性に加えて高い熱伝導率があり、融点が高い材料が望ましい。例えば、Ｂｅ，Ｍｇ，Ｔｉ，Ｚｒ，Ｈｆ，Ｖ，Ｎｂ，Ｔａ，Ｍｏ，Ｗ，Ａｌ，Ｃｕ，Ｎｉ，Ｃｒ，Ａｕ，Ｐｔ，Ｐｄ等の金属またはこれらの合金材料が使用できる。また、炭化物や硼化物や窒化物も使用できる。また、導電層５０（ゲート５）の厚さは、数ｎｍから数百ｎｍの範囲で設定され、好ましくは数十ｎｍから数百ｎｍの範囲で選択される。ゲート５となる導電層５０は、カソード電極２に比べてその膜厚が薄い範囲で設定される場合があるので、カソード電極２の材料よりも低抵抗な材料であることが望ましい。

[0035] （工程２について）

上記第１エッチング処理では、エッチングガスをプラズマ化して材料に照射することで材料の精密なエッチング加工が可能な、ＲＩＥ（Ｒｅａｃｔｉｖｅ Ｉｏｎ Ｅｔｃｈｉｎｇ）を用いることが好ましい。

[0036] ＲＩＥに用いるガスとしては、加工する対象部材がフッ化物を作る材料である場合には、CF_4やCHF_3やSF_6などのフッ素系ガスが選ばれる。また加工する対象部材がＳｉやＡｌのような塩化物を形成する材料である場合には、Cl_2、BCl_3などの塩素系ガスが選ばれる。またレジストとの選択比を取るため、またエッチング面の平滑性の確保あるいはエッチングスピードを上げるため、水素、酸素、アルゴンガスの少なくともいずれかをエッチングガスに添加することが好ましい。

[0037] 工程２により、基本的に、図１（ａ）～図１（ｃ）に示した第１絶縁層３ａ及びゲート５と同一または略同一の形状が形成される。しかしながら、工程２以降に行われる各種のエッチング処理で、第１絶縁層３ａとゲート５が全くエッチングされないことを意味する訳ではない。

[0038] また、第１絶縁層３ａの側面（斜面）３ｆと基板１の表面とが成す角度（図８（ｂ）にθで表示）は、ガス種、圧力、等の条件を制御することに所望の値に制御可能である。θは、９０°よりも小さい角度とすることが好ましい。θを９０°よりも小さい角度に設定することで、結果としてゲート５の

カソード電極２側の側面５ａは、第１絶縁層３ａのカソード電極２側の側面３ｆよりも後退させることができる。また、ゲート５の側面（斜面）５ａと第１絶縁層３ａの上面３ｅ（又は基板１の表面）とが成す角度が、第１絶縁層３ａの側面（斜面）３ｆと基板１の表面とが成す角度よりも小さくすることが好ましい。尚、第１絶縁層３ａの上面３ｅと第１絶縁層３ａの側面３ｆとの成す角度は、１８０°－θとみなせる。尚、θは、第１絶縁層３ａの側面３ｆにおいて、角部３２から基板１方向へ接線を引いたときに、この接線と基板１とのなす角度で表すことができる（図８（ｂ）参照）。

[0039] また、絶縁層３ａは基板１の表面に一般的に用いられる成膜方法によって形成されているので、絶縁層３ａの上面３ｅは基板１の表面と平行（実質的に平行）であると言える。即ち、絶縁層３ａの上面３ｅは基板１の表面と完全に平行である場合もあるが、成膜環境や条件などにより、通常、僅かに傾きを有する場合が考えられるので、このような場合も含めて、平行の範疇である。

[0040] （工程３について）

工程３では、エッチング液（エッチャント）によって絶縁層４０がエッチングされる量に対して、エッチング液によって絶縁層３ａがエッチングされる量が十分に低くなるようにエッチング液が選択される。

[0041] 上記第２エッチング処理は、例えば絶縁層４０が酸化シリコンで形成され、第１絶縁層３ａ（絶縁層３０）が窒化シリコンで形成されている場合、エッチング液は通称バッファードフッ酸（ＢＨＦ）を用いればよい。バッファードフッ酸（ＢＨＦ）はフッ化アンモニウムとフッ酸との混合溶液である。また、絶縁層４０が窒化シリコンで形成され第１絶縁層３ａ（絶縁層３０）が酸化シリコンで形成されている場合は、エッチャントは熱リン酸系エッチング液を使用すればよい。

[0042] 工程３により、図１（ａ）～図１（ｃ）に示した第２絶縁層３ｂと同一または略同一のパターンが形成される。しかしながら、工程３以降に行われるエッチング処理で、第２絶縁層３ｂが全くエッチングされないことを意味す

る訳ではない。

[0043] 凹部７の深さ（奥行き方向の距離）は、電子放出素子のリーク電流に深く関わる。凹部７を深く形成するほどリーク電流の値が小さくなる。しかし、あまり凹部７を深くするとゲート５が変形する等の課題が発生する。このため、実用的には３０ｎｍ以上２００ｎｍ以下に設定される。尚、凹部７の深さは、絶縁層３ａの側面３ｆ（または角部３２）から絶縁層３ｂの側面３ｄまでの距離と言い換えることもできる。

[0044] 尚、絶縁部材３の上面３ｅと側面３ｆは直角に接続する形態に限定されず、鈍角で接続する形態とすることができる。また、図３のように、絶縁部材３の上面と側面とが接続する接続部（上面と側面の境界部）である角部３２が、所定の曲率を有する形態とすることもできる。尚、絶縁部材３が、第１絶縁層３ａと第２絶縁層３ｂとで構成される場合には、第１絶縁層３ａの側面が絶縁部材３の側面に相当する

（工程４について）

導電性膜（６０Ａ、６０Ｂ）は、カソード６を構成する材料をスパッタリング法により成膜することで形成される。

[0045] 導電性膜（６０Ａ、６０Ｂ）の材料（即ちカソード６を構成する材料）は、導電性があり、電子を電界放出することのできる材料であればよく、好ましくは、２０００℃以上の高融点の材料から選択される。また、導電性材料は、５ｅＶ以下の仕事関数材料であり、その酸化物が簡易にエッチング可能な材料で形成されることが好ましい。このような導電性材料の好適な例として、例えば、Ｈｆ，Ｖ，Ｎｂ，Ｔａ，Ｍｏ，Ｗ，Ａｕ，Ｐｔ，Ｐｄ等の金属またはこれらの合金材料が挙げられる。工程５におけるエッチング処理を行うことを考慮すると、導電性材料は、ＭｏまたはＷを用いることが特に好ましい。

[0046] 導電性膜（６０Ａ、６０Ｂ）のスパッタリング法による成膜は、１．０Ｐａ以上２．８Ｐａ以下の全圧下で行う。

[0047] このような成膜を行うことで、膜密度が高い領域（結晶粒部分）と膜密度

が低い領域（結晶粒界部分）とを備える導電性膜を制御して形成することができる。尚、導電性膜（６０Ａ、６０Ｂ）の密度や組成の測定は、一般にはＸＲＲ、ＸＰＳなどが用いられるが、実際の電子放出素子では測定が困難な場合がある。そのような場合には、密度や組成の測定手法として、例えば、以下の方法を採用することができる。即ち、ＴＥＭ（透過電子顕微鏡）とＥＬＳ（電子エネルギー損失分光）を組み合わせた高分解能電子エネルギー損失分光電子顕微鏡で、元素の定量分析を行い、密度や組成を算出することができる。

[0048] 図６（ａ）に示すように、スパッタ時の全圧を変化させて導電性膜（６０Ａ、６０Ｂ）の成膜を行ったところ、１．０Ｐａを境に、膜密度の減少率が急激に低下することがわかった。このように、上記圧力範囲よりも低い圧力下で成膜した場合に比べ、上記圧力範囲で成膜した導電性膜の膜密度は低くなる（結晶粒界部分が多くなる）。そのため、上記圧力範囲で成膜した導電性膜（６０Ａ、６０Ｂ）に対して工程５の第３エッチング処理を行うと、工程５による有意な突出部１６を簡易に制御して形成することができる。尚、図６（ａ）は成膜時の全圧と、形成される導電性膜の膜密度との関係を示しており、この関係は、前述した導電性膜（６０Ａ、６０Ｂ）に好適な材料では同様の傾向を示す。また、スパッタリング時のパワーや、基板１とスパッターゲットとの距離などが一般的な範囲であれば、特段の依存性は見られない。

[0049] 尚、スパッタガスとしてはアルゴン（Ａｒ）ガス、クリプトン（Ｋｒ）ガス、キセノン（Ｘｅ）ガスなどを用いることができるが、特にアルゴンガスを用いる方が製造コストの面から望ましい。スパッタ電源としては、ＤＣ電源、あるいは１３．５６ＭＨｚなどの工業用電源周波数のＲＦ電源が使用できる。スパッタリング時のパワーは、放電電力をターゲットの面積で除した値であり、一般的範囲としては、例えば、１Ｗ／ｃｍ^{2}以上５Ｗ／ｃｍ^{2}以下とすることができる。また、スパッターゲットと基板１との距離は、一般的範囲としては、例えば、５０ｍｍ以上２００ｍｍ以下とすることができる

。

[0050] また、工程３と工程４の間に、上記圧力範囲よりも低い圧力の下で、第１絶縁層３ａの側面３ｆから上面３ｅに渡って、第２導電性膜を成膜する場合もある。このようにして、カソード６となる導電性膜６０Ａの下に高い膜密度を備える第２導電性膜を設けて形成した電子放出素子では、電子放出素子を駆動する配線やカソード電極２と、各突出部１６（電子放出部）とを低抵抗に接続することができる。そのため、電子放出素子を駆動した際に電圧降下が発生して所定の電子放出電流Ｉｅが得られないという事態を抑制することができる。また、導電性膜６０Ａの絶縁部材３への密着性を向上することができるという効果もある。

[0051] また、一方で、工程５を経て形成した、カソード６の表面（少なくとも複数の突出部１６）に、上記圧力範囲よりも低い圧力の下で、第２導電性膜を成膜する場合もある。このようにして、カソード６の表面を膜密度が高い第２導電性膜で被覆することで、カソード６のプロセス耐性や駆動時の安定性を向上させることができる。また、同時に、工程５を経てカソード６が高抵抗になっても前述した電圧降下の発生を抑制することもできる。

[0052] 導電性膜６０Ａと導電性膜６０Ｂは、同一材料でも良いし、異なる材料でも構わない。しかしながら、製造の容易性、エッチングの制御性から、導電性膜６０Ａと導電性膜６０Ｂは同一材料で同時に成膜することが好ましい。また、上記した第２導電性膜は、導電性膜６０Ａと同一材料でも良いし、異なる材料でも構わない。しかしながら、製造の容易性から、導電性膜６０Ａと同一材料で成膜することが好ましい。

[0053] また、本工程では、導電性膜６０Ａと導電性膜６０Ｂとを接触させて形成しても良いし接触せずに形成しても良い。接触させて形成した場合には、工程５によって、間隙８を形成することができる。そのため、導電性膜６０Ａと導電性膜６０Ｂとを接触して形成する方が間隙８の制御性が向上するので望ましい。

[0054] そして、図１（ａ）～図１（ｃ）に示す態様の電子放出素子を形成する場

合には、図８（ｃ）に示す第１絶縁層３ａの角部３２の上に、導電性膜６０Ａを堆積させる必要があるために、指向性スパッタリング法を用いることが好ましい。

[0055] 指向性スパッタでは、例えば、基板１とスパッターゲットとの角度を設定した上で、基板１とターゲットの間に遮蔽板を設ける。スパッタ粒子に指向性を与えるコリメータを用いる、いわゆるコリメーションスパッタ法も上記指向性スパッタリング法の範疇である。このようにして、限られた角度のスパッタ粒子（スパッタされた原子またはスパッタされた粒子）のみが被成膜面に入射される様にする。特に、スパッタ粒子（成膜材料）の第１絶縁層３ａの斜面３ｆに対する入射角度が、スパッタ粒子（成膜材料）の第１絶縁層３ａの上面３ｅ（角部３２）に対する入射角度よりも小さい（浅い）角度になる様にすることが好ましい。但し、スパッタ粒子の第１絶縁層３ａの上面３ｅに対する入射角度は、スパッタ粒子の第１絶縁層３ａの斜面３ｆに対する入射角度よりも、９０度に近く設定する。このようにすることで、スパッタ粒子は、第１絶縁層３の斜面３ｆに対してよりも第１絶縁層３の上面３ｅに対して、より垂直に近い状態で入射させることができる。このような成膜を行うことで、第１絶縁層３ａの角部３２上に突出部１６を制御性よく形成できる。

[0056] （工程５について）

第３エッチング処理としてはドライエッチング、ウェットエッチングの何れでも構わないが、他材料とのエッチング選択比の設定の容易さを考慮して、ウェットエッチングを選択することが好ましい。

[0057] 導電性膜（６０Ａ、６０Ｂ）の材料と第３エッチング処理に用いるエッチャントの組み合わせは、特に限定されるものではない。しかしながら、例えば、導電性膜（６０Ａ、６０Ｂ）の材料がモリブデン（Ｍｏ）であれば、エッチャントはＴＭＡＨ（水酸化テトラメチルアンモニウム）やアンモニア水などのアルカリ溶液を用いることが好ましい。或は、エッチャントとして、２（２－ｎ－ブトキシエトキシ）エタノールとアルカノールアミンの混合物

やＤＭＳＯ（ジメチルスルホキシド）等も用いることもできる。また、導電性膜（６０Ａ、６０Ｂ）の材料がタングステン（Ｗ）の場合は、硝酸やフッ酸や水酸化ナトリウム溶液等をエッチャントとして用いることが好ましい。

[0058] エッチング処理で除去される単位時間当たりの原子数は、導電性膜（６０Ａ、６０Ｂ）の材料とエッチング液で一意に決まるので、膜密度とエッチングレートは反比例の関係にある。上記エッチングレートとは、単位時間当たりの膜厚変化量を意味している。

[0059] また、前述したように、工程４に示した圧力範囲で成膜した導電性膜（６０Ａ、６０Ｂ）は、有意な突出部１６を形成するのに適する結晶粒部分と結晶粒界部分とを含む導電性膜である。そして、結晶粒部分と結晶粒界部分との間にはエッチングの選択比がある。そのため、前述した圧力範囲で成膜した導電性膜（６０Ａ、６０Ｂ）に対して工程５のエッチング処理を行うと、結晶粒界部分が結晶粒部分に比べて優先的にエッチングされると考えている。そして、その結果、結晶粒部分を主体とした有意な突出部１６を備えるカソード６が形成することができると考えている。このプロセスのイメージを図７に示す。尚、工程５は、結晶粒界部分を全て除去することを必ずしも意図するものではない。

[0060] 図５（ｂ）は、カソード６のゲート５との間隔ｄの標準偏差σと電子放出電流Ｉｅとの関係を示す模式図である。図５（ｂ）に示すように、σが大きくなるにつれて電子放出電流Ｉｅが大きくなる現象がある。この現象から、電子放出素子にとって、大きなσを形成することのできる突出部１６を得ることが、大きな電子放出電流Ｉｅを得ることに繋がることがわかる。

[0061] 間隔ｄの標準偏差σは、例えば、間隙８におけるカソードとゲート５との間隔ｄを間隙８が延在する方向（絶縁部材３の角部３２が延在する方向）に沿って測長することで行う。具体的には、間隔ｄの測長は、図１（ｂ）の矢印の方向から間隙８をＳＥＭにて観察して行う。図４（ａ）、図４（ｂ）は間隙８を図１（ｂ）の矢印の方向からＳＥＭにて観察した際の一部の様子を模式的に示している。図４（ａ）は、ゲートが導電性膜６Ｂを備えていない

場合の模式図を示しており、図４（ｂ）はゲート５が導電性膜６Ｂを備えている場合の模式図を示している。そして、間隙８の延在する方向（Ｙ方向）に沿って、間隙８の間隔ｄを順次測長し、この測長した値から標準偏差σを求めることができる。

[0062] また、カソード６とゲート５との間隔ｄ（突出部１６の形状）は、エッチング時間に対する依存性がある。図６（ｂ）は、スパッタリング時の全圧を変えた時に、エッチング時間の経過による、カソード６とゲート５との間隔ｄの変化を示すグラフである。横軸はエッチング時間を表しており、縦軸は、間隙８におけるカソード６のゲート５との間隔ｄの標準偏差σを表している。図６（ｂ）において、Ａで示す曲線は、全圧が１．７Ｐａの場合を示しており、全圧が１．０Ｐａ以上２．８Ｐａ以下の範囲では似通った曲線となる。また、Ｂで示す曲線は、全圧が３．０Ｐａの場合を示しており、全圧が２．８Ｐａよりも高い範囲では似通った曲線となる。また、Ｃで示す曲線は、全圧が０．１Ｐａの場合を示しており、全圧が１．０Ｐａよりも低い範囲では似通った曲線となる。

[0063] 図６（ｂ）に示す特性は、前述した導電性膜（６０Ａ、６０Ｂ）に好適な材料では同様の傾向を示し、ＭｏやＷの時に特に再現性よく発現する。また、図６（ｂ）に示す特性は、スパッタリング時のパワーや、基板１とスパッタターゲットとの距離などが、前述したような一般的な範囲であれば、特段の依存性は見られない。

[0064] 図６（ｂ）に示すように、全圧が１．０Ｐａ以上２．８Ｐａ以下の圧力範囲で成膜した場合は、上述した圧力範囲とは異なる圧力で成膜した場合に比べて、大きなσを得ることができる。

[0065] 一方、上述した圧力範囲よりも大きな圧力下で成膜した場合は、σの変化がエッチング時間に対してより敏感になり、上述した圧力範囲で成膜した場合に比べて、制御性が劣る傾向が顕著になる。これは、上述した圧力範囲で成膜した場合に比べて、結晶粒界部分が多く形成されるために、工程５のエッチングによる突出部１６の形成を、安定に且つ制御して行うことが困難に

なるためであると考えている。また、得られるσの最大値も、上述した圧力範囲で成膜した場合に比べて小さな値となる。

[0066] また、上述した圧力範囲よりも小さな圧力下で成膜した場合は、工程５のエッチング時間を増やしてもσはほとんど変化しなくなる傾向が顕著になる。つまり、工程５による突出部１６の形成は実質的に行われない。これは、上述した圧力範囲で成膜した場合に比べて、結晶粒部分が多く形成されるために、工程５によって、突出部１６を形成するための有意なエッチングが行われないためであると考えている。

[0067] 図５（ａ）には、スパッタリング時の全圧を変えた時に、工程５のエッチングにより得られるσの最大値をプロットした。このグラフからわかるように全圧が１．０Ｐａ以上２．８Ｐａ以下の圧力範囲内で、大きなσを安定して得ることができる。

[0068] このように、工程４で示した圧力範囲で成膜した導電性膜（６０Ａ、６０Ｂ）に対して、工程５で示したエッチングを行うことで、大きなσを形成することのできる突出部１６を制御して安定に形成することができる。

[0069] （工程６について）

カソード電極２は、前記ゲート５と同様に導電性を有しており、蒸着法、スパッタ法等の一般的真空成膜技術、フォトリソグラフィー技術により形成することができる。カソード電極２の材料は、ゲート５と同じ材料であってもよく、異なる材料であってもよい。カソード電極２の厚さとしては、数十ｎｍから数μｍの範囲で設定され、好ましくは数百ｎｍから数μｍの範囲で選択される。

[0070] 次に、上記製造方法により形成される電子放出素子の突出部１６の周辺構造について説明する。

[0071] カソード６は、絶縁部材３の上面３ｅと絶縁部材３の側面３ｆとの境界部である、角部３２（図３参照）に沿って並んで設けられた複数の突出部１６を備えている（図１（ｃ）参照）。突出部１６は、図１（ｂ）のように、Ｚ－Ｘ平面において凸形状であると同時に、図１（ｃ）に示すように、Ｚ－Ｙ

平面においても凸形状である。複数の突出部１６の各々は絶縁部材３の上面から離れるように、絶縁部材３の角部３２から突出している。図９を用いて後述する電子線放出装置や図１０（ａ）を用いて後述するディスプレイパネルでは、複数の突出部１６の各々は絶縁部材３の角部３２から後述するアノードに向かって突出している。そのため、複数の突出部１６の各々は、基板１に絶縁部材３が積層される方向に沿って、あるいは、基板１の表面に対して垂直な方向に沿って、突出していると言うこともできる。

[0072] カソード６に突出部１６を設けた場合、突出部１６の周囲とゲート５との距離は、突出部１６とゲート５との距離よりも広くなる。その結果、突出部１６から放出された電子はゲート５で等方的に散乱するが、その散乱した電子のうち、突出部１６の両脇に散乱した電子は、ゲート５との間隔が広い部分を抜けてアノードに到達することができる。従って、角部３２に沿ってカソード６が平坦である場合と比べて、即ち、角部３２に沿ってゲートとカソードとの間隔が一定の場合と比べて、電子放出効率ηを向上させることができる。

[0073] カソード６のゲート５側の端部は、図１（ｂ）、図３に示すように、絶縁部材３の上面（３ｅ）の側面（３ｆ）側の少なくとも一部を覆っている。そして、カソード６の端部を構成する複数の突出部１６は、絶縁部材３の上面（３ｅ）と絶縁部材３の側面（３ｆ）との境界部である角部３２（図１（ｃ）参照）に沿って並んでいる。そのため、カソード６の複数の突出部１６の各々は、絶縁部材３の上面（３ｅ）の側面（３ｆ）側の一部を覆っていると言うことができる。或は、カソード６の突出部１６の一部が絶縁部材３の凹部７内に入り込んでおり、且つ、絶縁部材３の上面に突出部１６の一部が接続していると言うことができる。

[0074] 突出部１６を拡大すると、図３に示すように、その先端部は曲率半径ｒで代表される形状を有する。この曲率半径ｒに依存して、先端部の電界強度が変化する。ｒが小さいほど電気力線の集中が生じるため突出部１６の先端に高い電界を形成することが可能となる。ゲート５とカソード６との間隔ｄは

、ゲートでの電子の散乱回数の違いに影響するため、ｒが小さく、ｄが大きいほど電子放出効率（η）を高くすることができる。尚、電子を放出させるのに必要な駆動電圧Ｖｆを抑える観点から、ｄが１０ｎｍより大きいと駆動電圧が高くなってしまう。また、駆動時の安定性の観点から、ｄが１ｎｍ以上となることが好ましい。１ｎｍより小さいと、電界蒸発や放電、短絡などによりカソード突出部１６が駆動時に破壊される可能性がある為である。そのため、実用的には、ｄは１ｎｍ以上１０ｎｍ以下であることが好ましい。

[0075] 突出部１６が、絶縁部材３の上面３ｅの一部を覆っていることで、以下の４つのメリットが考えられる。１つ目のメリットは、電子放出部となる突出部１６が絶縁部材３に広い面積を持って接触するので、機械的な密着力があがる（密着強度が上昇する）ことである。２つ目のメリットは、電子放出部となる突出部１６と絶縁部材３との熱的な接触面積が広がり、電子放出部で発生する熱を効率よく絶縁層３に逃がすことが可能となる（熱抵抗が低減する）ことである。３つ目のメリットは、緩やかな傾斜を伴って絶縁部材３の上面と接触することで、絶縁体と真空と金属との境界で生じる三重点での電界強度を弱め、異常な電界が発生して放電現象が発生する可能性を抑制できることである。４つ目のメリットは、突出部１６の第２絶縁層３ｂ側の表面を、ゲート５の裏面５ｂに対する法線に対して傾斜させた形状とする事で、電子放出効率が増大することである。

[0076] ここで、突出部１６が絶縁部材３の側面３ｆだけでなく絶縁部材３の上面３ｅの一部を覆っているメリットについてさらに詳細に説明する。

[0077] カソード６のゲート５側の端部（突出部１６）の、絶縁部材３の側面３ｆから凹部７内への侵入する長さｘを変化させて、初期のＩｅとＩｅの時間変動量を測定したところ、ｘの値が少なくなるにつれ、初期のＩｅからの低下量が大きくなる傾向があった。尚、侵入する長さｘは、図３におけるｘに相当し、絶縁部材３の上面と接続している突出部１６の長さとみなすことができる。また、Ｉｅとは、放出電流量を意味し、後述の図９におけるアノード２０に到達する電子の量に相当する。

[0078] また、ｘの値が少ないほど初期のＩｅからの低下量が多かった。しかし、ｘの値が２０ｎｍを越えるとｘの値に対する依存性が小さくなる傾向が見られた。

[0079] これらの結果から推察すると、ｘの値が増加することで、絶縁部材３に広い面積で突出部１６が接触するため、熱抵抗が低減することが考えられる。更には、突出部１６の体積増加による熱容量の増大などの作用も働いて、突出部１６の先端の温度が低下することで初期変動が小さくなるのではないかと推察される。

[0080] 尚、ｘの値は大きいほど良いという訳ではない。実用的にはｘの値は１０ｎｍ以上３０ｎｍ以下に設定される。カソード６の材料の蒸着時の角度、第２絶縁層３ｂの厚さ、ゲート５の厚さを制御して、ｘの値を制御することができる。ｘの値を３０ｎｍよりも大きくすると、絶縁部材３の上面を介して、カソード６とゲート５との間のリークが発生し、リーク電流が増大する。

[0081] カソード６の突出部１６の先端は、可能な限りゲート５から離す（間隔ｄを大きくする）ことが望ましい。このようにすることで、ゲート５における電子の散乱を減らし、結果、電子放出効率η並びに放出電流量Ｉｅを向上させることができる。

[0082] また、図３に示すように、カソード６の突出部１６の先端とゲート５の側面５ｂとの間に、オフセット量Ｄｘを設けることが望ましい。言い換えると、カソード６の突出部（特にその先端）よりもゲート５の側面５ａが、第２絶縁層３ｂの近くに位置するように、ゲート５を配置することが望ましい。これは、電子放出効率ηの向上（放出電流量Ｉｅの向上）のため、および、電子放出の安定化のためである。突出部１６の先端の真上にゲート５が存在しないことで、突出部１６の先端から電界放出された電子がゲート５の裏面５ｂに衝突する可能性を低減することができる。その結果、電子放出効率η（放出電流量Ｉｅ）が向上することができるのと同時に、ゲート５に流れる無効な電流（素子電流Ｉｆ）が低減されるためにゲートの熱的な変形などが抑制されて安定な電子放出を実現することができる。

[0083] 次に、三重点について述べる。一般に真空、絶縁体、金属の様に誘電率が異なる三種類の材料が接する場所は三重点と呼ばれ、三重点における電界強度が周囲よりも極端に高くなることで放電等の要因になる場合がある。そのため、突出部１６と絶縁部材３の上面とが接する角度θ（図３参照）が９０度よりも大きければ周囲の電界と大差がない。しかし、例えば、カソード６が、何らかの機械的強度不足により、絶縁部材３の上面から剥がれ、絶縁部材３の上面とカソード６との間に隙間が生じてしまった場合は、角度θが９０度以下となる。この結果、カソード６の剥がれた部分に強大な電界が形成され、この部分から電子放出が生じる、あるいは、この電子放出が引き金となった沿面放電により電子放出素子の破壊が生じる場合がある。従って、カソード６の突出部１６と絶縁部材３の上面とが接する角度θの望ましい角度は９０度よりも大きい角度である。

[0084] 次に、上述した本実施形態の製造方法を適用して形成される電子放出素子の変形例について説明する。

[0085] 電子放出特性の安定化、特に放出電流の安定化のためには、カソード６の複数の突出部１６同士が、互いに影響を及ぼすことを低減することが望ましい。

[0086] そこで、図２（ａ）に示すように、カソード６の一部であって、複数の突出部１６の各々の間に位置する部分（６ｂ）を、カソード電極２から突出部１６に向かう電子の流れに沿って、その他の部分（６ａ）よりも高抵抗とする態様が望ましい。より詳細には、各突出部１６とカソード電極との間の抵抗値よりも、複数の突出部１６の隣り合う２つの突出部の間の抵抗値を大きくする態様が望ましい。このようにすることで、カソード６の複数の突出部１６同士の相互の影響を低減することができる。６ｂに示す部分を高抵抗とする方法としては、例えば、カソード６の６ａに示す部分にマスクを施した状態で露出する６ｂに示す部分のみを選択的に酸化することで高抵抗化を行うことができる。尚、高抵抗化の方法は酸化に限定されず、ドーピングするなどその他の周知の方法によっても高抵抗化を行うことができる。

[0087] 上記態様に加えて、図２（ａ）における６ａで示された部分（カソード電極２と突出部１６を繋ぐ部分）の全てまたは一部に抵抗体を設けた態様とすることが望ましい。このようにすれば、各電子放出部（突出部１６）毎に個別に抵抗を備えさせることができ、各電子放出部からの放出電流の時間変動が抑制できるので好ましい。尚、この態様の場合にも、各突出部１６とカソード電極との間の抵抗値よりも、複数の突出部１６の隣り合う２つの突出部の間の抵抗値を大きくする。

[0088] また、絶縁層３の側面３ｆが平坦である場合には、図２（ａ）における６ａで示された部分を６ｂで示された部分よりも膜厚を厚くすることが望ましい。このようにすることで、６ａで示された部分の膜厚と６ｂで示された部分の膜厚を等しくした場合に比べ、電子放出部となる複数の突出部１６の間の沿面距離を大きくすることができる。また、同時に、６ｂで示された部分を６ａで示された部分よりも高抵抗にすることができるので、前述したように、複数の突出部１６同士が、互いに影響を及ぼすことを低減することができる。さらには、６ｂで示した部分を取り除いて、図２（ｂ）に示す態様とすることもできる。この態様では、６ｂで示した部分がないので、複数の突出部１６同士の影響が一層低減できる。また、６ａで示した部分の各々が備える突出部１６の数は、図２（ａ）では１つとして示したが、図２（ｂ）のように、複数備えることもできるが。しかしながら、複数の突出部１６同士の干渉（影響）を低減するためには、６ａで示した部分の各々が備える突出部１６の数は１つとするのが望ましい。

[0089] 図２（ａ）で示した態様では、６ａで示された、複数の突出部１６の各々とカソード電極２とを接続するために必須の部分以外に、６ｂで示された部分をカソード６が備えている。６ｂで示した部分は、絶縁部材３の側面３ｆの一部であって、複数の突出部１６の各々の間に位置する部分が、真空中に露出して当該部分が帯電することを抑制する役割を持つ。図２（ｂ）に示すように、６ｂで示された部分をカソード６が備えていない場合には、突出部１６から放出されてゲート５で等方的に散乱した電子の一部が、絶縁部材３

の側面３ｆの一部であって複数の突出部１６の各々の間に位置する部分を帯電させる。その結果、電子の放出が不安定になったり、放出された電子の軌道が経時的に変動したりすることが考えられる。そのため、図２（ａ）の様に、カソード６は、複数の突出部１６の各々とカソード電極２とを接続する必須の部分（６ａ）以外に、複数の突出部１６の各々の間に位置する部分（６ｂ）を備えることが望ましい。また、絶縁部材３ｂの側面３ｆだけでなく、図１（Ｃ）や図２（ａ）に示すように、絶縁部材３の角部３２の一部であって、隣り合う２つの突出部１６の間に位置する部分をも、カソード６が覆うことが望ましい。このように複数の突出部１６の間にカソード６の一部分を配置することで、複数の突出部１６の各々の間に絶縁部材３の表面の帯電を抑制でき、電子放出を安定にすることができる。

[0090] また、図２（ａ）の６ｂで示した部分だけでなく、単に、突出部１６を含めて、導電性膜６を高抵抗にするだけでも、放出電流の安定化に寄与する。そのためには、例えば、工程５以降にカソード６を高抵抗化する工程を行えば良い。例えば、カソード６を軽く酸化することで高抵抗化を行うことができる。尚、高抵抗化の方法は酸化に限定されず、ドーピングするなどその他の周知の方法によっても高抵抗化を行うことができる。

[0091] 以上説明した例では、電子放出素子としてカソード６を絶縁部材３の側面に設けた態様を説明した。しかしながら、本実施形態の製造方法が適用される電子放出素子の態様は、このような態様に限定されるものではない。例えば、図２（ｃ）のように、基板１の表面にカソード電極２が設けられており、ゲート５の開孔３０の直下に位置するカソード電極２の上にカソード６が設けられた態様でもよい。尚、ゲート５は、基板１との間に絶縁部材３を挟んでおり、円形の開孔３０を備えている。図２（ｃ）ではカソード電極２が絶縁部材３と基板１との間にも設けられているが、カソード６に電子を供給できれば良いので、絶縁部材３と基板１との間に設けなくても良い。このような態様の電子放出素子に上述した製造方法を適用する場合には、まず、基板１上にカソード電極２と絶縁部材３とゲート５とを積層した後に、ゲート

に開孔３０を形成すると共に絶縁部材３に開孔３０と連通する開孔を形成する。そして、その後に、前述した工程４と工程５を行うことで、図２（ｃ）に示した態様の電子放出素子を形成することができる。尚、この態様の場合には、カソード電極２がカソード６を構成する材料からなる導電性膜を堆積させる基体に相当する。或は、基板１とカソード電極２がカソード６を構成する材料からなる導電性膜を堆積させる基体に相当する。

[0092] 次に、本実施形態の製造方法によって製造された電子放出素子の電子放出特性の測定方法と、カソード６から放出された電子のアノードへの到達効率、即ち、電子放出効率（η）について説明する。電子放出効率ηは、電子放出素子に電圧を印加したときに検出される電流Ｉｆと真空中に取り出される電流（アノードへ到達する電流）Ｉｅを用いて、η＝Ｉｅ／（Ｉｆ＋Ｉｅ）で与えられる。電子放出特性の測定は図９に示す構成で行うことができる。図９において、Ｖｆはゲート５とカソード６の間に印加する電圧であり、Ｉｆは Ｖｆをゲート５とカソード６の間に印加した際にゲート５とカソード６の間に流れる素子電流である。また、Ｖａはカソード６とアノード２０の間に印加される電圧であり、Ｉｅは電子放出電流である。尚、ここでは、Ｖａをカソード６とアノード２０の間に印加する例を示したが、アノード２０に電位を印加する電源と、カソード６に電位を印加する電源とを別々に設けても良い。図９に示すように、電子放出素子が設けられた基板１の上方に、ゲート５およびカソード６よりも高電位に規定されるアノード２０を設けることで、複数の突出部１６から放出された電子をアノード２０に到達させる電子線放出装置が構成される。

[0093] 以下、本実施形態の製造方法によって製造された電子放出素子を複数、基板上に設けた電子源と、電子源を用いたディスプレイパネルについて、図１０（ａ）、図１０（ｂ）を用いて説明する。

[0094] 図１０（ａ）は電子放出素子をマトリクス状に配置した電子源を用いて構成したディスプレイパネル７７の一例を示す模式図であり、内部がわかるように一部を切り欠いて示している。図１０（ａ）において、６１は電子源基

板、６２はＸ方向配線、６３はＹ方向配線であり、電子源基板６１は先に説明した電子放出素子の基板１に相当する。また、６４は上記した電子放出素子を模式的に示している。尚、Ｘ方向配線６２は、上述のカソード電極２を共通に接続する配線であり、Ｙ方向配線６３は上述のゲート５を共通に接続する配線である。ここでは、電子放出素子が、Ｘ方向配線６２とＹ方向配線６３の交差部に設けた例を模式的に示しているが、電子放出素子は、Ｘ方向配線６２とＹ方向配線６３の交差部の脇の電子源基板上に設けることができる。

[0095] Ｘ方向配線６２には、Ｘ方向に配列した電子放出素子６４の行を選択するための走査信号を印加する、不図示の走査信号印加手段が接続される。一方、Ｙ方向配線６３には、Ｙ方向に配列した電子放出素子６４の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

[0096] 上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択して、独立に駆動可能とすることができる。

[0097] 図１０（ａ）において、電子源基板６１はリアプレート７１に固定されている。また、ガラス基板７３の内面に、電子放出素子から放出された電子が照射されることで発光する例えば蛍光体からなる発光体７４と、前述したアノード２０に相当するメタルバック７５と、を積層してフェースプレート７６を構成している。また、リアプレート７１とフェースプレート７６が、リアプレート７１とフェースプレート７６との間に設けられた支持枠７２と、フリットガラス等の接合部材を介して、気密に接合されて、ディスプレイパネル７７が構成されている。ディスプレイパネル７７は、上述の如く、フェースプレート７６、支持枠７２、リアプレート７１で構成される。ここで、リアプレート７１は主に電子源基板６１の強度を補強する目的で設けられるため、電子源基板６１自体で十分な強度を持つ場合には、別体のリアプレート７１は不要とすることができる。一方、フェースプレート７６とリアプレ

ート７１との間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度を持たせた構成とすることもできる。

[0098] 次に、図１０（ｂ）のブロック図を用いて、上述したディスプレイパネル７７を備えたディスプレイ２５並びにテレビジョン装置２７について説明する。

[0099] 受信回路２０は、チューナーやデコーダ等からなり、衛星放送や地上波等のテレビ信号、ネットワークを介したデータ放送等をの各種の信号を受信し、復号化した映像データを画像処理部２１に出力する。尚、上記した「受信した信号」は「入力された信号」と言い換えることができる。画像処理部２１はγ補正回路や解像度変換回路やＩ／Ｆ回路等を含み、画像処理された映像データをディスプレイ（画像表示装置）２５の表示フォーマットに変換してディスプレイ（画像表示装置）２５に画像信号として出力する。

[0100] ディスプレイ２５は、前述したディスプレイパネル７７を少なくとも含み、さらに、前述した駆動回路１０８及び駆動回路１０８を制御する制御回路２２をも含む。制御回路２２は、入力した画像信号に補正処理等の信号処理を施すともに、駆動回路１０８に画像信号及び各種制御信号を出力する。制御回路２２には、同期信号分離回路、ＲＧＢ変換回路、輝度信号変換部、タイミング制御回路等が含まれる。駆動回路１０８は、入力された画像信号に基づいて、ディスプレイパネル７７内部の電子放出素子に駆動信号を出力し、駆動信号に基づきテレビ映像が表示される。駆動回路１０８には、走査回路や変調回路やアノード電位を供給する高圧電源回路等が含まれる。受信回路２０と画像処理回路２１は、セットトップボックス（ＳＴＢ２６）としてディスプレイ２５とは別の筐体に収められていてもよいし、またディスプレイ２５と一体の筐体に収められていてもよい。ここでは、テレビジョン装置２７がテレビ映像を表示する例を説明した。しかし、受信回路２０をインターネットなどの回線を通じて配信される映像を受信する回路とすれば、テレビジョン装置２７は、テレビ映像に限らず、様々な映像を表示することができる映像表示装置として機能する。

実施例

[0101] 以下、上記実施の形態に基づいた、より具体的な実施例について説明する。

[0102] （実施例１）

図８（ａ）～図８（ｆ）を参照しながら、本実施例の電子放出素子の製造方法を説明する。

[0103] まず最初に図８（ａ）に示すように基板１上に絶縁層３０、４０と、導電層５０を積層する。尚、基板１は高歪点低ナトリウムガラス（旭硝子株式会社製　ＰＤ２００）を用いた。

[0104] 絶縁層３０は、窒化シリコン膜をスパッタ法にて形成し、その厚さとしては、５００ｎｍとした。絶縁層４０は、酸化シリコン膜を、スパッタ法にて形成し、その厚さとしては、３０ｎｍとした。導電層５０は窒化タンタル膜で構成し、スパッタ法にて形成し、その厚さとしては、３０ｎｍとした。

[0105] 次に、図８（ｂ）に示すように、フォトリソグラフィー技術により導電層５０上にレジストパターンを形成したのち、ドライエッチング法を用いて導電層５０、絶縁層４０、絶縁層３０を順に加工した。この第１エッチング処理により、導電層５０および絶縁層３０はパターニングされてゲート５および第１絶縁層３ａとなる。この時のエッチングガスとしては、絶縁層（３０、４０）及び導電層５０にはフッ化物を作る材料が選択されているため、CF_4系のガスを用いた。このガスを用いてＲＩＥを行った結果、絶縁層（３０、４０）、およびゲート５のエッチング後の側面の角度は基板の表面（水平面）に対しておよそ６０°の角度で形成されていた。

[0106] レジストを剥離した後、図８（Ｃ）に示すようにＢＨＦ（ステラケミファ（株）製　高純度バッファードフッ酸ＬＡＬ１００）を用いて、凹部７の深さが約７０ｎｍになるように絶縁層４０をエッチングした。尚、ＢＨＦは、NH_4HF_2＝０．９ｗｔ％とNF_4F＝１６．４ｗｔ％の混合物である。この第２エッチング処理により、第１絶縁層３ａと第２絶縁層３ｂとからなる絶縁部材３に、凹部７を形成した。

[0107] 次に、図８（ｄ）に示すように、第１絶縁層３ａの斜面３ｆ上および上面３ｅ上、及びゲート５上に、少なくとも第１絶縁層３ａの斜面３ｆ上の厚さが３５ｎｍになるように、モリブデン（Ｍｏ）を指向性スパッタ法によりスパッタリングする。ここでは、基板１の表面がスパッターゲットに対して水平になるようにセットした。本実施例では、スパッタ粒子が限られた角度（具体的には基板１の表面に対して９０±１０°）で基板１の表面に入射されるよう、基板１とターゲットの間に遮蔽板を設けた。また、スパッタリング時のアルゴンプラズマのパワーを１Ｗ／ｃｍ^2、基板１とターゲットとの間の距離を１００ｍｍ、全圧１．７Ｐａの条件で行った。そして、凹部７内への導電性膜６０Ａの入り込み量（図３における距離ｘ）が３５ｎｍとなるように導電性膜６０Ａを形成した。

[0108] このようにして、導電性膜６０Ａと導電性膜６０Ｂを同時に成膜した。尚、導電性膜６０Ａと導電性膜６０Ｂは接触するように形成した。

[0109] 次に、図８（ｅ）に示すように、導電性膜６０Ａと導電性膜６０Ｂに対するウェットエッチング処理（第３エッチング処理）を行った。エッチャントには濃度０．２３８ｗｔ％のＴＭＡＨ（テトラメチルアンモニウムハイドライド）を用い、このエッチャントに導電性膜６０Ａと導電性膜６０Ｂを４０秒間浸漬処理した後に、流水で５分間洗浄した。このようにして導電性膜（６０Ａ、６０Ｂ）に対するアルカリ処理を行うことで、膜密度の低い結晶粒界部分を優先的にエッチングすることで、多数の突出部１６を、角部３２に沿って、形成した。

[0110] 最後に図８（ｆ）に示すように、カソード電極２を形成した。カソード電極２の材料には銅（Ｃｕ）を用いた。その作成方法としてはスパッタ法を用い、その厚さは、５００ｎｍとした。

[0111] 本実施例で作成した電子放出素子の１．７ｍｍ上方にアノード電極２０を、図９に示すように、設けて、電子放出特性を測定したところ、カソード電極２とゲート５との間に印加する駆動電圧Ｖｆが２３Ｖの時に、電子放出電流Ｉｅが６μＡであった。

[0112] （比較例１）

本比較例１では、実施例１のスパッタリング時の全圧を０．１Ｐａに変更した点以外は、実施例１と同様にして、電子放出素子を作成した。この電子放出素子の電子放出特性を実施例１と同様に測定したところ、カソード電極２とゲート５との間に印加する駆動電圧が２３Ｖの時に、電子放出電流Ｉｅが１μＡであった。本比較例の電子放出素子の間隙８の間隔ｄの平均値は、実施例１の電子放出素子よりも若干小さく、本比較例の電子放出素子における間隔ｄの標準偏差σは、実施例１の電子放出素子における間隔ｄの標準偏差σに比較して、明らかに小さかった。また電子放出特性を確認後、ＳＥＭを用いて観察した結果、突出部１６とゲート５との間隔ｄは角部３２に沿ってほぼ一定であり、図１（ｃ）のような、角部３２に沿って（Ｙ方向に）点在する複数の有意な突出部１６は確認されなかった。

[0113] （比較例２）

本比較例１では、実施例１のスパッタリング時の全圧を３．０Ｐａに変更した点以外は、実施例１と同様にして、電子放出素子を作成した。この電子放出素子の電子放出特性を実施例１と同様に測定したところ、カソード電極２とゲート５との間に印加する駆動電圧が２３Ｖの時に、電子放出電流Ｉｅが１．５μＡであった。本比較例の電子放出素子の間隙８の間隔ｄの平均値は実施例１の電子放出素子よりも大きく、また、本比較例の電子放出素子における間隔ｄの標準偏差σは、比較例１の電子放出素子における間隔ｄの標準偏差σに比較して、大きかった。しかし、実施例１の電子放出素子における標準偏差σに比較して、本比較例の電子放出素子における標準偏差σは、小さかった。

[0114] （実施例２）

本実施例では、導電性膜（６０Ａ、６０Ｂ）を成膜する前に第２の導電性膜を形成した点以外は、基本的には実施例１と同様にして電子放出素子を作成した。第２の導電性膜膜もＭｏをスパッタリングすることで形成した。

[0115] 本実施例における第２の導電性膜の成膜方法としては、実施例１の導電性

膜（６０Ａ。６０Ｂ）のスパッタリング時の全圧を０．１Ｐａとした以外は同様のスパッタ条件で、その膜厚が２０ｎｍになるように成膜した。そして、成膜した第２導電性膜に対して、ＢＨＦ（ステラケミファ株式会社製　高純度バッファードフッ酸　ＬＡＬ１００）に３０秒間浸した後、流水で５分間洗浄した。このようにして第２の導電性膜を形成した後、導電性膜（６０Ａ、６０Ｂ）を実施例１と同様の条件で、２０ｎｍの膜厚になるように成膜した。その後は、実施例１と同様の処理を施して本実施例の電子放出素子を作成した。

[0116] 本実施例の電子放出素子の電子放出特性を実施例１と同様に測定したところ、同じ放出電流Ｉｅを得るために必要な駆動電圧Ｖｆが減少した。

（実施例３）

本実施例では、導電性膜（６０Ａ、６０Ｂ）を形成した後に第２の導電性膜を形成した点以外は、基本的には実施例１と同様にして電子放出素子を作成した。第２の導電性膜もＭｏをスパッタリングすることで形成した。

[0117] 本実施例では、導電性膜（６０Ａ、６０Ｂ）を実施例１と同様の条件で、２０ｎｍの膜厚になるように成膜し、その後は、実施例１と同様のエッチング処理を施した後に、第２の導電性膜を形成した。本実施例における第２の導電性膜の成膜は、実施例２で形成した第２の導電性膜と同様の条件で、１５ｎｍの膜厚になるように行ったが、本実施例では実施例２で第２の導電性膜に対して行ったエッチング処理は行わなかった。その後は、実施例１と同様にカソード電極２を形成して本実施例の電子放出素子を作成した。

[0118] 本実施例の電子放出素子の電子放出特性を実施例１と同様に測定したところ、実施例１の電子放出素子に比べ、放出電流Ｉｅの減少率が低減した。

（実施例４）

本実施例では、実施例１の電子放出素子をマトリクス状に配列した電子源を作成し、これを用いて、ディスプレイパネルを作成した。具体的には、ガラス基板からなるリアプレート７１の上に、１０８０行の行配線と、３×１９２０列の列配線と、を銀ペーストを用いたスクリーン印刷法で形成した。続

いて、実施例１の製造方法と同様の方法で、電子放出素子を、行配線と列配線との各交差部の近傍に形成した。一方で、ガラス基板７３の表面に、１０８０×３×１９２０個の蛍光体７４（１０８０行×１９２０列の画素）を形成し、その上に、アルミニウムからなるメタルバック７５を積層して、フェースプレート７６を形成した。そして、真空チャンバー内で、リアプレート７１とフェースプレート７６との間に、フリットガラスを予め設けた支持枠７２を配置し、リアプレート７１と支持枠の間とフェースプレート７６と支持枠の間を、フリットガラスによって気密に封着した。以上により、内部が真空に維持されたＦＥＤディスプレイ（ディスプレイパネル７７）を形成した。そして、このディスプレイパネルを用いて図１０（ｂ）に示すテレビジョン装置２７を形成したところ、高輝度な画像を長期に渡って表示することができた。

符号の説明

[0119] １　基板

２　カソード電極

３　絶縁部材

５　ゲート

６　カソード

１６　突出部

請求の範囲

[請求項1] 複数の突出部を備えるカソードを有する電子放出素子の製造方法であって、

前記カソードを構成する材料からなる導電性膜を、全圧が１．０Ｐａ以上２．８Ｐａ以下で行うスパッタリング法によって、基体の上に形成する工程と、

前記導電性膜に対してエッチング処理を行うことにより、表面に複数の突出部を備えるカソードを形成する工程と、

を少なくとも有することを特徴とする電子放出素子の製造方法。

[請求項2] 前記導電性膜を形成する工程の前に、前記導電性膜とは別の導電性膜を、全圧が１．０Ｐａよりも低い圧力の下で行うスパッタリング法によって、前記導電性膜と前記基体との間に前記別の導電性膜を形成する工程を備えていることを特徴とする請求項１に記載の電子放出素子の製造方法。

[請求項3] 前記エッチング処理の後に、前記導電性膜とは別の導電性膜を、全圧が１．０Ｐａよりも低い圧力の下で行うスパッタリング法によって、前記カソードの上に前記別の導電性膜を積層する工程を備えていることを特徴とする請求項１に記載の電子放出素子の製造方法。

[請求項4] 前記導電性膜と前記別の導電性膜とを構成する材料が同じ材料であることを特徴とする請求項２または３に記載の電子放出素子の製造方法。

[請求項5] 前記カソードを構成する材料はモリブデンまたはタングステンであることを特徴とする請求項１乃至４のいずれか１項に記載の電子放出素子の製造方法。

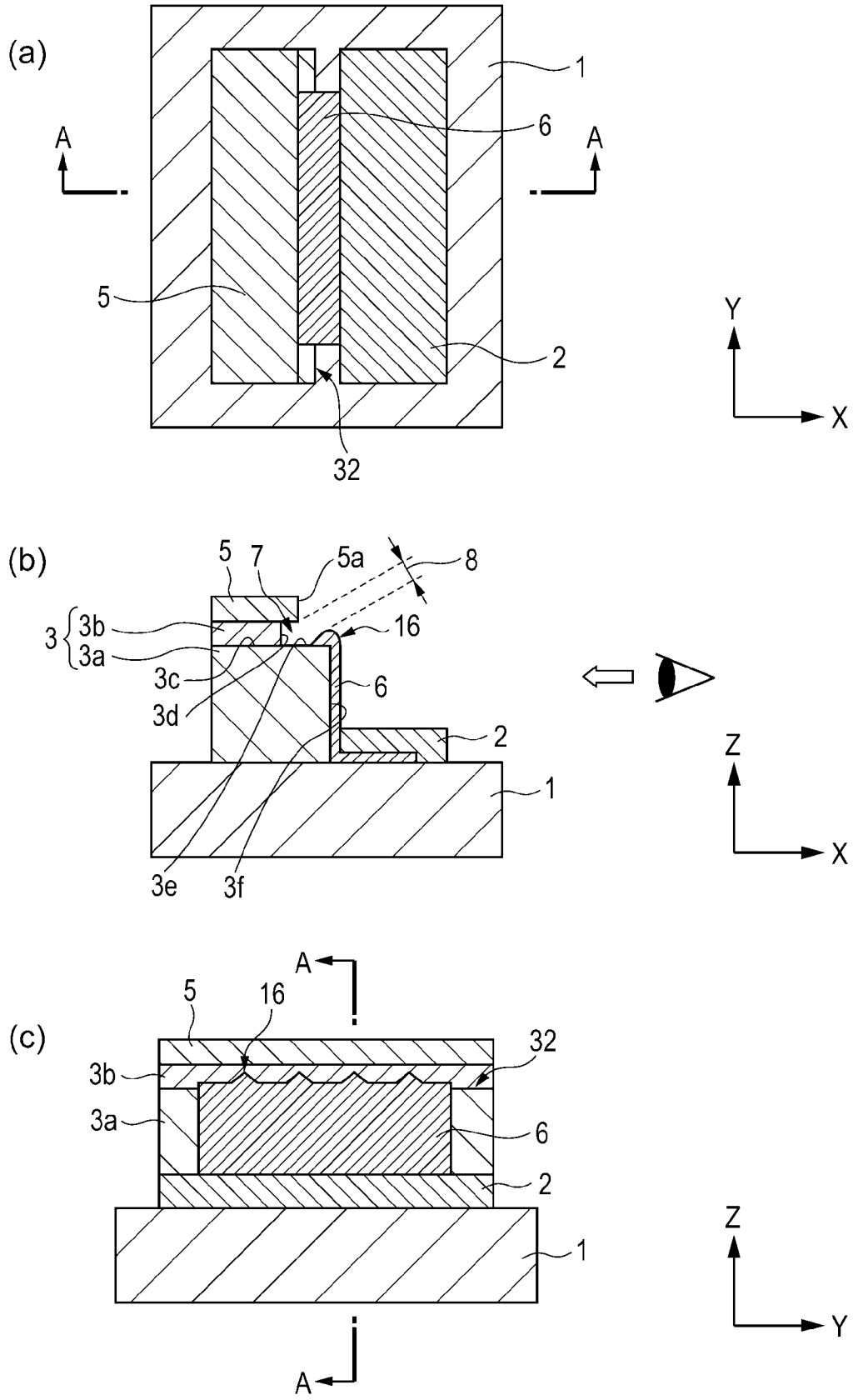
[請求項6] 前記基体は、上面と該上面と接続する側面とを備える絶縁部材であり、

前記導電性膜は、前記絶縁部材の前記側面から前記上面にかけて延在し、且つ、前記側面と前記上面との境界部の少なくとも一部を覆う

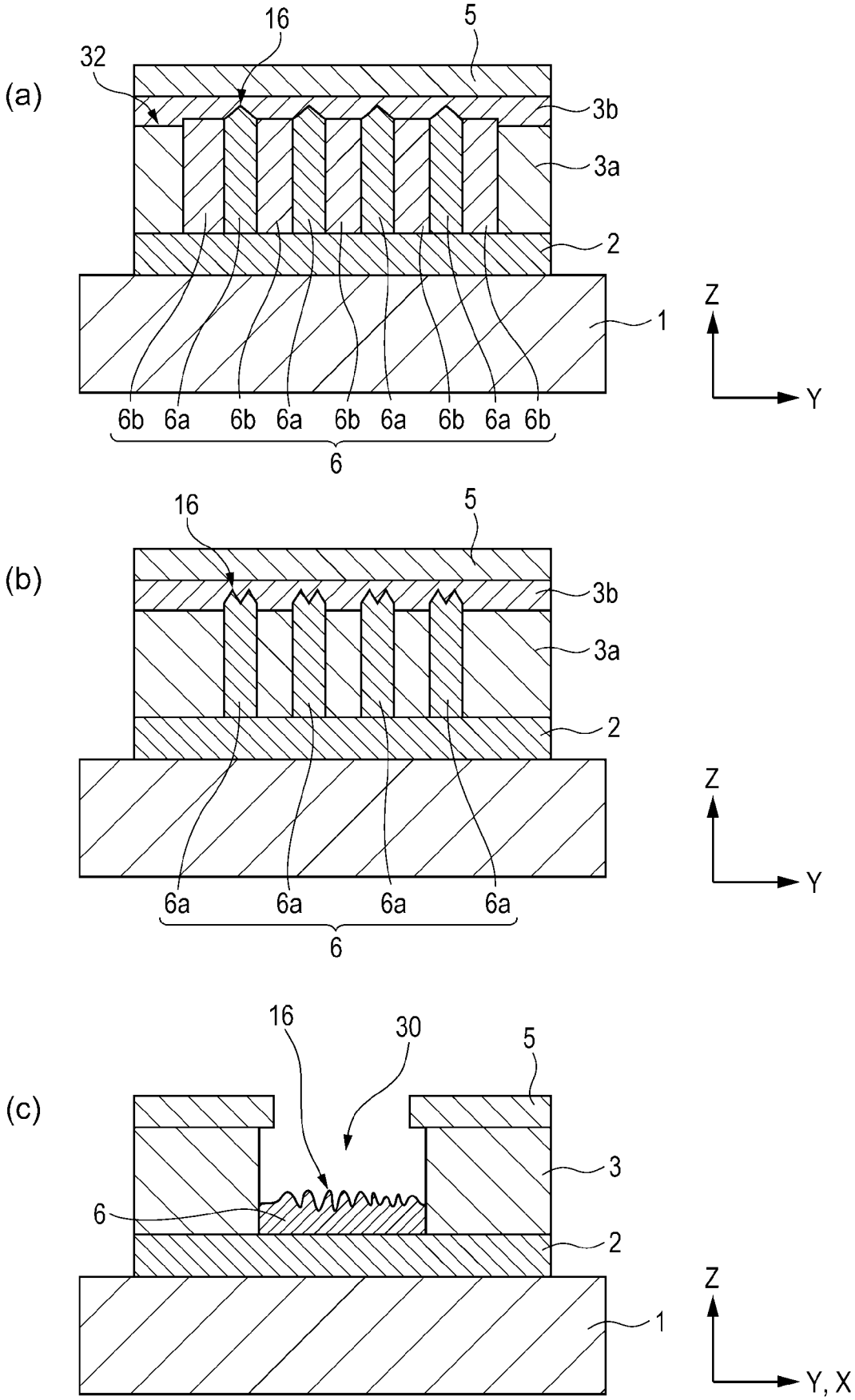
ように形成されることを特徴とする請求項１に記載の電子放出素子の製造方法。

[請求項7] 複数の電子放出素子と、該複数の電子放出素子から放出された電子が照射される発光体と、を備える画像表示装置の製造方法であって、前記複数の電子放出素子の各々が、請求項１乃至６のいずれか１項に記載の製造方法で製造されることを特徴とする画像表示装置の製造方法。

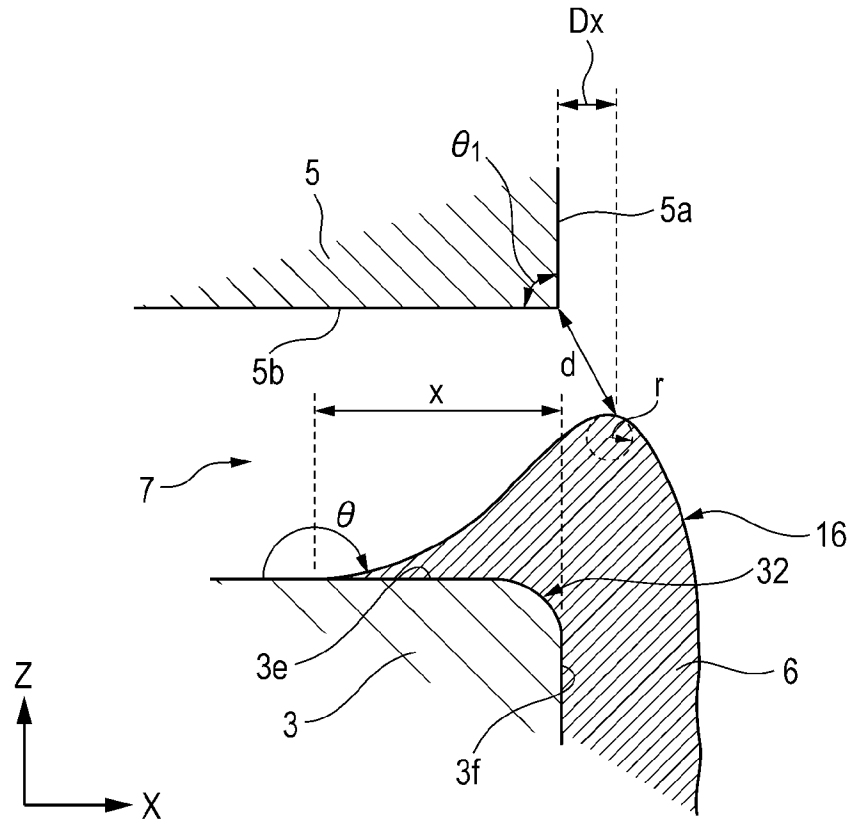
[図1]


(a)
A
A
1
6
5
2
32
Y
X
(b)
5
7
5a
8
3
3b
3a
16
3c
6
3d
2
1
3e
3f
Z
X
(c)
A
5
16
32
3b
3a
6
2
1
A
Z
Y

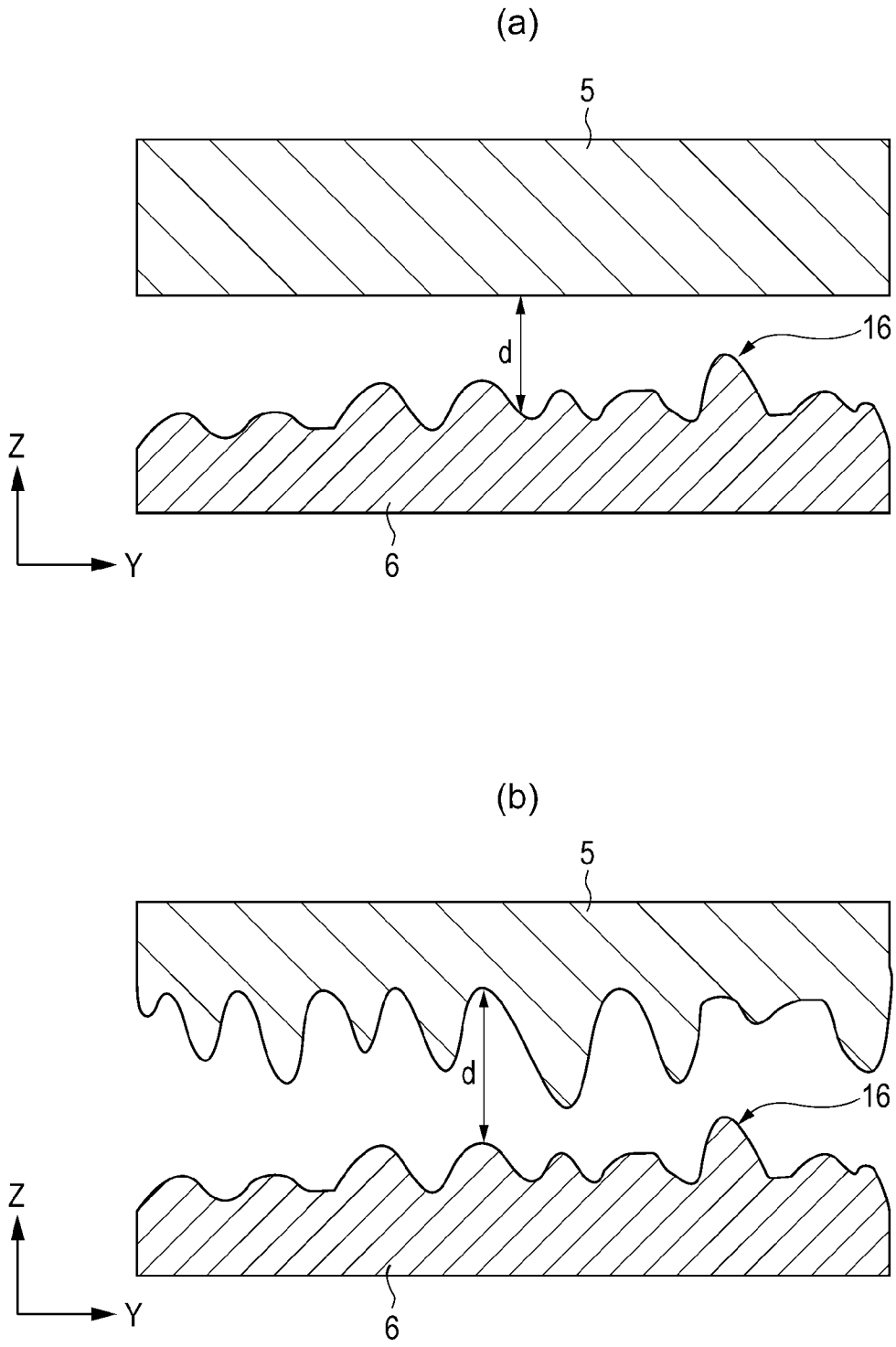
[図2]


(a)
16
5
32
3b
3a
2
1
Z
Y
6b 6a 6b 6a 6b 6a 6b 6a 6b
6
(b)
16
5
3b
3a
2
Z
Y
6a 6a 6a 6a
6
(c)
16
30
5
3
6
2
1
Z
Y, X

[図3]

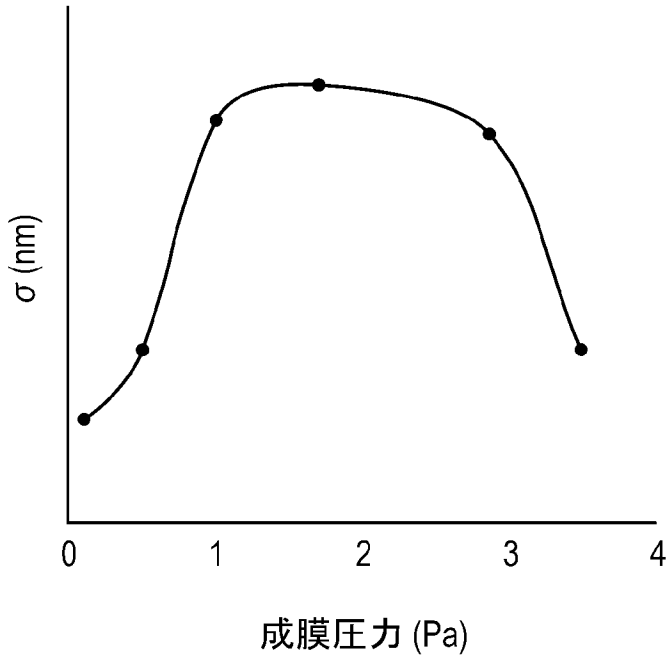


[図4]

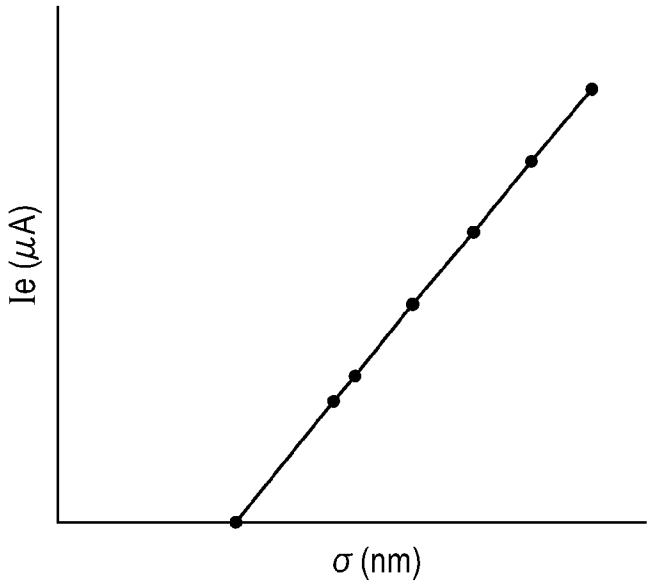


[図5]

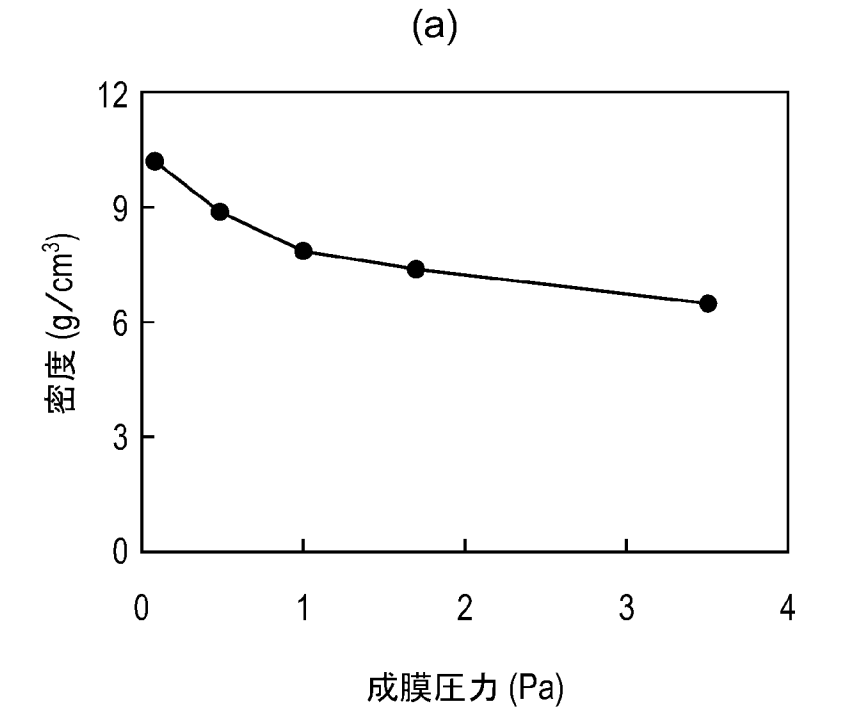
(a)

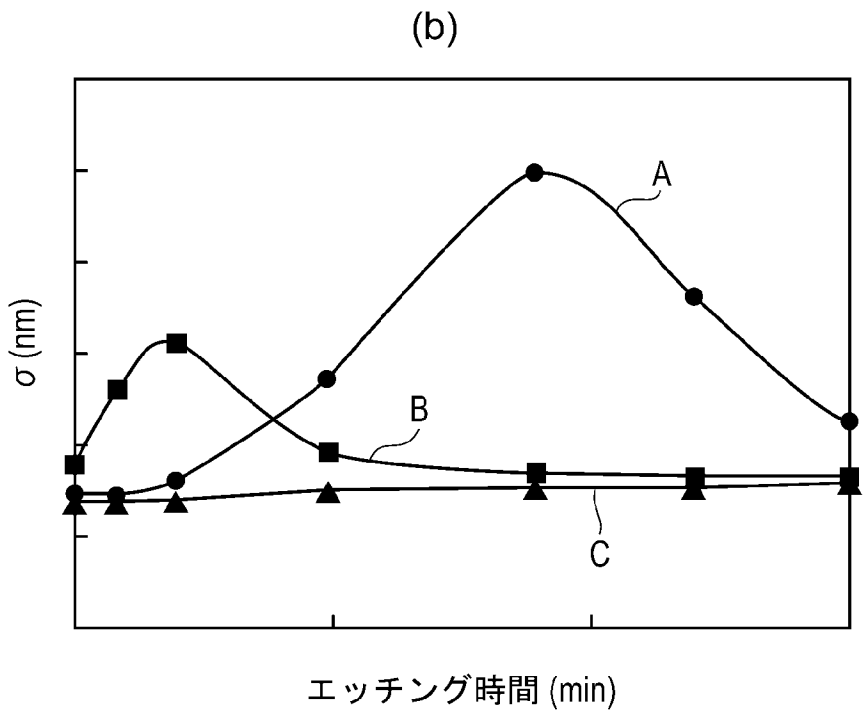


(b)

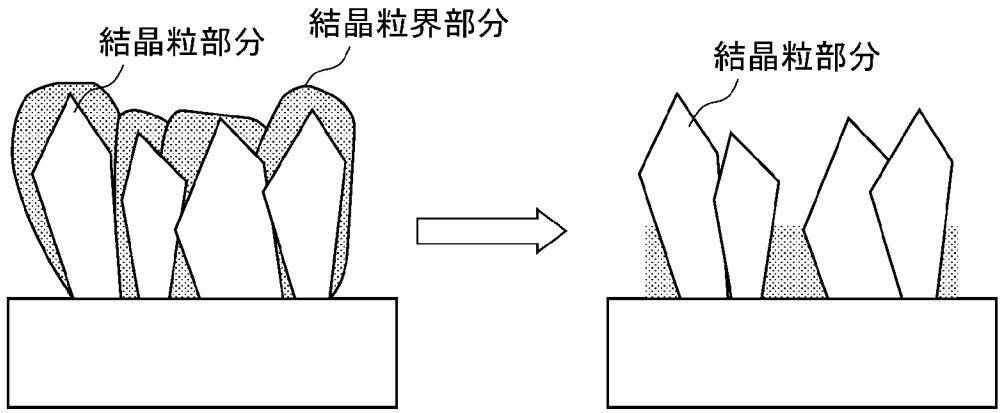


[図6]

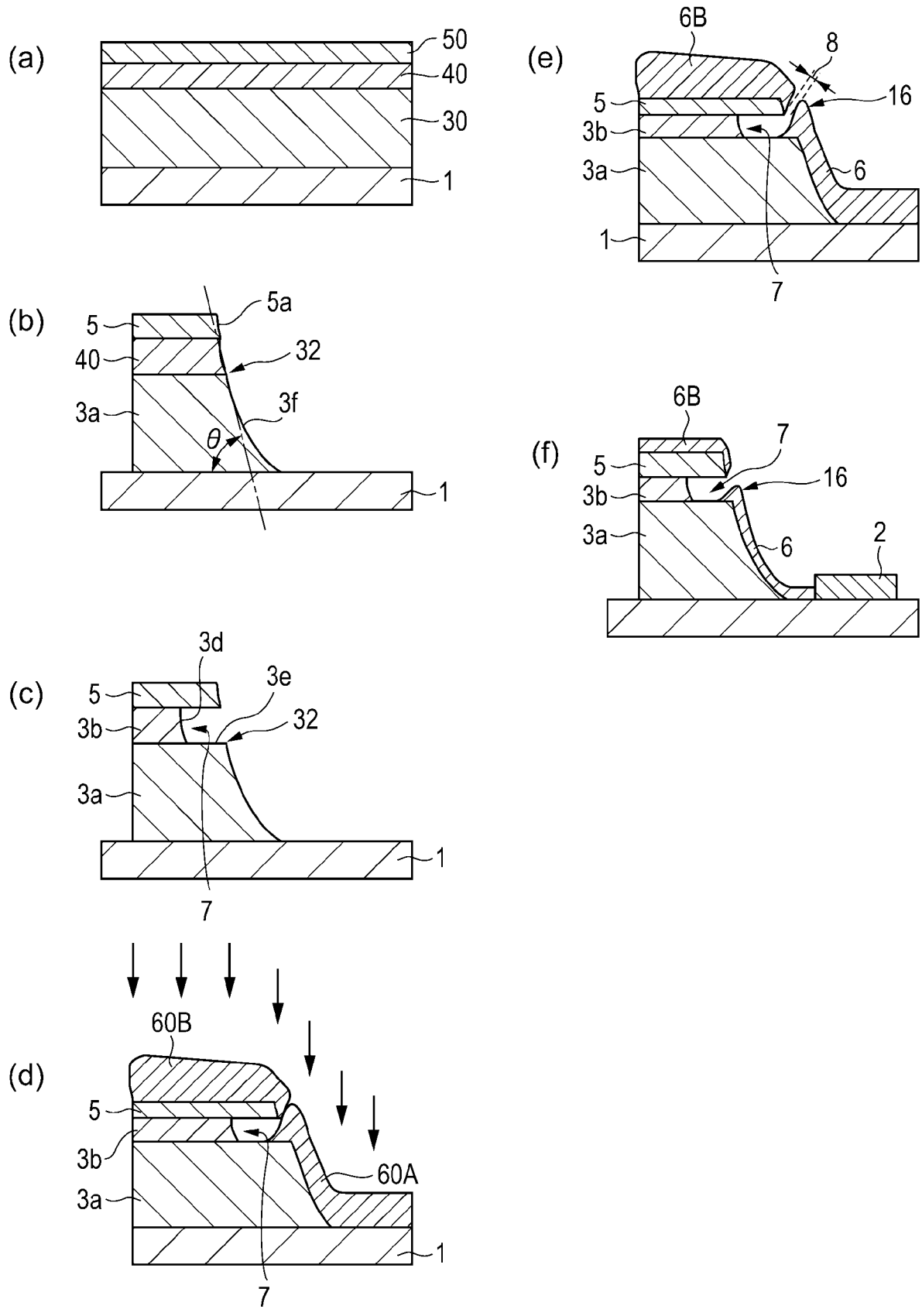




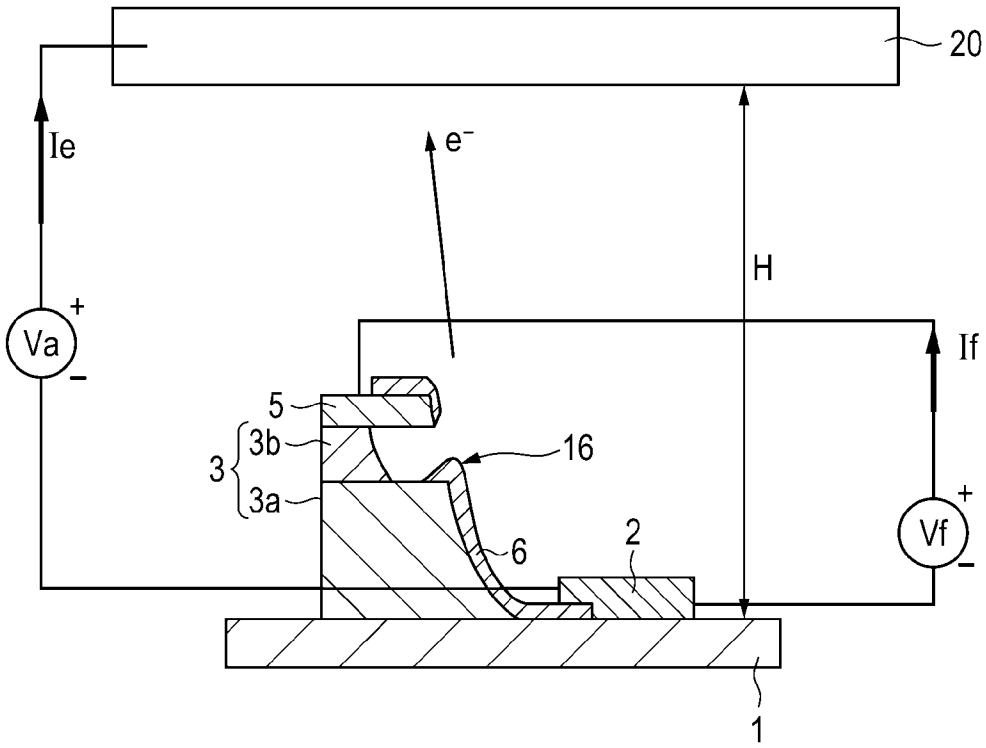
[図7]



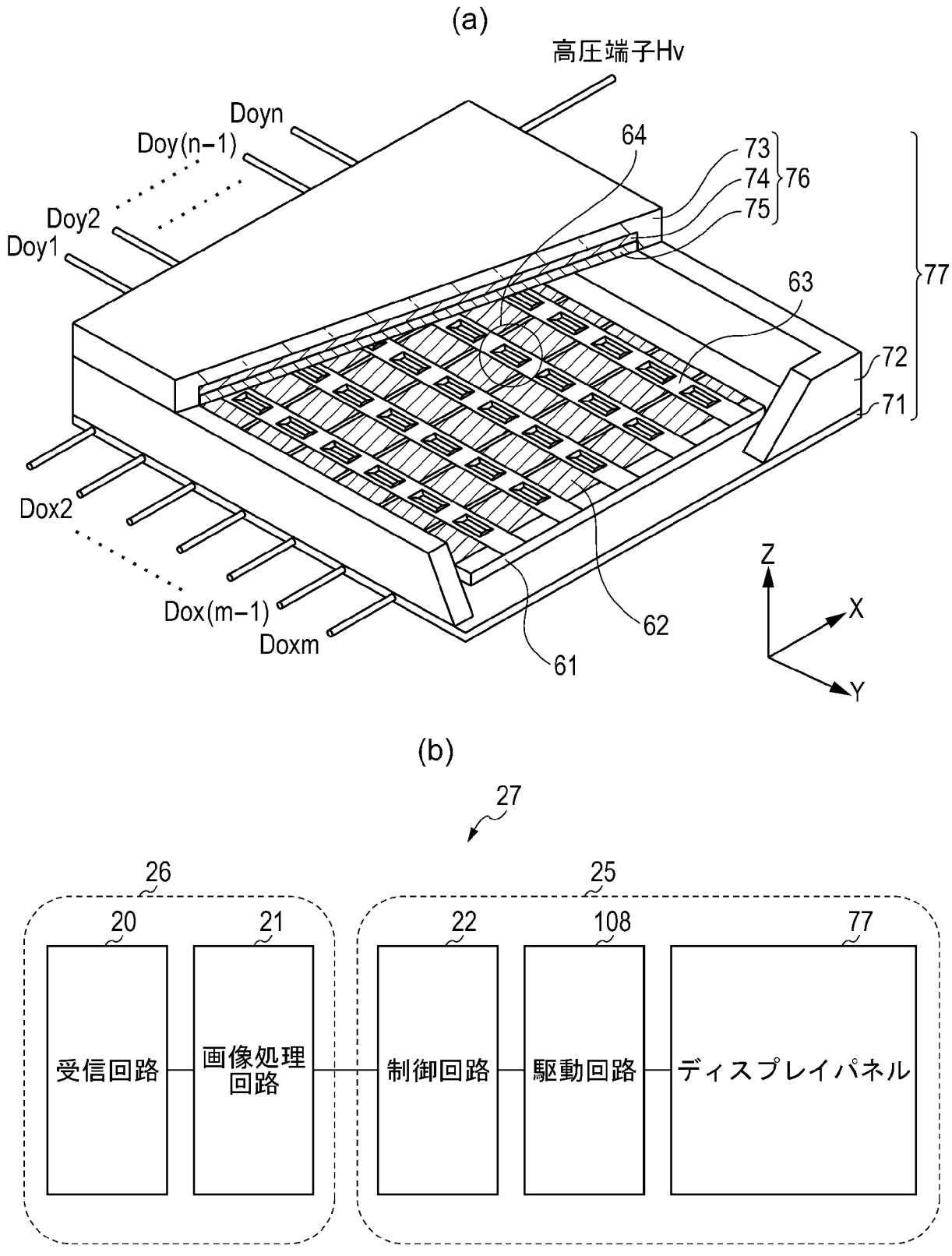
[図8]


(a)
50
40
30
1
(b)
5
5a
40
32
3a
3f
θ
1
(c)
3d
3e
5
3b
32
3a
1
7
(d)
60B
5
3b
60A
3a
1
7
(e)
6B
8
16
5
3b
3a
6
1
7
(f)
6B
7
5
16
3b
3a
6
2

[図9]



[図10]


(a)
高圧端子Hv
Doyn
Doy(n−1)
Doy2
Doy1
64
73
74
75
76
77
63
72
71
Dox2
Dox(m−1)
Doxm
62
61
Z
X
Y
(b)
27
26
25
20
21
22
108
77
受信回路
画像処理回路
制御回路
駆動回路
ディスプレイパネル

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/067498

A. CLASSIFICATION OF SUBJECT MATTER
H01J9/02(2006.01)i, *H01J1/304*(2006.01)i, *H01J1/316*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01J9/02, H01J1/30-1/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JSTPlus(JDreamII), JST7580(JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-256884 A (Sony Corp.), 21 September 2001 (21.09.2001), paragraphs [0080] to [0088]; fig. 4 (Family: none)	1-7
A	JP 2002-304942 A (Mitsubishi Electric Corp.), 18 October 2002 (18.10.2002), paragraphs [0030] to [0034] (Family: none)	1-7
A	Yasuhito GOTO, Nobumasa KIWA, Hiroshi TSUJI, Junzo ISHIKAWA, "Magnetron Sputter-ho ni yoru Sen'i Kinzoku Tankabutsu Hakumaku no Keisei to Rei Inkyoku Zairyo to shite no Hyoka", Journal of the Vacuum Society of Japan, 20 March 2002 (20.03.2002), vol.45, no.3, pages 212 to 214	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 November, 2009 (30.11.09)	08 December, 2009 (08.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６７４９８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01J9/02(2006.01)i, H01J1/304(2006.01)i, H01J1/316(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01J9/02, H01J1/30-1/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus(JDreamII),JST7580(JDreamII)

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2001-256884 A（ソニー株式会社） 2001.09.21 【００８０】－【００８８】、図４ （ファミリーなし）	１－７
A	JP 2002-304942 A（三菱電機株式会社） 2002.10.18 【００３０】－【００３４】 （ファミリーなし）	１－７

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．１１．２００９	国際調査報告の発送日 ０８．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　９８０６ 山口　剛 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	後藤康仁、紀和伸政、辻博司、石川順三, “マグネトロンスパッタ法による遷移金属炭化物薄膜の形成と冷陰極材料としての評価”, 真空, 2002.03.20, Vol.45, No.3, pp.212-214	１－７