

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810080937.9

[51] Int. Cl.

G11C 7/06 (2006.01)
G11C 11/416 (2006.01)
G11C 11/419 (2006.01)
G11C 29/04 (2006.01)
H03K 5/13 (2006.01)
H03K 5/135 (2006.01)

[43] 公开日 2008年9月3日

[11] 公开号 CN 101256824A

[22] 申请日 2008.2.29

[21] 申请号 200810080937.9

[30] 优先权

[32] 2007.3.1 [33] JP [31] 2007-051170

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 增尾昭

[74] 专利代理机构 北京市金杜律师事务所
代理人 季向冈

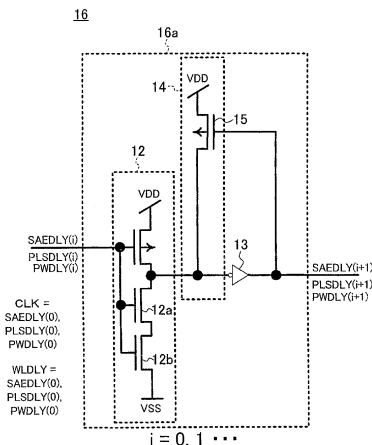
权利要求书 3 页 说明书 14 页 附图 18 页

[54] 发明名称

半导体集成电路

[57] 摘要

本发明提供一种具有晶体管偏差容许度而不会导致电路面积增大的延迟时钟电路以及具有该延迟时钟电路的半导体集成电路。在使输入时钟信号延迟的延迟时钟电路(16)中,具有第一和第二反相器(12、13)的构成要素被级联连接。延迟时钟控制电路(14),在构成要素的输入转变时进行工作以使穿透电流流过第一和第二反相器(12、13)的连接结点并在预定时间发生电荷竞争。延迟时钟控制电路(14),具有配置在电源线(VDD)与连接结点之间并在栅极上接收第二反相器(13)的输出的第一P型晶体管(15)。



1. 一种半导体集成电路，其特征在于：
具有使输入时钟信号延迟的延迟时钟电路，
上述延迟时钟电路的具有第一反相器和第二反相器的构成要素被级联连接，

上述各构成要素具有延迟时钟控制电路，其在输入转变时进行工作，以使穿透电流流过上述第一反相器和上述第二反相器的连接结点并在预定时间发生电荷竞争。

2. 根据权利要求 1 所述的半导体集成电路，其特征在于：
上述预定时间比上述输入时钟信号的上升沿间隔短。

3. 根据权利要求 1 所述的半导体集成电路，其特征在于：
上述延迟时钟控制电路具有配置在电源线与上述连接结点之间、并在栅极上接收上述第二反相器的输出的第一 P 型晶体管，

上述第一反相器具有配置在接地线与上述连接结点之间、并按多级串联连接的多个 N 型晶体管。

4. 根据权利要求 3 所述的半导体集成电路，其特征在于：
上述多个 N 型晶体管的栅极宽度之和为上述第一 P 型晶体管的栅极宽度的 2 倍以上 40 倍以下。

5. 根据权利要求 3 所述的半导体集成电路，其特征在于：
上述延迟时钟控制电路具有配置在电源线与上述连接结点之间、并在栅极上接收第一外部信号的第二 P 型晶体管。

6. 根据权利要求 5 所述的半导体集成电路，其特征在于：
上述多个 N 型晶体管的栅极宽度之和为上述第一和第二 P 型晶体管的栅极宽度之和的 2 倍以上 40 倍以下。

7. 根据权利要求 5 所述的半导体集成电路，其特征在于：
上述第一外部信号是切换通常工作和测试工作的信号，上述第一外部信号在测试工作时使上述第二 P 型晶体管导通。

8. 根据权利要求 3 所述的半导体集成电路，其特征在于：

上述延迟时钟电路还具有根据第二外部信号控制上述第一 P 型晶体管和上述多个 N 型晶体管的衬底电位的衬底控制电路。

9. 根据权利要求 8 所述的半导体集成电路, 其特征在于:

上述第二外部信号是用于切换通常工作和测试工作的信号,

上述衬底控制电路在测试工作时, 对上述第一 P 型晶体管的衬底施加正向偏压, 并且对上述多个 N 型晶体管的衬底施加反向偏压。

10. 根据权利要求 1 所述的半导体集成电路, 其特征在于:

具有

呈矩阵状排列有多个存储单元的存储单元阵列、

分别对上述存储单元阵列的行设置的多条字线、

分别对上述存储单元阵列的列设置的多个位线对、

将上述位线对的微小电位差放大的读出放大器、以及

当被地址信号选定时向上述字线输出脉冲信号的行译码器,

上述读出放大器接收从上述延迟时钟电路输出的延迟时钟信号作为读出放大器使能信号,

上述行译码器接收从上述延迟时钟电路输出的延迟时钟信号作为生成上述脉冲信号的脉冲沿的字线脉冲生成信号。

11. 根据权利要求 10 所述的半导体集成电路, 其特征在于:

具有由与上述行译码器相同的结构构成、不接收地址信号而按与所选定的上述行译码器相同的定时输出脉冲信号的复制行译码器,

从上述复制行译码器输出的上述脉冲信号被作为上述输入时钟信号而输入上述延迟时钟电路。

12. 根据权利要求 5 所述的半导体集成电路, 其特征在于:

具有

呈矩阵状排列有多个存储单元的存储单元阵列、

分别对上述存储单元阵列的行设置的多条字线、

分别对上述存储单元阵列的列设置的多个位线对、

将上述位线对的微小电位差放大的读出放大器、

呈列状排列有多个由与上述存储单元相同的结构构成的复制存

储单元的复制存储单元阵列、以及

对上述复制存储单元的列设置的复制位线对，

上述读出放大器接收从上述延迟时钟电路输出的延迟时钟信号作为读出放大器使能信号，

上述延迟时钟电路在上述延迟时钟控制电路中的上述第二 P 型晶体管的栅极上，不接收上述第一外部信号而接收用于指示在上述复制位线对上是否产生了预定的电位差的信号。

13. 根据权利要求 1 所述的半导体集成电路，其特征在于：

具有

呈矩阵状排列有多个存储单元的存储单元阵列、

对上述存储单元阵列的列而设置、在上述写入辅助脉冲信号输出脉冲的期间使上述存储单元的供电电源的电位降低的写入辅助电路，

上述写入辅助脉冲信号的脉冲沿由从上述延迟时钟电路输出的延迟时钟信号生成。

14. 根据权利要求 3 所述的半导体集成电路，其特征在于：

在上述延迟时钟电路中，

上述第一反相器的 P 型晶体管的源极和漏极与上述第二反相器的 P 型晶体管的源极和漏极大致被布局在一条直线上，并且

上述第二反相器的 P 型晶体管的源极和漏极与上述延迟时钟控制电路具有的上述第一 P 型晶体管的源极和漏极大致被布局在一条直线上。

15. 根据权利要求 3 所述的半导体集成电路，其特征在于：

在上述延迟时钟电路中，

上述第一反相器的 P 型晶体管的源极和漏极与上述第二反相器的 P 型晶体管的源极和漏极被大致布局在一条直线上，并且

上述第一反相器的 P 型晶体管的源极和漏极与上述延迟时钟控制电路具有的上述第一 P 型晶体管的源极和漏极大致被布局在一条直线上。

半导体集成电路

技术领域

本发明涉及具有使输入时钟信号延迟的延迟时钟电路，并将延迟时钟信号例如作为读出放大器的使能信号等使用的半导体集成电路。

背景技术

在半导体存储装置等中使用的锁存型读出放大器，为了生成其使能信号而需要定时信号生成电路。定时信号生成电路最简易的结构由级联连接的多个反相器构成。通过调整反相器的门电路级数，能够使读出放大器的使能信号按最佳的定时进行工作。

按照某种现有技术，根据输入时钟信号的频率变化来调整延迟时钟信号的延迟时间。具体地说，将反相器和 NAND、NOR 电路组合而生成以输入时钟信号的下降沿为基准的脉冲信号，并由该脉冲信号改变生成延迟时钟信号的反相器链路的各反相器的驱动能力（参照专利文献 1）。

专利文献 1：日本特开 2001-344972 号公报

发明内容

在上述的现有技术中，能够根据输入时钟信号的频率变化而生成最佳的定时。但是，为了生成用于改变反相器的驱动能力的脉冲信号，需要规模大的电路。而且，在脉冲信号的生成电路和反相器链路内所使用的反相器中，没有对晶体管的标准离差采取延迟时间调整的对策。

鉴于上述的问题，本发明的目的是提供一种具有晶体管标准离差容许度而不会导致电路面积增大的延迟时钟电路。

本发明提供一种半导体集成电路，其具有使输入时钟信号延迟的

延迟时钟电路，上述延迟时钟电路，将具有第一反相器和第二反相器的构成要素级联连接，上述各构成要素，具有在输入转变时工作以使穿透电流流过上述第一和第二反相器的连接结点并在预定时间发生电荷竞争（change competition）的延迟时钟控制电路。

按照本发明，在延迟时钟电路的各构成要素中，能够在输入转变时由延迟时钟控制电路使第一和第二反相器的连接结点在预定时间发生由穿透电流引起的电荷竞争。由此，可以使延迟时钟信号进一步延迟。所以，与以往相比例如可以将读出放大器使能信号的激活进一步延迟。因此，能够增大位线对的微小电位差的值，并能抑制产生误工作的概率，从而能够提高半导体集成电路的合格率。

按照本发明，能够在输入转变时由延迟时钟控制电路使第一反相器和第二反相器的连接结点在预定时间发生由穿透电流引起的电荷竞争，因此能够将延迟时钟信号进一步延迟。

附图说明

图 1 是表示作为本发明的半导体集成电路之一的 SRAM 的结构例的框图。

图 2 是表示图 1 的 SRAM 中的现有技术的延迟时钟电路的概略结构例的电路图。

图 3 是表示图 1 的 SRAM 中的本发明的实施方式的延迟时钟电路的概略结构例的电路图。

图 4 是用于说明在图 1 的结构中采用了图 2 和图 3 的延迟时钟电路时的工作的定时图。

图 5 是表示图 1 的 SRAM 中的本发明的实施方式的延迟时钟电路的概略结构例的电路图。

图 6 是用于说明在图 1 的结构中采用了图 5 的延迟时钟电路时的工作的定时图。

图 7 是表示图 1 的 SRAM 中的本发明的实施方式的延迟时钟电路的概略结构例的电路图。

图 8 是用于说明在图 1 的结构中采用了图 7 的延迟时钟电路时的工作的定时图。

图 9 是表示图 1 的 SRAM 中的行译码器的概略结构例的电路图。

图 10 是用于说明包含图 9 的行译码器的图 1 的 SRAM 的工作的定时图。

图 11 是表示图 1 的 SRAM 中的复制行译码器 (row decoder replica) 的概略结构例的电路图。

图 12 是表示在图 1 的 SRAM 中采用了复制存储单元时的工作的定时图。

图 13 是表示图 1 的 SRAM 中的写入辅助电路的概略结构例的电路图。

图 14 是表示在图 1 的 SRAM 中采用了写入辅助电路时的工作的定时图。

图 15 是表示图 1 的 SRAM 的布局的概略结构例的电路图。

图 16 是表示本实施方式的延迟时钟电路的布局的概略结构例的电路图。

图 17 是表示本实施方式的延迟时钟电路的布局的概略结构例的电路图。

图 18 是表示本实施方式的延迟时钟电路的布局的概略结构例的电路图。

具体实施方式

以下，参照附图详细说明本发明的实施方式。

图 1 示出作为本发明的半导体集成电路之一的 SRAM (Static Random Access Memory: 静态随机存取存储器) 100 的结构例。图 1 的 SRAM100, 具有延迟时钟电路 10、16、19; 存储单元阵列 30; 行译码器阵列 40; 写入辅助电路 50; 以及读/写电路阵列 70。读/写电路阵列 70 为包含读出放大器 20 和数据输入电路 60 的阵列结构。

下面进行详细说明。延迟时钟电路 10、16、19, 根据输入时钟信

号 CLK 输出读出放大器使能 (Sense Amp. Enable) 信号 SAE、用于对字线 WL 进行脉冲控制的字线脉冲生成信号 PLSDLY、以及用于对写入辅助电路 50 进行脉冲控制的写入脉冲生成信号 PWDLY。这些信号 SAE、PLSDLY、PWDLY 相当于延迟时钟信号。读出放大器 20, 响应读出放大器使能信号 SAE 而进行工作, 并在工作时检测和输出位线对 BL、NBL 的微小电位差。存储单元阵列 30 具有呈矩阵状排列的多个存储单元 8。多条字线 WL 分别对存储单元阵列 30 的行设置, 多个位线对 BL、NBL 分别对存储单元阵列 30 的列设置。

行译码器阵列 40 具有分别对存储单元阵列 30 的行设置的多个行译码器 9。行译码器 9 根据输入时钟信号 CLK 和字线脉冲生成信号 PLSDLY 对字线 WL 输出脉冲信号。写入辅助电路 50 针对存储单元阵列 30 的列而被设置, 并与存储单元 8 的供电电源 51 连接。而且, 根据写入脉冲生成信号 PWDLY 对供电电源 51 输出脉冲信号。数据输入电路 60, 根据输入数据信号 DI 对位线对 BL、NBL 输出电位差。

图 2 是表示图 1 的 SRAM100 中的现有技术的延迟时钟电路 10 的概略结构例的图。在图 2 中, 12A 是第一反相器, 13 是第二反相器, 将第一反相器 12A 的输出和第二反相器 13 的输入连接。如图 2 所示, 延迟时钟电路 10, 是将第一反相器 12A 和第二反相器 13 作为 1 个构成要素的阵列结构。即, 延迟时钟电路 10, 将具有串联连接的第一和第二反相器 12A、13 的构成要素 10a 级联连接。

图 3 是表示图 1 的 SRAM100 中的本发明的实施方式的延迟时钟电路 16 的概略结构例的图。在图 3 中, 除图 2 中示出的现有技术的结构以外还附加了延迟时钟控制电路 14 的结构。即延迟时钟电路 16 是将具有串联连接的第一和第二反相器 12、13 和延迟时钟控制电路 14 的构成要素 16a 级联连接而成的。延迟时钟控制电路 14 连接在第一和第二反相器 12、13 的连接结点以及第二反相器 13 的输出结点上。而且, 如后文所述, 在构成要素 16a 的输入转变时进行工作, 以使穿透电流流过第一和第二反相器 12、13 的连接结点并在预定时间发生电荷竞争。

而且,在图3的结构中,延迟时钟控制电路14,具有配置在电源线VDD与第一和第二反相器12、13的连接结点之间、在栅极上接收第二反相器13的输出的第一P型晶体管15。此外,也可以代替第一P型晶体管15而设置多级串联连接的多个P型晶体管。而且,还可以设置反相器以替代第一P型晶体管15。

另外,在图3的结构中,第一反相器12,具有配置在接地线VSS与第一和第二反相器12、13的连接结点之间并按多级(图中为2级)串联连接的多个N型晶体管12a、12b。此外,第一和第二反相器12、13中的P型和N型晶体管,数量可以是1个,也可以是多级串联连接的多个。

图4是用于说明在图1的结构中采用了图2的延迟时钟电路10和图3的延迟时钟电路16时的工作的定时图。此处,举出读出工作的情况,比较并示出图2的现有技术和图3的本实施方式。

将输入时钟信号CLK输入行译码器9,激活行译码器9的输出即字线WL。存储单元8响应字线WL的激活而使位线对BL、NBL产生微小电位差。另一方面,将输入时钟信号CLK输入延迟时钟电路10、16。

在图2的现有技术中,当输入时钟信号CLK变为High(以下,记为“H(高电平)”)时,第一反相器12A中P型晶体管截止、N型晶体管导通,并输出Low(以下,记为“L(低电平)”)。因此,对次级的第二反相器13的输入施加“L”。由此,第二反相器13中P型晶体管变为导通、N型晶体管变为截止,并输出“H”。通过改变门电路级数,能够调整读出放大器使能信号SAE的激活定时。读出放大器20,响应读出放大器使能信号SAE的激活,检测并输出位线对BL、NBL的微小电位差。

另一方面,在图3的本实施方式中,当输入时钟信号CLK为“L”时,第一反相器12中P型晶体管导通、N型晶体管截止,并输出“H”。因此,对次级的第二反相器13的输入施加“H”。由此,第二反相器13中P型晶体管变为截止、N型晶体管变为导通,并输出“L”。

第二反相器 13 的输出“L”，输入到延迟时钟控制电路 14 的第一 P 型晶体管 15 的栅极。其结果是，第一 P 型晶体管 15 导通。

当输入时钟信号 CLK 为“H”时，第一反相器 12 中 P 型晶体管变为截止、N 型晶体管变为导通，并输出“L”。在该时刻，延迟时钟控制电路 14 的第一 P 型晶体管 15 导通，因此，在一定时间发生由第一反相器 12 的 N 型晶体管的电荷放电和第一 P 型晶体管 15 的电荷充电的穿透电流引起的电荷竞争。之后，对次级的第二反相器 13 的输入施加“L”。由此，第二反相器 13 中 P 型晶体管变为截止、N 型晶体管变为导通，并输出“H”。由于不仅改变门电路级数而且增加了延迟时钟控制电路 14 的第一 P 型晶体管 15，可以在一定时间发生由穿透电流引起的电荷竞争，并能调整读出放大器使能信号 SAE 的激活定时。读出放大器 20，响应读出放大器使能信号 SAE 的激活，检测并输出位线对 BL、NBL 的微小电位差。

如上所述，通过采用本实施方式的图 3 的延迟时钟电路 16，可以由延迟时钟控制电路 14 的第一 P 型晶体管 15 和第一反相器 12 的 N 型晶体管在一定时间发生由穿透电流引起的电荷竞争。由此，与现有技术相比可以将读出放大器使能信号 SAE 的激活进一步延迟。就是说，只追加 1 个晶体管元件，就能够在有晶体管标准离差、特别是 SRAM100 中 P 型晶体管的驱动能力大、N 型晶体管的驱动能力小的情况下将读出放大器使能信号 SAE 的激活比现有技术进一步延迟，而不会导致大幅度地面积增大。因此，能够增大位线对 BL、NBL 的微小电位差的值，并能抑制产生误工作的概率，从而能够提高 SRAM 和装有 SRAM 的半导体集成电路的合格率。

此外，发生由穿透电流引起的电荷竞争的预定时间，最好比输入时钟信号 CLK 的上升沿间隔短。

另外，在图 3 的延迟时钟电路 16 中，第一反相器 12 具有的多级串联连接的多个 N 型晶体管的栅极宽度之和，最好为延迟时钟控制电路 14 的第一 P 型晶体管 15 的栅极宽度的 2 倍以上、40 倍以下。当该栅极宽度的比率小于 2 倍时，第一反相器 12 的 N 型晶体管的使电

荷放电的驱动能力比延迟时钟控制电路 14 的第一 P 型晶体管 15 的使电荷充电的驱动能力差，因此将导致延迟时钟电路 16 产生误工作。另一方面，当该栅极宽度的比率超过 40 倍时，发生由穿透电流引起的电荷竞争而使延迟时间增加的效果将几乎失去。因此，通过在上述的栅极宽度的限制内进行设计，能够使读出放大器使能信号 SAE 的激活定时为最佳值。

图 5 是表示图 1 的 SRAM100 中的本发明的实施方式的延迟时钟电路 19 的概略结构例的图。在图 5 中，除图 2 中示出的现有技术的结构以外还附加了延迟时钟控制电路 17 的结构。即，延迟时钟电路 19 将具有串联连接的第一和第二反相器 12、13 以及延迟时钟控制电路 17 的构成要素 19a 级联连接。延迟时钟控制电路 17 连接在第一和第二反相器 12、13 的连接结点及第二反相器 13 的输出结点上。而且，延迟时钟控制电路 17 与图 3 的延迟时钟控制电路 14 相比，除第一 P 型晶体管 15 以外，还具有第二 P 型晶体管 18。第二 P 型晶体管 18 与第一 P 型晶体管 15 并联地配置在电源线 VDD 与第一和第二反相器 12、13 的连接结点之间，并在栅极上接收第一外部信号 TE。即根据第一外部信号 TE 控制第二 P 型晶体管 18 的导通、截止。

图 6 是用于说明在图 1 的结构中采用了图 5 的延迟时钟电路 19 时的工作的定时图。此处，举出读出工作的情况。而且，第一外部信号 TE 作为切换通常工作和测试工作的信号进行说明。另外，由于 SRAM100 的基本工作与图 4 相同，将其说明省略。

在通常工作中，第一外部信号 TE 为“H”，使第二 P 型晶体管 18 截止。这时，在延迟时钟控制电路 17 中将延迟时钟信号进一步延迟的晶体管仅为第一 P 型晶体管 15，因而可以取得与图 3 的结构相同的效果。

在测试工作中，第一外部信号 TE 为“L”，使第二 P 型晶体管 18 导通。这时，在延迟时钟控制电路 17 中，除第一 P 型晶体管 15 以外，第二 P 型晶体管 18，也作为将延迟时钟信号进一步延迟的晶体管而进行工作。由此，与图 3 的结构相比使延迟时间进一步增加。

如上所述,在采用了本实施方式的图 5 的延迟时钟电路 19 的情况下,当进行测试工作时,可以由延迟时钟控制电路 17 的第一和第二 P 型晶体管 15、18 以及第一反相器 12 的 N 型晶体管在一定时间发生由穿透电流引起的电荷竞争。由此,能够使读出放大器使能信号 SAE 的激活进一步延迟。就是说,只是又追加了 1 个晶体管元件,就可以将测试工作时的读出放大器使能信号 SAE 的激活进一步延迟,而不会导致大幅度的面积增大。因此,能够增大位线对 BL、NBL 的微小电位差的值,并能抑制产生误动作的概率,从而能够在促进 SRAM 和装有 SRAM 的半导体集成电路的故障检测部位的确定和故障检测率的提高的同时提高合格率。

此外,第一外部信号 TE 并不只限于切换通常工作和测试工作的信号。例如,通过使第一外部信号 TE 固定不变地保持“L”,可以将读出放大器使能信号 SAE 的激活进一步延迟。因此,能够增大位线对 BL、NBL 的微小电位差的值,而且也能抑制产生误工作的概率。

并且,在图 5 的结构中,也可以将第一 P 型晶体管 15 省略。

另外,在图 5 的延迟时钟电路 19 中,第一反相器 12 具有的多级串联连接的多个 N 型晶体管的栅极宽度之和,最好为延迟时钟控制电路 17 的第一和第二 P 型晶体管 15、18 的栅极宽度之和的 2 倍以上、40 倍以下。当该栅极宽度的比率小于 2 倍时,第一反相器 12 的 N 型晶体管的使电荷放电的驱动能力比延迟时钟控制电路 17 的第一和第二 P 型晶体管 15、18 的使电荷充电的驱动能力差,因此将导致延迟时钟电路 19 产生误工作。另一方面,当该栅极宽度的比率超过 40 倍时,发生由穿透电流引起的电荷竞争而使延迟时间增加的效果几乎失去。因此,通过在上述的栅极宽度的限制内进行设计,可以使读出放大器使能信号 SAE 的激活定时为最佳值。

图 7 是表示图 1 的 SRAM100 中的本发明实施方式的延迟时钟电路 22 的概略结构例的图。在图 7 中,除图 3 的延迟时钟电路 16 以外还附加了 P 型晶体管用衬底控制电路 23 和 N 型晶体管用衬底控制电

路 24 的结构。P 型晶体管用衬底控制电路 23 响应第二外部信号 BE 而由信号 VDDBB 控制延迟时钟控制电路 14 中的第一 P 型晶体管 15 的衬底电位。N 型晶体管用衬底控制电路 24 响应第二外部信号 BE 而由信号 VSSBB 控制第一反相器 12 中的 N 型晶体管 12a、12b 的衬底电位。

图 8 是用于说明在图 1 的结构中采用了图 7 的延迟时钟电路 22 时的工作的定时图。此处，举出读出工作的情况。而且，第二外部信号 BE 作为切换通常工作和测试工作的信号进行说明。另外，由于 SRAM100 的基本工作与图 4 相同，将其说明省略。

在通常工作中，根据第二外部信号 BE，P 型晶体管用衬底控制电路 23 不由输出信号 VDDBB 对第一 P 型晶体管 15 的衬底施加偏压，而 N 型晶体管用衬底控制电路 24 不由输出信号 VSSBB 对第一反相器 12 的 N 型晶体管的衬底施加偏压。因此，在第一 P 型晶体管 15 和第一反相器 12 的 N 型晶体管 12a、12b 的阈值电压中没有变化，能够取得与图 3 相同的效果。

在测试工作中，根据第二外部信号 BE，P 型晶体管用衬底控制电路 23 由输出信号 VDDBB 对第一 P 型晶体管 15 的衬底施加正向偏压，N 型晶体管用衬底控制电路 24 由输出信号 VSSBB 对第一反相器 12 的 N 型晶体管 12a、12b 的衬底施加反向偏压。由此，第一 P 型晶体管 15，因阈值电压的绝对值减小而使电流驱动能力增大，第一反相器 12 的 N 型晶体管 12a、12b，因阈值电压的绝对值增大而使电流驱动能力减小，因此，在连接结点上发生电荷竞争，从而使延迟时间比图 3 进一步增加。

如上所述，在采用了本实施方式的图 7 的延迟时钟电路 22 的情况下，当进行测试工作时，可以使延迟时钟控制电路 14 中的第一 P 型晶体管 15 的阈值电压的绝对值减小，并且使第一反相器 12 中的 N 型晶体管 12a、12b 的阈值电压的绝对值增大。因此，使第一 P 型晶体管 15 的电流驱动能力增大，并且使第一反相器 12 的 N 型晶体管 12a、12b 的电流驱动能力减小，因此能够在一定时间发生由穿透电流

引起的电荷竞争。由此，可以将测试工作时的读出放大器使能信号 SAE 的激活进一步延迟。因此，能够增大位线对 BL、NBL 的微小电位差的值，并能抑制产生误动作的概率，从而能够在促进 SRAM 和装有 SRAM 的半导体集成电路的故障检测部位的确定和故障检测率的提高的同时提高合格率。

此外，第二外部信号 BE 并不只限于切换通常工作和测试工作的信号。例如，也可以根据第二外部信号 BE 固定不变地对第一 P 型晶体管 15 的衬底施加正向偏压、对第一反相器 12 的 N 型晶体管 12a、12b 的衬底施加反向偏压。由此，可以将读出放大器使能信号 SAE 的激活进一步延迟，并可以增大位线对 BL、NBL 的微小电位差的值，而且也能抑制产生误动作的概率。另外，在图 7 中，也可以只设置 P 型晶体管用衬底控制电路 23 或 N 型晶体管用衬底控制电路 24 中的一个。

图 9 是表示图 1 的 SRAM100 中的行译码器的概略结构例的电路图。在图 9 中，行译码器 9，当由地址信号 AD 选定时，对字线 WL 输出脉冲信号。输入时钟信号 CLK 生成对字线 WL 输出的脉冲信号的上升侧的脉冲沿。字线脉冲生成信号 PLSDLY 生成对字线 WL 输出的脉冲信号的下降侧的脉冲沿。而且，行译码器 9，接收从延迟时钟电路 16、19、22 输出的延迟时钟信号作为字线脉冲生成信号 PLSDLY。

图 10 是用于说明包含图 9 的行译码器的图 1 的 SRAM100 的工作的定时图。此处，举出读出工作的情况。而且，在图 10 中，示出通常工作和读出放大器使能信号 SAE 延迟时的动作。此处，通常工作是在设计时设定好的工作定时，与此不同，当工艺、电压、温度、频率等各种条件产生了偏离时，可以使读出放大器使能信号 SAE 延迟。

在图 10 中，将输入时钟信号 CLK 输入行译码器 9，激活行译码器 9 的输出即字线 WL。存储单元 8 响应字线 WL 的激活而使位线对 BL、NBL 产生微小电位差。另一方面，将输入时钟信号 CLK 输入延迟时钟电路 16、19、22。读出放大器 20，响应作为延迟时钟电路 16、

19、22 的输出的读出放大器使能信号 SAE 的激活，检测并输出位线对 BL、NBL 的微小电位差。

行译码器 9 的输出即字线 WL，根据作为延迟时钟电路 16、19、22 的输出的字线脉冲生成信号 PLSDLY 而变为非激活状态。由于从同一类型的延迟时钟电路 16、19、22 输出读出放大器使能信号 SAE 和字线脉冲生成信号 PLSDLY，即使各种条件产生了偏离，各个定时也对条件的偏离显示出同样的倾向。因此，当使读出放大器使能信号 SAE 延迟时，字线脉冲生成信号 PLSDLY 也同样地延迟。由此，可以展宽字线 WL 的脉冲宽度。

如上所述，按照图 1 和图 9 的结构，字线脉冲生成信号 PLSDLY 和读出放大器使能信号 SAE，其定时对条件偏离显示出同样的倾向。因此，当使读出放大器使能信号 SAE 延迟时，字线脉冲生成信号 PLSDLY 也同样地延迟，并能展宽字线 WL 的脉冲宽度。所以，也能够使位线对 BL、NBL 的微小电位差增大，并能抑制产生误工作的概率，从而能够提高 SRAM 和装有 SRAM 的半导体集成电路的合格率。

此外，读出放大器使能信号 SAE 和字线脉冲生成信号 PLSDLY，是来自同一类型的延迟时钟电路 16、19、22 的输出，但也不一定从相同的门电路级数输出。

图 11 是表示图 1 的 SRAM100 中的复制行译码器 (RDR) 29 的概略结构例的图。在图 11 中，复制行译码器 29 由与行译码器 9 相同的结构构成，不接收地址信号 AD 而是如始终被选择的那样，接收电源电压 VDD 或以电源电压 VDD 为基准的信号。即，在与由地址信号 AD 选定的行译码器 9 相同的定时，输出脉冲信号作为字线延迟信号 WLDLY。从复制行译码器 29 输出的字线延迟信号 WLDLY，作为输入时钟信号输入到延迟时钟电路 16、19、22。

如上所述，按照图 11 的结构，从由与行译码器 9 相同的结构构成的复制行译码器 29 输出的字线延迟信号 WLDLY，在与字线 WL 大致相同的定时被激活。因此，可以抑制输入到延迟时钟电路 16、19、22 的定时的偏差。此外，也可以将字线脉冲生成信号 PLSDLY 省略。

图 12 是表示在图 1 的 SRAM100 中采用了复制存储单元 32 时的工作的定时图。在图 1 中，复制存储单元阵列 36 行状配置有多个由与存储单元 8 相同的结构构成的复制存储单元 32。而且，对复制存储单元 32 的列设置复制位线对 RBL、RNBL。另外，复制存储单元延迟信号 MEMDLY，是指示在复制位线对 RBL、RNBL 上是否产生了预定的电位差的信号，此处假定当在复制位线对 RBL、RNBL 上产生了预定的电位差时为“H”。另外，延迟时钟电路 19 在延迟时钟控制电路 17 中的第二 P 型晶体管 18 的栅极上代替第一外部信号 TE 而接收复制存储单元延迟信号 MEMDLY。

按照图 1 的结构，可以由复制存储单元 32 反映存储单元 8 的偏差。因此，如图 12 所示，当存储单元 8 和复制存储单元 32 的电荷吸取快时，使延迟时钟电路 19 内的第二 P 型晶体管 18 截止的定时提前，因此由读出放大器使能信号 SAE 起动读出放大器 20 的定时也提前。另一方面，当存储单元 8 和复制存储单元 32 的电荷吸取慢时，使延迟时钟电路 19 内的第二 P 型晶体管 18 导通的期间延长、使其截止的定时延迟，因此也使由读出放大器使能信号 SAE 起动读出放大器 20 的定时延迟。

这样，无论存储单元 8 的标准偏差如何，都可以在充分地确保了位线对 BL、NBL 的微小电位差的状态下使读出放大器 20 起动，因此，能够使合格率提高。

图 13 是表示图 1 的 SRAM100 中的写入辅助电路 50 的概略结构例的图。在图 13 的结构中，为了不使供电电源 51 的电压下降得过低，使用 P 型晶体管吸取电荷。在图 1 中，写入辅助电路 50 对存储单元 8 的列进行设置，在写入辅助脉冲信号 PWPLS 输出脉冲的期间，使供电电源 51 的电位降低。写入辅助脉冲信号 PWPLS，由写入使能信号 WE 和作为从延迟时钟电路 16、19、22 输出的延迟时钟信号的写入脉冲生成信号 PWDLY 生成。写入脉冲生成信号 PWDLY 生成写入辅助脉冲信号 PWPLS 的脉冲沿。

图 14 是表示在图 1 的 SRAM100 中采用了写入辅助电路 50 时的

工作的定时图。如上所述，作为写入辅助电路 50 的输入信号的写入辅助脉冲信号 PWPLS，其脉冲沿由写入脉冲生成信号 PWDLY5 生成。此处，在写入最难于进行的工艺偏差、即 P 型晶体管的驱动能力大而 N 型晶体管的驱动能力小的情况下，延迟时钟电路 16、19、22 与现有技术的延迟电路 10 相比，能够使激活的定时延迟。因此，写入脉冲生成信号 PWDLY 的激活被延迟，所以使写入辅助脉冲信号 PWPLS 的脉冲宽度增大。由此，能够使作为写入辅助电路 50 的输出的供电电源 51 的电位降低，从而使写入易于进行。

图 15 是表示图 1 的 SRAM100 的布局的概略结构例的图。在图 15 中，16、19 是延迟时钟电路，30 是存储单元阵列，40 是行译码器阵列，70 是按列状排列多个读/写电路的读/写电路阵列，80 是信号控制电路。延迟时钟控制电路 14、17，配置在与存储单元阵列 30、行译码器阵列 40、读/写电路阵列 70 的距离比与延迟时钟电路 16、19 的距离长的位置。

如图 15 的结构所示，通过将延迟时钟控制电路 14、17 配置在信号控制电路 80 内，能够抑制布局面积的增大，并能确保对行译码器阵列 40 和读/写电路阵列 70 的布线资源。

图 16 和图 17 是表示图 3 和图 7 的延迟时钟电路 16a 的布局的概略结构例的图。在图 16 和图 17 中，如将栅电极的延伸方向定义为栅极宽度方向、将栅极宽度方向的垂直方向定义为栅极长度方向，则在延迟时钟电路 16a 中将第一反相器 12 的 P 型晶体管的源极和漏极与第二反相器 13 的 P 型晶体管的源极和漏极大致布局在一条直线上。另外，还将第二反相器 13 的 P 型晶体管的源极和漏极与延迟时钟控制电路 14、17 具有的第一 P 型晶体管 15 的源极和漏极大致布局在一条直线上。

如上所述，按照图 16 和图 17 的结构，扩散区域沿栅极长度方向被大致布局在一条直线上。由此，能够减低晶体管的特性偏差。因此，可以抑制从延迟时钟电路 16a 输出的信号的定时偏差。

图 18 是表示图 3 和图 7 的延迟时钟电路 16a 的布局的概略结构

例的图。在图 18 中，如将栅电极的延伸方向定义为栅极宽度方向、将栅极宽度方向的垂直方向定义为栅极长度方向，则在延迟时钟电路 16a 中将第一反相器 12 的 P 型晶体管的源极和漏极与第二反相器 13 的 P 型晶体管的源极和漏极大致布局在一条直线上。另外，还将第一反相器 12 的 P 型晶体管的源极和漏极与延迟时钟控制电路 14、17 具有的第一 P 型晶体管 15 的源极和漏极大致布局在一条直线上。

如上所述，按照图 18 的结构，扩散区域沿栅极长度方向被大致布局在一条直线上。由此，能够减低晶体管的特性偏差。因此，可以抑制从延迟时钟电路 16a 输出的信号的定时偏差。

此外，本发明并不限于上述的实施方式，在不脱离其主旨的范围内可以实施各种变更。例如，此处，用 SRAM 进行了说明，但在 DRAM 或其他的半导体存储装置中也可以变形和实施。

按照本发明，可以使半导体集成电路具有晶体管标准偏差容许度而不会导致电路面积的增大。因此，例如，作为包含读出放大器的半导体存储装置、特别是 SRAM，详细地说、作为微处理器用的高速缓冲存储器等是有用的。

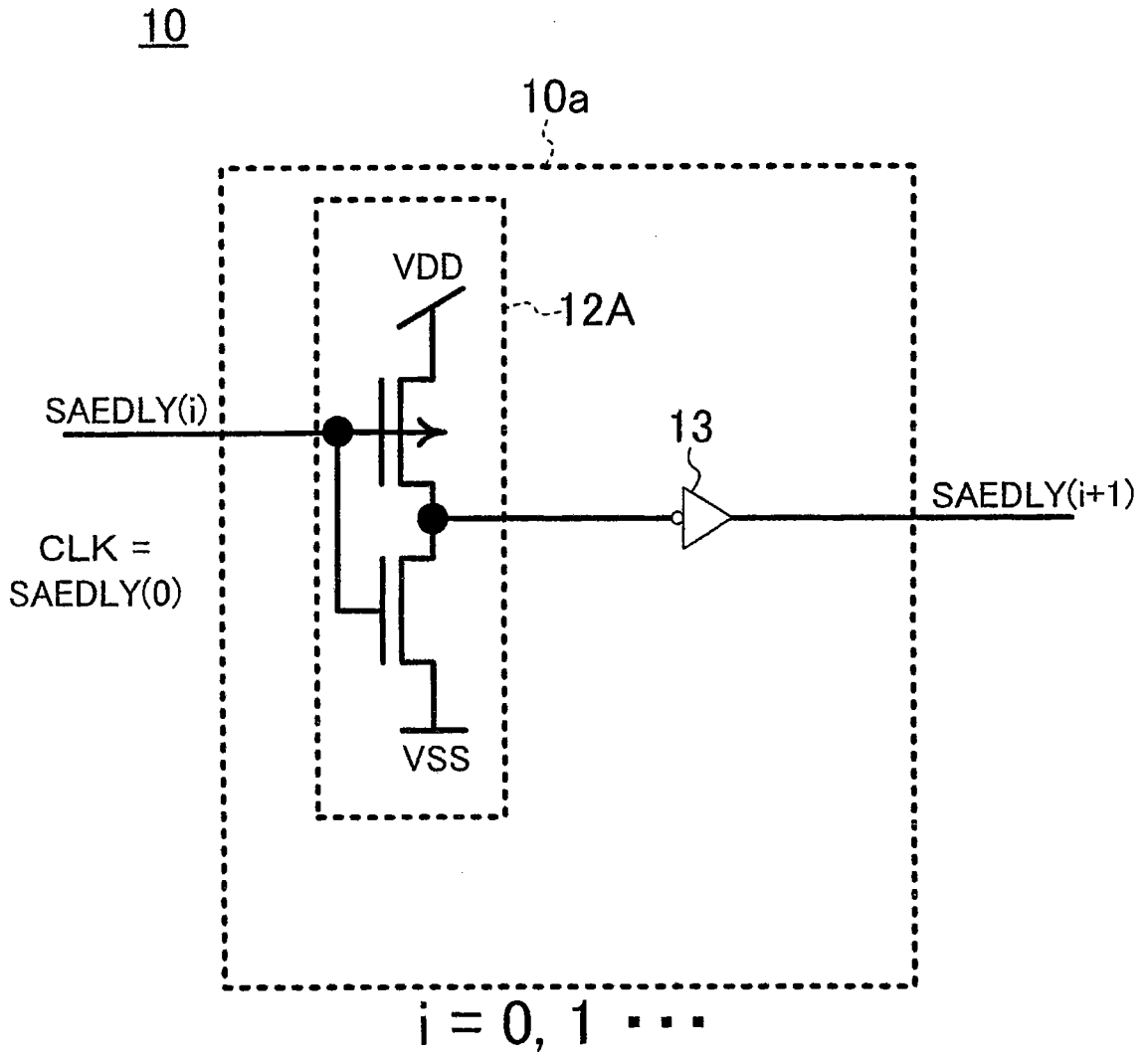


图 2

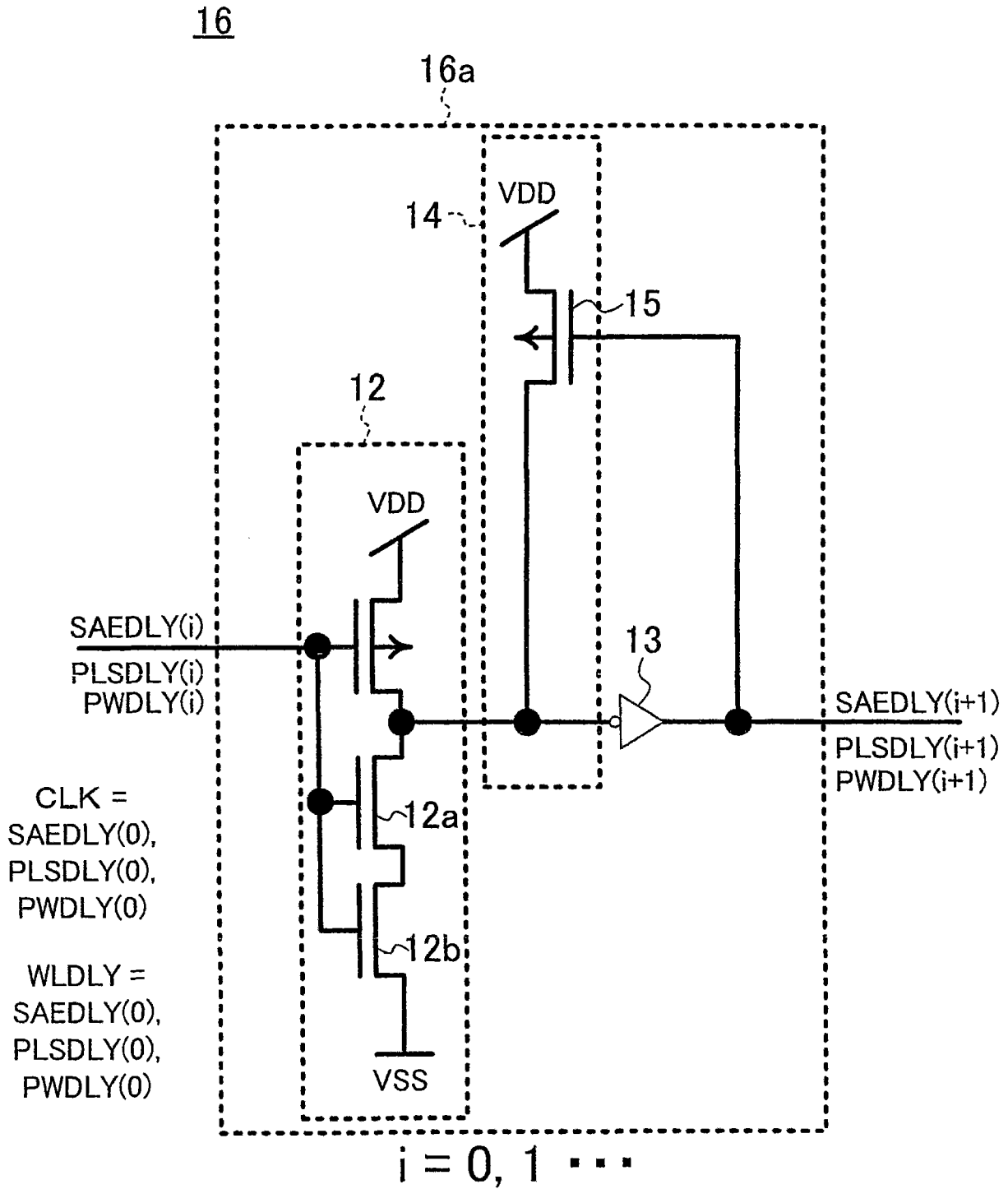


图 3

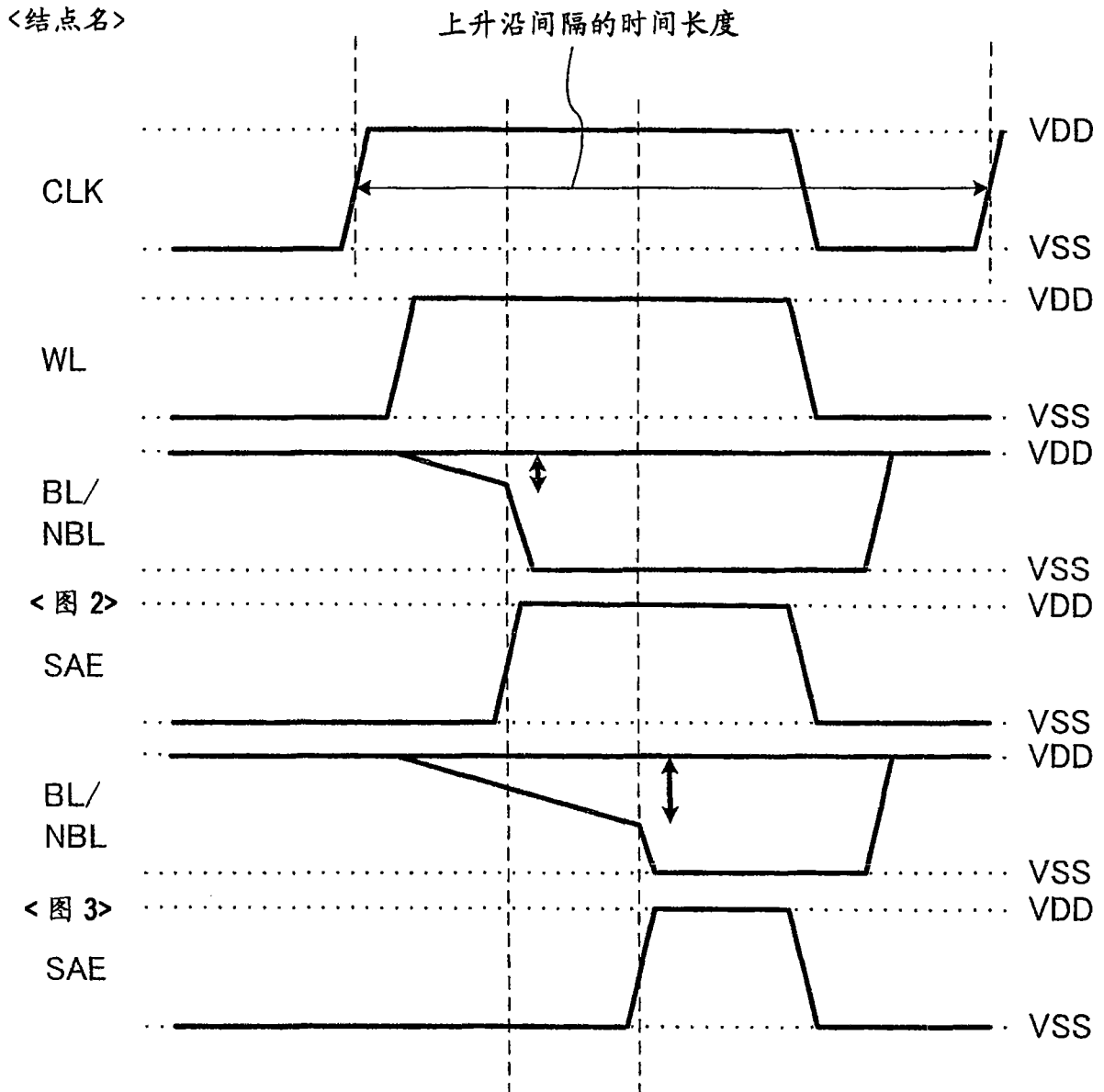


图 4

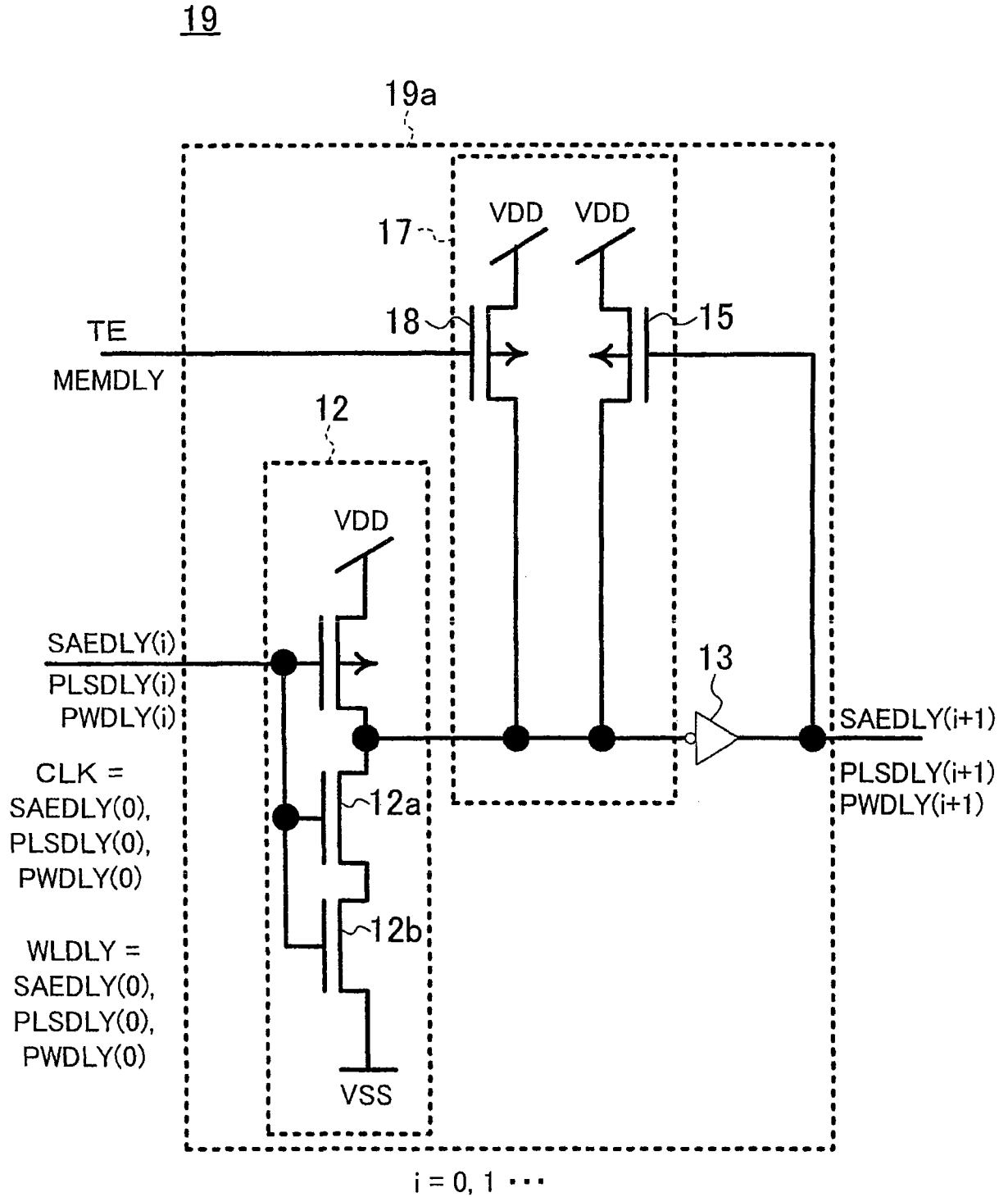


图 5

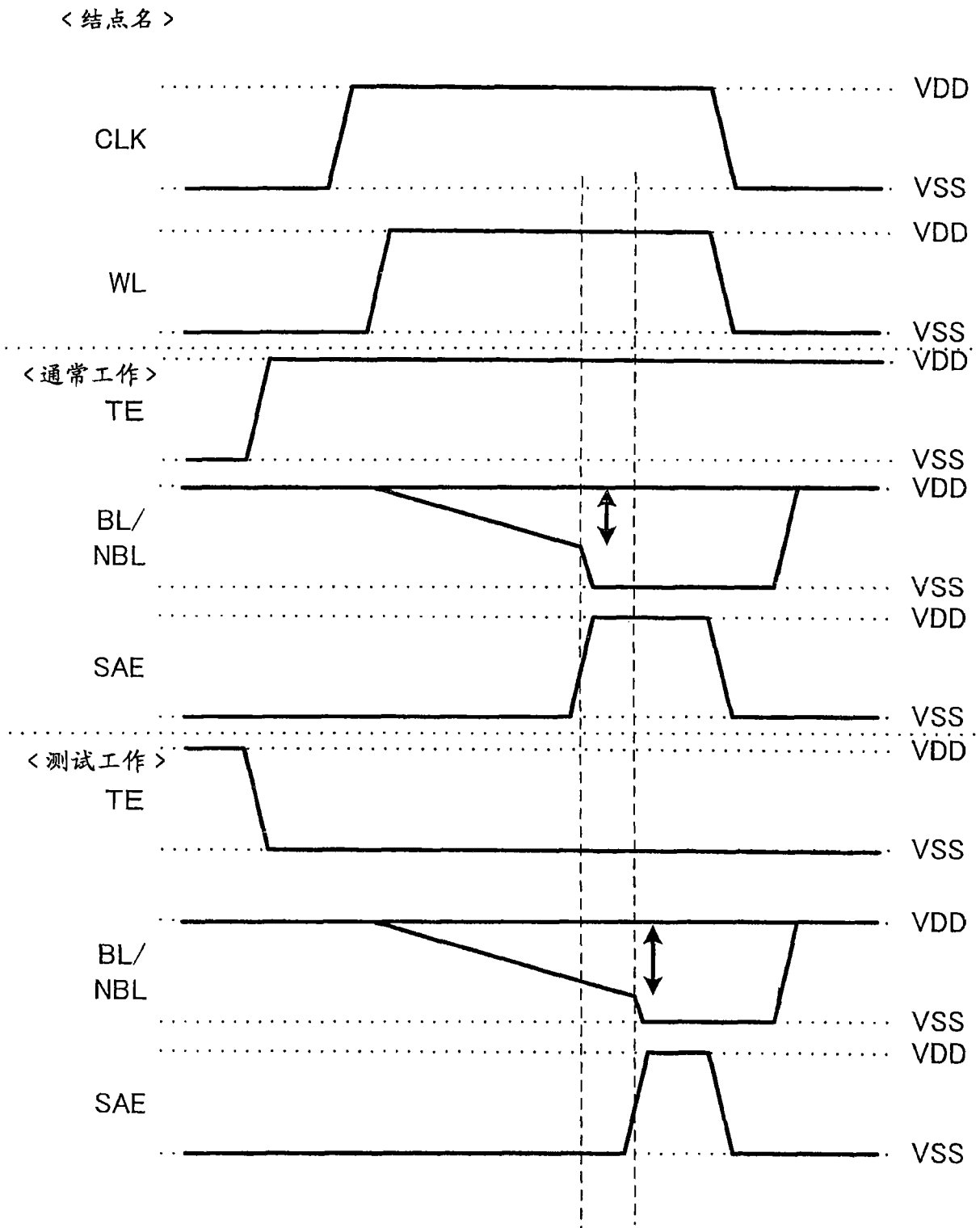


图 6

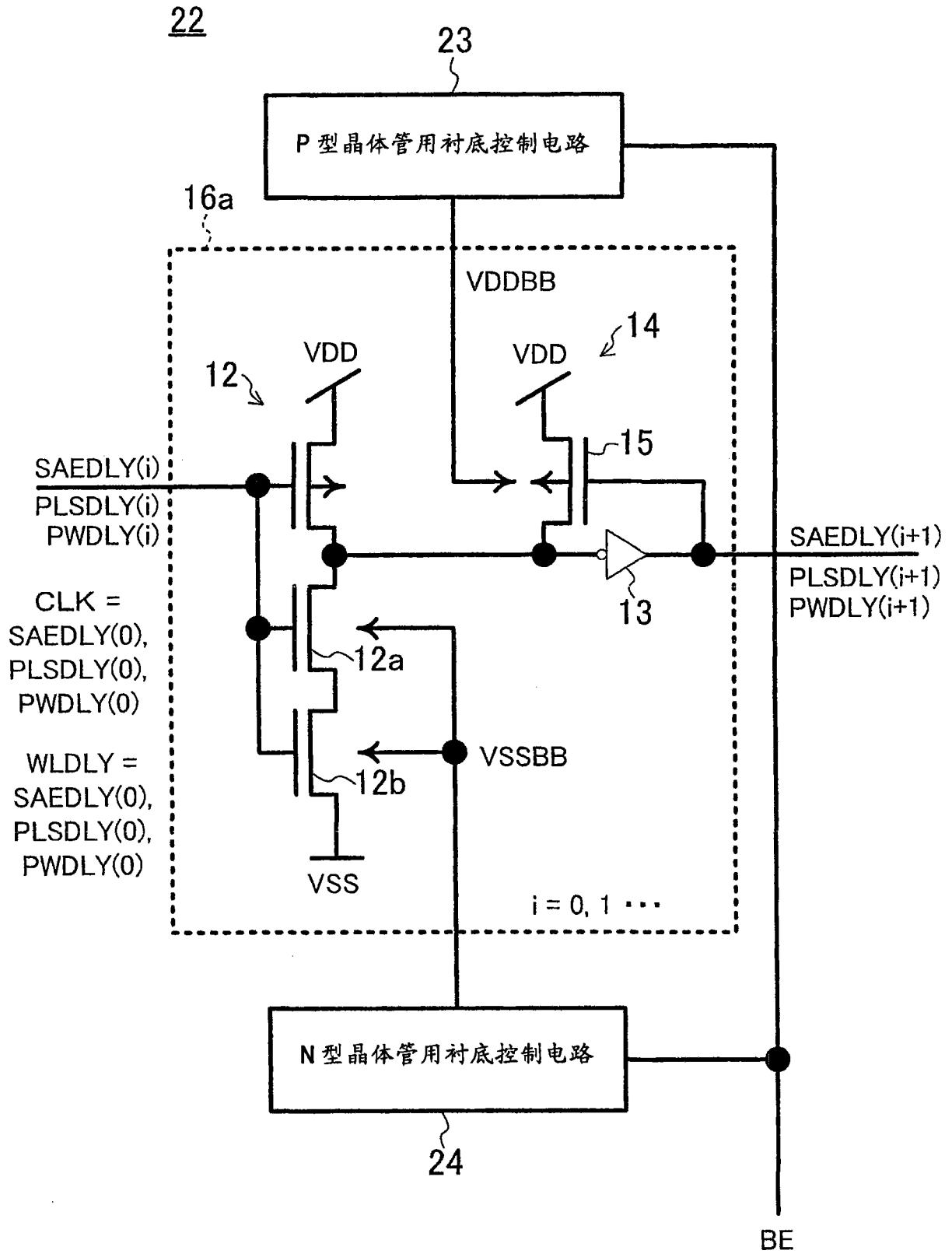


图 7

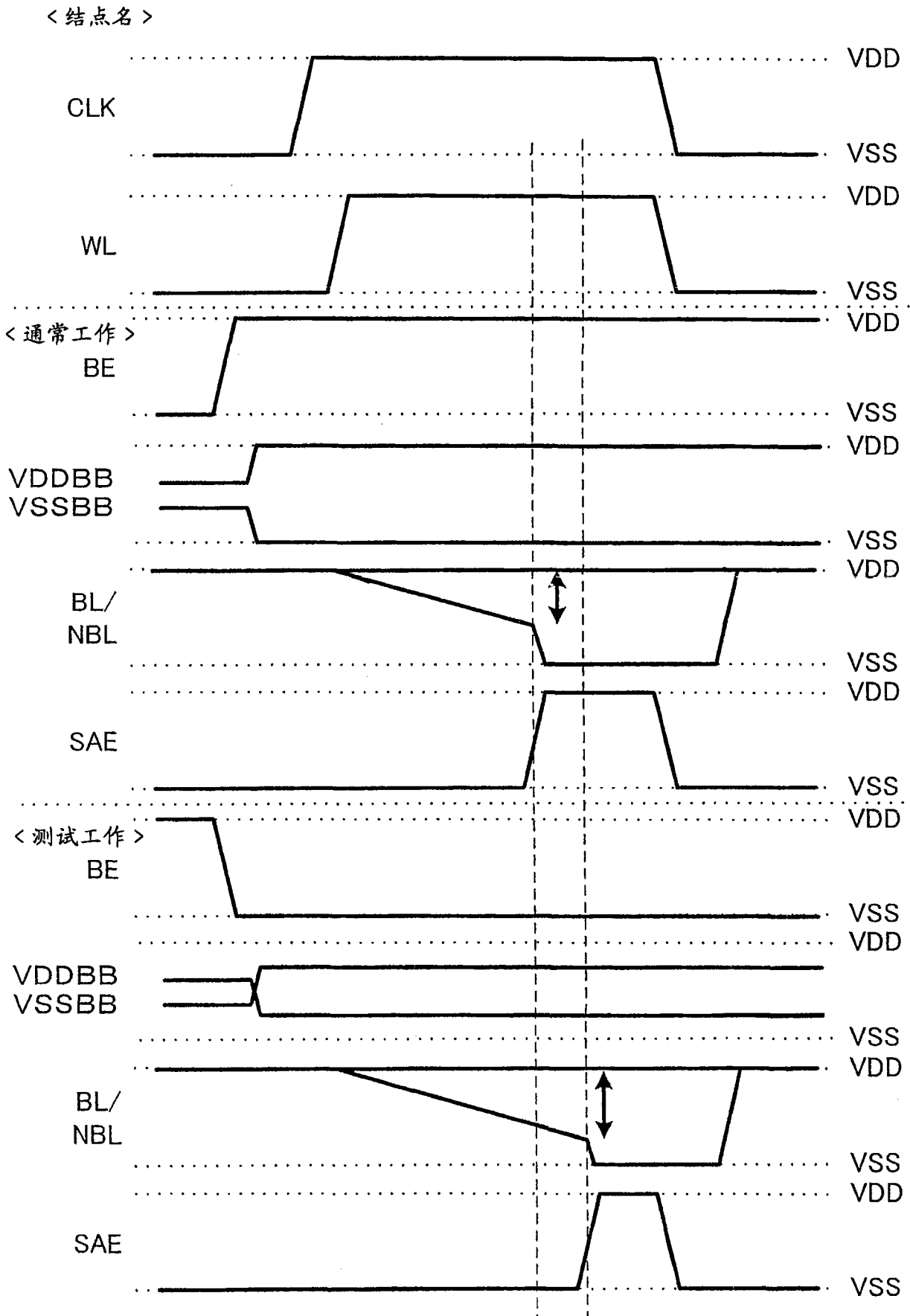


图 8

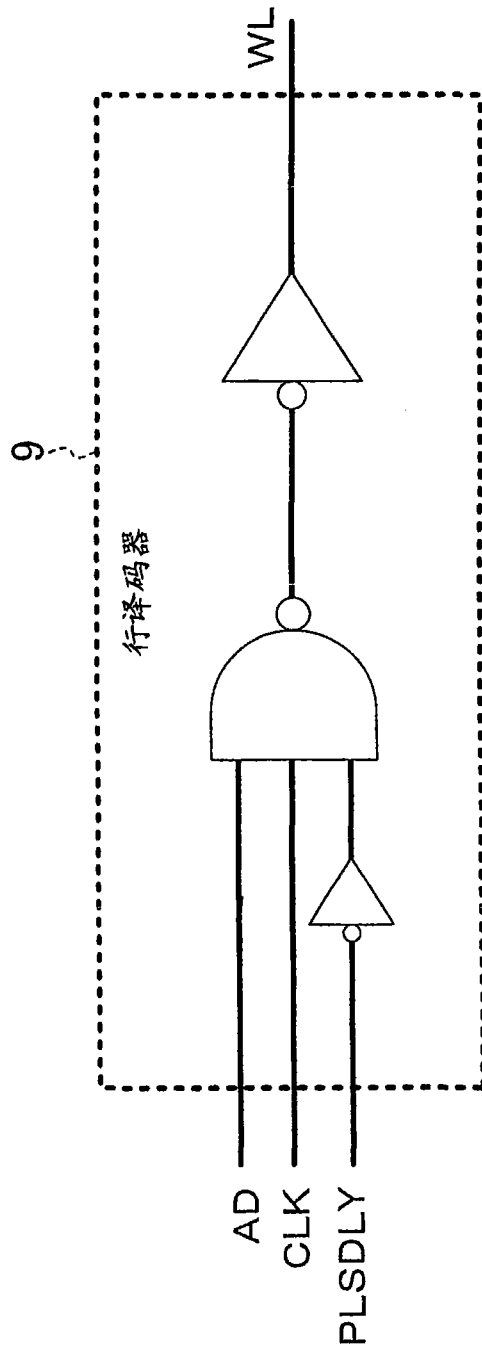


图 9

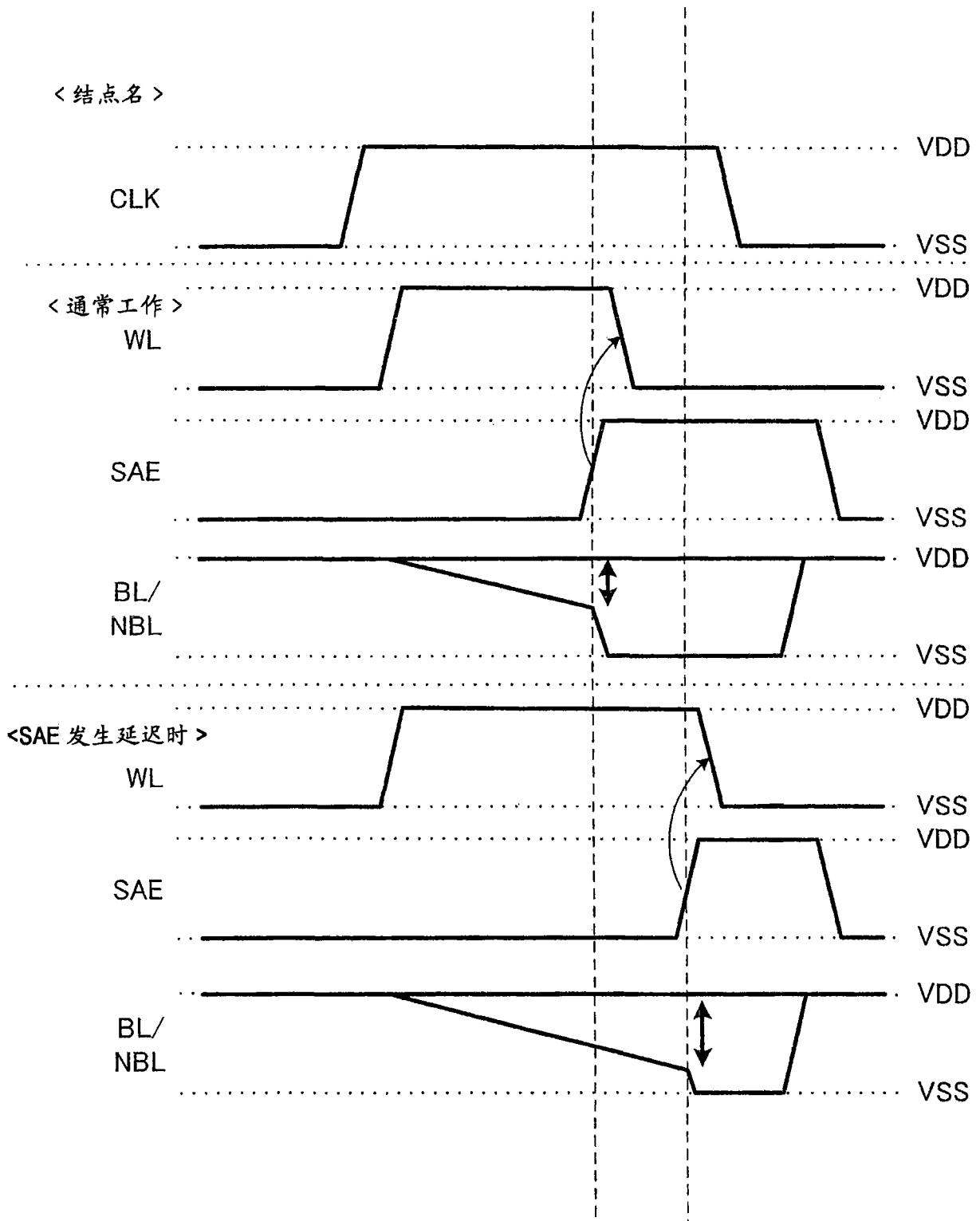


图 10

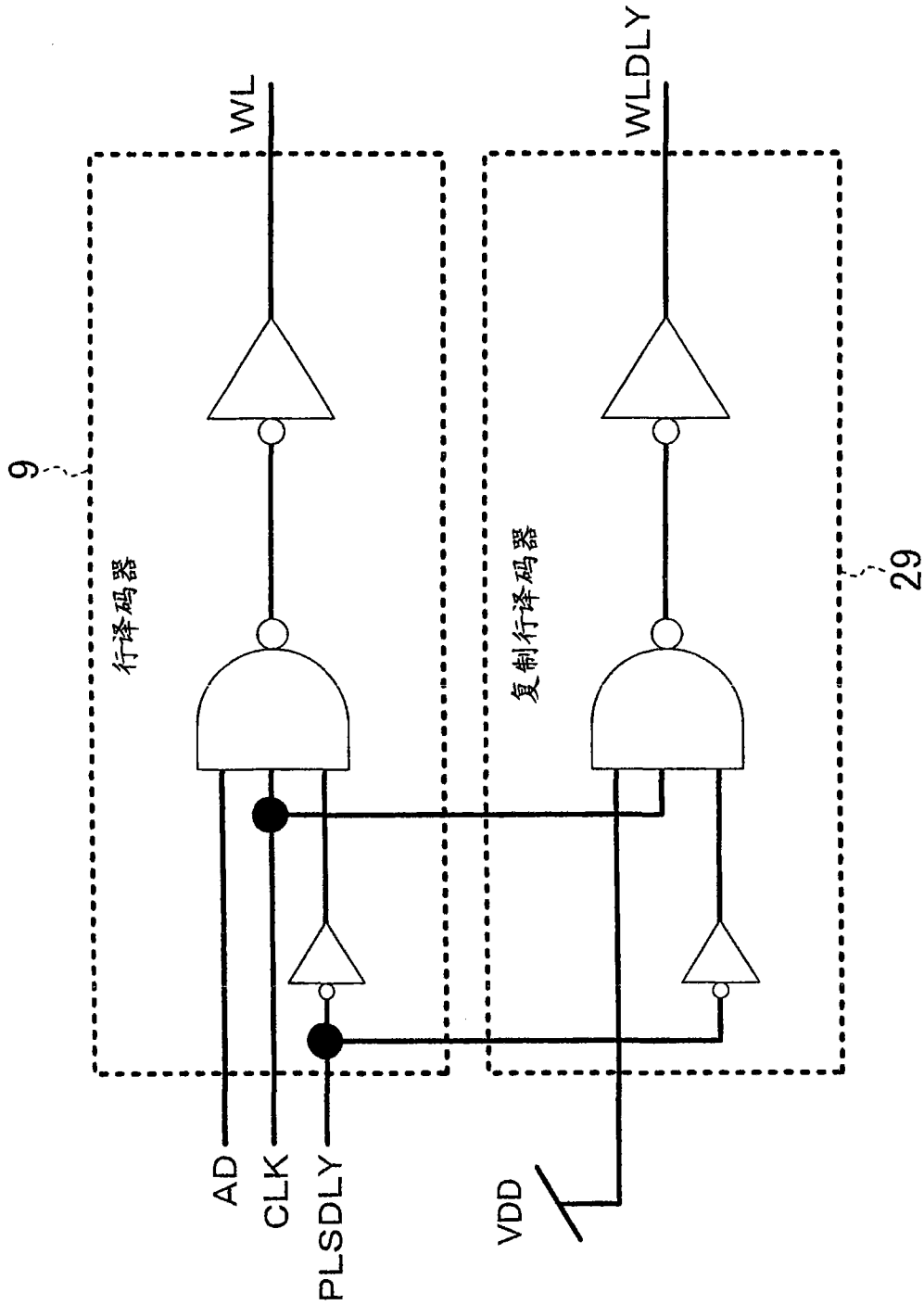


图 11

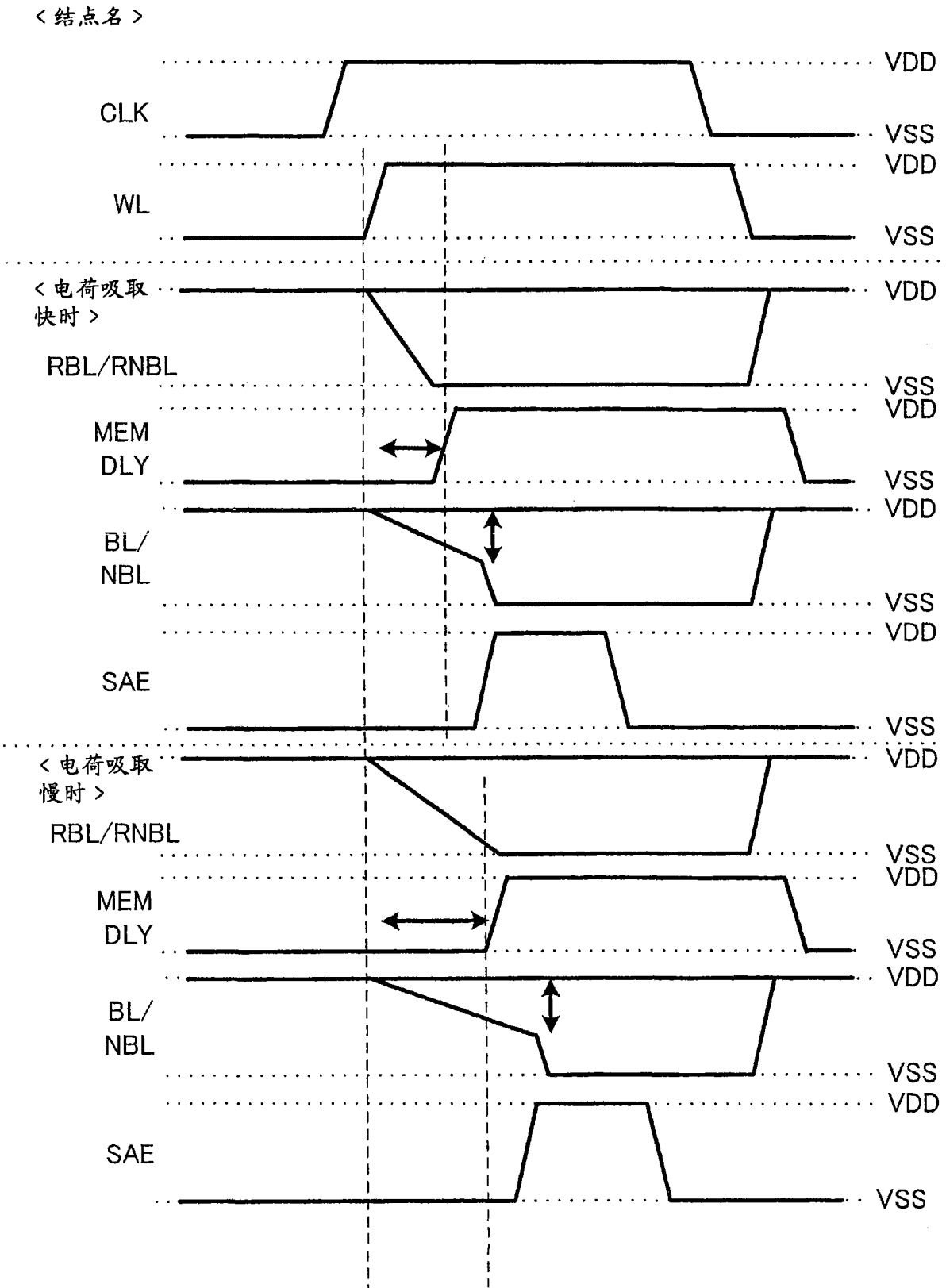


图 12

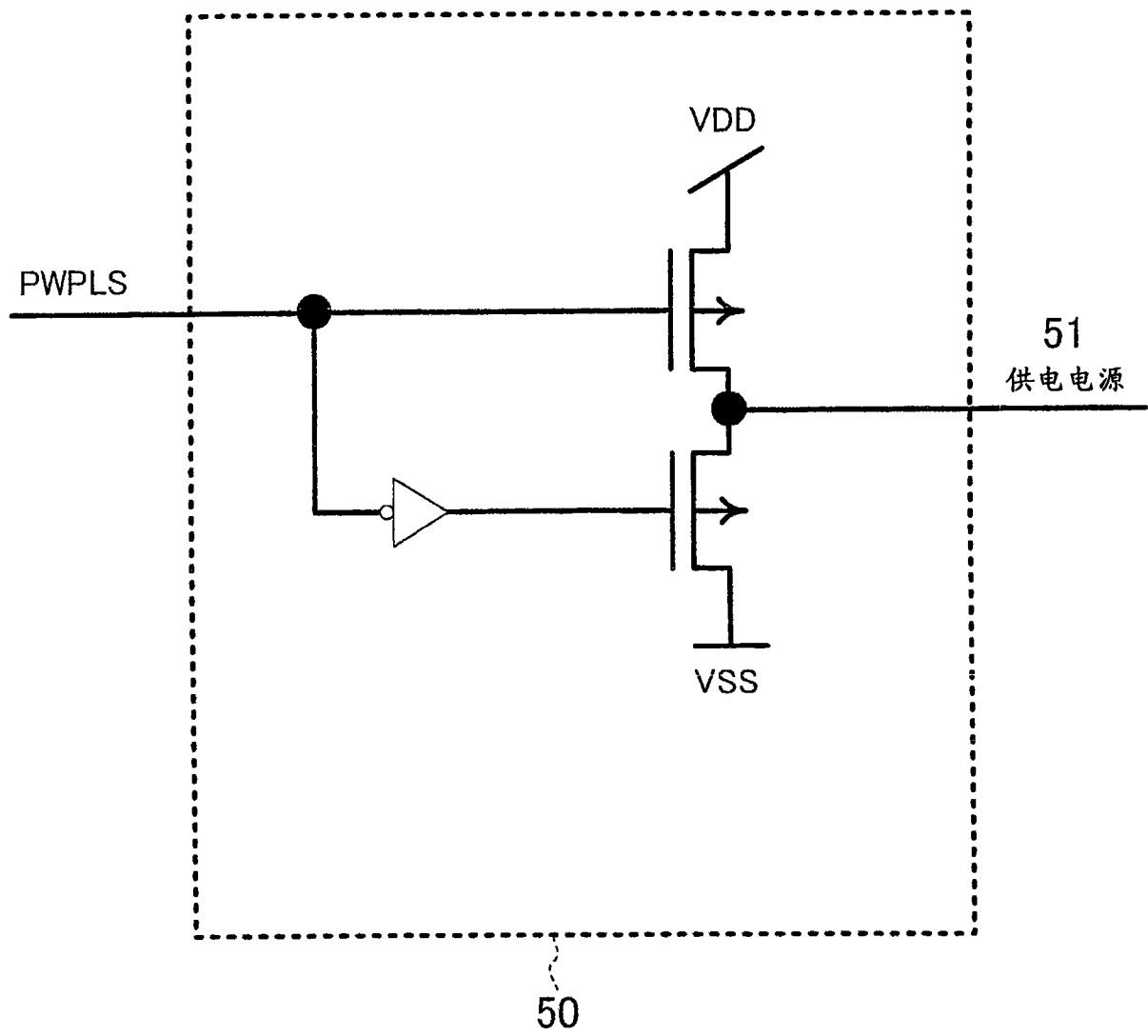


图 13

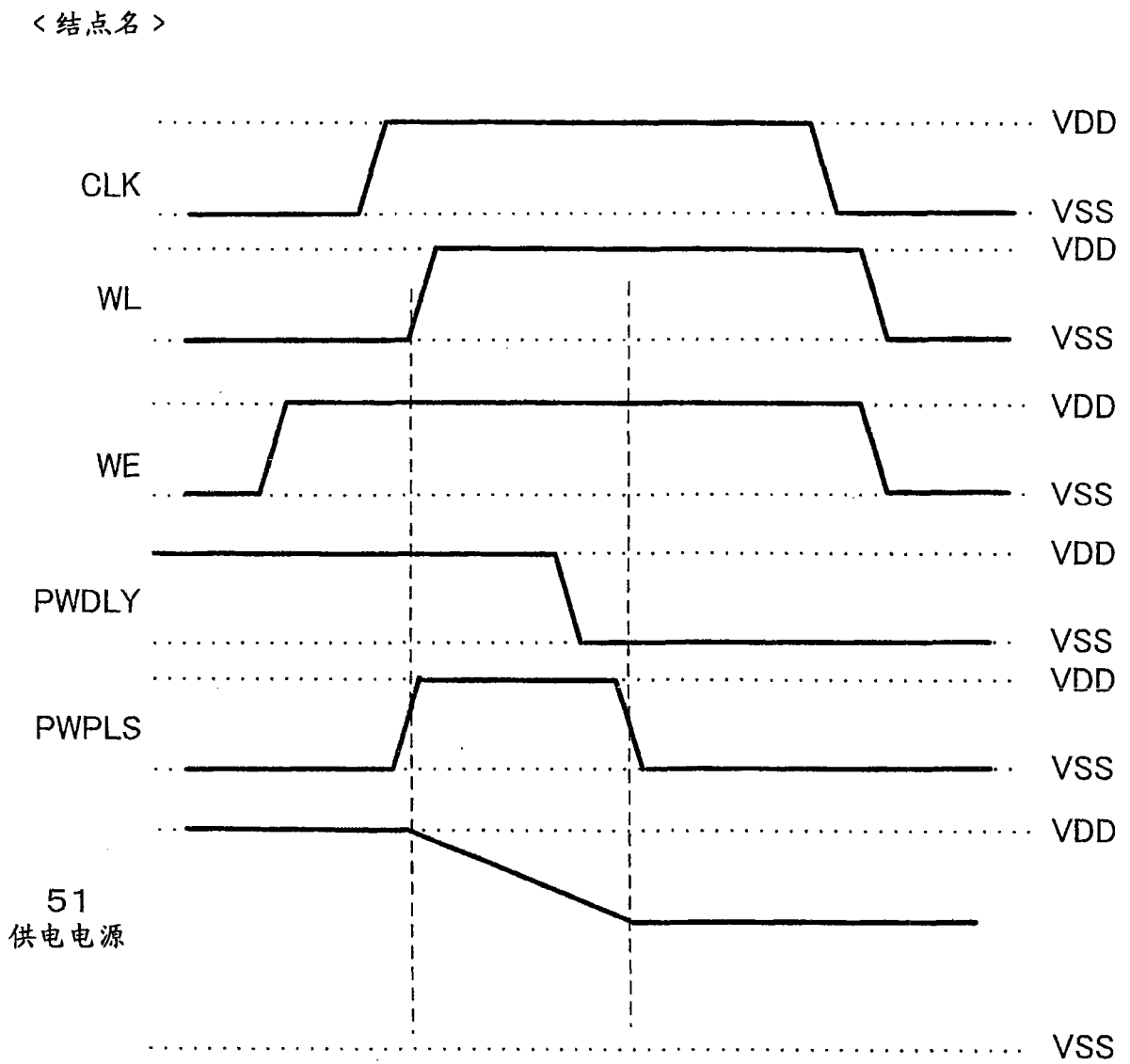


图 14

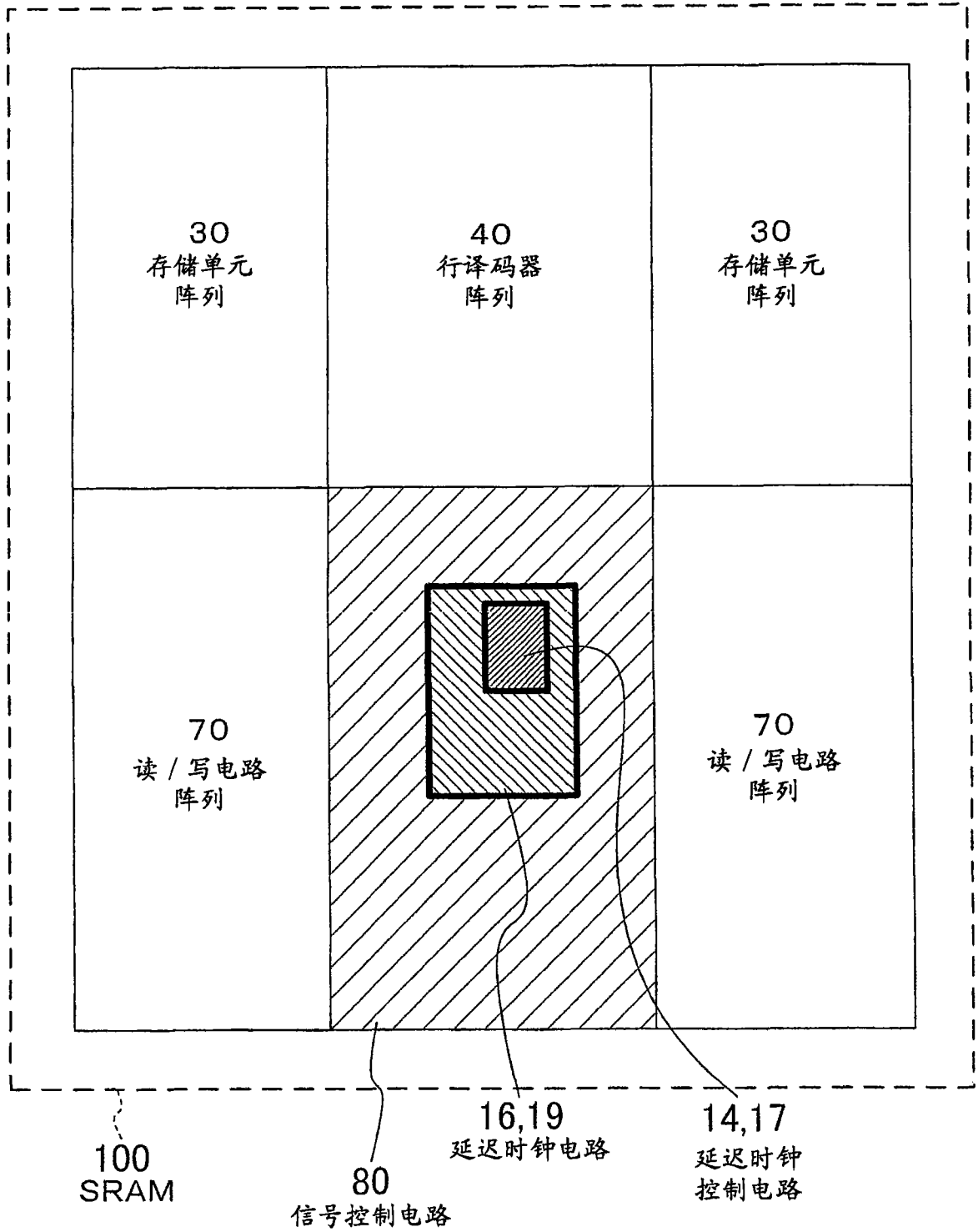


图 15

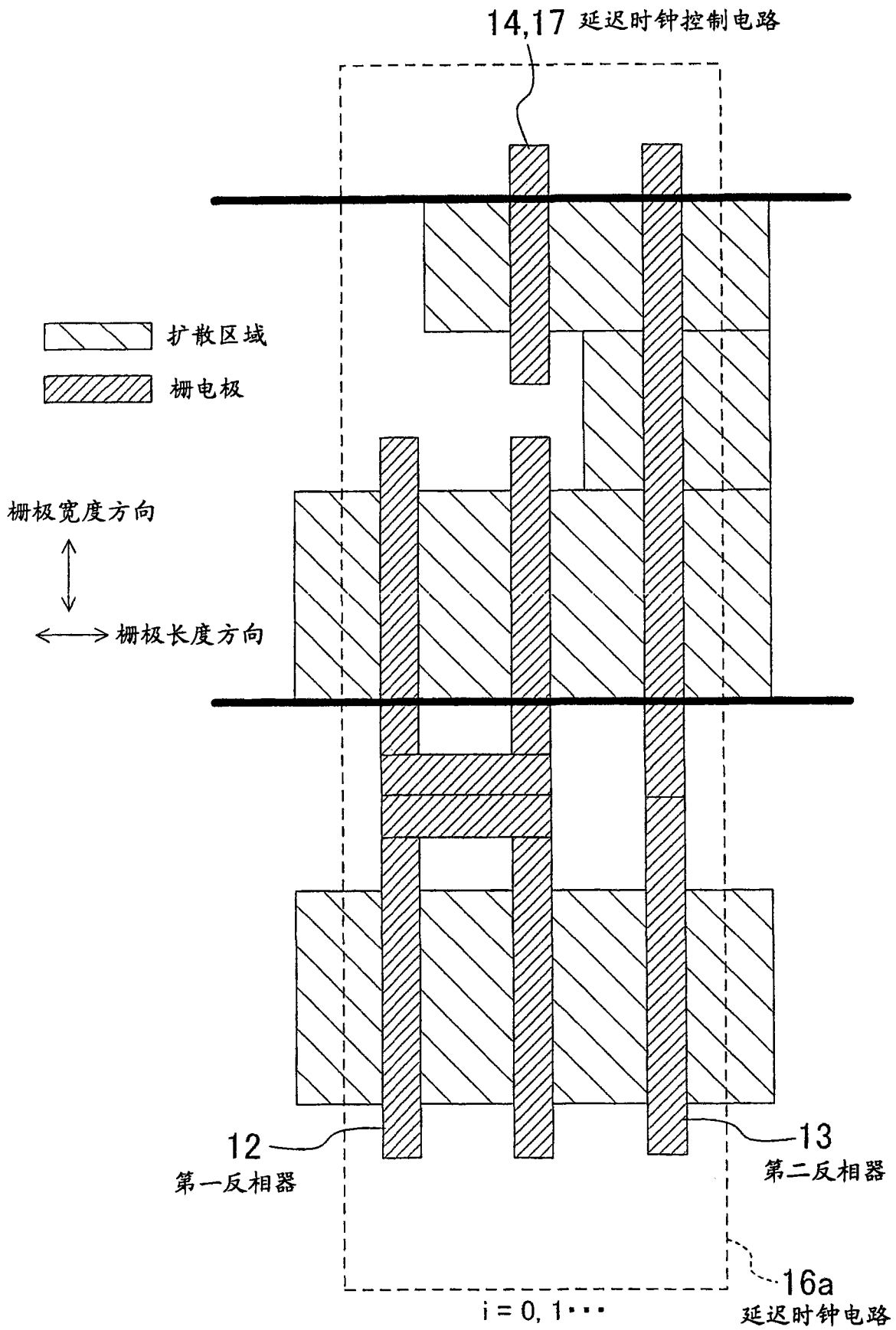


图 16

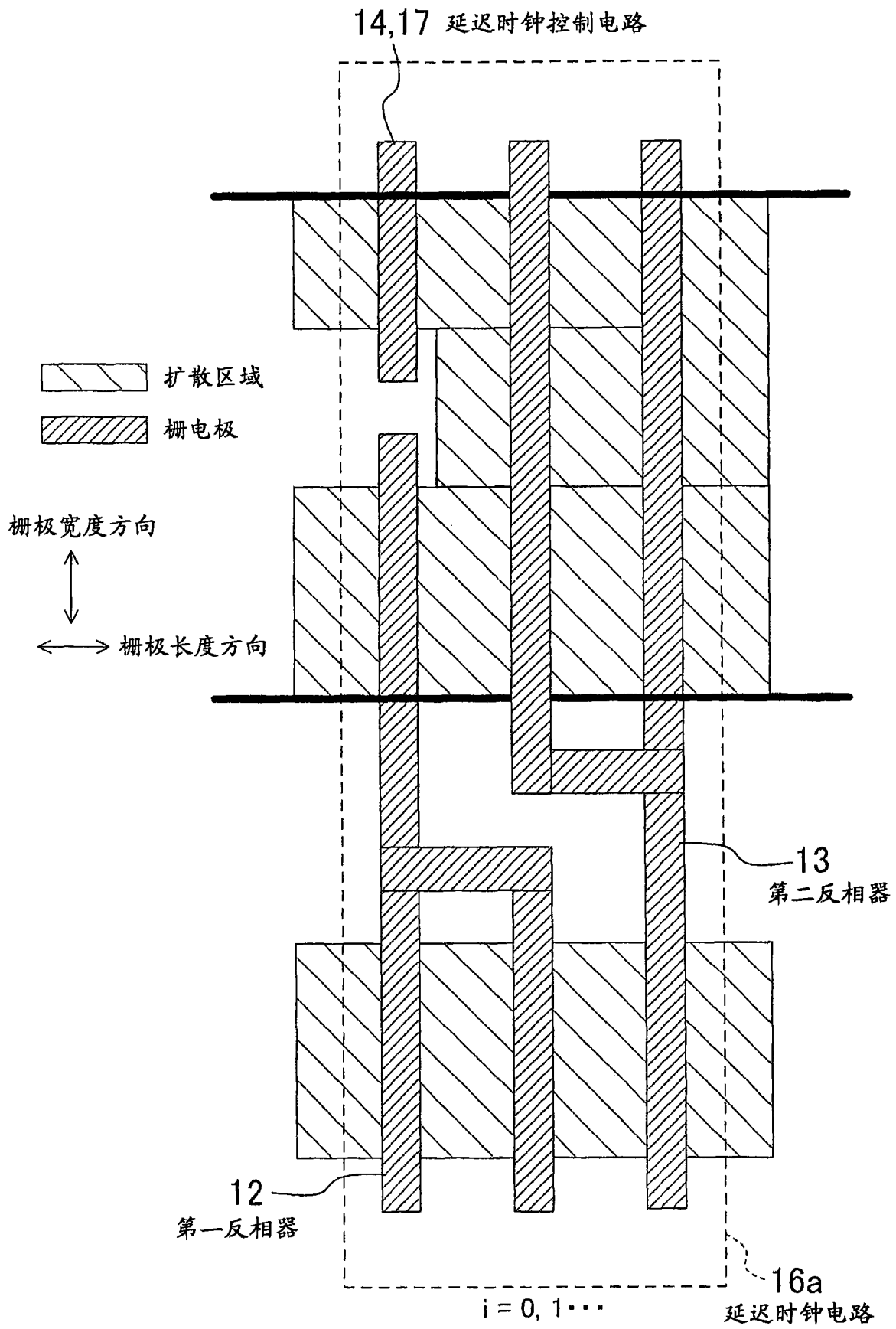


图 17

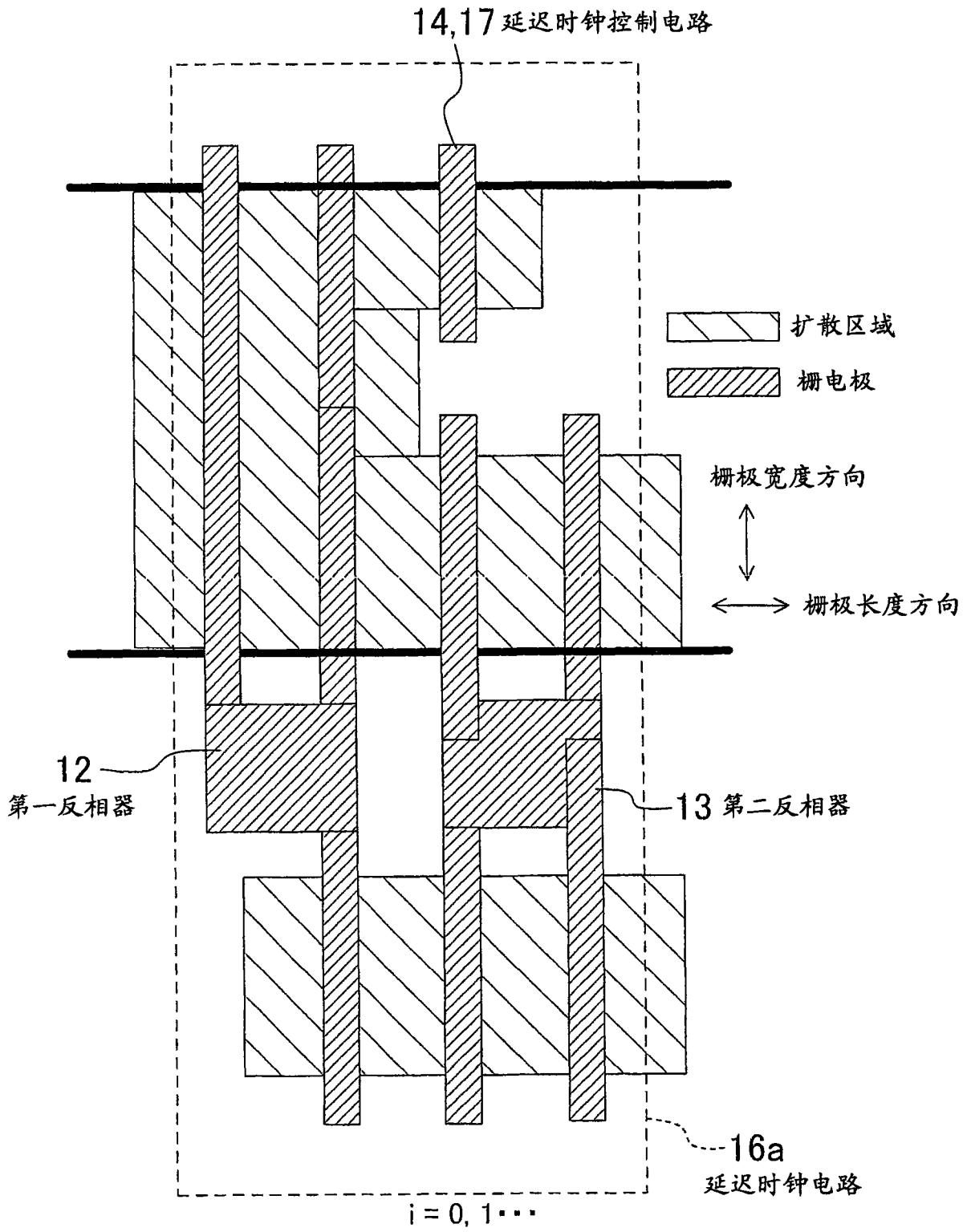


图 18