

1. 一种制造能够降低由制造过程中的静电放电行为所产生的电位的图像传感器阵列的方法,其中所产生的电位能够引发缺陷,该方法包括以下步骤:

(a) 提供绝缘基底;

(b) 在所述基底上形成至少一个像素,该像素包括至少制造了一部分的开关晶体管和至少制造了一部分的光电管,所述至少制造了一部分的开关晶体管具有栅电极、源电极和漏电极,所述至少制造了一部分的光电管具有上电极;

(c) 在所述至少制造了一部分的开关晶体管和所述至少制造了一部分的光电管上形成介电中间层;

(d) 在所述介电中间层上沉积第一导电层;

(e) 在所述第一导电层上形成过孔图案化的光刻层;

(f) 利用所述过孔图案化的光刻层蚀刻第一过孔和第二过孔,所述第一过孔和所述第二过孔位于所述第一导电层和所述介电中间层内并通过所述第一导电层和所述介电中间层,所述第一过孔和所述第二过孔具有由所述第一导电层和所述介电中间层的暴露部分形成的内壁,所述第一过孔暴露了所述漏电极的一部分,所述第二过孔暴露了所述上电极的一部分;

(g) 在所述第一导电层上、所述第一过孔和所述第二过孔的所述内壁上、以及所述漏电极和所述上电极的暴露部分上沉积第二导电层;以及

(h) 蚀刻除去部分所述第二导电层和部分所述第一导电层,以形成数据线以及偏压线,所述数据线提供与所述漏电极的电接触,所述偏压线提供与所述上电极的电接触;

(i) 由于沉积在所述介电中间层上的所述第一导电层的存在,所述图像传感器阵列的所述像素充分地防范了静电放电行为。

2. 根据权利要求1所述的制造图像传感器阵列的方法,其中,所述第一导电层由钛-钨形成。

3. 根据权利要求1所述的制造图像传感器阵列的方法,其中,沉积所述第一导电层的所述步骤(d)包括进行物理气相沉积过程。

4. 根据权利要求1所述的制造图像传感器阵列的方法,其中,沉积所述第二导电层的所述步骤(g)还包括:

在所述第一导电层上、所述第一过孔和所述第二过孔的所述内壁上、以及所述漏电极和所述上电极的暴露部分上沉积第一亚层;以及

在所述第一亚层上沉积第二亚层。

5. 根据权利要求4所述的制造图像传感器阵列的方法,其中:

所述第一导电层由钛-钨形成;

所述第一亚层由钛-钨形成;以及

所述第二亚层由铝形成。

6. 根据权利要求4所述的制造图像传感器阵列的方法,其中:

所述第一导电层由钼形成;

所述第一亚层由钼形成;以及

所述第二亚层由铝形成。

7. 根据权利要求4所述的制造图像传感器阵列的方法,其中,沉积所述第二导电层的

所述步骤(g)还包括：

在所述第二亚层上沉积第三亚层。

8. 根据权利要求7所述的制造图像传感器阵列的方法，其中：

所述第一导电层由钛-钨形成；

所述第一亚层由钛-钨形成；

所述第二亚层由铝形成；以及

所述第三亚层由钛-钨形成。

9. 根据权利要求1所述的制造图像传感器阵列的方法，其中，所述第一导电层是在所述步骤(f)和所述步骤(h)的所述蚀刻过程中能够被蚀刻的材料形成的。

10. 根据权利要求1所述的制造图像传感器阵列的方法，其中，在形成所述介电中间层之前，所述至少制造了一部分的开关晶体管和所述至少制造了一部分的光电管仅制造了一部分。

11. 根据权利要求1所述的制造图像传感器阵列的方法，

其中，蚀刻所述第一过孔和所述第二过孔的所述步骤(f)根据干蚀刻技术来进行；以及

其中，蚀刻除去部分所述第二导电层和部分所述第一导电层的所述步骤(h)根据湿蚀刻技术来进行。

12. 根据权利要求1所述的制造图像传感器阵列的方法，

其中，蚀刻所述第一过孔和所述第二过孔的所述步骤(f)根据湿蚀刻技术来进行；以及

其中，蚀刻除去部分所述第二导电层和部分所述第一导电层的所述步骤(h)根据干蚀刻技术来进行。

13. 根据权利要求1所述的制造图像传感器阵列的方法，其中，蚀刻除去部分所述第二导电层和部分所述第一导电层的所述步骤(h)没有完全除去所述介电中间层。

14. 根据权利要求1所述的制造图像传感器阵列的方法，其中，所述至少制造了一部分的开关晶体管为薄膜晶体管。

15. 一种制造能够降低由制造过程中的静电放电行为所产生的电位的图像传感器阵列的方法，其中所产生的电位能够引发缺陷，该方法包括以下步骤：

(a) 提供绝缘基底；

(b) 在所述基底上形成至少一个像素，所述像素包括开关装置和光电管，所述开关装置具有数据电极，所述光电管具有偏压电极；

(c) 在所述开关装置和所述光电管上形成介电中间层；

(d) 在所述介电中间层上形成第一导电层；

(e) 对所述第一导电层和所述介电中间层进行图案化和蚀刻，以产生第一过孔和第二过孔，所述第一过孔和所述第二过孔位于所述第一导电层和所述介电中间层内并通过所述第一导电层和所述介电中间层，所述第一过孔和所述第二过孔具有由所述第一导电层和所述介电中间层的暴露部分形成的内壁，所述第一过孔暴露了所述数据电极的一部分，所述第二过孔暴露了所述偏压电极的一部分；

(f) 在所述第一导电层上、所述第一过孔和所述第二过孔的所述内壁上、以及所述数据

电极和所述偏压电极的所述暴露部分上沉积第二导电层；以及

(g) 蚀刻除去部分所述第二导电层和部分所述第一导电层，以形成数据线以及偏压线，所述数据线提供与所述数据电极的电接触，所述偏压线提供与所述偏压电极的电接触；

(h) 由于沉积在所述介电中间层上的所述第一导电层的存在，所述图像传感器阵列的所述像素充分地防范了静电放电行为。

16. 根据权利要求 15 所述的制造图像传感器阵列的方法，其中，所述第一导电层由钛-钨形成。

17. 根据权利要求 15 所述的制造图像传感器阵列的方法，其中，所述第一导电层是使用在所述步骤(e)和所述步骤(g)的所述蚀刻过程中能够被蚀刻的材料形成的。

18. 根据权利要求 15 所述的制造图像传感器阵列的方法，其中，沉积所述第二导电层的所述步骤(f)还包括：

在所述第一导电层上、所述第一过孔和所述第二过孔的所述内壁上、以及所述漏电极和所述上电极的暴露部分上沉积第一亚层；以及

在所述第一亚层上沉积第二亚层。

19. 根据权利要求 18 所述的制造图像传感器阵列的方法，其中：

所述第一导电层由钛-钨形成；

所述第一亚层由钛-钨形成；以及

所述第二亚层由铝形成。

20. 根据权利要求 15 所述的制造图像传感器阵列的方法，其中，蚀刻除去部分所述第二导电层和部分所述第一导电层的所述步骤(g)没有完全除去所述介电中间层。

21. 根据权利要求 15 所述的制造图像传感器阵列的方法，其中，所述开关装置为薄膜晶体管。

22. 一种制造能够降低由制造过程中的静电放电(ESD)行为所产生的电位的装置的方法，其中该电位能够引发缺陷，该方法包括：

(a) 在基底上形成至少一个像素，所述像素包括开关晶体管和光电管，所述开关晶体管具有漏电极，以及所述光电管具有上电极；

(b) 在所述像素上形成介电中间层；

(c) 在所述介电中间层上形成第一导电层；

(d) 对所述第一导电层和所述介电中间层进行图案化，以形成连接到所述电极中的至少一者的过孔，其中沉积在所述介电中间层上的所述第一导电层防止 ESD。

23. 根据权利要求 22 所述的方法，该方法还包括：

(e) 在形成所述过孔之后，移除所述第一导电层。

24. 根据权利要求 22 所述的方法，该方法还包括：

(f) 移除所述第一导电层的第一部分，但在所述过孔的附近保留所述第一导电层的第二部分。

25. 根据权利要求 22 所述的方法，其中所述基底包括绝缘基底。

26. 根据权利要求 22 所述的方法，其中所述开关晶体管还包括栅电极和源电极。

27. 根据权利要求 22 所述的方法，其中形成所述介电中间层包括沉积所述介电中间层。

28. 根据权利要求 22 所述的方法,其中形成所述第一导电层包括沉积所述第一导电层。

29. 根据权利要求 22 所述的方法,其中对所述第一导电层和所述介电中间层进行图案化以形成过孔包括:

在所述第一导电层上形成过孔图案化的光刻层;以及

利用所述过孔图案化的光刻层蚀刻所述过孔,所述过孔位于所述第一导电层和所述介电中间层内并贯穿所述第一导电层和所述介电中间层。

30. 根据权利要求 22 所述的方法,该方法还包括:

在所述第一导电层和所述过孔上沉积第二导电层。

31. 根据权利要求 22 所述的方法,该方法还包括:

蚀刻除去所述第二导电层的一部分和所述第一导电层的一部分,以形成数据线和偏压线,其中所述数据线提供与所述漏电极的电接触,所述偏压线提供与所述上电极的电接触。

32. 一种具有减少的由制造过程中的静电放电行为所引起的潜在缺陷的图像传感器阵列,该图像传感器阵列包括:

基底;

布置在所述基底上的至少一个像素,所述像素包括开关晶体管和光电管,所述开关晶体管具有漏电极,以及所述光电管具有上电极;

布置在所述开关晶体管和所述光电管上的介电中间层;以及

布置在所述介电中间层上的数据线,所述数据线连接到贯穿所述介电中间层的过孔,以便与所述漏电极接触,

其中布置在所述介电中间层上的所述数据线的一部分包括直接布置在第一导电层上的第二导电层,

其中,所述第二导电层的一部分在贯穿所述介电中间层与所述漏电极接触的所述过孔内形成,并且所述过孔的一部分不包括所述第一导电层,以及

从而,通过沉积在所述介电中间层上的所述第一导电层的存在,充分地保护所述图像传感器阵列的像素不受在所述介电中间层和第一导电层中的所述过孔的形成过程中的静电放电行为的影响。

33. 根据权利要求 32 所述的图像传感器阵列,其中所述第一导电层是由钛-钨形成的。

34. 根据权利要求 32 所述的图像传感器阵列,其中所述第二导电层还包括在第一亚层之上的第二亚层。

35. 根据权利要求 34 所述的图像传感器阵列,其中所述第一亚层与所述第一导电层具有相同的材料。

36. 根据权利要求 32 所述的图像传感器阵列,其中所述开关晶体管是薄膜晶体管。

用于薄膜晶体管图像传感器阵列的减少 ESD 诱导的伪影的设计

技术领域

[0001] 本发明主要涉及用于在制造图像传感器阵列 (image sensor arrays) 的过程中降低由静电放电 (“ESD”) 所产生的并引发损伤的电位的技术。更具体地, 本发明涉及制造能够降低由制造过程中的静电放电行为所产生的电位的图像传感器阵列的方法, 其中所产生的电位能够引发缺陷。

背景技术

[0002] 图 1 显示的电路示意图说明了典型的图像传感器阵列 10。所述阵列 10 在基底 12 上形成, 并且包括活性区域 14, 该活性区域 14 具有以行和列排列的像素 (pixels) 16 的二维阵列。各个像素 16 在所述基底 12 上制造, 所述基底 12 可以由半导体基底或玻璃基底形成 (定位于该图的平面内)。尽管图 1 仅显示了 4 个像素 16, 但是可以理解的是, 所述阵列 10 可以包括任意数量的像素。各个像素 16 与多条栅极线 18 (gate line) 中相应的一条相连接, 并与多条数据线 20 (data line) 中相应的一条相连接。各个像素 16 包括: 开关装置 (switching device) 22; 和光电管 (photo-sensitive cell) 24, 该光电管 24 具有与多条偏压线 28 (voltage bias line) 中相应的一条相连接的第一端子, 以接收偏压信号 VBIAS。所述开关装置 22 可以为二极管、晶体管或任意其它开关装置。在图示的实例中, 所述开关装置 22 为开关晶体管 (switching transistor), 包括: 与栅极线 18 中相应的一个相连接的栅极 (gate) 30; 与该像素中的相应的光电管 24 的第二端子相连接的源 32 (source); 以及与数据线 20 中相应的一条相连接的漏极 (drain) 34。为特定应用, 所述开关晶体管 22 可以为非晶硅 (“a-Si”) 薄膜晶体管 (“TFT”)。在与所述开关晶体管 22 的栅极 30 相连接的相应的栅极线 18 的控制下, 各个像素内的所述开关晶体管 22 用于开启和关闭像素 16。

[0003] 在操作过程中, 所述光电管 24 将辐射 (例如: 光或 X 射线) 转换为可以储存的电荷, 并最终转换为通过所述数据线 20 中相应的一条来传输的电信号。所述开关晶体管 22 控制由各个光电管 24 读出的电荷。通常, 所述光电管 24 为光电二极管 (photo-diode)。

[0004] 已经观察到多数普通的开关晶体管 22 (包括非晶硅薄膜晶体管开关 (a-SiTFT)) 对静电放电 (“ESD”) 敏感。ESD 行为通常在图像传感器阵列的制造和后期组装过程中出现。因此, 在图像传感器阵列的制造中, 为了实现成品率 (yield) 和健壮性 (robustness), 需要进行 ESD 防护。

[0005] 在绝缘基底 12 上形成的图像传感器阵列 10 的制造中, ESD 诱导的伪影 (artifacts) 是重要的质量指标。由向图像传感器阵列表面的局部放电所引起的所述开关晶体管 22 的阈值电压 (threshold voltage) 的微小变化, 会在电荷图像 (charge image) 内产生明显的伪影, 该电荷图像是在由这些开关晶体管选址的像素 16 阵列被读出时产生的。现有技术集中于通过围绕阵列的防护环 (guard ring) 来保护该阵列 10 以及保护所述栅极线 18, 例如: 短路棒 (shorting bar)、背对背 (back-to-back) 的 TFT 和与各阵列的外围相连接的其它防护二极管结构。例如, 见于 2006 年 5 月 4 日公开的美国专利申请

No. 11/019739。在图像传感器阵列 10 的制造和组装过程中,这些方法提供防护,使所述栅极线 18 免于充电。然而,如下所述,在形成数据线 20 和偏压线 28 之前,在制造阶段期间,这些系统和方法不能为图像传感器阵列提供足够的 ESD 防护。

[0006] ESD 行为可能在图像传感器阵列 20 的不同的制造阶段出现。在图像传感器阵列的制造过程中,已经证实不足以防止 ESD 行为的一个时刻是将所述介电中间层光刻图案化成为过孔 (via) 接触孔时。该过程的这一时刻引起特别的易损性 (vulnerability),这对于本领域的普通技术人员而言不是显而易见的。当为活性基质液晶显示器 (“AMLCD”) 形成开关晶体管时,制造过程通常包括:栅电极 (gate electrode) 的沉积和形成;沉积形成栅介质 (gatedielectric) 的化学气相沉积 (“CVD”) 层 (例如:氮化硅)、半导体层 (例如:非晶硅 (“a-Si”)) 和蚀刻阻挡层 (stopper) (通常为氮化硅) 或掺杂接触 (通常为 n+a-Si) 层;以及沉积上部金属,以形成数据线 and 偏压线。以这个顺序,当将所述 a-Si 和 n+ 层图案化为单个的岛,并与所述上部金属互相连通之前,所述开关晶体管易被局部 ESD 所损伤。

[0007] 在图像传感器阵列使用 TFT 作为开关晶体管的情况下,添加额外的厚的层间介质来隔开数据线 20 和下层的栅极线 18,以使电容最小化。典型的过程包括:栅极金属 (gate metal) 的沉积和蚀刻,沉积 CVD 层以形成开关晶体管 (例如:TFT),在蚀刻阻挡层内形成岛图案 (使所述 a-Si 连续),以及随后沉积序列为掺杂的 n+a-Si 层、铬 (“Cr”) 层、n+ 掺杂的本征 -p+ 掺杂 (“nip”) 层序列、和氧化铟锡 (“ITO”) 透明导电层。在此过程的这部分中,所述 a-Si 被 n+ 和 Cr 所分流,而所述上表面被 ITO 所分流,使得该极板 (plate) 对 ESD 不敏感。一旦形成光电管并形成源电极 (source electrode) 和漏电极 (drain electrode),所述开关晶体管即成为绝缘的并易于被 ESD 所损上。此时,沉积厚的层间介质 (例如:氮氧化硅) 并图案化形成过孔 (via)。然后沉积上部金属层并形成数据线 20 和偏压线 28,且随后沉积并形成氮氧化硅的上部钝化层。

[0008] 图 2 显示了制造了一部分的图像传感器阵列结构 40 的像素 38 的截面图,该图像传感器阵列结构 40 存在于上述制造阶段中的一个阶段,该阶段被证实不足以防范 ESD 行为。所述制造了一部分的图像传感器阵列 40 的像素 38 包括:在基底 12 上形成的至少制造了一部分的开关晶体管结构 42;在所述基底 12 上形成的至少制造了一部分的光电管结构 44;以及在所述结构 42 和 44 上形成的介电中间层 (dielectric interlayer) 46。图 2 中示出的制造阶段在对所述介电中间层 46 进行光刻图案化 (photolithographic patterning) 和蚀刻以形成过孔接触孔之前,所述过孔接触孔用于连接数据线和偏压线。在图 2 示出的阶段中,所述像素 38 是彼此电绝缘的,因为还没有形成数据线 20 和偏压线 28。如下所述,当图像传感器阵列 40 处于图 2 示出的制造了一部分的状态时,该图像传感器 40 对 ESD 损伤特别敏感。

[0009] 本领域的普通技术人员可以理解的是,所述开关晶体管结构 42 和所述光电管结构 44 可以通过多种不同的现有技术的方法来形成。举例来说,所述开关晶体管结构 42 可以包括:在基底 12 上形成的栅电极 50 (例如:含有钛-钨 (“Ti-W”、Ta 或 Mo) 的金属栅极);在所述栅电极 50 和所述基底 12 上形成的栅极介质 52 (例如:氮化硅层);在所述栅极介质 52 和所述栅电极 50 上形成的非晶硅 (“a-Si”) 层;在所述非晶硅层 54 上形成的蚀刻阻挡层 56 (例如:氮化硅层或 n- 掺杂的非晶硅层);邻近所述蚀刻阻挡层 56 和非晶硅 54,在所述栅介质 52 上形成的源电极 58 (例如:n+a-Si 层或覆盖有接触金属 (如铬) 的微晶硅);

以及邻近所述蚀刻阻挡层 56 和非晶硅 54, 在所述栅极介质 52 上形成的漏电极 60 (例如: n+a-Si 层或覆盖有接触金属 (如铬) 的微晶硅)。本领域普通技术人员可以理解的是, 开关晶体管结构 42 可以通过多种不同的技术来形成, 并且可以以多种不同的方式来排列。仅举例来说, 本领域普通技术人员还可以理解的是, 所述制造了一部分的光电管结构 44 可以包括: 在所述源电极 58 的一部分上形成的 n 型掺杂的非晶硅层 61; 在所述层 61 上形成的本征非晶硅层 62; 所述层 62 上形成的 p 型掺杂的非晶硅层; 以及在所述层 64 上形成的上电极层 66。通常, 所述透明的上电极层 66 由氧化铟锡 (“ITO”) 或氧化铟锌 (“IZO”) 形成。然而, 也可以使用其它材料来形成所述上电极层。所述开关晶体管的源电极 58 还用作光电管结构 44 的下电极 (bottom electrode)。

[0010] 图 3 显示了制造了一部分的图像传感器阵列结构 40 在 70 处的简化透视图, 该图像传感器阵列结构 40 存在于上述制造阶段中的一个阶段, 该阶段被证实不足以防范 ESD 行为。如图 3 所示, 制造的图像传感器阵列结构 40 包括像素 16 的阵列, 各个像素 16 包括在基底 12 上形成的至少制造了一部分的开关晶体管和光电管结构。在示出的制造阶段中, 已经形成了栅极线 18, 但是还没有形成数据线 20 (图 1) 和偏压线 28 (图 1)。在该制造过程的这一阶段中, 所述开关晶体管结构 42 是电绝缘的。因此, 上述现有技术的 ESD 防范措施 (例如: 使用防护二极管结构) 通常不足以保护制造了一部分的图像传感器阵列结构 40 不受 ESD 行为的影响。

[0011] 根据用于制造图像传感器阵列的典型的现有技术的方法, 所述制造了一部分的图像传感器阵列结构 40 (图 2 和图 3) 面临的后续加工步骤包括: 将所述介电中间层 46 (图 2) 光刻图案化以产生接触孔, 该接触孔用于将漏电极 60 (图 2) 和上电极层 66 (图 2) 分别与数据线和偏压线相连接。在所述阵列 40 上进行的后续加工步骤的过程中 (例如: 将上述介电中间层 46 图案化, 以产生过孔接触孔), 已经发现向绝缘基底 12 的前表面 11 或后表面 13 的静电放电会导致开关晶体管结构 42 (图 2) 局部损伤, 从而产生明显的 ESD 伪影。在制造加工步骤中可以产生此种类型的损伤, 其中, 所述基底 12 被充电到高电位并移动至接近于制造过程中的某个金属点, 从而在所述基底 12 的表面上引起静电电击。

[0012] 典型的图像传感器阵列的制造加工线 (fabrication processing line) 包括多个加工站点和用于将所述基底 12 从一个站点移动到另一个站点的各种类型的装置。参考图 3, 此类装置可以包括从台板 (platen) 上提升所述基底 12 的销 (pin) 71 (未显示)。通常, 在该过程的站点中使用的所述销 71、台板和其它控制杆由不同的材料构成。在此环境下, 当将所述基底 12 从提升销 71 上取下并从一个加工站点转移到另一个加工站点时, 可能在所述基底 12 的背面 13 出现电弧 72。如果开关晶体管 42 在介电中间层 46 (图 2) 的图案化过程中是电绝缘的, 那么在所述基底 12 的背面 13 上诱导的电荷会在上表面 11 上引起高电位, 并导致开关晶体管 42 (图 2) 局部损伤, 近似于放电行为。

[0013] 由于所述基底 12 的绝缘特性, 以及在与上部金属相互连接之前, 像素 16 为电绝缘的事实, 因此对所述基底 12 的背面 13 的任何放电 72 被局限于该放电行为的附近。作为解释, 该行为可以在典型的制造加工步骤中出现, 在该制造加工步骤中, 所述基底 12 从不同材料中分离出来并产生摩擦电荷 (tribo-electric charge)。如果不通过电离器 (ionizer) 进行充分放电, 所述基底 12 可以充电到表面电位为 10-20kV, 从而极易受到 ESD 行为的攻击。

[0014] 图 4 显示图像传感器阵列在 78 处具有 ESD 诱导的伪影 79 的电荷图像。通常,这些伪影是在如上所述的不同制造步骤中由局部放电到图像传感器阵列的表面而引起的。

[0015] 图 5 显示用于模拟像素 38(图 2) 中的一个响应摩擦放电行为 72 的等效电路的电路示意图,所述摩擦放电行为 72 局限于所述基底 12 的背面 13。所述等效电路包括:具有第一电容值 C_1 的第一电容器 84,该第一电容器 84 连接于代表所述栅电极 50(图 2) 的栅极节点 (gate node) 85 和代表所述源电极 58(图 2) 的源节点 (source node) 86 之间;以及具有第二电容值 C_2 的第二电容器 88,该第二电容值 C_2 比所述第一电容值 C_1 大得多,该第二电容器 88 连接于所述源节点 86 和代表所述上电极层 66(图 2) 的节点 90 之间。所述第一电容值 C_1 代表所述栅电极 50(图 2) 和源电极 58(图 2) 之间的电容。应当注意的是,在无保护的情况下,在制造了一部分的图像传感器阵列 40 中,代表所述源电极 58(图 2) 的所述源节点 86 是电绝缘的。所述第二电容值 C_2 代表所述源电极 58(图 2) 和所述上电极层 66(图 2) 之间的电容。电压值 V_0 代表所述栅电极 50(图 2) 和所述基底的背面 13(图 2) 之间的电压。电压值 V_{gd} 代表所述源电极 58(图 2) 和所述栅电极 50(图 2) 之间的电压。

[0016] 当制造了一部分的图像传感器阵列 40(图 2) 的像素 38(图 2) 经受施加至所述基底的背面 13 的摩擦充电行为 72 时,所述背面 13 可以被充电到高电压。当所述基底与光滑表面分离时,所述基底的背面 13 可以被充电到电压为约 10-20kV。如果基底附近没有接地的导体,所述源电极 58(图 2) 和栅电极 50(图 2) 将具有同样的电位(或电压)。再次参考图 3,当接地的导电销 71 靠近所述基底的背面 13 时,“栅极电压 (gate voltage)”(即,栅电极 50(图 6) 相对于开关晶体管的所述漏电极 60 的电压)不会下降很多,因为所述栅极线 18 较长并且与单个像素相比具有相对较高的电容。所述销 71 周围的一个或多个开关晶体管的“二极管电压”(即,源电极 58 与栅电极 50 之间的电压)将有明显的下降。通过“销-二极管电容”(即,所述上部电极 66 和所述源电极 58 之间的电容,也是 nip 二极管结构 44 的电容)与“二极管-栅极电容 (gate-capacitance)”(即,开关晶体管的所述源电极 58 与栅电极 50 之间的电容)的比值作为电压分压器 (voltage divider) 来确定二极管上的最终电压 (final voltage)。所述销周围的开关晶体管 44(图 2) 在所述栅电极 50(图 2) 和源电极 58(图 2) 的两边可以观察到电压。该电压可以高达几百伏特,可以使所述开关晶体管 44(图 2) 承受压力并产生应力斑痕 (stress mark)。同样地,充电到极板的上表面的电压会促使所述上电极 66 在开关晶体管的所述栅电极 50 和漏电极 60 两边电容性地产生电压,也会导致 ESD 损伤。本发明中的改进也涉及在所述介电中间层 46 的上部引起的 ESD。

[0017] 当制造了一部分的图像传感器阵列 40(图 2) 的像素经受施加至接近所述像素 38 的基底 12 的背面 13 的摩擦充电行为 82 时,所述源电极 58(图 2) 被充电到约等于 V_0 的高电压 V_{gd} 。在该无保护的情况下,所述摩擦充电行为 82 使得所述开关晶体管 42(图 2) 的阈值电压发生变化,当由这些开关晶体管选址的像素阵列被读出时,将在图像传感器阵列中将产生明显的伪影 79(图 4)。

[0018] 现有技术用于缓解该问题的一个方法是在所述基底 12 的背面 13 上设置导电膜(例如:ITO 或其它薄金属),该导电膜可以将由 ESD 行为引起的电荷分散到整个极板表面,并防止局部图像伪影。然而,该现有技术的解决方法的缺点是用于将所述介电中间层 46(图 2) 图案化的特定的干蚀刻 (dryetch) 工具依赖于静电吸盘 (electrostatic

chuck), 以在蚀刻过程中提供足够的热接触和冷却。所述静电吸盘仅能用于绝缘基底, 并且当用导电金属涂覆所述基底的背面 13 时, 所述静电吸盘不能提供足够的夹紧力 (clamping forces)。这意味着在干蚀刻所述过孔之前, 需要将该背面金属蚀刻除去 (例如: 湿蚀刻 (wet etch) 过程), 这将增加额外的复杂过程。因此, 现有技术的方法给制造过程中添加了不需要的复杂性。

[0019] 因此, 本发明的目的是提供用于制造图像传感器阵列的方法和装置, 当像素内的制造了一部分的开关晶体管结构彼此电绝缘时, 该方法降低了在制造过程阶段中产生 ESD 诱导的伪影的电位。作为实例, 本发明的一个目的是提供用于制造图像传感器阵列的方法和装置, 在对介电中间层进行光刻图案化以产生接触孔的过程中, 该方法和装置降低了产生 ESD 诱导的伪影的电位。

[0020] 本发明的另一个目的是提供用于制造图像传感器阵列的方法和装置, 无需增加任何额外的复杂过程, 该方法即可降低产生 ESD 诱导的伪影的电位。

发明内容

[0021] 本发明提供了用于制造图像传感器阵列的方法, 在图像传感器阵列的制造过程中, 该方法降低了由静电放电行为导致的缺陷的电位。该方法包括初始步骤: 提供绝缘基底; 在所述基底上形成至少一个像素, 该像素包括开关晶体管和光电管; 以及在所述开关晶体管和光电管上形成介电中间层。在一种实施方式中, 所述开关晶体管包括栅电极、源电极和漏电极。所述光电管包括上电极和下电极。本发明不限于用于制造所述开关晶体管和光电管的任何特定过程, 也不限于用于形成所述开关晶体管和光电管的任何特定结构或材料。

[0022] 本发明的方法的关键步骤为在所述介电中间层上沉积第一导电层。在形成所述第一导电层之后, 所述图像传感器阵列可以很好地防范 ESD 行为, 因为所述第一导电层将可能在后续的制造加工步骤中出现的由摩擦充电行为诱导的任何电荷分散开, 由此降低在出现 ESD 行为时造成开关晶体管局部损伤的电位。

[0023] 在沉积了第一导电层之后, 可以以较低的 ESD 损伤风险进行其它的制造加工步骤。这些其它步骤可以包括: (a) 在所述第一导电层上形成过孔图案化的光刻层; (b) 利用所述光刻层蚀刻第一过孔和第二过孔, 所述第一过孔和所述第二过孔位于所述第一导电层和所述介电中间层内并通过所述第一导电层和所述介电中间层, 所述第一过孔暴露了所述漏电极的一部分, 所述第二过孔暴露了所述上电极的一部分; (c) 在所述第一导电层上、所述第一过孔和第二过孔的内壁上以及所述漏电极和所述上电极的暴露部分上沉积第二导电层; 以及 (d) 蚀刻除去部分所述第二导电层和部分所述第一导电层, 以形成数据线以及偏压线, 所述数据线提供与所述漏电极的电接触, 所述偏压线提供与所述上电极的电接触。在实施该方法时, 通过在所述介电中间层上沉积所述第一导电层, 所述图像传感器阵列的像素得到充分地保护, 不受静电放电行为的影响。根据本发明的一个方面, 通过与所述蚀刻步骤 (b) 和所述蚀刻步骤 (d) 中使用的相同方法, 可以对所述第一导电层进行蚀刻。

[0024] 通过此说明书、随附的权利要求书、以及附图可以更好地理解本发明的上述以及其它特征、方面和优点。

附图说明

[0025] 结合于本说明书内并构成本说明书的一部分的附图说明了本发明的多种实施方式,并与说明书一起用于解释本发明的原理。为了方便,在所有附图中使用相同的附图标记来表示相同或相似的元件。

[0026] 图 1 为表示典型的图像传感器阵列的电路示意图;

[0027] 图 2 显示了制造了一部分的图像传感器阵列结构的像素的截面图,该图像传感器阵列结构存在于现有技术的制造方法的一个阶段中,对由 ESD 行为引起的损伤特别敏感;

[0028] 图 3 为图 2 的制造了一部分的图像传感器阵列结构的简化透视图;

[0029] 图 4 为具有 ESD 诱导的伪影的图像传感器阵列的电荷图像;

[0030] 图 5 为用于模拟根据现有技术的制造方法形成的制造了一部分的图像传感器阵列结构的 ESD 响应的等效电路的电路示意图;

[0031] 图 6 至图 10 描述了用于制造图像传感器阵列的根据本发明的方法的一系列步骤,在形成数据线和偏压线之前的制造过程阶段中,该方法降低了在所述阵列中产生 ESD 诱导的伪影的电位;以及

[0032] 图 11 为用于模拟根据本发明的制造方法形成的制造了一部分的图像传感器阵列结构的 ESD 响应的等效电路的电路示意图。

具体实施方式

[0033] 与本发明的方法的新颖方面有关的前期步骤包括:提供制造了一部分的图像传感器阵列 40,例如:图 2 所示的制造了一部分的图像传感器阵列。所述制造了一部分的图像传感器阵列 40 包括像素 38,该像素 38 具有:在基底 12 上形成的至少制造了一部分的开关晶体管结构 42;在所述基底 12 上形成的至少制造了一部分的光电管结构 44;以及在所述结构 42 和 44 上形成的介电中间层 46。所述制造了一部分的开关晶体管结构 42 和光电管结构 44 可以根据任何现有技术的制造技术来形成,例如上面描述的方法。然而,本发明不限于用于制造所述开关晶体管结构 42 和光电管结构 44 的任何特定方法,也不限于用于所述开关晶体管结构 42 和光电管结构 44 的上述结构和材料,这些仅是给出的实例。本领域的普通技术可以理解的是,有许多制造方法、结构和材料可以用来提供开关晶体管结构和光电管结构,该开关晶体管结构和光电管结构具有在所述结构上形成的介电中间层。

[0034] 再次参考图 2,如上述所解释的,制造了一部分的图像传感器阵列结构 40(图 2)的像素 38 对于 ESD 损伤敏感,因为在形成数据线 20(图 1)和偏压线 28(图 1)之前,该像素 38 是电绝缘的。如上所述,在后续步骤中(所述后续步骤包括将介电中间层 46 光刻图案化以形成过孔接触孔),所述形成了一部分的图像传感器阵列对于 ESD 损伤特别敏感。根据本发明的解决方案是在制造了一部分的图像传感器阵列 40(图 2)的上表面上沉积导电层,该导电层覆盖所述介电中间层 46(图 2)。

[0035] 图 6 显示了本发明的方法的第一个步骤,该方法以降低产生 ESD 诱导的伪影的电位的方式来生产图像传感器阵列。在该第一个步骤中,在制造了一部分的图像传感器阵列 40(图 2)的所述介电中间层 46 上形成第一导电层 102。在所述介电中间层 46 上形成所述第一导电层 102 之后,所述图像传感器阵列 40 得到了很好的保护,而不会受到 ESD 行为的损伤,因为所述第一导电层 102 可以将后续的制造加工步骤中可能出现的摩擦放电行为

所诱导的所有电荷分散开,由此消除或减少对所述开关晶体管 42 产生的局部损伤。

[0036] 在一种实施方式中,所述第一导电层 102 是由钛-钨 (TiW) 形成的。在该实施方式中,形成的所述第一导电层的厚度为 50-500 Å。在其它实施方式中,所述第一导电层 102 可以由钼 (“Mo”)、钽 (“Ta”) 或可以在含有 F 的等离子体中蚀刻的其它金属所形成。同样,在一种实施方式中,所述第一导电层 102 是通过物理气相沉积 (“PVD”) 方法形成的。在另一种实施方式中,所述第一导电层 102 是用溅射 (sputtering) 方法形成的。仍然在另一种实施方式中,如下所述,所述第一导电层 102 可以用能够在随后的上部金属图案化步骤中进行蚀刻的材料来形成。

[0037] 图 7 描述了本发明的方法中的第二个步骤,该步骤包括在所述第一导电层 102 上形成过孔图案化的光刻层 104。如图 7 所示以及如下的进一步描述,将所述光刻层 104 图案化,以有利于随后的蚀刻步骤,该蚀刻步骤可以导致接近第一接触区域 106 的第一接触过孔的形成以及接近第二接触区域 108 的第二接触过孔的形成,在所述漏电极 60 的一部分上形成所述第一接触区域 106,在所述上电极 66 的一部分上形成所述第二接触区域 108。可以用光刻技术来形成所述第一接触区域 106 和第二接触区域 108。

[0038] 图 8 描述了实施本发明的方法的第三个步骤的结果,该步骤包括:利用所述过孔图案化的光刻层 104 (图 7) 来蚀刻第一接触过孔 110 和第二接触过孔 112,所述第一接触过孔 110 和第二接触过孔 112 位于所述第一导电层 102 和所述介电中间层 46 内并通过所述第一导电层 102 和所述介电中间层 46。在图示的实施方式中,该蚀刻步骤分别暴露了所述第一接触过孔 110 和所述第二接触过孔 112 的内壁 111 和 113,并且也暴露了分别位于所述接触过孔 110 和所述接触过孔 112 之下的所述漏电极 60 的一部分和所述上电极层 66 的一部分。同时,在一种实施方式中,该蚀刻步骤根据干蚀刻技术来进行。在另一种实施方式中,该蚀刻步骤根据湿蚀刻技术来进行。在描述的实施方式中,所述第一导电层 102 由能够在对所述介电中间层 46 进行蚀刻的同时被蚀刻的材料形成,以防止接近所述第一接触过孔 110 和所述第二接触过孔 112 的所述内壁 111 和 113 的任何上部金属突出。

[0039] 图 9 显示了实施本发明的方法第四个步骤的结果,该步骤包括:在所述第一导电层 102 的剩余部分上、所述第一过孔 110 和所述第二过孔 112 的所述内壁 111 和 113 上以及所述漏电极 60 和所述上电极 66 的预先暴露部分上沉积第二导电层 120。在一种实施方式中,所述第二导电层 120 为金属层。同时,在一种实施方式中,所述第二导电层 120 至少部分地由与所述第一导电层 102 的材料相同的材料形成。所述第二导电层 120 与分别位于所述接触过孔 110 和 112 之下的所述漏电极 60 和所述上电极 66 的预先暴露部分形成电接触。

[0040] 在一种实施方式中,所述第二导电层 120 包括两个亚层 (sub-layer)。例如,所述第二导电层 120 可以包括:第一亚层,在所述第一导电层 102 的剩余部分上、第一过孔 110 和所述第二过孔 112 的所述内壁 111 和 113 上、以及所述漏电极 60 和所述上电极 66 的预先暴露部分上形成所述第一亚层;以及第二亚层,在所述第一亚层上形成所述第二亚层。在一种实施方式中,所述第一亚层由 TiW 形成,且所述第二亚层由铝 (“Al”) 形成,厚度为 0.25-1.0 μm。在另一种实施方式中,所述第一亚层由 Mo 形成,且所述第二亚层由铝 (“Al”) 形成,厚度为 0.25-1.0 μm。在这些使用两个亚层来形成所述第二导电层 120 的实施方式中,TiW 或 Mo 的第一亚层用作扩散阻挡层,以防止铝的所述第二亚层与下面的电极层 66 形

成合金,并且添加有铝的所述第二亚层降低了电路的电阻。仍然在另一个实施方式中,所述第二导电层 120 可以包括 Mo 或 TiW 的第三亚层,该第三亚层在铝的所述第二亚层上形成,用于防止铝的所述第二亚层暴露于更多的腐蚀性过程。

[0041] 在一种实施方式中,所述第二导电层 120 是由物理气相沉积 (“PVD”) 方法形成的。例如,所述第二导电层 120 可以用溅射方法形成。如下面所解释的,所述第一导电层 102 应当符合所述第二导电层 120 的蚀刻要求。例如,所述第一导电层 102 可以比所述第二导电层 120 薄,从而使加工时间和线路宽度控制基本不受存在的所述第一导电层 102 的影响。

[0042] 在所述第一导电层 102 含有 TiW 的上述实施方式中,在将所述介电中间层 46 图案化的同时,可以干蚀刻所述第一导电层 102,也可以作为所述第二导电层 120 的蚀刻的一部分,对所述第一导电层 102 进行湿蚀刻。从沉积第一导电层 102 时起,直到对第二导电层 120 进行图案化,所述图像传感器阵列得到了很好地保护,此时整个阵列相互连通并不易受到 ESD 的攻击。在所述第二导电层 120 下遗留的所述第一导电层 102 符合所述上部金属层的电要求和蚀刻要求。

[0043] 图 10 显示了实施本发明的方法的第五个步骤的结果,该步骤包括:蚀刻除去部分所述第二导电层 120,以形成数据线 130 和偏压线 132,从而提供与部分所述漏电极 60 和所述上电极 66 的电接触,所述漏电极 60 和所述上电极 66 分别位于所述第一接触过孔 110 和所述第二接触过孔 112 之下。在本发明的一个实施方式中,所述第二导电层 120 的蚀刻是使用湿蚀刻方法来进行的。然而,可选择地,所述第二导电层 120 的蚀刻也可以使用干蚀刻方法来进行。优选地,如果使用湿蚀刻方法来对所述第一导电层 102 (图 8 中所示) 进行蚀刻,则使用干蚀刻方法来对所述第二导电层 120 进行蚀刻。相反地,如果使用干蚀刻方法来对所述第一导电层 102 (图 8 中所示) 进行蚀刻,则使用湿蚀刻方法来对所述第二导电层 120 进行蚀刻。应当注意的是,所述第二导电层 120 和下面的第一导电层 102 的蚀刻没有完全除去所述介电中间层 46。

[0044] 所述第一导电层 102 和下面的介电中间层 46 (图 8 中所示) 的蚀刻可以为湿蚀刻,也可以为干蚀刻,只要可以形成控制良好的通过这两层 102 和 46 的接触过孔 110 即可。所述第二导电层 120 和下面的第一导电层 102 的蚀刻可以为湿蚀刻,也可以为干蚀刻,只要通过该蚀刻过程,线路清晰度 (definition) 可以得到很好地控制并且下面的介电中间层 46 不被显著地蚀刻即可。在一种实施方式中,第二蚀刻 (即,如图 10 所示的所述第二导电层 120 和下面的第一导电层 102 的蚀刻) 可以为不蚀刻所述介电中间层 46 的湿蚀刻。在另一种实施方式中,所述第二蚀刻可以为 (即,如图 10 所示的所述第二导电层 120 和下面的第一导电层 102 的蚀刻) 干蚀刻,该干蚀刻采用已知的选择性地蚀刻所述金属层 102 和 120 而不蚀刻所述介电中间层 46 的方法。

[0045] 图 11 显示了用于模拟所述像素 38 (图 6) 中的一个对摩擦充电行为 72 的改进的响应的等效电路 150 的电路示意图,所述摩擦充电行为 72 局限于制造了一部分的图像传感器阵列结构 40 (图 6) 的所述基底 12 的背面,接近所述像素,所述摩擦充电行为发生在如图 6 所示的已经根据本发明在所述介电中间层 46 上形成所述第一导电层 102 之后。所述等效电路 150 包括:具有第一电容值 C_1 的第一电容器 84,该第一电容器 84 连接在代表所述栅电极 50 (图 6) 的栅极节点 85 和代表所述源电极 58 (图 6) 的源节点 86 之间;具有第二电容值 C_2 的第二电容器 88,该第二电容器 88 连接在所述源节点 86 和代表所述上电极层 66 (图

6) 的节点 90 之间;具有第三电容值 C_3 的第三电容器 152,该第三电容器 152 连接在所述源节点 86 和代表所述第一导电层 102(图 6) 的节点 154 之间;以及具有第四电容值 C_4 的第四电容器 156,该第四电容器 156 连接在代表所述上电极层 66 的节点 90 与代表所述第一导电层 102(图 6) 的所述节点 154 之间。

[0046] 所述第一电容值 C_1 代表所述栅电极 50(图 6) 和所述源电极 58(图 6) 之间的电容。所述第二电容值 C_2 代表所述源电极 58(图 6) 和所述上电极层 66(图 6) 之间的电容。所述第三电容值 C_3 代表所述源电极 58(图 6) 和所述第一导电层 102(图 6) 之间的电容。所述第四电容值 C_4 代表所述上电极层 66(图 6) 和所述第一导电层 102(图 6) 之间的电容。电压值 V_0 代表所述栅电极 50(图 6) 和所述基底的背面 13(图 6) 之间的电压。电压值 V_{gd} 代表所述源电极 58(图 6) 和所述栅电极 50(图 6) 之间的电压。

[0047] 当制造了一部分的图像传感器阵列 40(图 6) 的所述像素 38(图 6) 经受接近所述像素 38 的施加于所述基底 12 的背面 13 的摩擦充电行为 72 时,所述源电极 58(图 2) 被充电到低于所述电压值 V_0 的电压 V_{gd} 。

[0048] 如上面所解释的,当制造了一部分的图像传感器阵列 40(图 6) 的所述像素 38(图 6) 经受施加于所述基底的背面 13 的摩擦充电行为 72 时,所述背面 13 可以被充电到高压。例如,当所述基底与光滑的表面分离时,所述基底的所述背面 13 可以被充电到电压约为 10-20kV。如果没有接近玻璃的接地的导体,所述源电极 58(图 6) 和所述栅电极 50(图 6) 都将具有相同的电位(或电压)。然而,当接地的导电销 71 靠近所述基底的所述背面 13 时,“栅极电压”(即,所述栅电极 50 相对于所述源电极 58 的电压)不会下降很多,因为所述栅极线 18(图 3) 较长并且与单个像素相比具有相对较高的电容。所述销 71 周围的像素的所述源电极 58 的电压有明显地下降。由“销-二极管电容”(即,所述源电极 58 和上电极 66 之间的电容)和“二极管-栅极电容”(即,所述第一电容值 C_1) 的比值来确定二极管上的最终电压。所述销 71 周围的开关晶体管 44(图 6) 可以观察到所述栅电极 50(图 6) 和源电极 58(图 6) 之间的电压。该电压可以高达几百伏特,可以使开关晶体管 44(图 6) 承受压力并产生应力斑痕(stress mark)。

[0049] 所述第一导电层 102 在该层与所述源电极 58(图 6) 之间设置了一个非常大的电容。与所述第四电容值 C_4 并联的所述第二电容值 C_2 比所述第一电容值 C_1 大(即, $C_2 || C_4 >> C_1$)。这可以防范在所述开关晶体管 44(图 6) 之间产生的大电压,并防止 ESD 伪影和瑕疵(blemish)。在图 6 的保护情况下,所述电压值 V_{gd} (即,所述源电极 58 与所述栅电极 50 之间的电压)明显低于 V_0 ,并可以用如下的方程(1)来表示:

$$[0050] \quad V_{gd} = V_0 \times [C_1 / \{C_1 + C_3 + C_2 C_4 / (C_2 + C_4)\}] \quad (1)$$

[0051] 如果所述开关晶体管 42(图 6) 相对较小,并且所述光电管 44(图 6) 具有高的电容,则所述电压值 V_{gd} 可以用如下的方程(2)来表示:

$$[0052] \quad \text{当 } C_1 \ll C_2, C_4 \text{ 时, } V_{gd} \ll V_0 \quad (2)$$

[0053] 总之,尽管已经参考特定优选方案相当详细地描述了本发明,但是也可能有其它方案。可以预见到上述 ESD 器件的其它各种组合。因此,随附的权利要求书的精神和范围并不限于说明书中包含的优选方案。

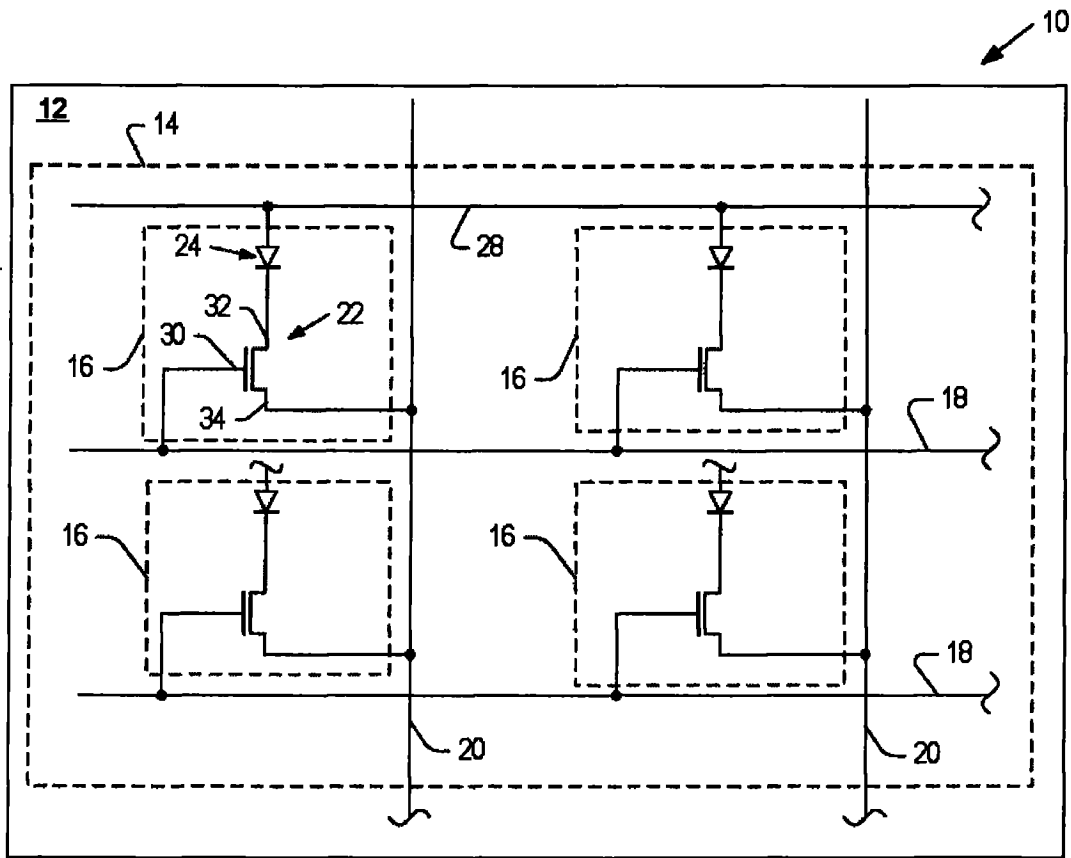


图 1

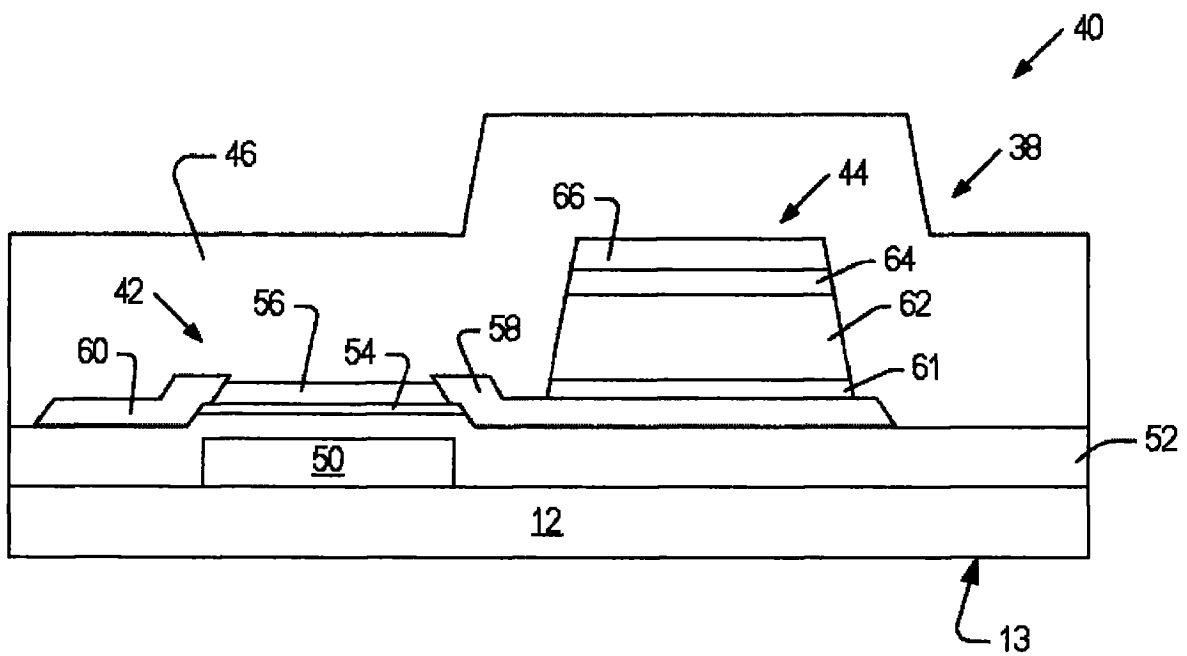


图 2

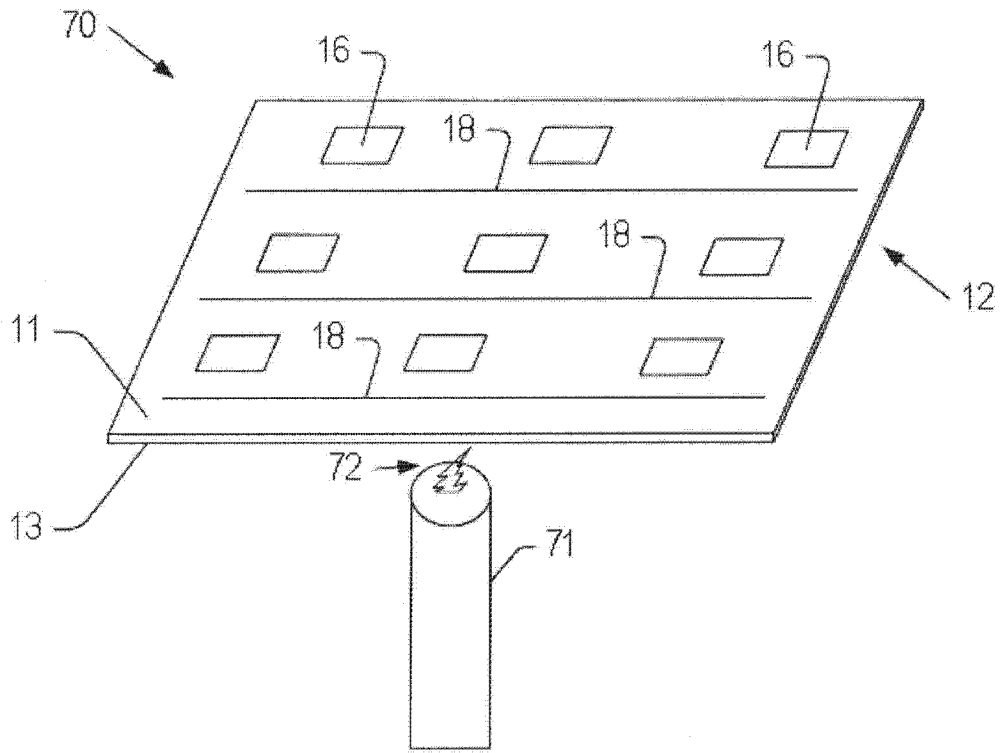


图 3

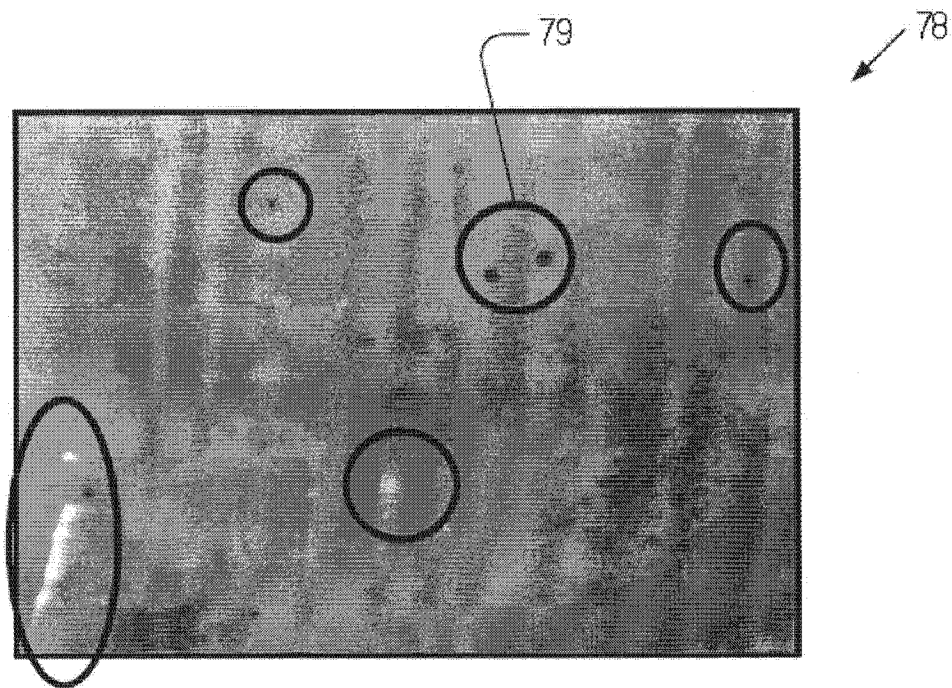


图 4

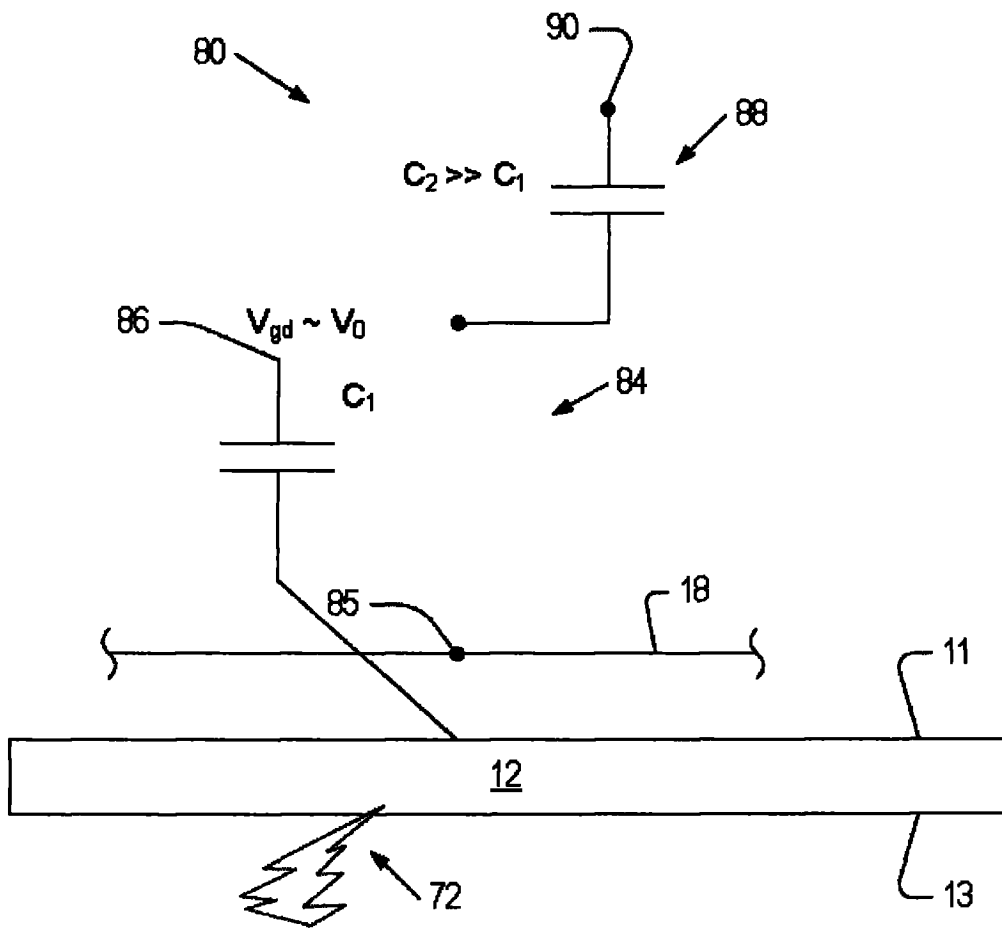


图 5

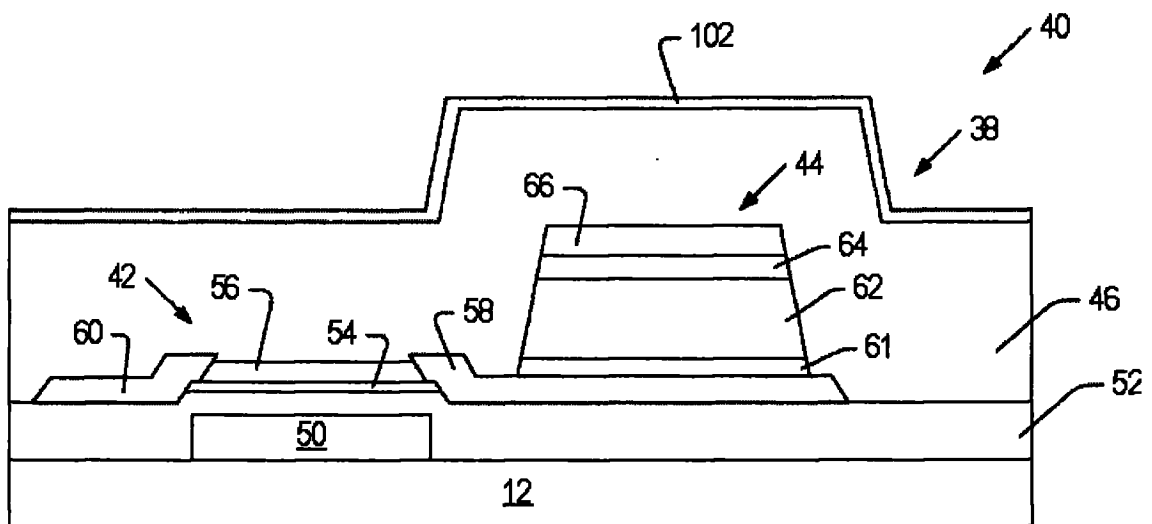


图 6

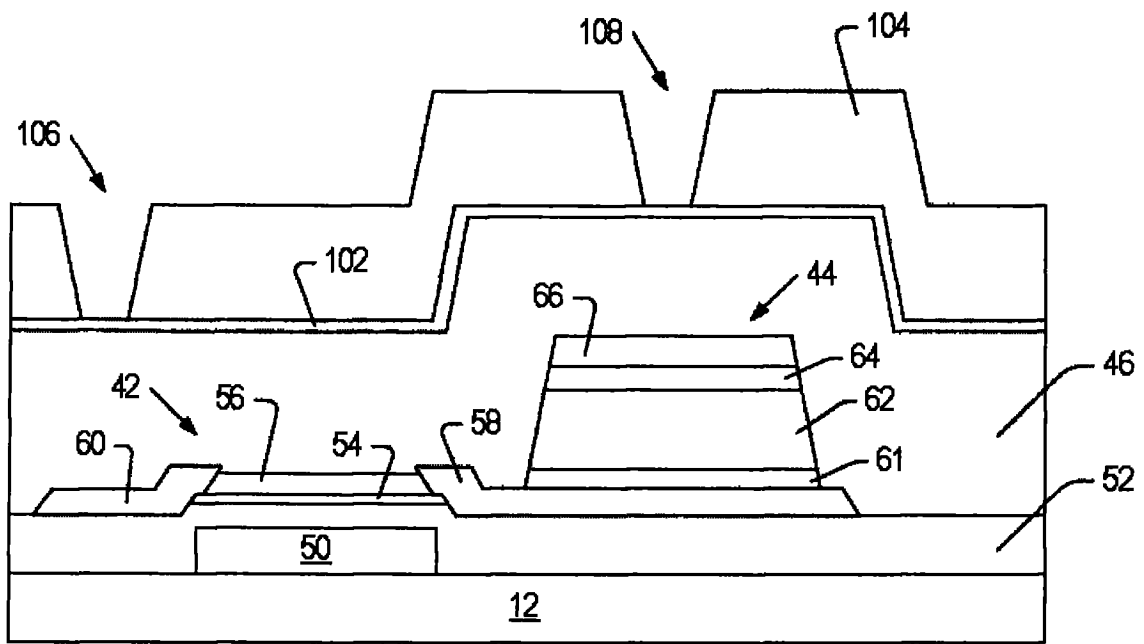


图 7

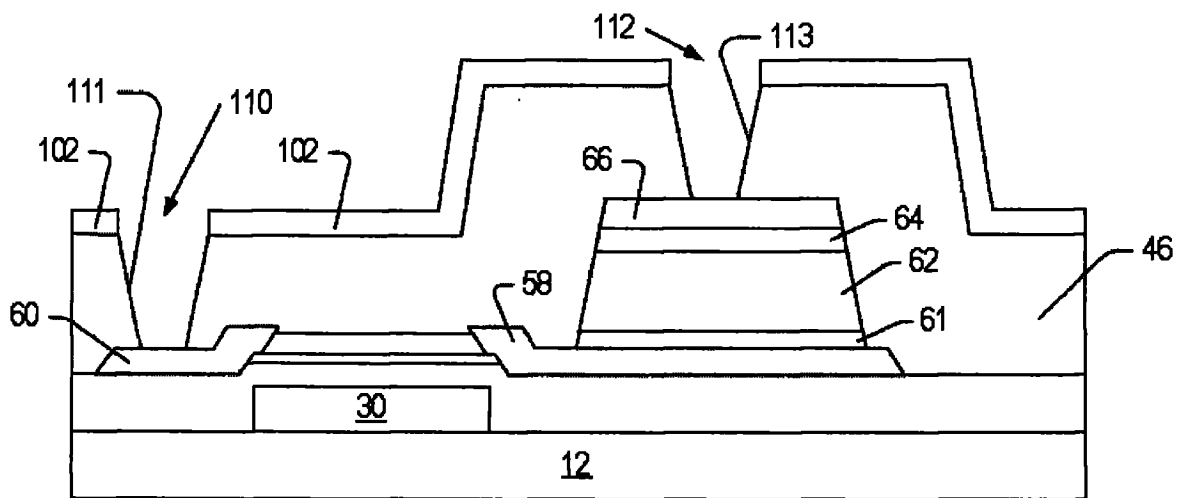


图 8

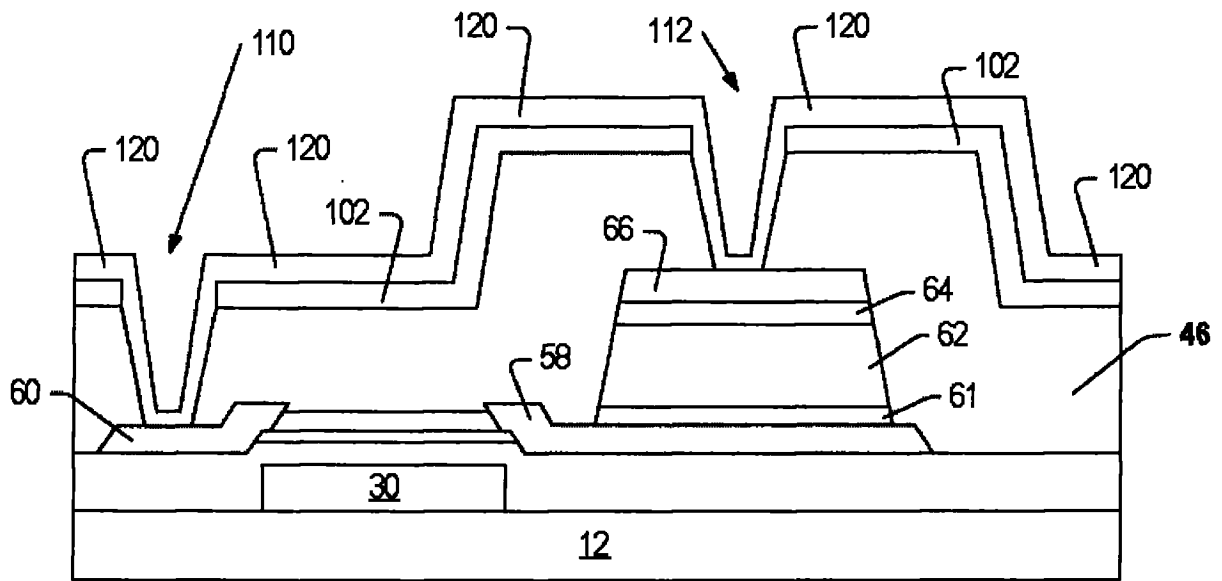


图 9

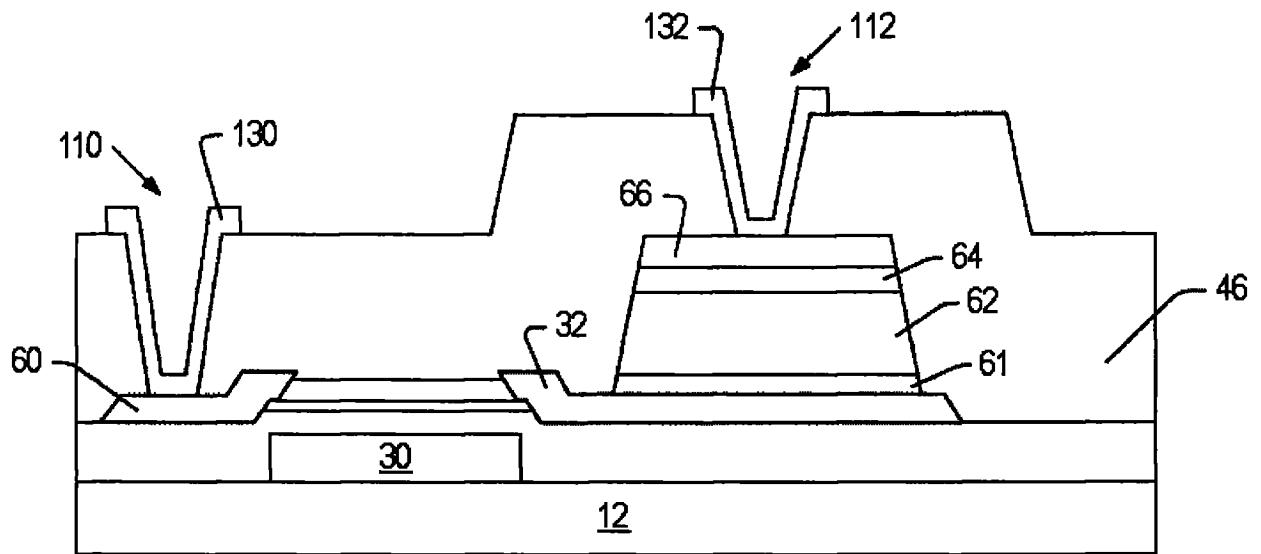


图 10

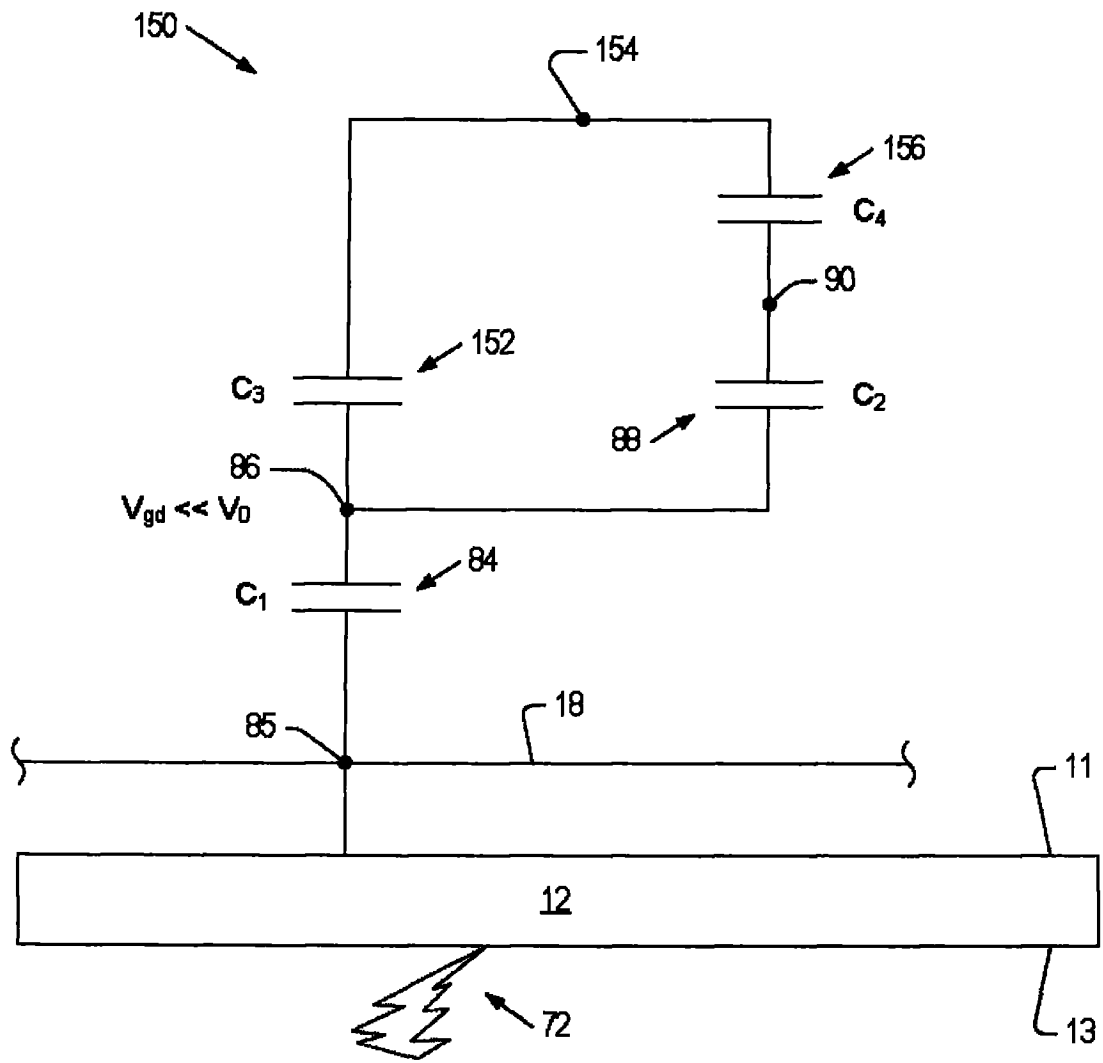


图 11