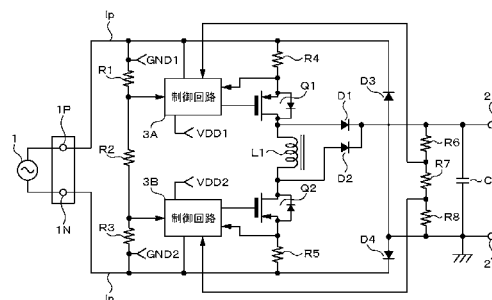




【特許請求の範囲】

【請求項 1】

交流電源が接続され、第 1 および第 2 の回路線が導出される第 1 および第 2 の入力端子と、
直流電源が出力される第 1 および第 2 の出力端子と、
上記第 1 および第 2 の出力端子間に接続される平滑コンデンサと、
インダクタと、
上記第 1 の回路線と上記インダクタの一端との間に接続される第 1 のスイッチング素子と、
上記第 2 の回路線と上記インダクタの他端との間に接続される第 2 のスイッチング素子と、
上記インダクタの一端にアノードが接続され、上記第 1 の出力端子にカソードが接続される第 1 のダイオードと、
上記インダクタの他端にアノードが接続され、上記第 1 の出力端子にカソードが接続される第 2 のダイオードと、
上記第 1 の回路線にカソードが接続され、上記第 2 の出力端子にアノードが接続される第 3 のダイオードと、
上記第 2 の回路線にカソードが接続され、上記第 2 の出力端子にアノードが接続される第 4 のダイオードと、
交流電源電圧の一方の半サイクル期間中には、上記第 1 のスイッチング素子を常にオン状態とすると共に、上記第 2 のスイッチング素子をスイッチング動作させ、上記交流電源電圧の他方の半サイクル期間中には、上記第 2 のスイッチング素子を常にオン状態とすると共に、上記第 1 のスイッチング素子をスイッチング動作させる制御回路と
を有する電源回路。

【請求項 2】

交流電源が接続され、第 1 および第 2 の回路線が導出される第 1 および第 2 の入力端子と、
直流電源が出力される第 1 および第 2 の出力端子と、
上記第 1 および第 2 の出力端子間に接続される平滑コンデンサと、
インダクタと、
上記第 1 の回路線と上記インダクタの一端との間に、ドレイン・ソース間が接続される第 1 の MOSFET と、
上記第 2 の回路線と上記インダクタの他端との間に、ドレイン・ソース間が接続される第 2 の MOSFET と、
上記インダクタの一端にアノードが接続され、上記第 1 の出力端子にカソードが接続される第 1 のダイオードと、
上記インダクタの他端にアノードが接続され、上記第 1 の出力端子にカソードが接続される第 2 のダイオードと、
上記第 1 の回路線にカソードが接続され、上記第 2 の出力端子にアノードが接続される第 3 のダイオードと、
上記第 2 の回路線にカソードが接続され、上記第 2 の出力端子にアノードが接続される第 4 のダイオードと、
交流電源電圧の一方の半サイクル期間中には、上記第 1 の MOSFET を常にオン状態とすると共に、上記第 2 の MOSFET をスイッチング動作させ、上記交流電源電圧の他方の半サイクル期間中には、上記第 2 の MOSFET を常にオン状態とすると共に、上記第 1 の MOSFET をスイッチング動作させる制御回路と
を有する電源回路。

【請求項 3】

上記制御回路に対して、上記交流電源と、上記直流電源とが供給され、
上記制御回路が上記交流電源の位相と上記直流電源の電圧に応じてデューティ比が変調

されたパルス信号を生成し、

上記パルス信号によって上記第1および第2のMOSFETをスイッチング駆動する請求項2記載の電源回路。

【請求項4】

上記第1および第2のMOSFETを流れる電流が検出され、検出結果が上記制御回路に供給される請求項3記載の電源回路。

【請求項5】

上記制御回路が上記第1および第2の制御回路から構成され、

上記第1の制御回路が上記第1のMOSFETを制御し、上記第2の制御回路が上記第2のMOSFETを制御する請求項2記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、交流電流を整流し、安定した直流電圧を生成する電源回路に関する。

【背景技術】

【0002】

PFC (Power Factor Correction : 力率改善) 電源回路は、力率を改善することによって、高調波の発生を抑制することができる。このような電源回路の典型的な構成を図8に示す。図8に示すように、交流電源1に対してブリッジ整流回路12が接続される。交流電源1の電圧の正の半サイクル期間では、ダイオードD11、D14がオンし、負の半サイクル期間では、ダイオードD12、D13がオンする。

【0003】

ブリッジ整流回路12の一方の出力端子がインダクタL11およびダイオードD15を介して平滑コンデンサC11の一端に接続され、コンデンサC11の他端がブリッジ整流回路12の他方の出力端子と接続される。インダクタL11の一端とダイオードD15のアノードとの接続点がMOSFET Q11のドレインに接続される。MOSFET Q11のソースがブリッジ整流回路12の他方の出力端子と接続される。

【0004】

MOSFET Q11のゲートにドライブパルスが供給される。MOSFET Q11がオンする期間でインダクタL11およびMOSFET Q11を通じて電流が流れる。MOSFET Q11がオフすると、インダクタL11およびMOSFET Q11のドレインの接続点にキックバックによって逆起電圧が発生し、逆起電圧によってコンデンサC11に対して電流が流れる。MOSFET Q11のオン/オフ動作によって平滑コンデンサC11の両端に発生する出力直流電圧が負荷RLに印加される。

【0005】

図8に示す従来の構成の電源回路において発生する損失について、下記の条件を設定して求める。

入力交流電圧：85V～264V(rms:root mean square 二乗平均平方根＝実効値)

直流出力電圧：400V 最大出力電力：900W 電源の効率：90% (すなわち、最大入力電力：1000W)

(900W/400V) によって最大直流出力電流が2.25Aとなり、(1000W/85V(rms)) によって最大入力電流が11.76A(rms)となる。

【0006】

一般的なブリッジ整流回路では、一つのダイオード当たりで1.0V程度の電圧ドロップが発生する。正の半サイクルおよび負の半サイクルのそれぞれにおいて2個のダイオードがオンとなる。したがって、ブリッジ整流回路12のダイオードにより発生する損失は、 $2 \times 1.0 \times 11.76 = 23.5\text{W}$ と求まる。

【0007】

電源回路の全体の損失は、 $1000\text{W} - 900\text{W} = 100\text{W}$ であり、全体の損失の内の23.5%の割合を占める損失は、大きな損失量である。近年、損失低減を目的として整

10

20

30

40

50

流ダイオードをPFCによって昇圧した後に配置する回路構成（ブリッジレスPFCと称する）が提案されている。例えば上述した損失の計算例において、整流回路を昇圧した後に設ける構成に変更すると、整流ダイオードに流れる電流が400Vの出力ラインの電流（2.25A）となるので、1個の整流ダイオードにより発生する損失を2.25Wと少なくすることができる。ブリッジレスPFCの一例が下記の特許文献1に記載されている。

【特許文献1】特表2007-527687号公報

【0008】

図9に特許文献1に記載の回路構成を示す。1Pおよび1Nは、交流電源の両端と接続される入力端子であり、1Gが接地端子である。二つのインダクタL21およびL22と、スイッチング素子としてのMOSFET Q21およびQ22と、整流ダイオードD21およびD22と、平滑コンデンサC22とが図示のように接続されている。制御回路23によってMOSFET Q21およびQ22に対するドライブパルスが形成される。

【0009】

端子1Pが正で、端子1Nが負の半サイクル期間では、MOSFET Q21がスイッチング動作を行い、MOSFET Q22がオフとされる。この半サイクル期間で流れる電流が実線で示されている。破線の電流は、端子1Pおよび1Nの正負が反転した関係となる半サイクル期間で流れる電流を示している。Q21がオンの期間にインダクタL21およびQ21を通じて電流が流れる。Q21がオフすると、インダクタL21およびQ21のドレインの接続点に発生する電圧によって、インダクタL21、整流ダイオードD21、平滑コンデンサC22および負荷RLを介して電流が流れる。端子1N側の電流は、MOSFET Q22のボディダイオードおよびインダクタL22を介して流れる。

【0010】

このように、インダクタL21またはインダクタL22が昇圧動作に関与しない単なる電流経路を構成する素子として機能する。この場合、インダクタL22の直流抵抗成分が入力電流値の2乗と乗じられた損失が発生する。仮にインダクタの直流抵抗成分を0.1Ωとすると、上述した数値例でのインダクタL22と入力リターン電流により発生する損失が下記のように求められる。

$$11.76 \times 11.76 \times 0.1 = 13.8 \text{ W}$$

【0011】

さらに、上述したように、整流ダイオードD21およびD22に流れる電流が400Vの出力ラインの電流（2.25A）となるので、整流ダイオードおよびボディダイオードを経由することにより発生する損失が4.5Wとなる。

【0012】

入力側のリターン電流とインダクタの損失の低減を図ったブリッジレスPFCが例えば下記の特許文献1に記載されている。

【非特許文献1】Performance Evaluation of Bridgeless PFC Boost Rectifiers Huber, Laszlo; Jang, Yungtaek; Jovanovic, Milan M. Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE Volume, Issue, Feb. 25 2007-March 1 2007 Page(s):165 - 171

【0013】

非特許文献1に記載の回路構成を図10に示す。図9の構成と同様に、インダクタL21、L22と、MOSFET Q21およびQ22、整流ダイオードD21およびD22、平滑コンデンサC22が接続されている。ダイオードD23およびD24を介して交流側入力電流のリターン電流が流れる。ダイオードD23およびD24の一方で生じる損失は、下記のものとなる。整流ダイオードの全体で発生する損失は、さらに、ダイオードD21およびD22の一方で生じる損失（2.25W）が加算された値（14.01W）となる。

$$1.0 \times 11.76 = 11.76 \text{ W}$$

【発明の開示】

【発明が解決しようとする課題】

【0014】

上述した各構成による損失と使用するインダクタの個数とを図11の表にまとめて示す。図8に示す従来の電源回路の損失が23.5Wと最も大きくなる。ブリッジレスPFC1に比して他のブリッジレスPFC2の方が損失を少なくすることができる。しかしながら、損失の低減量が不十分である。さらに、ブリッジレスPFCの場合では、インダクタを2つ使用しなければならず、電源回路の小型化が阻害される問題がある。

【0015】

したがって、この発明の目的は、上記問題点を解消し、高効率、低損失という省エネルギーであって、小型の電源回路を提供することにある。

10

【課題を解決するための手段】

【0016】

上述した課題を解決するために、この発明は、交流電源が接続され、第1および第2の回路線が導出される第1および第2の入力端子と、

直流電源が出力される第1および第2の出力端子と、

第1および第2の出力端子間に接続される平滑コンデンサと、

インダクタと、

第1の回路線とインダクタの一端との間に接続される第1のスイッチング素子と、

第2の回路線とインダクタの他端との間に接続される第2のスイッチング素子と、

インダクタの一端にアノードが接続され、第1の出力端子にカソードが接続される第1のダイオードと、

20

インダクタの他端にアノードが接続され、第1の出力端子にカソードが接続される第2のダイオードと、

第1の回路線にカソードが接続され、第2の出力端子にアノードが接続される第3のダイオードと、

第2の回路線にカソードが接続され、第2の出力端子にアノードが接続される第4のダイオードと、

交流電源電圧の一方の半サイクル期間中には、第1のスイッチング素子を常にオン状態とすると共に、第2のスイッチング素子をスイッチング動作させ、交流電源電圧の他方の半サイクル期間中には、第2のスイッチング素子を常にオン状態とすると共に、第1のスイッチング素子をスイッチング動作させる制御回路と

30

を有する電源回路である。

【0017】

この発明は、交流電源が接続され、第1および第2の回路線が導出される第1および第2の入力端子と、

直流電源が出力される第1および第2の出力端子と、

第1および第2の出力端子間に接続される平滑コンデンサと、

インダクタと、

第1の回路線とインダクタの一端との間に、ドレイン・ソース間が接続される第1のMOSFETと、

40

第2の回路線とインダクタの他端との間に、ドレイン・ソース間が接続される第2のMOSFETと、

インダクタの一端にアノードが接続され、第1の出力端子にカソードが接続される第1のダイオードと、

インダクタの他端にアノードが接続され、第1の出力端子にカソードが接続される第2のダイオードと、

第1の回路線にカソードが接続され、第2の出力端子にアノードが接続される第3のダイオードと、

第2の回路線にカソードが接続され、第2の出力端子にアノードが接続される第4のダイオードと、

50

交流電源電圧の一方の半サイクル期間中には、第１のＭＯＳＦＥＴを常にオン状態とすると共に、第２のＭＯＳＦＥＴをスイッチング動作させ、交流電源電圧の他方の半サイクル期間中には、第２のＭＯＳＦＥＴを常にオン状態とすると共に、第１のＭＯＳＦＥＴをスイッチング動作させる制御回路と

を有する電源回路である。

【発明の効果】

【００１８】

この発明によれば、ブリッジレスＰＦＣを含む従来のＰＦＣ電源回路に比して低損失で、小型な電源回路を実現できる。

【発明を実施するための最良の形態】

【００１９】

以下、この発明を実施するための最良の形態（以下実施の形態とする）について説明する。なお、説明は、以下の順序で行う。

１．第１の実施の形態

２．第２の実施の形態

【００２０】

なお、以下に説明する実施の形態は、この発明の好適な具体例であり、技術的に好ましい種々の限定が付されているが、この発明の範囲は、以下の説明において、特にこの発明を限定する旨の記載がない限り、これらの実施の形態に限定されないものとする。

【００２１】

< １．第１の実施の形態 >

「第１の実施の形態の構成」

図１を参照して第１の実施の形態の構成について説明する。交流電源１と第１の入力端子１Ｐおよび第２の入力端子１Ｎが接続される。交流電源の一例は、商用電源である。入力端子１Ｐおよび入力端子１Ｎのそれぞれから第１の回路線１ｐおよび第２の回路線１ｎが導出される。直流電源が出力される第１の出力端子２Ｐおよび第２の出力端子２Ｎに対して負荷（図示せず）が接続される。出力端子２Ｐおよび出力端子２Ｎ間に平滑コンデンサＣ１が接続される。

【００２２】

回路線１ｐと昇圧用のインダクタＬ１の一端との間に第１のスイッチング素子Ｓ１が接続される。回路線１ｎと昇圧用のインダクタＬ１の他端との間に第２のスイッチング素子Ｓ２が接続される。インダクタＬ１の一端に第１のダイオードＤ１のアノードが接続され、第１の出力端子２ＰにダイオードＤ１のカソードが接続される。インダクタＬ１の他端に第２のダイオードＤ２のアノードが接続され、第１の出力端子２ＰにダイオードＤ２のカソードが接続される。

【００２３】

回路線１ｐに第３のダイオードＤ３のカソードが接続され、ダイオードＤ３のアノードが第２の出力端子２Ｎに接続される。回路線１ｎに第４のダイオードＤ４のカソードが接続され、ダイオードＤ４のアノードが第２の出力端子２Ｎに接続される。スイッチング素子Ｓ１およびスイッチング素子Ｓ２のオン／オフ動作は、制御回路３によって生成されたパルス信号（ドライブパルス）によって制御される。

【００２４】

制御回路３には、入力交流電源電圧が供給される。制御回路３が出力するドライブパルスによって、交流電源電圧の一方の半サイクル期間例えば正の半サイクル期間中には、第１のスイッチング素子Ｓ１が常にオン状態とされると共に、第２のスイッチング素子Ｓ２がスイッチング動作される。交流電源電圧の他方の半サイクル期間例えば負の半サイクル期間中には、第２のスイッチング素子Ｓ２が常にオン状態とされると共に、第１のスイッチング素子Ｓ１がスイッチング動作される。なお、交流電源の上側回路線の電位が下側回路線の電位より高くなる期間を正の半サイクル期間と称する。この状態ではない期間を負の半サイクル期間と称する。

10

20

30

40

50

【0025】

「第1の実施の形態の動作」

正の半サイクル期間において、スイッチング素子S1が常にオンとされ、スイッチング素子S2がスイッチング動作を行う。スイッチング素子S2がオンの期間では、入力端子1Pからスイッチング素子S1、インダクタL1、スイッチング素子S2を順に經由して入力端子1Nに電流が流れる。

【0026】

スイッチング素子S2がオフすると、インダクタ電流が瞬時に遮断されるので、インダクタL1のスイッチング素子S2が接続された端子側には高電圧が発生する。インダクタL1による昇圧動作がなされる。昇圧された電圧がダイオードD2を介して平滑コンデンサC1を充電する。平滑コンデンサC1の両端に発生する電圧が出力端子2Pおよび2N間に接続される負荷に出力される。負荷からのリターン電流、或いは平滑コンデンサC1を充電したリターン電流は、ダイオードD4を介して交流電源の下側の回路線lnへ流れる。

10

【0027】

負の半サイクル期間において、スイッチング素子S2が常にオンとされ、スイッチング素子S1がスイッチング動作を行う。スイッチング素子S1がオンの期間では、入力端子1Nからスイッチング素子S2、インダクタL1、スイッチング素子S1を順に經由して入力端子1Pに電流が流れる。

【0028】

スイッチング素子S1がオフすると、インダクタ電流が瞬時に遮断されるので、インダクタL1のスイッチング素子S1が接続された端子側には高電圧が発生する。インダクタL1による昇圧動作がなされる。昇圧された電圧がダイオードD1を介して平滑コンデンサC1を充電する。平滑コンデンサC1の両端に発生する電圧が出力端子2Pおよび2N間に接続される負荷に出力される。負荷からのリターン電流、或いは平滑コンデンサC1を充電したリターン電流は、ダイオードD3を介して交流電源の上側の回路線lpへ流れる。

20

【0029】

この発明の第1の実施の形態では、第1のダイオードD1、第2のダイオードD2、第3のダイオードD3および第4のダイオードD4には、昇圧された電位による電流しか流れないので、上述した説明例では、整流ダイオードD1乃至D4による損失が9.0Wとなる。さらに、インダクタが昇圧動作しないときがある図9および図10に示す従来の構成と異なり、使用するインダクタ数が一つで済む。したがって、図9に示す従来の構成のように、入力リターン電流とインダクタの直流抵抗成分による損失が生じない利点がある。

30

【0030】

図11の比較表に示すように、この発明は、従来のPFC電源回路に比較して損失を最も少ないものとできる。しかも、従来のブリッジレスPFCに比して必要とするインダクタの個数が1個で良い。このことは、電源回路を小型化する上で都合が良い。

【0031】

<2. 第2の実施の形態>

「第2の実施の形態の構成」

図2を参照して、この発明の第2の実施の形態の構成について説明する。第2の実施の形態は、第1の実施の形態において、スイッチング素子S1およびスイッチング素子S2として、Nチャネル型MOS(Metal Oxide Semiconductor) FET(Field Effect Transistor) Q1およびMOSFET Q2を使用する構成である。MOSFET Q1およびMOSFET Q2のゲートに対して、別個の制御回路3Aおよび制御回路3Bがドライブパルスをそれぞれ供給する。

40

【0032】

制御回路3Aおよび制御回路3Bに対しては、それぞれ絶縁された別個のDC電源が供

50

給される。制御回路 3 A および制御回路 3 B に対する D C 電源は、V D D 1 および G N D 1、並びに V D D 2 および G N D 2 である。一般的に、K W オーダーの大容量電源では、制御用に数ワット程度の小型の A C - D C 電源が併設されることが多い。いわゆるサブコンバータである。サブコンバータ用の絶縁トランスに負荷巻線を追加することは容易であり、追加された負荷巻線と簡単な整流回路によって 2 つの制御回路 3 A、3 B に対して絶縁された個別の D C 電源が供給される。

【0033】

M O S F E T Q 1 および M O S F E T Q 2 を一つの制御回路で駆動することも可能である。第 2 の実施の形態のように、M O S F E T Q 1 および M O S F E T Q 2 に対して別々の制御回路 3 A および制御回路 3 B を設けることによって、各 M O S F E T に適した制御が可能となる。

10

【0034】

入力端子 1 P および入力端子 1 N のそれぞれから第 1 の回路線 1 p および第 2 の回路線 1 n が導出される。回路線 1 p および回路線 1 n の間に、抵抗 R 1、抵抗 R 2 および抵抗 R 3 の直列回路が挿入される。抵抗直列回路は、制御回路 3 A および制御回路 3 B が力率補正を行うために入力電圧の位相を検出するための分圧抵抗群である。制御回路 3 A および制御回路 3 B は、抵抗 R 1 および抵抗 R 2 の接続点の電圧、並びに抵抗 R 2 および抵抗 R 3 の接続点の電圧から入力電圧の極性も検出できる。

【0035】

回路線 1 p と昇圧用のインダクタ L 1 の一端との間に、抵抗 R 4 および第 1 の M O S F E T Q 1 のドレイン・ソース間が直列に接続される。抵抗 R 4 と M O S F E T Q 1 のソースとの接続点が制御回路 3 A の制御信号入力端子と接続される。回路線 1 n と昇圧用のインダクタ L 1 の他端との間に抵抗 R 5 および第 2 の M O S F E T Q 2 のドレイン・ソース間が直列に接続される。抵抗 R 5 と M O S F E T Q 2 のソースとの接続点が制御回路 3 B の制御信号入力端子と接続される。

20

【0036】

抵抗 R 4 および抵抗 R 5 は、M O S F E T Q 1 および Q 2 のそれぞれのソース電流を検出するためのシャント抵抗である。ソース電流の検出信号が制御回路 3 A および制御回路 3 B に制御信号として供給される。検出信号が入力された制御回路 3 A および制御回路 3 B は、スイッチングのタイミングの制御と過電流に対する保護とを行うことができる。抵抗 R 4 および抵抗 R 5 の実際の抵抗値は数 10 m Ω 程度であり、抵抗 R 4 および抵抗 R 5 における損失は、無視できる量である。

30

【0037】

インダクタ L 1 の一端に第 1 のダイオード D 1 のアノードが接続され、第 1 の出力端子 2 P にダイオード D 1 のカソードが接続される。インダクタ L 1 の他端に第 2 のダイオード D 2 のアノードが接続され、第 1 の出力端子 2 P にダイオード D 2 のカソードが接続される。出力端子 2 P および出力端子 2 N 間に、平滑コンデンサ C 1 および抵抗 R 6、抵抗 R 7 および抵抗 R 8 の直列回路が並列に挿入される。

【0038】

抵抗 R 6 および抵抗 R 7 の接続点が制御回路 3 A の制御信号入力端子に接続され、抵抗 R 7 および抵抗 R 8 の接続点が制御回路 3 B の制御信号入力端子に接続される。制御回路 3 A および制御回路 3 B は、抵抗分圧回路から取り出された出力電圧に対応する電圧を制御信号として受け取って、出力電圧を所定の電圧に保つ安定化制御を行う。

40

【0039】

回路線 1 p に第 3 のダイオード D 3 のカソードが接続され、ダイオード D 3 のアノードが第 2 の出力端子 2 N に接続される。回路線 1 n に第 4 のダイオード D 4 のカソードが接続され、ダイオード D 4 のアノードが第 2 の出力端子 2 N に接続される。M O S F E T Q 1 および M O S F E T Q 2 のオン／オフ動作は、制御回路 3 A および制御回路 3 B によってそれぞれ生成されたパルス信号（ドライブパルス）によって制御される。

【0040】

50

「制御回路の構成例」

制御回路の構成の一例について説明する。制御回路 3 A および制御回路 3 B は、同一の構成とされている。図 3 に示すように、制御回路は、発振器 5 と、パルス幅変調 (PWM; Pulse Width Modulation) 回路 6 と、ドライブ回路 7 とを有する。なお、制御回路には、過電流に対する保護回路が設けられているが、簡単のため省略する。

【0041】

発振器 5 は、のこぎり波出力信号を発生する。発振器 5 の出力信号と、制御信号 CNT が PWM 変調回路 6 に供給される。制御信号 CNT は、制御信号生成部 8 によって生成される。制御信号生成部 8 には、入力交流電圧 V_i および出力検出電圧 V_{fb} が入力され、入力交流電圧 V_i の位相と、出力検出電圧 V_{fb} から求められた電圧レベルを有する制御信号 CNT が形成される。

10

【0042】

PWM 変調回路 6 は、例えばのこぎり波信号を制御信号 CNT と比較するコンパレータの構成とされ、制御信号 CNT のレベルに応じて PWM 変調回路 6 の出力パルス信号のデューティ比が可変される。PWM 変調回路 6 の出力パルス信号がドライブ回路 7 に供給され、ドライブ回路 7 から出力されるドライブパルスが MOSFET (Q1 または Q2) のゲートに対して供給される。例えば負荷が重くなると、PWM 変調回路 6 の出力信号のデューティ比が大となり、MOSFET のオン期間がより長くなるような制御がなされる。その結果、負荷が重くなっても出力電圧が所定の値に制御される。

【0043】

20

制御回路 3 A (3 B) が出力するドライブパルスによって、交流電源電圧の一方の半サイクル期間例えば正の半サイクル期間中には、MOSFET Q1 が常にオン状態とされると共に、MOSFET Q2 がスイッチング動作される。交流電源電圧の他方の半サイクル期間例えば負の半サイクル期間中には、MOSFET Q2 が常にオン状態とされると共に、MOSFET Q1 がスイッチング動作される。

【0044】

「第 2 の実施の形態の動作」

図 4 の各部波形図を参照してこの発明の第 2 の実施の形態の動作について説明する。図 4 A は、交流電源 1 の電圧波形である。T+ で示す期間は、入力端子 1 P が正極で、入力端子 1 N が負極となる正の半サイクル期間である。T- で示す期間は、入力端子 1 P が正極で、入力端子 1 N が負極となる負の半サイクル期間である。

30

【0045】

図 4 B に示すように、正の半サイクル期間 T+ において、MOSFET Q1 が常にオンとされ、MOSFET Q2 が制御回路 3 B からのドライブパルス信号によってスイッチング動作を行う。負の半サイクル期間 T- において、MOSFET Q2 が常にオンとされ、MOSFET Q1 が制御回路 3 A からのドライブパルス信号によってスイッチング動作を行う。

【0046】

図 4 C に示すように、MOSFET Q1 および MOSFET Q2 のそれぞれのドレイン電圧は、常時オン状態では、入力交流電圧の波形の電圧となる。MOSFET Q1 および MOSFET Q2 のそれぞれのドレイン電圧は、オフ状態では、スイッチング動作によって発生するパルス波形となる。スイッチング動作は、交流電圧の振幅が小さい期間では、比較的粗い密度でパルス信号を発生し、交流電圧の振幅が大きい期間では、比較的細かい密度でパルス信号を発生するようになされる。図 4 C のドレイン電圧波形の線の間隔の大小がパルス信号の密度を表している。

40

【0047】

正の半サイクル期間 T+ における MOSFET Q2 のスイッチング動作について述べると、MOSFET Q2 がオンの期間では、入力端子 1 P から MOSFET Q1、インダクタ L1、MOSFET Q2 を順に経由して入力端子 1 N に電流が流れる。MOSFET Q2 がオフすると、インダクタ電流が瞬時に遮断されるので、インダクタ L1 の

50

MOSFET Q2が接続された端子側には高電圧が発生する。インダクタL1による昇圧動作がなされる。

【0048】

昇圧された電圧がダイオードD2を介して平滑コンデンサC1を充電する。平滑コンデンサC1の両端に発生する電圧が出力端子2Pおよび2N間に接続される負荷に出力される。負荷からのリターン電流、或いは平滑コンデンサC1を充電したリターン電流は、ダイオードD4を介して交流電源の下側の回路線1nへ流れる。

【0049】

負の半サイクル期間T₋において、MOSFET Q2が常にオンとされ、MOSFET Q1がスイッチング動作を行う。MOSFET Q1がオンの期間では、入力端子1NからMOSFET Q2、インダクタL1、MOSFET Q1を順に經由して入力端子1Pに電流が流れる。MOSFET Q1がオフすると、インダクタ電流が瞬時に遮断されるので、インダクタL1のMOSFET Q1が接続された端子側には高電圧が発生する。インダクタL1による昇圧動作がなされる。

【0050】

昇圧された電圧がダイオードD1を介して平滑コンデンサC1を充電する。平滑コンデンサC1の両端に発生する電圧が出力端子2Pおよび2N間に接続される負荷に出力される。負荷からのリターン電流、或いは平滑コンデンサC1を充電したリターン電流は、ダイオードD3を介して交流電源の上側の回路線1pへ流れる。

【0051】

図4Dに示すように、インダクタL1にのこぎり波電流が流れる。図4Dの電流波形は、図5に拡大して示すように、制御回路3A（または3B）からの駆動パルスOUTに対して、のこぎり波電流波形を繰り返すものとなる。図5の波形は、インダクタ電流が0とならない電流連続モードの波形である。しかしながら、この発明は、電流連続モードに限らず、インダクタ電流が0となるのに同期してスイッチング動作を反転させる臨界モードのPFCに対しても適用できる。臨界モードの場合、インダクタ電流が0となることを検出する巻線を設けても良い。

【0052】

さらに、負の半サイクル期間T₋においてダイオードD1およびD3をそれぞれ流れる電流は、ほぼ同様な波形であるので、図4Eに一つの波形として示す。正の半サイクル期間T₊においてダイオードD2およびD4をそれぞれ流れる電流は、ほぼ同様な波形であるので、図4Fに一つの波形として示す。

【0053】

図4Gに示すように、出力端子2Pには、一定の直流出力電圧が取り出される。図4の波形図から入力電圧の極性が変わる毎に、MOSFET Q1と、MOSFET Q2との役割が入れ替わりながら動作することがわかる。同様に、ダイオードD1、D3と、D2、D4との役割が入れ替わりながら動作することがわかる。

【0054】

この発明の第2の実施の形態は、上述した第1の実施の形態と同様に損失を少なくできる。さらに、1個のインダクタを使用すれば良く、電源回路を小型化できる。

【0055】

図6は、出力電力1KWクラスの従来のPFC回路の損失特性と、計算したこの発明の第2の実施の形態（図2）によるPFC回路の損失特性とのグラフを示す。横軸は出力電力である。図6から分かるように、出力電力が大きいほど、従来のPFC回路に比してこの発明により改善される損失量が大きくなる。

【0056】

図7は、図6と同様に横軸を出力電力とし、縦軸を効率で表したグラフである。ここでの効率とは、出力電力を入力電力で割った値を%で表したものである。出力電力が大きくなっても、従来のPFC回路に比して効率が落ちにくい結果となった。このように、この発明は、大出力のPFC回路に適している。しかも使用するインダクタ数を1個で良く、

10

20

30

40

50

電源回路を小型化するのに適している。

【0057】

「変形例」

以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えばスイッチング素子としては、M O S F E T 以外に I G B T (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) を使用しても良い。リレー素子を使用することも可能である。さらに、この発明が適用された電源回路は、電子機器に組み込まれても良いし、A C - D C 電源装置単体の構成としても良い。

【図面の簡単な説明】

10

【0058】

【図1】この発明による電源回路の第1の実施の形態の接続図である。

【図2】この発明による電源回路の第2の実施の形態の接続図である。

【図3】制御回路の一例のブロック図である。

【図4】この発明の第2の実施の形態の動作説明に用いる各部波形図である。

【図5】図3の一部の区間を拡大した波形図である。

【図6】出力電力1KWクラスの従来のPFC回路の損失特性と、計算したこの発明の第2の実施の形態によるPFC回路の損失特性とを示すグラフである。

【図7】従来のPFC回路の効率と、計算したこの発明の第2の実施の形態によるPFC回路の効率とを示すグラフである。

20

【図8】従来の電源回路の一例の接続図である。

【図9】従来のブリッジレスPFCの一例の接続図である。

【図10】従来のブリッジレスPFCの他の例の接続図である。

【図11】この発明による電源回路と従来の電源回路に関して、損失とインダクタの個数との比較表を示す略線図である。

【0059】

1・・・交流電源

1P, 1N・・・入力端子

2P, 2N・・・出力端子

3, 3A, 3B・・・制御回路

lp, ln・・・回路線

S1, S2・・・スイッチング素子

Q1, Q2・・・M O S F E T

L1・・・インダクタ

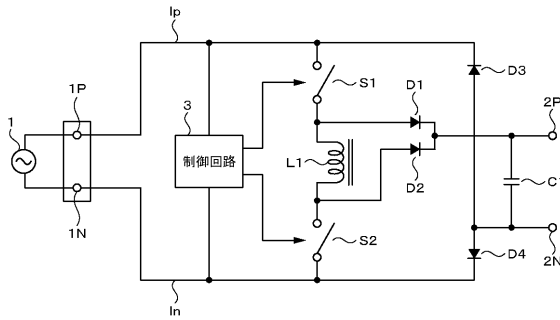
C1・・・平滑コンデンサ

SW・・・スイッチ回路

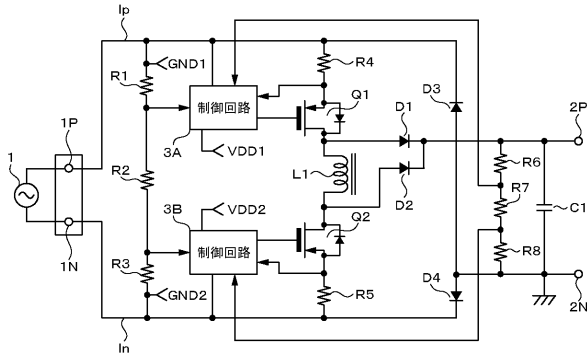
D1～D4・・・ダイオード

30

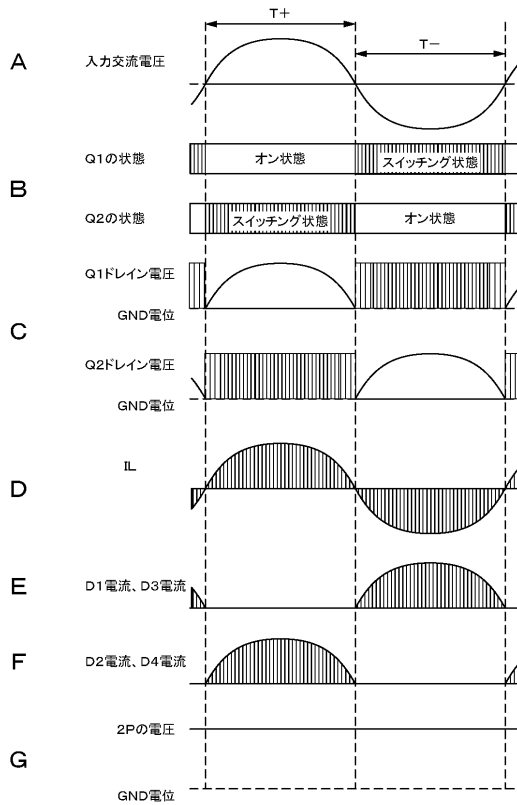
【図 1】



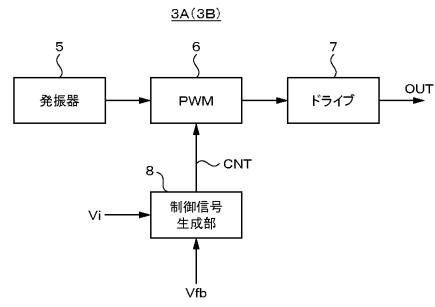
【図 2】



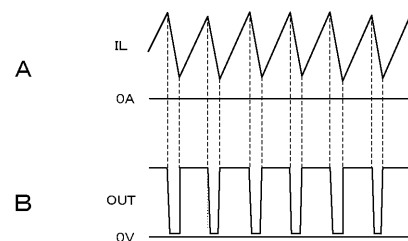
【図 4】



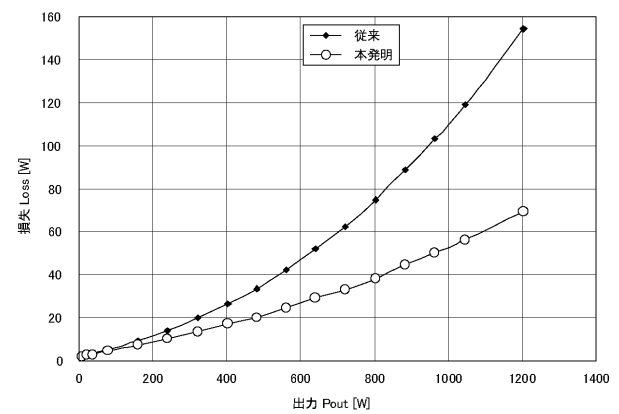
【図 3】



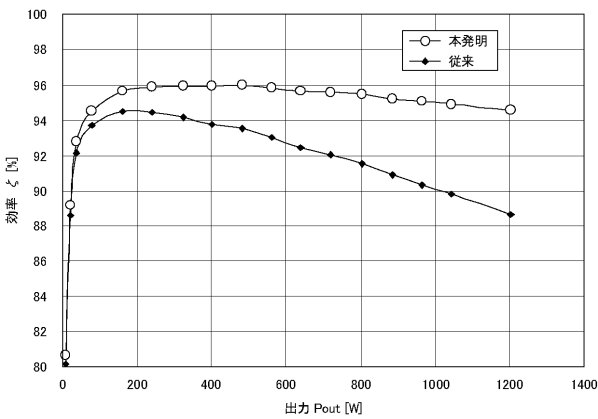
【図 5】



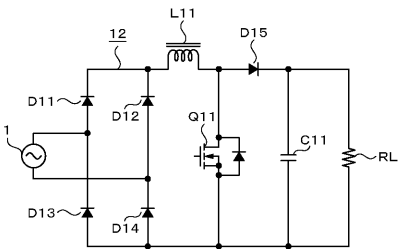
【図 6】



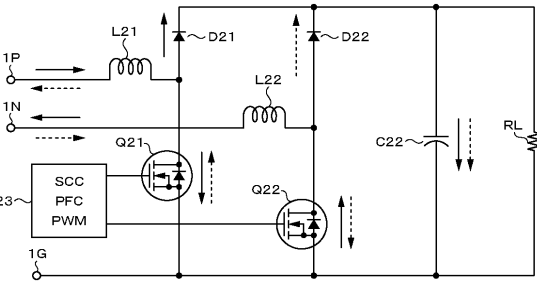
【図 7】



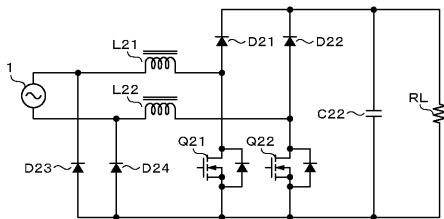
【図 8】



【図 9】



【図 10】



【図 11】

	本発明	従来PFC	ブリッジレスPFC1	ブリッジレスPFC2
図番号	図1	図8	図9	図10
整流ダイオードの合計損失	9.0W	23.5W	4.5W	14.01W
インダクタ数	1	1	2	2
入力リターン電流とインダクタ直流抵抗成分の損失	0W	0W	13.8W	0W
損失合計	9.0W	23.5W	18.3W	14.01W