



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0010014
(43) 공개일자 2024년01월23일

(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2024.01) H01L 21/02 (2006.01)
H01L 33/32 (2010.01)
(52) CPC특허분류
H01L 33/007 (2013.01)
H01L 21/02378 (2013.01)
(21) 출원번호 10-2023-7043617
(22) 출원일자(국제) 2022년06월08일
심사청구일자 2023년12월18일
(85) 번역문제출일자 2023년12월18일
(86) 국제출원번호 PCT/JP2022/023088
(87) 국제공개번호 WO 2022/270309
국제공개일자 2022년12월29일
(30) 우선권주장
JP-P-2021-102585 2021년06월21일 일본(JP)

(71) 출원인
교세라 가부시킴가이샤
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지
(72) 발명자
무라카와 켄타로
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지 교세라 가부시킴가이샤 나이
카미카와 타케시
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지 교세라 가부시킴가이샤 나이
(74) 대리인
하영욱

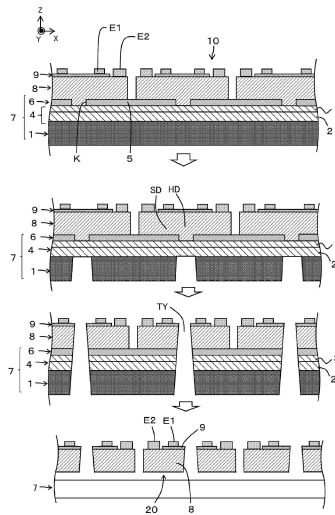
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 반도체 디바이스의 제조 방법 및 제조 장치, 반도체 디바이스 및 전자기기

(57) 요약

반도체 디바이스의 제조 방법은, 주 기판과, 주 기판보다 상방에 위치하고, 마스크부 및 개구부를 포함하는 마스크 패턴을 가진 템플레이트 기판을 준비하는 공정과, ELO법을 사용해서 마스크 패턴 상에 제 1 반도체부를 형성하는 공정과, 주 기판 중 평면시에서 개구부와 겹치는 부분을 제거하는 공정과, 제 1 반도체부 중 평면시에서 개구부와 겹치는 부분을 제거하는 공정을 포함한다.

대표도 - 도8



(52) CPC특허분류

H01L 21/02381 (2013.01)

H01L 21/0254 (2013.01)

H01L 21/02639 (2013.01)

H01L 21/02647 (2013.01)

H01L 33/0093 (2020.05)

H01L 33/32 (2013.01)

명세서

청구범위

청구항 1

주 기관과, 상기 주 기관보다 상방에 위치하고, 마스크부 및 개구부를 포함하는 마스크 패턴을 가진 템플레이트 기관을 준비하는 공정과,

상기 마스크 패턴 상에 제 1 반도체부를 형성하는 공정과,

상기 주 기관 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 공정과,

상기 제 1 반도체부 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 공정을 포함하는 반도체 디바이스의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 주 기관을 부분적으로 제거하고, 상기 주 기관의 잔여의 부분을 에칭 마스크로 해서 상기 제 1 반도체부를 제거하는 반도체 디바이스의 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 반도체부를 부분적으로 제거하는 공정 전에, 상기 주 기관의 전부를 제거하는 반도체 디바이스의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 주 기관의 전부를 제거하고, 상기 마스크부를 에칭 마스크로 해서 상기 제 1 반도체부를 제거하는 반도체 디바이스의 제조 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 반도체부보다 상층에 제 2 반도체부를 형성하는 공정을 포함하고,

상기 제 2 반도체부 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 반도체 디바이스의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 반도체부를 부분적으로 제거하는 공정에 계속해서, 상기 제 2 반도체부를 부분적으로 제거하는 반도체 디바이스의 제조 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 템플레이트 기관을 준비하는 공정에 있어서, 상기 주 기관과 상기 마스크 패턴 사이에 하지층을 가진 템플레이트 기관을 준비하고,

상기 하지층 중 적어도 평면시에서 상기 개구부와 겹치는 부분을 제거하는 공정을 포함하는 반도체 디바이스의 제조 방법.

청구항 8

제 2 항에 있어서,
상기 주 기관을 부분적으로 제거하는 공정 전에,
상기 주 기관의 이면을 연마해서 두께를 감소시키는 공정을 포함하는 반도체 디바이스의 제조 방법.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,
상기 제 1 반도체부는 질화물 반도체를 포함하고,
상기 제 1 반도체부를 부분적으로 제거하는 공정에서는 상기 제 1 반도체부의 (000-1)면으로부터 에칭을 행하는 반도체 디바이스의 제조 방법.

청구항 10

제 4 항에 있어서,
지지 기관에 의해 상기 제 1 반도체부를 지지하는 공정을 더 포함하는 반도체 디바이스의 제조 방법.

청구항 11

제 10 항에 있어서,
상기 지지 기관이 실장 기관인 반도체 디바이스의 제조 방법.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,
상기 제 1 반도체부를 부분적으로 제거하는 공정 후에, 상기 제 1 반도체부와 상기 마스크 패턴을 이격하는 반도체 디바이스의 제조 방법.

청구항 13

제 1 항 또는 제 2 항에 있어서,
상기 제 1 반도체부를 부분적으로 제거하는 공정 후에, 상기 주 기관의 전부를 제거하는 반도체 디바이스의 제조 방법.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 마스크부는 선택 성장용 마스크이며,
상기 제 1 반도체부가 GaN계 반도체를 포함하고,
상기 주 기관이 실리콘 기관 또는 탄화실리콘 기관인 반도체 디바이스의 제조 방법.

청구항 15

제 7 항에 있어서,
상기 하지층은 평면시에서 상기 개구부와 겹치는 시드부를 포함하고,
상기 제 1 반도체부를 부분적으로 제거하는 공정에서는 상기 시드부와 상기 제 1 반도체부의 결합부를 제거하는 반도체 디바이스의 제조 방법.

청구항 16

제 1 항에 있어서,

상기 제 1 반도체부를 부분적으로 제거하는 공정 전에, 상기 마스크부 및 상기 제 1 반도체부의 상면 및 측면에 접하는 앵커막을 형성하는 반도체 디바이스의 제조 방법.

청구항 17

주 기관보다 상층에 마스크부 및 개구부를 포함하는 마스크 패턴을 형성한 후에, ELO법을 사용해서 상기 마스크 패턴 상에 제 1 반도체부를 형성하는 형성부와,

상기 주 기관 중 적어도 평면시에서 상기 개구부와 겹치는 부분을 제거한 후에, 상기 제 1 반도체부 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 가공부를 구비하는 반도체 디바이스의 제조 장치.

청구항 18

GaN계 반도체를 포함하는 제 1 반도체부와, 상기 제 1 반도체부보다 상층에 위치하는 활성층을 구비한 반도체 디바이스로서,

상기 제 1 반도체부는 (0001)면인 상면과, (000-1)면인 하면을 포함하고,

상기 제 1 반도체부 상면의 <11-20> 방향의 길이가 상기 제 1 반도체부 하면의 <11-20> 방향의 길이보다 큰 반도체 디바이스.

청구항 19

제 18 항에 있어서,

상기 제 1 반도체부 상에 상기 활성층을 포함하는 제 2 반도체부를 구비하고,

상기 제 2 반도체부에 접하는 제 1 전극과, 상기 제 1 반도체부에 접하는 제 2 전극을 포함하는 반도체 디바이스.

청구항 20

제 19 항에 있어서,

상기 제 2 반도체부는 (0001)면인 상면과, (000-1)면인 하면을 포함하고,

상기 제 2 반도체부 상면의 <11-20> 방향의 길이가 상기 제 2 반도체부 하면의 <11-20> 방향의 길이보다 큰 반도체 디바이스.

청구항 21

제 18 항 내지 제 20 항 중 어느 한 항에 기재된 반도체 디바이스를 포함하는 전자기기.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 디바이스의 제조 방법 등에 관한 것이다.

배경 기술

[0002] 특허문헌 1에는 사파이어 기관과, 그 위에 성장시킨 GaN 버퍼층에 관통 구멍을 형성하고, 관통 구멍을 통해서 GaN 콘택트층에 접촉하는 전극을 사파이어 기관의 하측으로 취출하는 방법이 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특허공개 평 11-45892호 공보

발명의 내용

[0004] 본 개시에 따른 반도체 디바이스의 제조 방법은 주 기판과, 상기 주 기판보다 상방에 위치하고, 마스크부 및 개구부를 포함하는 마스크 패턴을 가진 템플레이트 기판을 준비하는 공정과, ELO법을 사용해서 상기 마스크 패턴 상에 제 1 반도체부를 형성하는 공정과, 상기 주 기판 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 공정과, 상기 제 1 반도체부 중 평면시에서 상기 개구부와 겹치는 부분을 제거하는 공정을 포함한다.

도면의 간단한 설명

[0005] 도 1은 본 실시형태에 따른 반도체 디바이스의 구성을 나타내는 단면도이다.
 도 2는 본 실시형태에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다.
 도 3은 본 실시형태에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.
 도 4는 본 실시형태에 따른 반도체 디바이스의 제조 장치의 일례를 나타내는 블록도이다.
 도 5는 실시예 1에 따른 반도체 디바이스의 구성을 나타내는 단면도이다.
 도 6은 실시예 1에 따른 전자기기의 구성을 나타내는 단면도이다.
 도 7은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다.
 도 8은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.
 도 9는 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 평면도이다.
 도 10은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 평면도이다.
 도 11은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.
 도 12는 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.
 도 13은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 평면도이다.
 도 14는 실시예 1에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다.
 도 15는 실시예 1에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다.
 도 16은 실시예 2에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다.
 도 17은 실시예 2에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.
 도 18은 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다.
 도 19는 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다.
 도 20은 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 플로우차트이다.
 도 21은 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다.
 도 22는 실시예 3에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다.
 도 23은 실시예 3에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0006] [반도체 디바이스]
 [0007] 도 1은 본 실시형태에 따른 반도체 디바이스의 구성을 나타내는 단면도이다. 도 1에 나타난 바와 같이, 본 실시 형태에 따른 반도체 디바이스(20)는 제 1 반도체부(8)와, 제 1 반도체부(8)보다 상층(상방)에 위치하고, 활성층을 포함하는 제 2 반도체부(9)를 구비한다. 제 1 반도체부(8)는 질화물 반도체(예를 들면, GaN계 반도체)를 포함하는 제 1 반도체층이어도 좋고, 제 2 반도체부(9)는 질화물 반도체를 포함하는 제 2 반도체층이어도 좋다. 제 1 반도체부(8)는 (0001)면인 상면(8a)과, (000-1)면인 하면(8b)을 포함한다. 반도체 디바이스(20)에서는 상면(8a)의 <11-20> 방향의 길이가 하면(8b)의 <11-20> 방향의 길이보다 큰 구성으로 할 수 있다. 이렇게 하면,

반도체 디바이스(20)의 제조 공정이 용이해진다.

[0008]

[반도체 디바이스의 제조]

[0009]

도 2는 본 실시형태에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다. 도 3은 본 실시형태에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다. 도 2 및 도 3의 반도체 디바이스의 제조 방법에서는 템플레이트 기판(EL0 성장용 기판)(7)을 준비하는 공정 후에, 마스크부(5) 및 개구부(K)를 포함하는 마스크 패턴(6)을 포함하는 템플레이트 기판(7) 상에 EL0법을 사용해서 제 1 반도체부(8)를 형성한다. 이어서, 제 2 반도체부(9)를 형성하는 공정을 행한다. 그 후, 주 기판(1)을 그 이면으로부터 에칭함으로써, 주 기판(1)의, 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정을 행한다. 그 후, 제 1 반도체부(8)의, 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정을 행한다. 이것에 의해, 템플레이트 기판(7)으로부터 반도체 디바이스를 이격시키기 쉽게 할 수 있다. 또한, 「평면시에서 2개의 부재가 겹친다」란 「주 기판(1)의 법선 방향으로 보는 평면시(투시적 평면시를 포함한다)에 있어서 한쪽의 부재의 적어도 일부가 다른쪽과 겹친다」인 것이다.

[0010]

도 4는 본 실시형태에 따른 반도체 디바이스의 제조 장치의 일례를 나타내는 블록도이다. 도 4의 반도체 디바이스의 제조 장치(70)는 템플레이트 기판(7) 상에 제 1 반도체부(8) 및 제 2 반도체부(9)를 형성하는 형성부(72)와, 주 기판(1)에 대해서 그 이면으로부터 에칭을 행하는 가공부(73)와, 형성부(72) 및 가공부(73)를 제어하는 제어부(74)를 구비한다.

[0011]

형성부(72)는 MOCVD(Metal Organic Chemical Vapor Deposition) 장치를 포함하고 있어도 좋고, 제어부(74)는 프로세서 및 메모리를 포함하고 있어도 좋다. 제어부(74)는 예를 들면, 내장 메모리, 통신 가능한 통신 장치, 또는 액세스 가능한 네트워크 상에 격납된 프로그램을 실행함으로써 형성부(72) 및 가공부(73)를 제어하는 구성이어도 좋다. 상기 프로그램 및 상기 프로그램이 격납된 기록 매체 등도 본 실시형태에 포함된다.

[0012]

[실시에 1]

[0013]

(전체 구성)

[0014]

도 5는 실시예 1에 따른 반도체 디바이스의 구성을 나타내는 단면도이다. 도 5에 나타난 바와 같이, 실시예 1에 따른 반도체 디바이스(20)는 제 1 반도체부(8)와, 제 1 반도체부(8) 상에 위치하고, n형 반도체층(9N), 활성층(9E) 및 p형 반도체층(9P)을 포함하는 제 2 반도체부(9)와, p형 반도체층(9P) 상에 위치하는 제 1 전극(E1)과, 제 1 반도체부(8) 상에 위치하는 제 2 전극(E2)을 구비한다. 활성층(9E)은 예를 들면, 발광층이다. 제 1 전극(E1)은 애노드이다. 제 2 반도체부(9)는 제 1 반도체부(8) 상에 형성되지만, 제 1 반도체부(8)의 일부의 상방에는 제 2 반도체부(9)가 형성되어 있지 않고, 이 제 1 반도체부(8)의 일부와 접하도록 캐소드인 제 2 전극(E2)이 형성되어 있어도 좋다.

[0015]

제 1 반도체부(8)는 질화물 반도체(예를 들면, GaN계 반도체)를 포함한다. 질화물 반도체는 예를 들면, $Al_xGa_yIn_zN(0 \leq x \leq 1; 0 \leq y \leq 1; 0 \leq z \leq 1; x+y+z=1)$ 으로 나타낼 수 있고, 구체예로서, GaN계 반도체, AlN(질화알루미늄), InAlN(질화인듐알루미늄), InN(질화인듐)을 들 수 있다. GaN계 반도체란 갈륨 원자(Ga) 및 질소 원자(N)를 포함하는 반도체이며, 전형적인 예로서, GaN, AlGaIn, AlGaInN, InGaIn을 들 수 있다. 도 5에서는 GaN계 반도체의 <0001> 방향(두께 방향, c축 방향)을 Z 방향, GaN계 반도체의 <11-20> 방향(a축 방향)을 X 방향, GaN계 반도체의 <1-100> 방향(m축 방향)을 Y 방향으로 할 수 있다.

[0016]

제 1 반도체부(8)는 ELO(Epitaxial Lateral Overgrowth)법에 의해 형성할 수 있다. 제 1 반도체부(8)는 Si 등의 n형 도펀트를 포함하고 있어도 좋다. 제 1 반도체부(8)는 (0001)면인 상면(8a)과, (000-1)면인 하면(8b)을 포함한다. 제 2 반도체부(9)는 (0001)면인 상면(9a)과, (000-1)면인 하면(9b)을 포함한다.

[0017]

반도체 디바이스(20)에서는 제 1 반도체부(8)의 상면(8a)의 <11-20> 방향(X 방향)의 길이가 하면(8b)의 <11-20> 방향(X 방향)의 길이보다 커도 좋다. 또한, 제 2 반도체부(9)(p형 반도체층(9P))의 상면(9a)의 <11-20> 방향(X 방향)의 길이가 제 2 반도체부(9)(n형 반도체층(9N))의 하면(9b)의 <11-20> 방향(X 방향)의 길이보다 커도 좋다. 이렇게 하면, 반도체 디바이스(20)의 제조 공정이 용이해진다(후술).

[0018]

반도체 디바이스(20)의 구체예로서, 발광 다이오드(LED), 반도체 레이저, 쇼트키 다이오드, 포토 다이오드, 트랜지스터(파워 트랜지스터, 고전자 이동도 트랜지스터를 포함한다) 등을 들 수 있다.

[0019]

[전자기기]

- [0020] 도 6은 실시예 1에 따른 전자기기의 구성을 나타내는 단면도이다. 도 6에 나타낸 바와 같이, 마이크로 LED 디스플레이(30)(전자기기)는 적색 마이크로 LED(20R), 녹색 마이크로 LED(20G), 청색 마이크로 LED(20B)로서 제작된 상기의 반도체 디바이스(20)를 포함한다. 또한, 마이크로 LED 디스플레이(30)는 이들 반도체 디바이스(20)를 실장하는 구동 기관(23)과, 구동 기관(23)을 제어하는 제어 회로(25)와, 반도체 디바이스(20)를 구동하는 드라이버 회로(29)를 포함한다. 적색 마이크로 LED(20R), 녹색 마이크로 LED(20G), 청색 마이크로 LED(20B)는 구동 기관(23)의 복수의 화소 회로(27)에 도전수지(예를 들면, 이방성 도전수지) 등에 의해 실장된다. 드라이버 회로(29)의 일부는 구동 기관(23)에 포함되어 있어도 좋다.
- [0021] 전자기기로서는 마이크로 LED 디스플레이(30) 이외에 표시 장치, 레이저 출사 장치(페브리 페로 타입, 면발광 타입을 포함한다), 조명 장치, 통신 장치, 정보처리 장치, 센싱 장치, 전력 제어 장치 등을 들 수 있다.
- [0022] 도 7은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다. 도 8은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다. 도 9 및 도 10은 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 평면도이다.
- [0023] 도 7 및 도 8의 반도체 디바이스의 제조 방법에서는 템플레이트 기관(ELO 성장용 기관)(7)을 준비하는 공정을 행한다. 템플레이트 기관(7)은 주 기관(1), 하지부(4) 및 마스크 패턴(6)을 이 순서대로 구비하고, 마스크 패턴(6)은 마스크부(5) 및 개구부(K)를 포함한다. 그 후, 템플레이트 기관(7) 상에 ELO법을 사용해서 제 1 반도체부(8)를 형성한다. 이어서, 제 2 반도체부(9) 및 제 1 및 제 2 전극(E1·E2)을 형성하는 공정을 행한다. 이것에 의해, 반도체기관(10)이 형성된다.
- [0024] 그 후, 주 기관(1)을 그 이면으로부터 에칭(딥 에칭)함으로써, 주 기관(1) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정을 행한다. 또한, 주 기관(1)의 에칭을 행하기 전에, 주 기관(1)의 이면 연마 등에 의해 주 기관(1)의 두께를 감소시켜도 좋다. 이렇게 하면, 에칭 깊이가 작아지고, 에칭 정밀도가 높아진다.
- [0025] 그 후, 주 기관(1)의 잔여의 부분을 에칭 마스크로 해서, 하지부(4), 제 1 반도체부(8) 및 제 2 반도체부(9) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하고, Y 방향으로 연장되는 트렌치(TY)를 형성하는 공정을 행한다. 이 공정에서는 하지부(4)(시드부(3))와 제 1 반도체부(8)의 결합부가 제거된다. 제 1 반도체부(8)의 부분적인 제거에 계속해서(연속해서) 제 2 반도체부(9)의 부분적인 제거를 행해도 좋다. 이 공정에서의 에칭은 드라이 에칭이어도 좋고, 웨트 에칭이어도 좋다. 드라이 에칭의 경우는 사이드 에치를 억제할 수 있다. 웨트 에칭에는 인산 혹은 인산 혼합액 등을 사용할 수 있다.
- [0026] GaN계 반도체는 c축 방향으로 극성면인, N면(하면) 및 Ga면(상면)을 갖고 있고, 상면인 Ga면((0001)면)으로부터의 에칭 레이트보다, 하면인 N면((000-1)면)으로부터의 에칭 레이트의 쪽이 높다고 하는 특성을 갖고 있다. 제 1 반도체부(8)의 이면(하면)으로부터 에칭(특히, 드라이 에칭)을 행함으로써, 에칭의 속도 및 정밀도를 높일 수 있다. 또한, 제 1 반도체부(8)의 이면(하면)은 극성면에 한정되지 않는다. c면으로부터 기울어진 반극성면이어도 좋다. 극성면과 반극성면의 조합면이어도 좋다. 도 9에서는 Y 방향으로 연장되는 트렌치(TY)를 형성하고 있지만, 도 10과 같이, 트렌치(TY)의 형성과 같은 공정에서 X 방향으로 연장되는 트렌치(TX)를 형성해도 좋다.
- [0027] 그 후, 템플레이트 기관(7)과 제 1 반도체부(8)를 이격하는 공정을 행한다. 마스크부(5)와 제 1 반도체부(8)의 밀착력은 약하(주로 반데르발스 힘에 의한 것)므로, 예를 들면, 유연성을 갖는 점착 시트에 제 1 및 제 2 반도체부(8·9) 등을 접착시킨 상태에서, 제 1 반도체부(8)를 마스크부(5)로부터 박리할 수 있다. 즉, 템플레이트 기관(7)과 제 1 반도체부(8)를 이격하기 쉽다. 이것에 의해, 제 1 및 제 2 반도체부(8·9) 등이 개편화되어, 복수의 반도체 디바이스(20)가 형성된다. 트렌치(TY)는 상방(주 기관(1)으로부터 마스크 패턴(6)으로의 방향)을 향해서 끝이 가늘어지는 테이퍼 형상이기 때문에, 반도체 디바이스(20)에서는 제 1 반도체부 상면(8a)의 <11-20> 방향(X 방향)의 길이가, 제 1 반도체부 하면(8b)의 <11-20> 방향(X 방향)의 길이보다 커진다. 또한, 제 2 반도체부 상면(9a)의 <11-20> 방향(X 방향)의 길이가 제 2 반도체부 하면(9b)의 <11-20> 방향(X 방향)의 길이보다 커진다.
- [0028] 도 11 및 도 12는 실시예 1에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다. 제 1 반도체부(8) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정은 도 11과 같이, 주 기관(1)이 연직 상측이 되는 상태에서 행해도 좋다. 그 경우는 도 12와 같이, 제 1 반도체부(8)의 상면((0001)면) 및 측면과 마스크부(5)에 접하는 앵커막(AF)(예를 들면, 실리콘 산화막, 실리콘 질화막 등의 무기 절연막)을 형성해도 좋다. 이렇게 하면, 제 1 반도체부(8) 및 하지부(4)의 결합부가 제거되었을 때에 제 1 반도체부(8)가 마스크 패

콘 질화막을 이 순서대로 형성한 적층막으로 해도 좋다.

- [0044] 마스크부(5)의 핀홀 등의 이상 개소는 성막 후에, 유기 세정 등을 행하고, 다시 성막 장치에 도입해서 동종막을 형성함으로써, 이상 개소를 소멸시킬 수 있다. 일반적인 실리콘 산화막(단층)을 사용하고, 이러한 재성막 방법을 사용해서 양질의 마스크 패턴(6)을 형성할 수도 있다.
- [0045] (템플레이트 기관)
- [0046] 주 기관(1)에는 (111)면을 갖는 실리콘 기관을 사용하고, 하지부(4)의 버퍼부(2)는 AlN층(예를 들면, 30nm)으로 했다. 하지부(4)의 시드부(3)는 제 1 층인 Al_{0.6}Ga_{0.4}N층(예를 들면, 300nm)과, 제 2 층인 GaN층(예를 들면, 1~2 μm)이 이 순서대로 형성된 그레이디드층으로 했다.
- [0047] 마스크부(5)에는 산화실리콘막(SiO₂)과 질화실리콘막(SiN)을 이 순서대로 형성한 적층체를 사용했다. 산화실리콘막의 두께는 예를 들면, 0.3μm, 질화실리콘막의 두께는 예를 들면, 70nm이다. 산화실리콘막 및 질화실리콘막 각각의 성막에는 플라즈마 화학 기상 성장(CVD)법을 사용했다.
- [0048] (제 1 반도체부)
- [0049] 제 1 반도체부(8)는 ELO(Epitaxial Lateral Overgrowth)법에 의해 형성되고, 평면시에서 마스크부(5)와 겹치고, 상대적으로 관통 전위가 적은 저전위부(SD)와, 평면시에 있어서 마스크 패턴(6)의 개구부(K)와 겹치고, 저전위부보다 상대적으로 관통 전위가 많은 고전위부(HD)를 포함한다(도 8 참조). 저전위부(SD)의 관통 전위 밀도는 고전위부(HD)의 관통 전위 밀도의 1/5 이하여도 좋다. 저전위부(SD)의 관통 전위 밀도가 5×10⁶/cm² 이하여도 좋다. 저전위부(SD)에서는 관통 전위 밀도보다 비관통 전위 밀도의 쪽이 커도 좋다.
- [0050] 관통 전위는 제 1 반도체부(8)의 두께 방향(Z 방향)을 따라, 제 1 반도체부(8)의 하면 또는 내부로부터 그 표면 또는 표층으로 연장되는 전위(결함)이다. 관통 전위는 제 1 반도체부(8)의 표층(c면에 평행)에 대해서, CL(Cathode luminescence) 측정을 행하는 것에 의해 관찰 가능하다. 비관통 전위는 두께 방향에 평행한 면(예를 들면, m면)에 의한 단면에 있어서 CL 측정되는 전위이며, 주로는 기저면(c면) 전위이다.
- [0051] 활성층(9E)의 발광 영역(애노드 아래의 부분)을 평면시에서 저전위부(SD)와 겹침으로써, 활성층(9E)의 발광효율을 높일 수 있다. 제 2 반도체부(9) 중 평면시에서 저전위부(SD)와 겹치는 부분은 제 1 반도체부(8)의 저전위성을 이어받기 때문이다.
- [0052] 실시예 1에서는 제 1 반도체부(8)를 GaN층으로 하고, 형성부(72)가 구비하는 MOCVD 장치를 사용해서 상술의 템플레이트 기관(7) 상에 질화갈륨(GaN)의 ELO 성막을 행했다. ELO 성막 조건의 일례로서, 기관온도:1120℃, 성장압력:50kPa, TMG(트리메틸갈륨):22sccm, NH₃:15slm, V/III=6000(III족 원료의 공급량에 대한 V족 원료의 공급량의 비)을 채용할 수 있다.
- [0053] 이 경우, 제 1 반도체부(8)는 개구부(K)에 노출된 시드부(3)(제 2 층인 GaN층) 상에 선택 성장(세로 방향 성장)하고, 계속해서 마스크부(5) 상에 가로 방향 성장한다. 그리고, 마스크부(5) 상에 있어서 그 양측으로부터 가로 방향 성장하는 제 1 반도체부(8)가 회합하기 전에, 이들의 가로 성장을 정지시켰다.
- [0054] 마스크부(5)의 폭(Wm)은 50μm, 개구부(K)의 폭은 5μm, 제 1 반도체부(8)의 가로 폭은 53μm, 저결함부의 폭(X 방향의 사이즈)은 24μm, 제 1 반도체부(8)의 층두께는 5μm였다. 제 1 반도체부(8)의 에스펙트비는 53μm/5μm=10.6 이 되고, 매우 높은 에스펙트비가 실현되었다.
- [0055] 실시예 1에 있어서의 제 1 반도체부(8)의 형성에서는 가로 방향 성막 레이트를 높이고 있다. 가로 방향 성막 레이트를 높이는 방법은 이하와 같다. 우선, 개구부(K)로부터 노출된 시드부(3) 상에 Z 방향(c축 방향)으로 성장하는 세로 성장층을 형성하고, 그 후, X 방향(a축 방향)으로 성장하는 가로 성장층을 형성한다. 이 때, 세로 성장층의 두께를 10μm 이하, 바람직하게는 5μm 이하, 더욱 바람직하게는 3μm 이하로 함으로써, 가로 성장층의 두께를 낮게 억제하고, 가로 방향 성막 레이트를 높일 수 있다.
- [0056] (제 2 반도체부 및 전극)
- [0057] 제 2 반도체부(9)는 도 5에 나타낸 바와 같이, 하층측으로부터 순서대로 n형 반도체층(9N)과, 활성층(9E)과, p형 반도체층(9P)을 포함한다. 활성층(9E)은 예를 들면, MQW(Multi-Quantum Well) 구조이며, 예를 들면, InGaN 또는 GaN을 포함한다. n형 반도체층(9N)은 예를 들면, AlGaIn층이다. p형 반도체층(9P)은 예를 들면, p형의 GaN

층이다. 애노드인 제 1 전극(E1)은 p형 반도체층(9P)과 접촉하도록 배치된다.

- [0058] 제 1 및 제 2 반도체부(8·9)는 동일 장치(예를 들면, MOCVD 장치)로 연속 형성해도 좋고, 제 1 반도체부(8) 형성 후에, 일단 기판을 장치로부터 취출하고, 제 1 반도체부(8)의 표면연마 등을 행한 후에, 제 2 반도체부(9)를 형성해도 좋다. 제 2 반도체부(9)의 형성에는 MOCVD 장치 외에, 스퍼터 장치, 리모트 플라즈마 CVD 장치(RPCVD), PSD(Pulse Sputter Deposition) 장치 등을 사용할 수 있다. 리모트 플라즈마 CVD 장치, PSD 장치에서는 수소를 캐리어 가스로서 사용하지 않으므로, 저저항의 p형 GaN계 반도체를 형성할 수 있다.
- [0059] 활성층(9E)의 MQW 구조는 예를 들면, InGaN/GaN의 5~6주기의 구조로 할 수 있다. In 조성은 목적으로 하는 발광파장에서 다르고, 청색(450nm 부근)이면 15-20% 정도의 In 농도, 녹색(530nm 부근)이면 30% 정도의 In 농도로 할 수 있다. 필요에 따라 전자 블록킹층(예를 들면, AlGaN층)을 활성층(9E) 상에 형성해도 좋다. 또한, 저저항화를 위해서 p형 반도체층(9P)의 표면(10nm 정도)을 p형 하이도프층으로 해도 좋다.
- [0060] 제 1 및 제 2 전극(E1·E2)은 예를 들면, Au, Ag, Pd, Pt, Ni, Ti, V, W, Cr, Al, Cu, Zn, Sn 및 In 중 적어도 1개 포함하는 단층 구조 또는 복층 구조이어도 좋다.
- [0061] 도 14 및 도 15는 실시예 1에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다. 도 8에서는 하지부(4)를 주 기판(1) 상에 전면적으로 형성하고 있지만, 이것에 한정되지 않는다. 도 14와 같이, 하지부(4)를 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치도록 국소적으로 형성할 수도 있다. 또한, 도 15와 같이, 주 기판(1)으로서, 예를 들면, GaN 기판(GaN의 벌크 결정) 혹은 6H-SiC 기판을 사용함으로써, 하지부(4)를 형성하지 않고, 주 기판(1)의 상면을 시드로 해서 제 1 반도체부(8)를 성장시킬 수도 있다.
- [0062] ELO법을 사용해서 제 1 반도체부(8)를 형성할 경우, 주 기판(1) 및 주 기판(1) 상의 마스크 패턴(6)을 포함하는 템플레이트 기판(7)을 사용해도 좋다. 템플레이트 기판(7)이 마스크부(5)에 대응하는 성장 억제 영역(예를 들면, Z 방향의 결정 성장을 억제하는 영역)과, 개구부(K)에 대응하는 시드 영역을 가져도 좋다. 예를 들면, 주 기판(1) 상에 성장 억제 영역 및 시드 영역을 형성하고, 성장 억제 영역 및 시드 영역 상에 ELO법을 사용해서 제 1 반도체부(8)를 형성할 수도 있다.
- [0063] [실시예 2]
- [0064] 도 16은 실시예 2에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다. 도 17은 실시예 2에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다. 도 16 및 도 17의 반도체 디바이스의 제조 방법에서는 템플레이트 기판(ELO 성장용 기판)(7)을 준비하는 공정을 행한다. 템플레이트 기판은 주 기판(1), 하지부(4) 및 마스크 패턴(6)을 이 순서대로 구비하고, 마스크 패턴(6)은 마스크부(5) 및 개구부(K)를 포함한다. 그 후, 템플레이트 기판(7) 상에 ELO법을 사용해서 제 1 반도체부(8)를 형성한다. 이어서, 제 2 반도체부(9) 및 제 1 및 제 2 전극(E1·E2)을 형성하는 공정을 행한다.
- [0065] 그 후, 주 기판(1)의 전부를 제거하는 공정과, 하지부(4)의 전부를 제거하는 공정을 행한다. 그 후, 선택 성장 마스크인 마스크부(5)를 에칭 마스크로서 이용해서(기능시켜서), 제 1 및 제 2 반도체부(8·9) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정을 행한다. 그 후, 예를 들면, 불화수소(HF)를 사용해서 마스크부(5)를 제거하는 공정을 행한다. 이것에 의해, 템플레이트 기판(7)과 제 1 반도체부(8)를 용이하게 이격할 수 있다. 제 1 및 제 2 반도체부(8·9) 등이 개편화되어, 복수의 반도체 디바이스(20)가 형성된다.
- [0066] 도 18 및 도 19는 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다. 도 17에서는 하지부(4)를 주 기판(1) 상에 전면적으로 형성하고 있지만, 이것에 한정되지 않는다. 도 18과 같이, 하지부(4)를 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치도록 국소적으로 형성할 수도 있다. 또한, 도 19와 같이, 주 기판(1)으로서, 예를 들면, GaN 기판(GaN의 벌크 결정) 혹은 6H-SiC 기판을 사용함으로써, 하지부(4)를 형성하지 않고, 주 기판(1)의 상면을 시드로 해서 제 1 반도체부(8)를 성장시킬 수도 있다.
- [0067] 도 20은 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 플로우차트이다. 도 21은 실시예 2에 따른 반도체 디바이스의 제조 방법의 다른 예를 나타내는 단면도이다. 도 20 및 도 21의 반도체 디바이스의 제조 방법에서는 제 1 및 제 2 반도체부(8·9)를 포함하는 반도체기판(10)을 형성한 후에, 주 기판(1)의 반대측에 지지 기판(FK)을 접합한다. 이것에 의해, 제 1 및 제 2 반도체부(8·9) 및 제 1 및 제 2 전극(E·E2)이 지지 기판(FK)에 유지된다. 그 후, 주 기판(1)의 전부를 제거한다. 이렇게 하면, 주 기판(1)을 제거한 후의 핸들링이 용이해진다. 이 경우, 지지 기판(FK)을 실장 기판(서브 마운트 기판 혹은 구동 기판)으로 함으로써, 실장 공정을 생략할 수 있다. 또한, 지지 기판(FK)으로부터 또 다른 실장 기판에 제 1 및 제 2 반도체부(8·9) 등을 전사

해도 좋다.

[0068] [실시예 3]

[0069] 도 22는 실시예 3에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 플로우차트이다. 도 23은 실시예 3에 따른 반도체 디바이스의 제조 방법의 일례를 나타내는 단면도이다. 도 22 및 도 23의 반도체 디바이스의 제조 방법에서는 템플레이트 기판(ELO 성장용 기판)(7)을 준비하는 공정을 행한다. 그 후, 템플레이트 기판(7) 상에 ELO법을 사용해서 제 1 반도체부(8)를 형성한다. 이어서, 제 2 반도체부(9) 및 제 1 및 제 2 전극(E1·E2)을 형성하는 공정을 행한다. 그 후, 주 기판(1)을 그 이면으로부터 에칭(딥 에칭)함으로써, 주 기판(1) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하는 공정을 행한다. 그 후, 주 기판(1)의 잔여의 부분을 에칭 마스크로 해서, 하지부(4), 제 1 반도체부(8) 및 제 2 반도체부(9) 중 평면시에서 마스크 패턴(6)의 개구부(K)와 겹치는 부분을 제거하고, Y 방향으로 연장되는 트렌치(TY)를 형성하는 공정을 행한다. 그 후, 주 기판(1)의 전부를 제거하는 공정과, 제 1 반도체부(8)를 마스크 패턴(6)으로부터 이격하는 공정을 행한다.

[0070] 상술의 실시형태 및 각 실시예는 예시 및 설명을 목적으로 하는 것이며, 한정을 목적으로 하는 것은 아니다. 이들 예시 및 설명에 의거하면, 많은 변형 형태가 가능하게 되는 것이 당업자에게는 명백하다.

[0071] [부기 사항]

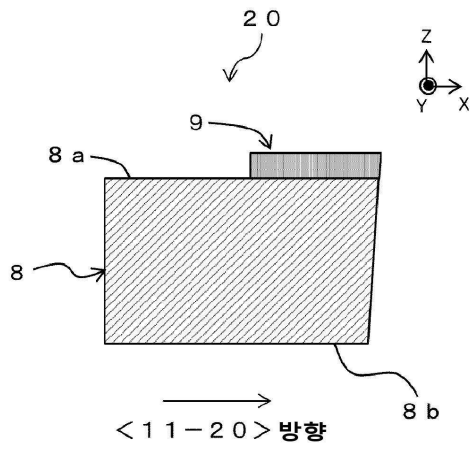
[0072] 이상, 본 개시에 따른 발명에 대해서, 여러 도면 및 실시예에 의거해서 설명해 왔다. 그러나, 본 개시에 따른 발명은 상술한 각 실시형태에 한정되는 것은 아니다. 즉, 본 개시에 따른 발명은 본 개시에서 나타낸 범위에서 여러가지 변형이 가능하며, 상이한 실시형태에 각각 개시된 기술적 수단을 적당히 조합해서 얻어지는 실시형태에 대해서도 본 개시에 따른 발명의 기술적 범위에 포함된다. 즉, 당업자이면 본 개시에 의거하여 여러가지 변형 또는 수정을 행하는 것이 용이한 것에 주의해야 한다. 또한, 이들의 변형 또는 수정은 본 개시의 범위에 포함되는 것에 유의해야 한다.

부호의 설명

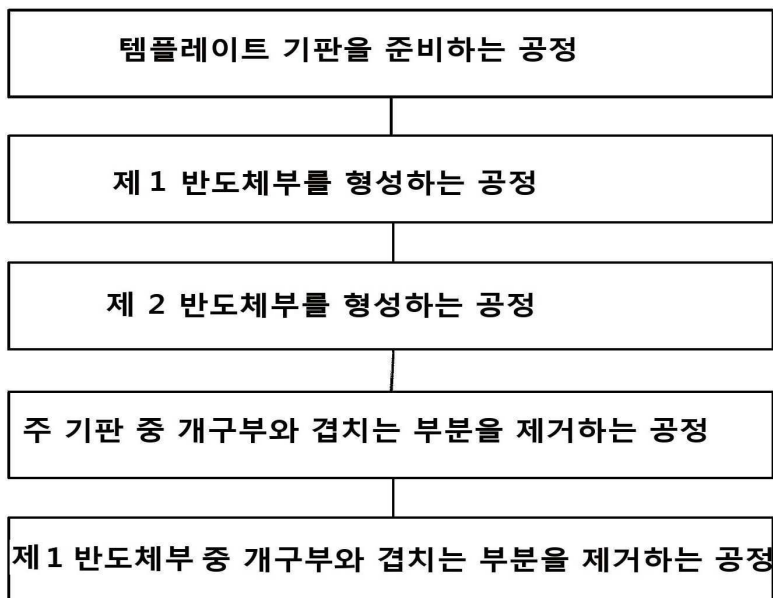
- [0073]
- 1 주 기판
 - 3 시드부
 - 4 하지부
 - 5 마스크부
 - 6 마스크 패턴
 - 7 템플레이트 기판
 - 8 제 1 반도체부
 - 9 제 2 반도체부
 - 9E 활성층
 - 20 반도체 디바이스
 - 30 마이크로 LED 디스플레이(전자기기)
 - 70 제조 장치
 - 72 형성부
 - 73 가공부
 - E1 제 1 전극
 - E2 제 2 전극
 - K 개구부
 - FK 지지 기판

도면

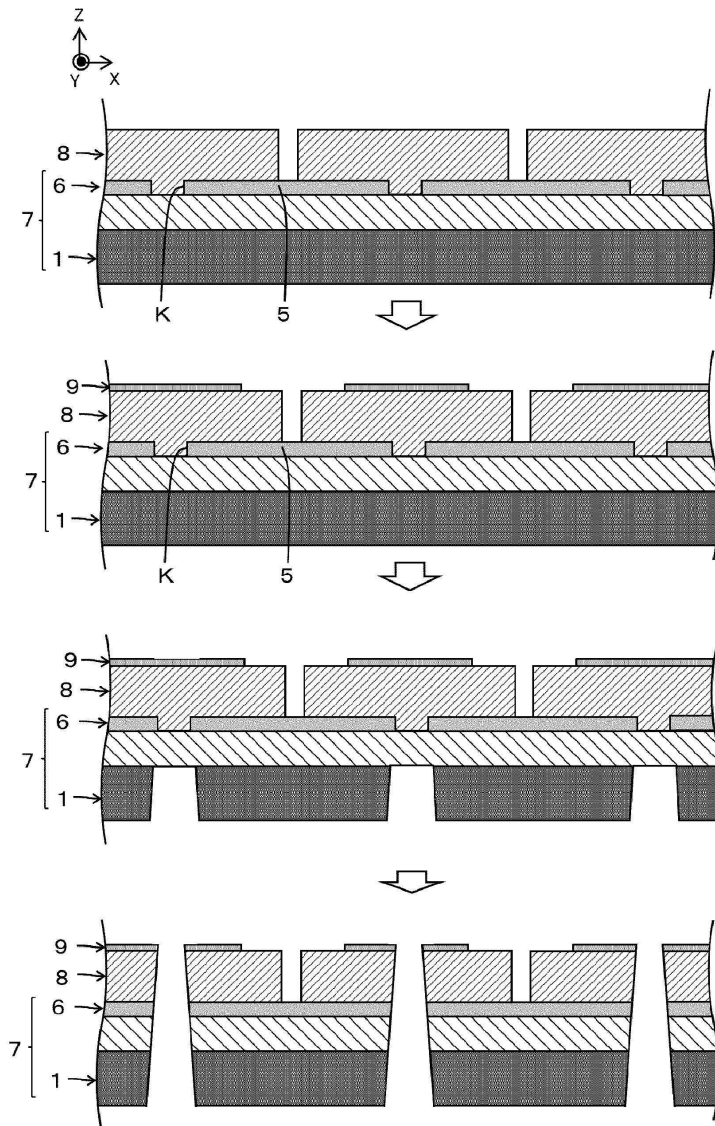
도면1



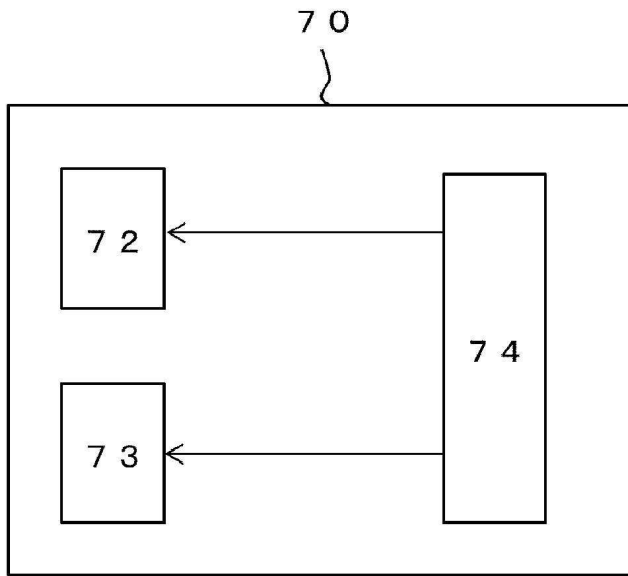
도면2



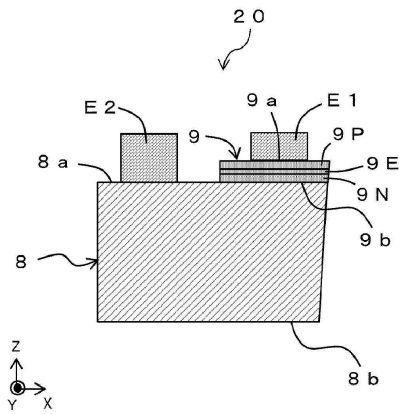
도면3



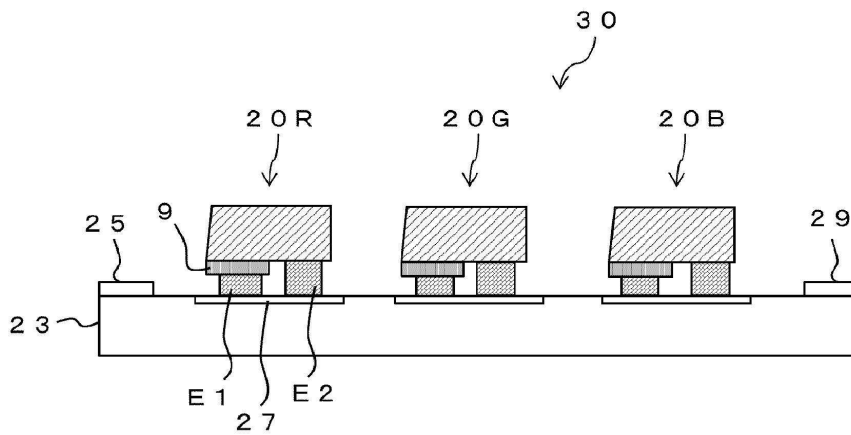
도면4



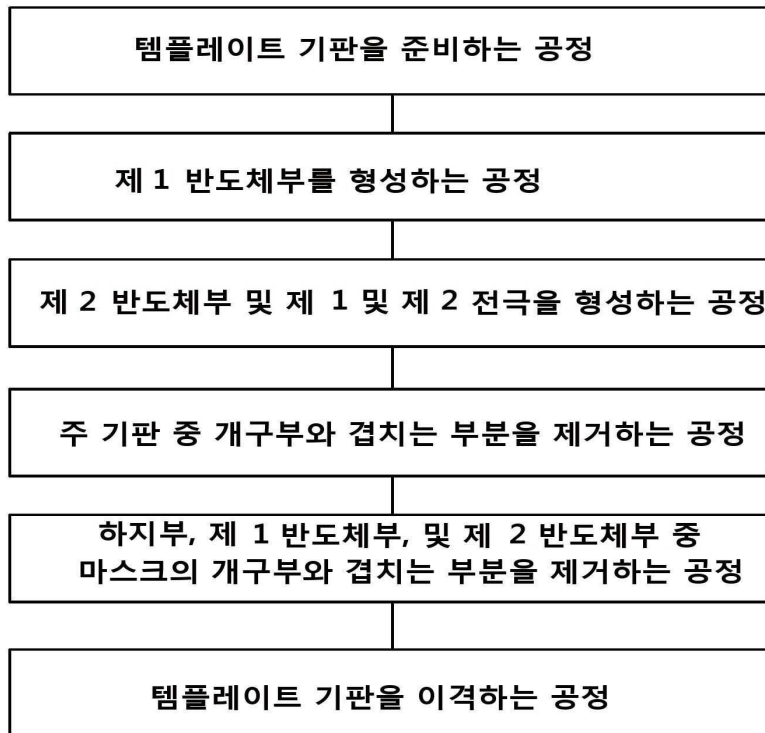
도면5



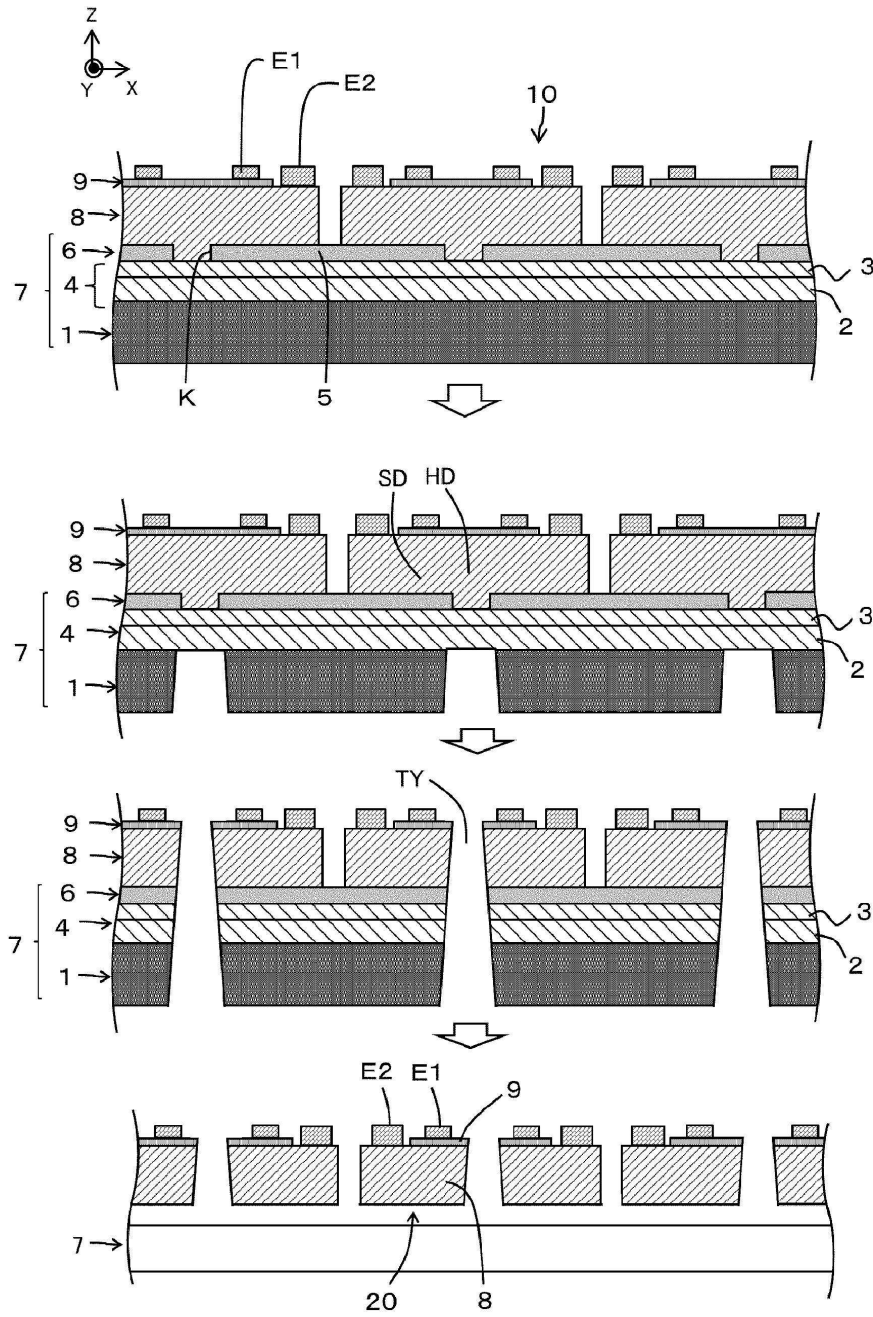
도면6



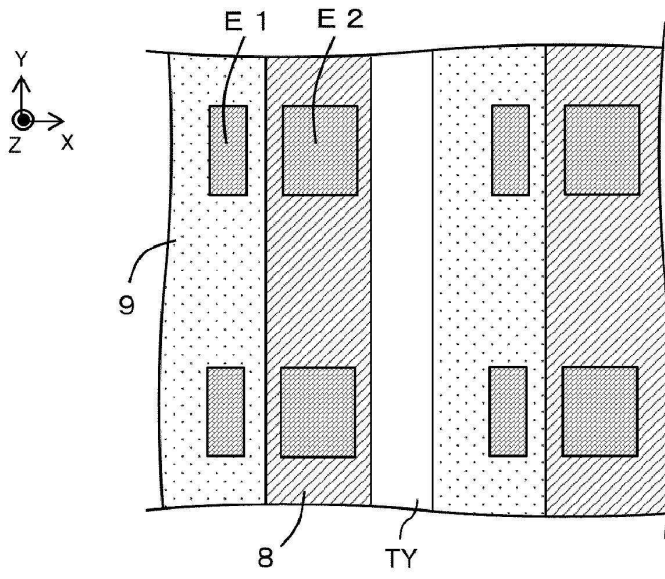
도면7



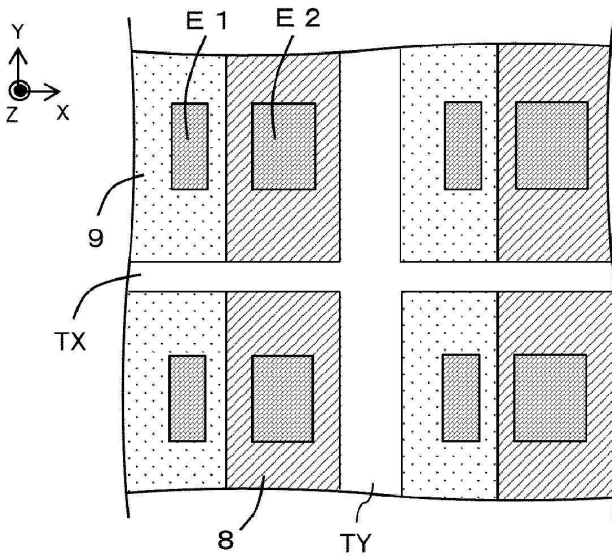
도면8



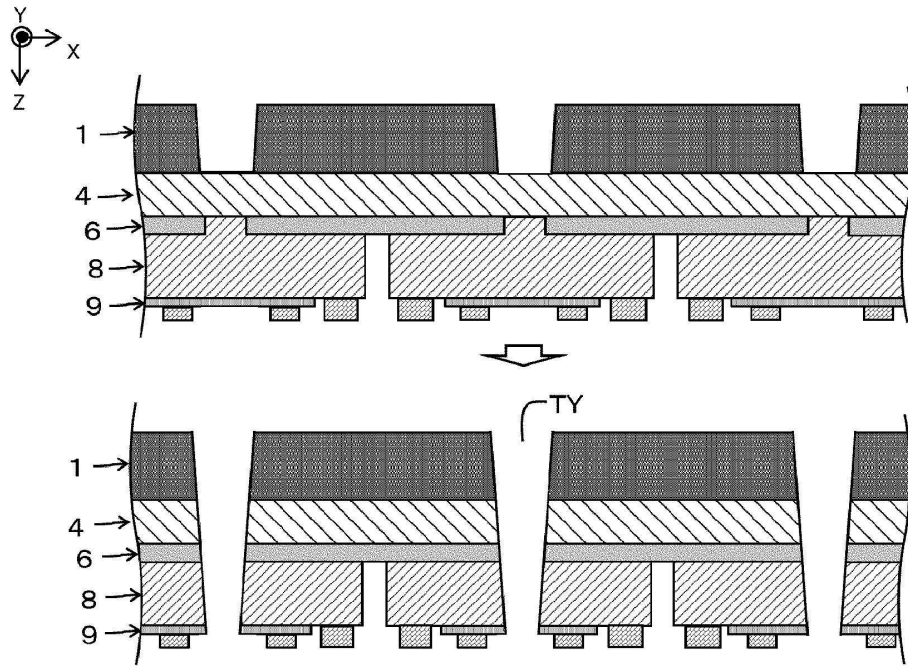
도면9



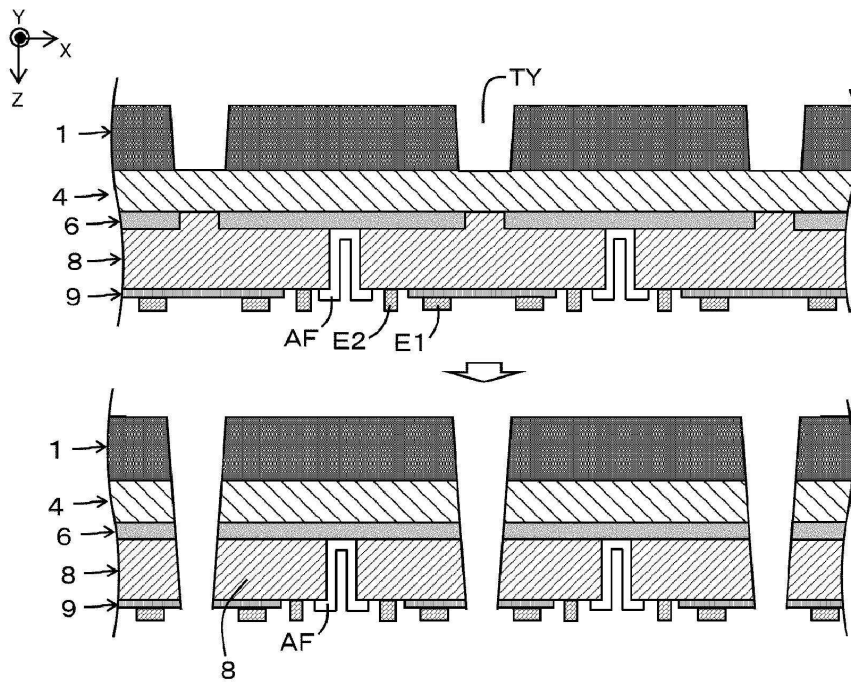
도면10



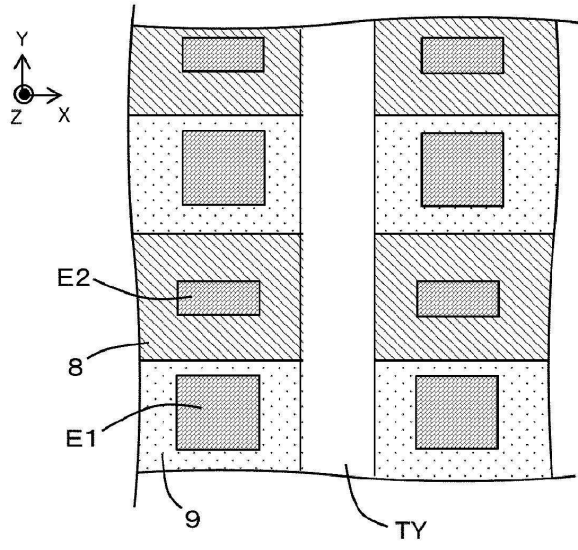
도면11



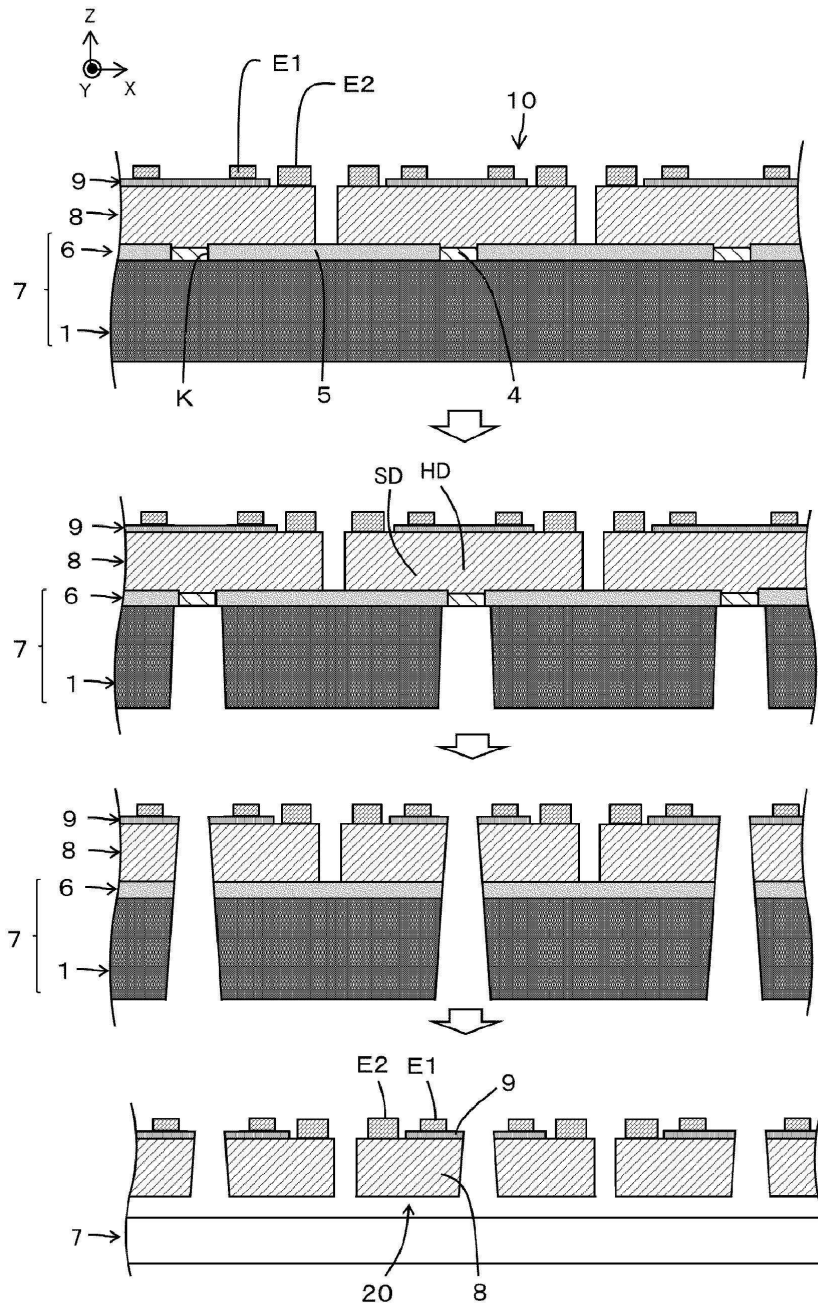
도면12



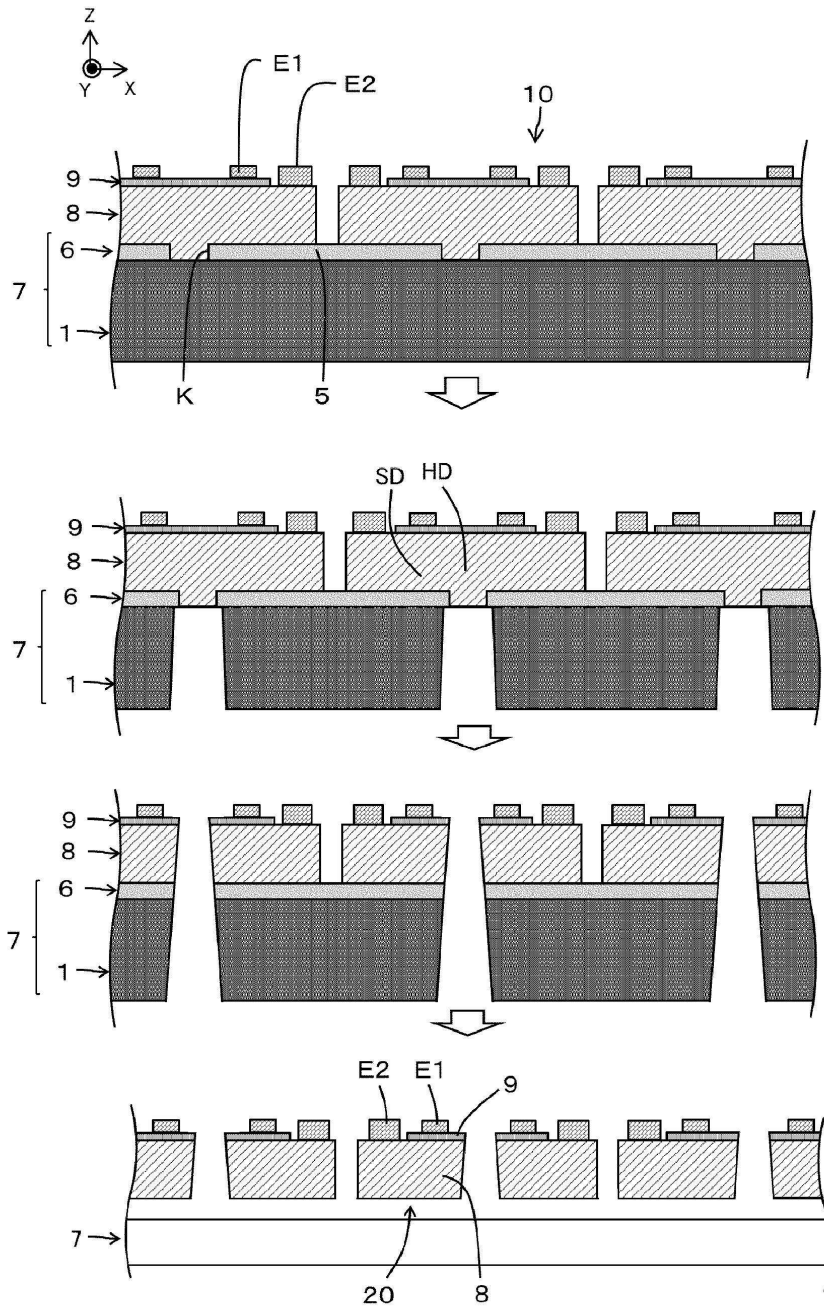
도면13



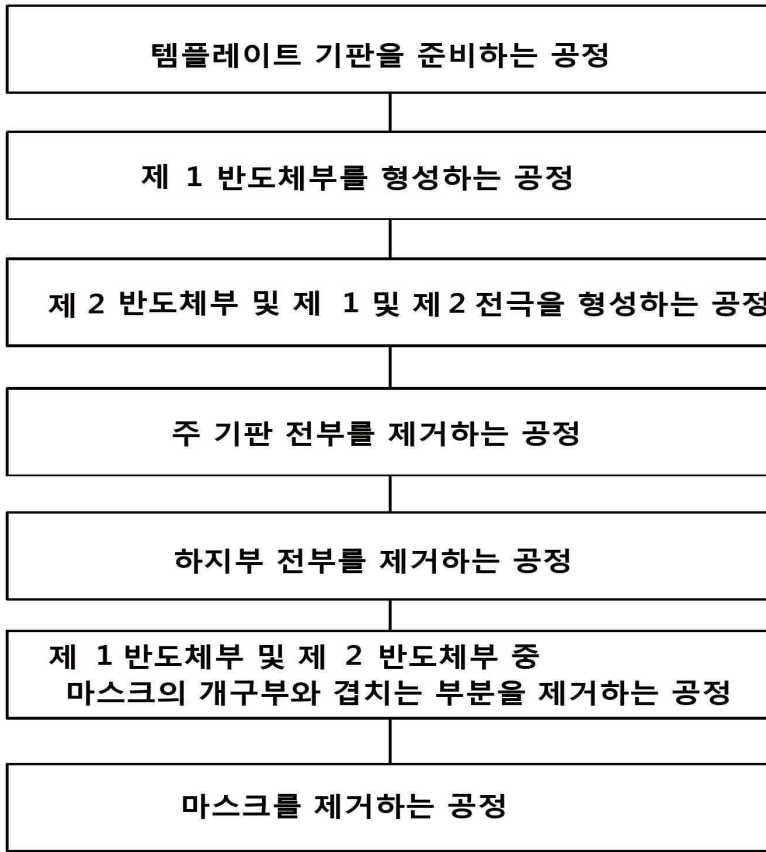
도면14



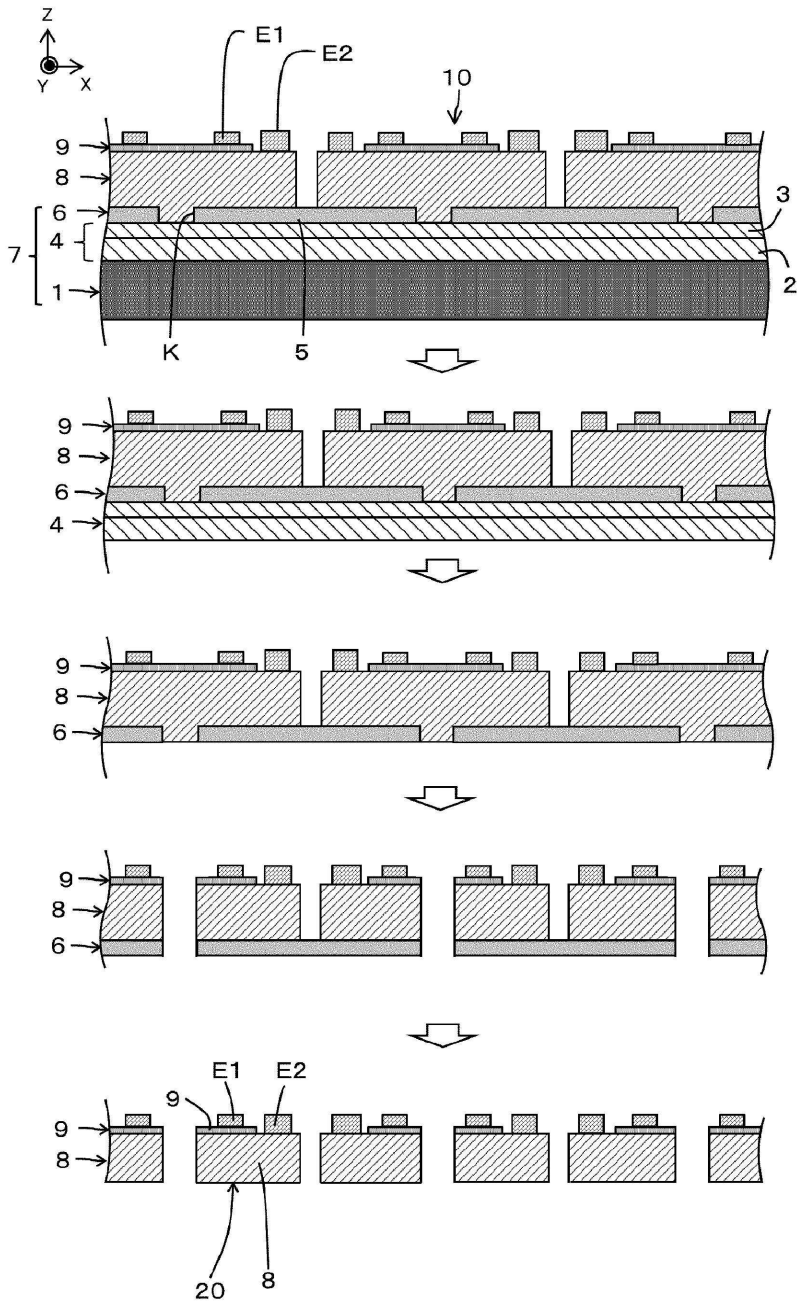
도면15



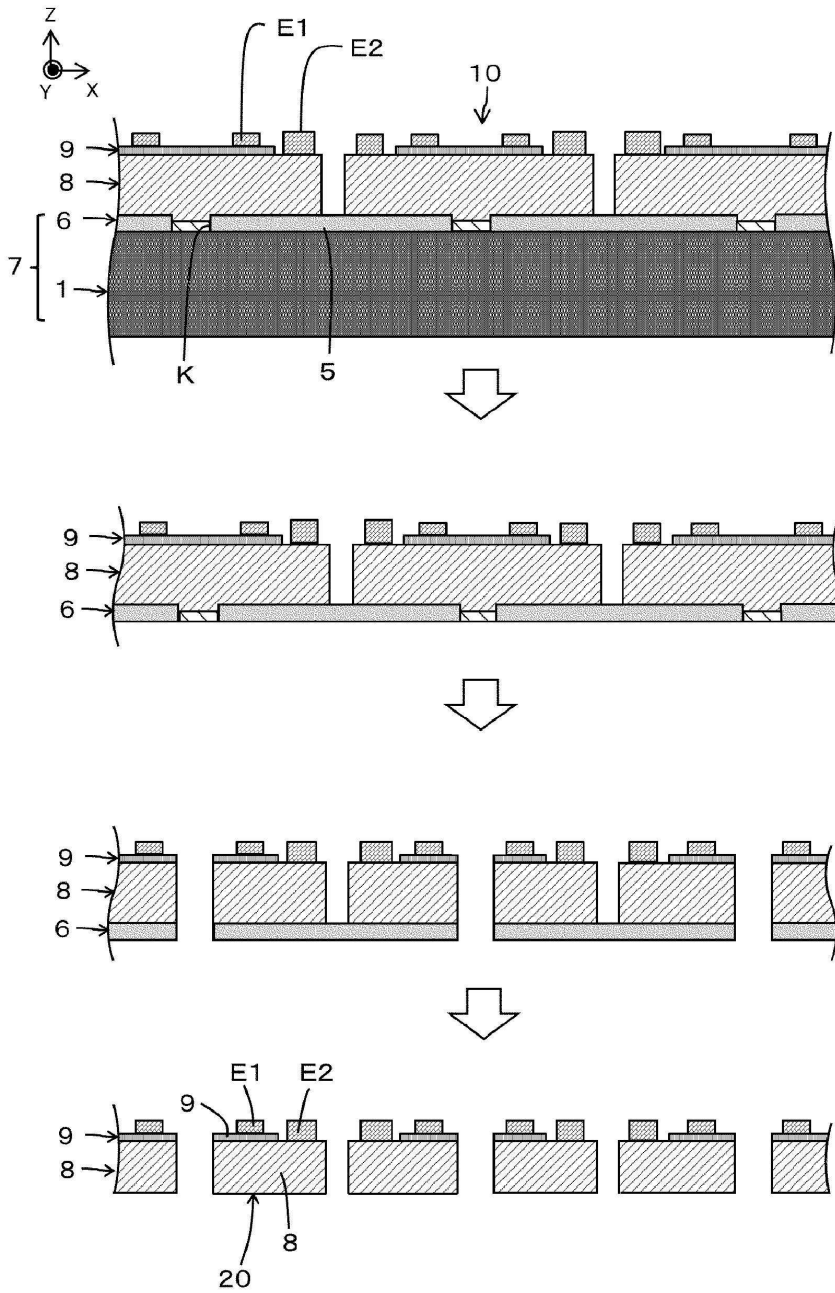
도면16



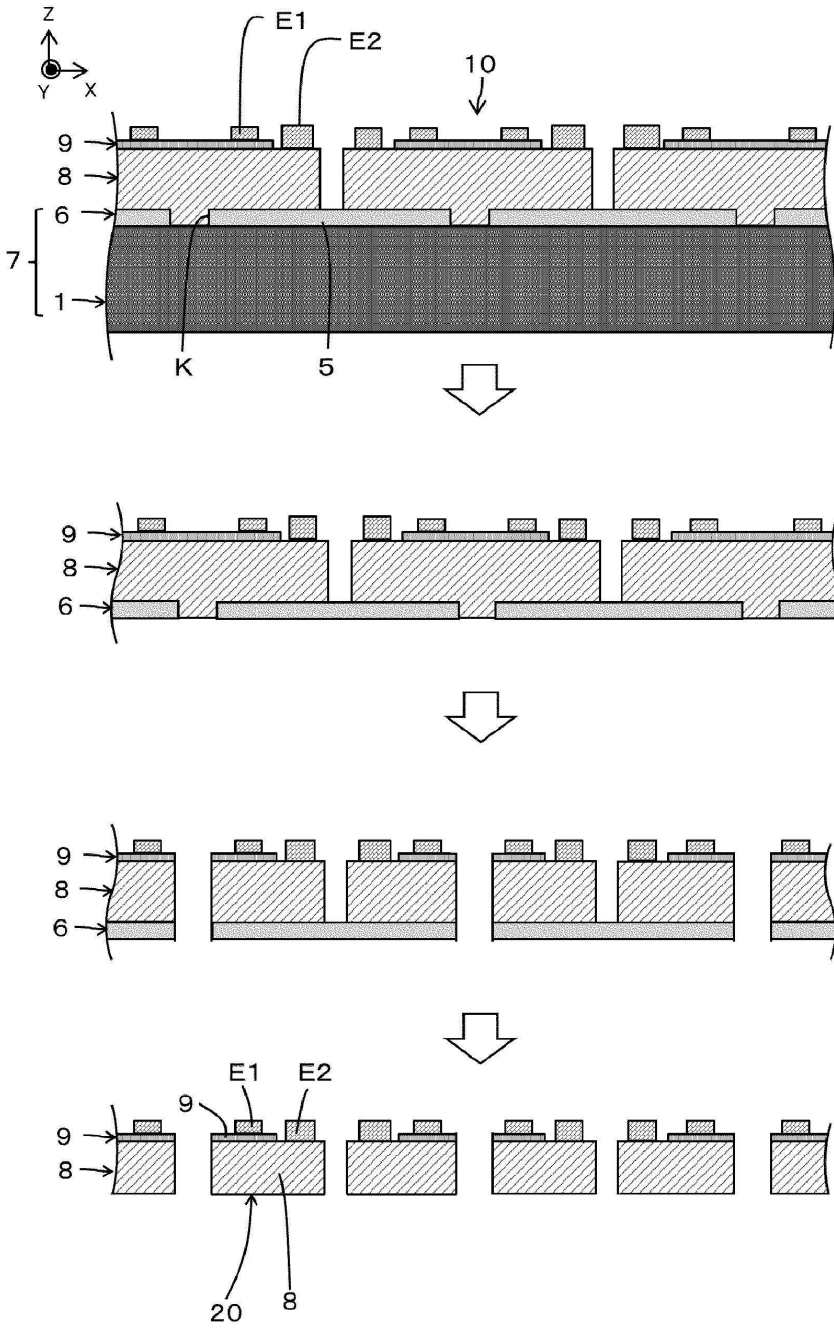
도면17



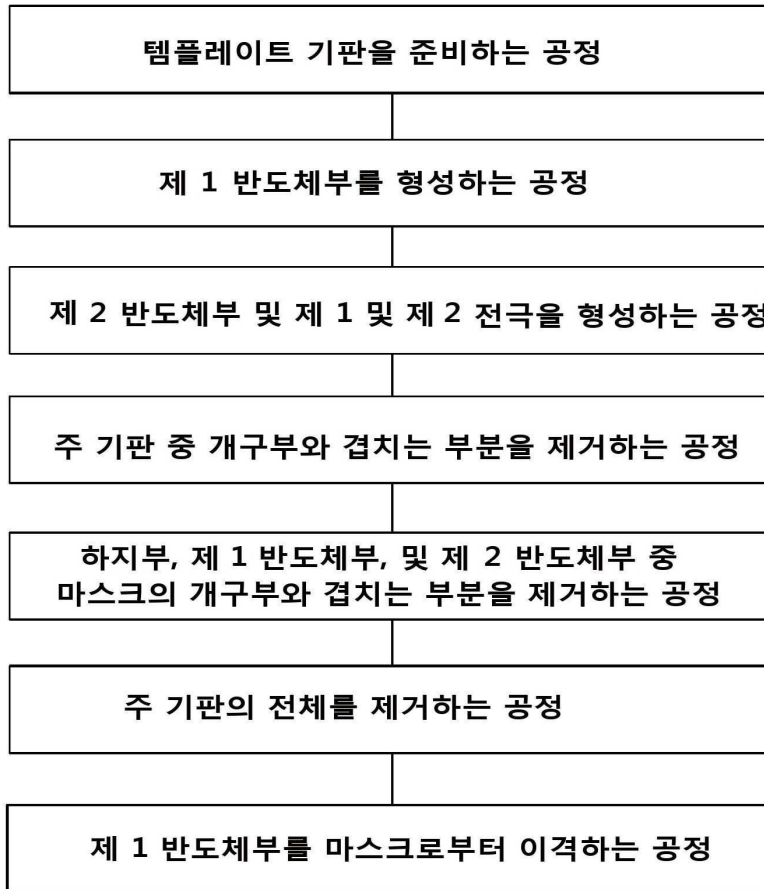
도면18



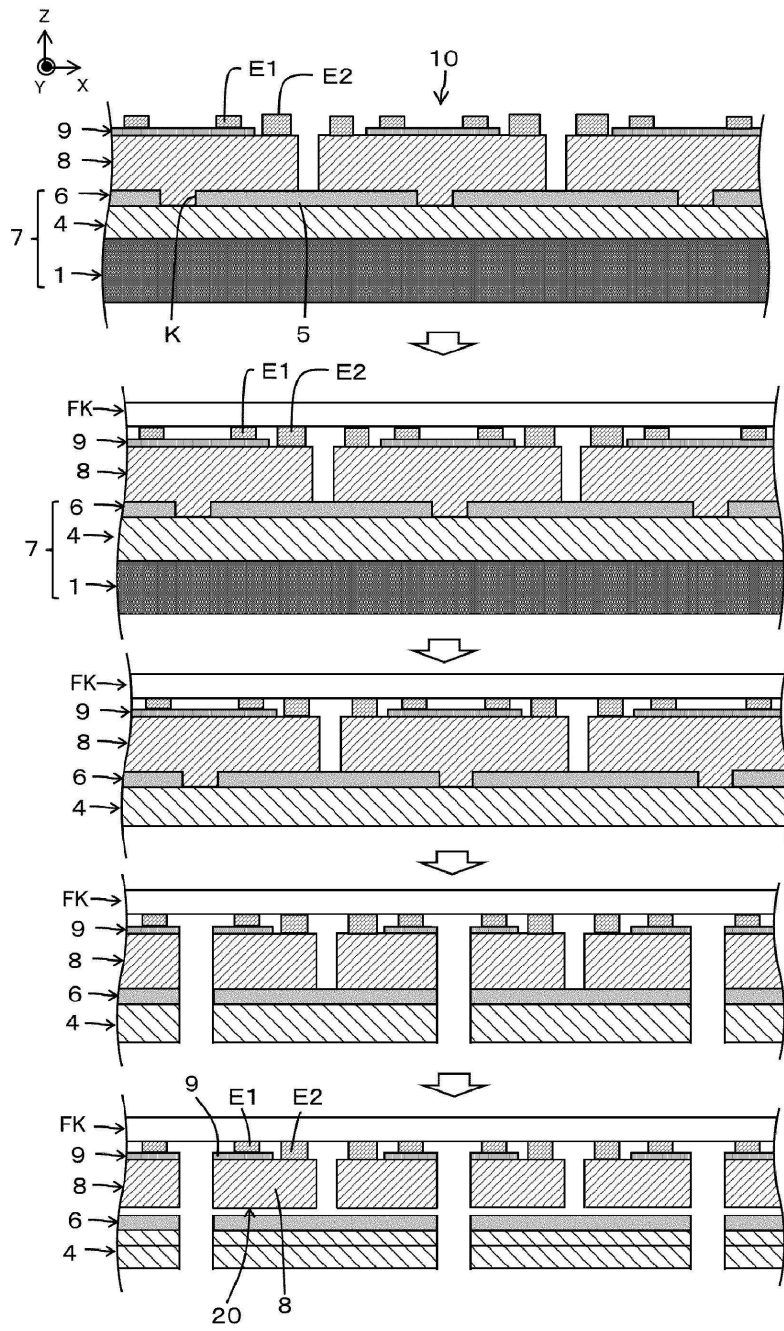
도면19



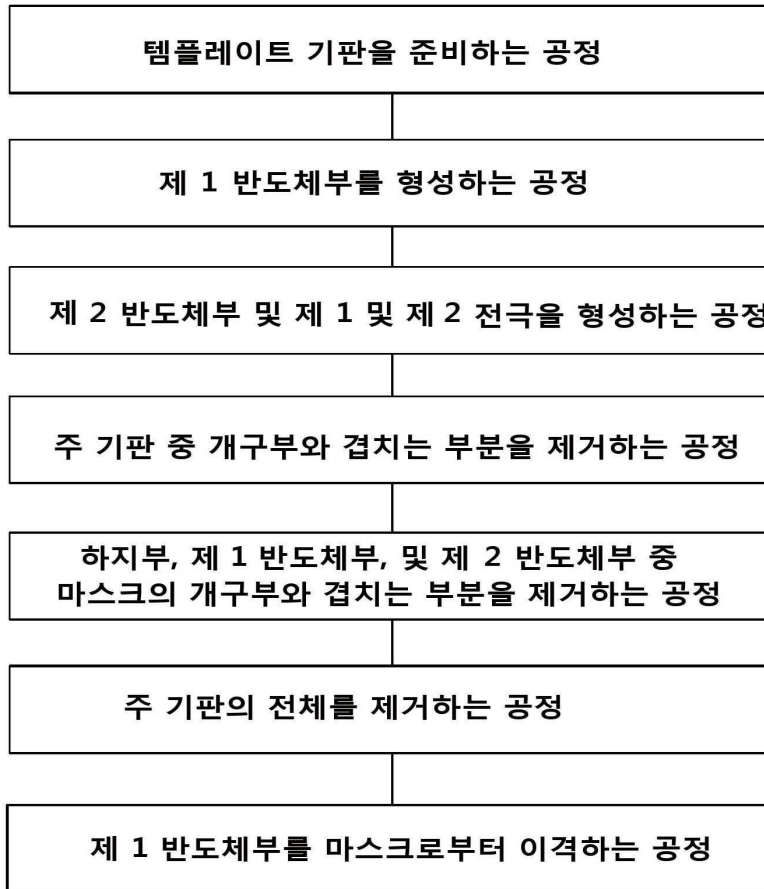
도면20



도면21



도면22



도면23

