

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年1月22日(22.01.2015)



(10) 国際公開番号

WO 2015/008843 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2014/069103
- (22) 国際出願日: 2014年7月17日(17.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-148663 2013年7月17日(17.07.2013) JP
特願 2013-148812 2013年7月17日(17.07.2013) JP
特願 2014-146027 2014年7月16日(16.07.2014) JP
- (71) 出願人: 国立大学法人大分大学(NATIONAL UNIVERSITY CORPORATION OITA UNIVERSITY) [JP/JP]; 〒8701192 大分県大分市大字旦野原700番地 Oita (JP).
- (72) 発明者: 大竹 哲史(OHTAKE, Satoshi); 〒8701192 大分県大分市大字旦野原700番地 国立大学法人大分大学内 Oita (JP). 本田 太郎(HONDA, Taro); 〒8701192 大分県大分市大字旦野原700番地 国立大学法人大分大学内 Oita (JP). 森保孝憲(MORIYASU, Takanori); 〒8701192 大分県大分市大字旦野原700番地 国立大学法人大分大学内 Oita (JP).
- (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル青和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

[続葉有]

(54) Title: SCAN BIST LFSR SEED GENERATION METHOD AND MEMORY MEDIUM FOR STORING PROGRAM FOR SAME

(54) 発明の名称: スキャンBISTのLFSRシード生成法及びそのプログラムを記憶する記憶媒体

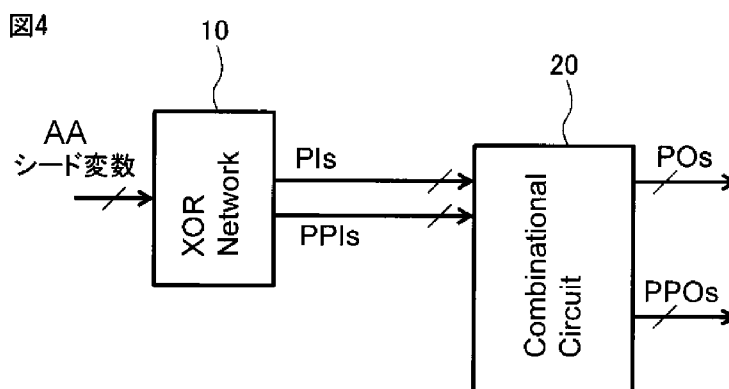


図4 BB シード生成モデル(スタティック故障用)

AA Seed variable

BB Seed generation model (for static faults)

(57) Abstract: Provided is a scan BIST LFSR seed generation method that is provided with procedures for forming a scan BIST seed generation model and for generating an LFSR seed by performing target fault test generation on the formed seed model. The seed generation model is provided with an XOR network configured by subjecting the scan BIST LFSR to time development for the length of a scan pass in a scan FF of a circuit to be inspected, and with a combinational circuit portion for the circuits to be inspected. The XOR network output is connected to the combinational circuit portion.

(57) 要約: スキャンBISTのシード生成モデルを形成し、形成したシードモデルに対して対象故障のテスト生成を行ってLFSRのシードを生成する、各手順を備え、シード生成モデルは、前記スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分とを

備え、前記組合せ回路部分に前記XORネットワーク出力が接続された構成を有する、スキャンBISTのLFSRシード生成方法を提供する。



-
- 補正された請求の範囲及び説明書（条約第 19 条(1)）

明 細 書

発明の名称：

スキャンBISTのLFSRシード生成法及びそのプログラムを記憶する
記憶媒体

技術分野

[0001] 本発明は、半導体集積回路の組込み自己テストのためのシード生成方法であり、更に具体的には、高い故障検出率が得られ、高速にシード生成することができ、且つシード数も減らすことができるスキャンBISTのLFSRシード生成法及びそのプログラムを記憶する記憶媒体に関するものである。

背景技術

[0002] 近年のデバイス技術の進歩により、ディジタル集積回路の集積度が向上し、大規模なシステムをLSI上に実装することが可能となった。しかし、回路の大規模化に伴い、テストはますます困難となり、テスト生成時間の増加など、テストコストの増大が問題となっている。テストコストとテスト容易性は相関があり、増大するテストコストを少なくするためにはテストを容易にすることが考えられる。テストを容易にするために、回路内に付加回路を組み込んでおくことをテスト容易化設計といい、その1つとしてスキャン設計がある。スキャン設計は順序回路を構成する各フリップフロップに外部から自由に状態を設定でき、それらのフリップフロップの状態を外部から観測できる。スキャン設計された順序回路のテスト生成の問題は、組合せ回路のテスト生成問題として扱うことができ、テスト生成容易性が向上する。

[0003] 外部テスト装置を簡略化する設計法として組込み自己テスト方式（BIST: Built-in self test）がある。BISTではテストパターンを発生する回路およびテストパターンに対する出力応答を調べる回路を用いる。BISTでのパターン発生回路としては、疑似ランダムパターンを発生する線形フィードバックシフトレジスタ（LFSR: Linear feedback shift register）が主に用いられ、出

力応答を調べる回路はM I S R (m u l t i p l e - i n p u t s i g n a t u r e r e g i s t e r) を使用する。M I S R は回路の出力応答を圧縮する回路であるが、本発明ではパターン発生回路と被検査回路のみを扱う。

[0004] パターン発生回路のL F S R はフィードバック位置によってはすべて0のパターンを除くすべてのパターンを疑似ランダムに発生することができる。しかし、L F S R の動作は決定的であるため、回路によっては疑似ランダムパターンでは高い故障検出率を達成できないものがある。疑似ランダムパターンによるテストに耐性がある故障をランダムパターン耐性故障という。このような故障がある回路で高い故障検出率を達成するには、L F S R のレジスタの初期値（L F S R のレジスタへ最初に設定する値のことをシード（s e e d）と言う）を再設定する（リシードするという）ことが有効であることが知られている。

[0005] 具体的には、あるシードからいくつかのパターンを生成してテストを行い、それまでに印加されたテストで未検出の故障に対してそれぞれの故障を検出できるシードにリシードし、テストを繰り返す。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-156761号公報

特許文献2：特開平6-52005公報

特許文献3：特開2008-117383公報

発明の概要

発明が解決しようとする課題

[0007] 従来のL F S R シード生成法として、その故障に対してテスト生成し、得られたテストパターンをL F S R のシードに変換する方法があるが、必ずしも変換できるとは限らず、故障検出率が低下することがある。また、シードへの変換率を向上するためのドントケア付きテスト生成によりシード数が多

くなるといった問題がある。本発明は、これらの問題点を踏まえたうえで、スキャンBISTの故障検出率向上のための新たなLFSRシード生成法を提供することを課題とする。

課題を解決するための手段

[0008] 本発明の第1の態様では、前記課題を解決する為に、スキャンBISTのシード生成モデルを形成し、前記形成したシード生成モデルに対して対象故障のテスト生成を行って前記LFSRのシードを生成する、各手順を備え、前記シード生成モデルは、前記スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分とを備え、前記組合せ回路部分に前記XORネットワーク出力が接続された構成を有する、スキャンBISTのLFSRシード生成方法を提供する。

[0009] 第1の態様において、前記シード生成モデルは、前記XORネットワークと前記被検査回路の組合せ回路部分との間にフェーズシフトグループが接続されていても良い。また、前記XORネットワークと前記被検査回路の組合せ回路部分との間にランダム反転回路グループが接続されていても良い。このランダム反転回路グループのそれぞれのランダム反転回路は、前記XORネットワークと前記被検査回路の組合せ回路部分との間に挿入された反転論理回路と、第2のXORネットワークと、第2のXORネットワークの出力を用いて前記反転論理回路の動作を制御するための反転制御回路とを備える。また、前記対象故障は縮退故障であっても良い。また、対象故障のテスト生成は自動テストパターン生成ツールを用いて行っても良い。

[0010] さらに、第1の態様において、前記シード生成モデルは更に、前記XORネットワーク出力と前記スキャンFF出力とを時間的に切り替えて前記組合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備えていても良い。このシード生成モデルは、更に、フェーズシフトグループまたはランダム反転回路グループを備えていても良い。

- [0011] さらに、第1の態様において、前記シード生成モデルは更に、前記組合せ回路部分の複製である第2の組合せ回路部分を有し、当該第2の組合せ回路部分の入力には前記XORネットワークの出力と前記組合せ回路部分の出力とが接続されるようにしても良い。
- [0012] さらに、第1の態様において、前記シード生成モデルは更に、前記スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長+1スキャンシフト分時間展開して構成した第2のXORネットワークと、前記XORネットワーク出力と前記第2のXORネットワーク出力とを時間的に切り替えて前記組合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備えるようにしても良い。
- [0013] 本発明の第2の態様では、前記課題を解決する為に、スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開してXORネットワークを形成し、当該XORネットワークを前記被検査回路の組合せ回路部分に接続することによってシード生成モデルを形成する手順と、前記シード生成モデルに対して対象故障のテスト生成を行って前記LFSRのシードを生成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体を提供する。
- [0014] 本発明の第3の態様では、前記課題を解決する為に、スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記XORネットワーク出力と前記スキャンFF出力とを時間的に切り替えて前記被検査回路の組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器と、によってシード生成モデルを形成する手順と、前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体を提供する。
- [0015] 本発明の第4の態様では、前記課題を解決する為に、スキャンBISTの

L F S Rを被検査回路のスキャンF Fにおけるスキャンパス長分時間展開して構成したX O Rネットワークと、前記組合せ回路部分を複製した第2の組合せ回路部分とを備え、前記X O Rネットワーク出力を前記組合せ回路部分の入力に接続し、前記X O Rネットワーク出力と前記組合せ回路部分出力とを前記第2の組合せ回路部分の入力に接続してシード生成モデルを形成する手順と、前記シード生成モデルに対して対象故障のテスト生成を行って、前記L F S Rのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体を提供する。

[0016] 本発明の第5の態様では、前記課題を解決する為に、スキャンB I S TのL F S Rを被検査回路のスキャンF Fにおけるスキャンパス長分時間展開して構成したX O Rネットワークと、前記被検査回路の組合せ回路部分と、前記L F S Rを前記スキャンF Fにおけるスキャンパス長+1スキャンシフト分時間展開して構成した第2のX O Rネットワークと、前記X O Rネットワークまたは前記第2のX O Rネットワーク出力を時間的に切り替えて前記組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器とによって、シード生成モデルを形成する手順と、前記シード生成モデルに対して対象故障のテスト生成を行って、前記L F S Rのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体を提供する。

[0017] 本発明のスキャンB I S TのL F S Rシード生成法では、高い故障検出率が得られ、高速にシード生成することができ、さらにシード数も減らすことができる優れた作用効果を呈するものである。即ち、本発明の方法によれば、被検査回路に対して、テストモード時のスキャンB I S T回路と同じ動作を模擬できる。そして直接シードを求めることが出来るため、ドントケア付きテスト生成をする必要がなく、従来手法と比べてパターン数を抑えることができる。また、シードを生成する過程で生成したシードがどの程度の故障を検出できるか確認するため、改めて故障シミュレーションを行わなくて済む。そのためテスト時間を減らせる利点もある。

図面の簡単な説明

- [0018] [図1]従来のシード生成方法を示す図。
- [図2]本発明に係るシード生成方法を示す図。
- [図3]B I S Tモデルを示す図。
- [図4]本発明の第1の実施形態に係るシード生成モデルを示す図。
- [図5(A)]本発明の第2の実施形態に係るシード生成モデルを示す図。
- [図5(B)]図5 (A) に示すモデルの他の実施例を示す図。
- [図5(C)]図5 (B) のモデルで対象とするL o C方式のテスト動作を示すタイミングチャート。
- [図6]本発明の第3の実施形態に係るシード生成モデルを示す図。
- [図7(A)]本発明の第4の実施形態に係るシード生成モデルを示す図。
- [図7(B)]図7 (A) のモデルで対象とするL o S方式のテスト動作を示すタイミングチャート。
- [図8]3ステージL F S R、外部入力数2、スキャンパス長3のサンプル回路を示す図。
- [図9]L F S Rの時間展開の一例を示す図。
- [図10]X O Rネットワークの一例を示す図。
- [図11]シード生成モデルの一例を示す図。
- [図12]縮退故障を有するサンプル回路の一例を示す図。
- [図13]本発明の一実施形態に係るシード生成例を示す図。
- [図14]従来法によるテスト生成とシード変換の一例を示す図。
- [図15(A)]組合せ回路を示す図。
- [図15(B)]順序回路を示す図。
- [図16]D型フリップフロップを示す図。
- [図17]A N Dゲート入力の0縮退故障を示す図。
- [図18]テスト生成を示す図。
- [図19]スキャン設計されたフリップフロップを示す図。
- [図20]スキャン設計された順序回路を示す図。

[図21] L F S R の構造を示す図。

[図22] 3 ステージ L F S R の構造を示す図。

[図23] B I S T の構造を示すブロック図。

[図24] スキャン設計された回路の B I S T を示す図。

[図25] ランダムパターン耐性故障がある回路を示す図。

[図26(A)] フェーズシフタを備えた B I S T モデルを示す図。

[図26(B)] ランダム反転回路を備えた B I S T モデルを示す図。

[図26(C)] フェーズシフタ付きシード生成モデル（スタティック）を示す図。

[図26(D)] フェーズシフタ付きシード生成モデル（遅延）を示す図。

[図26(E)] ランダム反転付きシード生成モデル（スタティック）を示す図。

[図26(F)] ランダム反転付きシード生成モデル（遅延）を示す図。

[図27] 遷移故障を説明するための図。

[図28] L o C（ブロードサイド）方式のタイミングチャート。

[図29] L o C 方式テスト（ブロードサイドテスト）の時間展開モデル表現。

[図30] L o S（スキュードロード）方式のタイミングチャート。

[図31] 遅延故障用シード生成モデル 1 を示す図。

[図32] シード生成モデル 1 のタイミングチャート。

[図33] b 2 1－全故障に対する検出率推移を示す図。

[図34] b 2 1－1 0 k 印加後未検出故障に対する検出率推移を示す図。

[図35] b 1 9－5 0 k 印加後未検出故障に対する検出率推移を示す図。

[図36] b 1 9－5 0 k 印加後未検出故障に対する検出率推移を示す図。

発明を実施するための形態

[0019] 以下に、本発明の一実施形態を図面を参照して説明する。なお、以下の実施形態は本発明の説明目的のために提供され、本発明を限定するものではなく、本発明は、特許請求の範囲によってのみ限定される。

[0020] 図 1 は、従来のスキャン B I S T の L F S R シード生成方法を概念的に示すブロック図である。従来の手法では、先ず、被検査回路（C U T）のネットリストを自動テストパターン生成ツール（A T P G）によって処理するこ

とにより、テストパターンを生成する。次に、このようにして得たテストパターンをシード変換してLFSRのシードを求める。このように、従来の手法では、テストパターン生成とシード生成との2段階の処理（ツーパス）を経てLFSRのシードを求めている。ところがこの方法では、テストパターンをシードに変換できない場合も発生し、その結果、故障の検出率が低下すると言う問題が存在する。

[0021] このような従来のツーパスシード生成法に対して、本発明者等は、ネットリストからテストパターンを作成することなく、ATPGによって直接シードを生成することができれば全てのシードが作成可能であると考えた。

[0022] 図2は、本発明者等が提案するワンパスシード作成方法の手順を概念的に示すブロック図である。本方法では、ATPGによって直接シードを作成する為に、先ず、ネットリストから、製造する回路（被検査回路、CUT）をシードを作るために適した回路に擬似的に変換し、変換された回路に対してATPGを適用してシードを生成する。図2では、変換された回路をシード生成モデルとして示している。このワンパスシード生成方法を実現することにより、完全なシード生成を行うことができ、シード品質の向上が期待できる。また、シミュレーションの効果が期待できるので、シード数が少なくなる可能性がある。

[0023] 本発明では、図2のワンパスシード生成を実現する為に、BISTにおいてテストパターン発生器として使用されるLFSRと、被テスト回路である順序回路の各スキャンFFの状態情報とを時間的に展開してXOR（Exclusive-OR）ネットワークを構成し、このXORネットワークをCUTの組合せ回路部分に接続した構成のシード生成モデルを提案する。

[0024] 図3は、対象BISTモデルを示すブロック図である。図3において、1はLFSR、2は被検査回路（CUT）、3は応答圧縮器（MISR）を示す。CUT2は、順序回路の組合せ回路部分20とスキャンFFチェーン30とから構成される。本発明では、応答圧縮器3については考慮しない。

[0025] 図4は、本発明の第1の実施形態に係るシード生成モデルの構成を示す図

である。本実施形態のモデルはベースモデルであって、スタティック故障を対象とする。図示するように、本実施形態のシード生成モデルは、BISTのLFSR1をスキャンFF30（図3参照）の最長スキャンパス長分だけ時間的に展開して構成したXORネットワーク10を順序回路の組合せ回路部分20の入力に接続して構成される。ここで、図3に示す被検査回路（CUT）2からスキャンFF30を取り除いたときの、元のスキャンFF30から組合せ回路部分20への入力を擬似外部入力（PPIs）とし、組合せ回路部分20から元のスキャンFF30への出力を擬似外部出力（PPOs）とする。このモデルによって、テストモード時のスキャンBIST回路と同じ動作を模擬することができる。従って、このシード生成モデルに対して単一縮退故障モデルなど向けのATPGを適用すれば、図2に示すように、CUTに対するテストパターンを生成することなく当該故障モデルの故障を検出するためのシードを直接求めることができる。XORネットワークについては、図8～図10を参照して後述する。

[0026] 以下の図5（A）、図5（B）、図6および図7（A）は、遅延故障検出用のシード生成モデルを示す。図5（A）に示すシード生成モデルは、遅延故障L_oCテスト向けシード生成モデル1であり、図6は遅延故障L_oCテスト向けシード生成モデル2を示す。更に、図7（A）に示すモデルは、遅延故障L_oSテスト向けのシード生成モデルである。

[0027] 図5（A）に示すモデルは、ランチオフキャプチャ（或いはブロードサイド、以下L_oC）方式で遅延故障をテストするためのシード生成モデルであり、マルチクロックキャプチャに対応するモデルを示す。このモデルは、図4に示すベースモデル（XORネットワーク10と組合せ回路部分20）に対して、マルチプレクサ40とマルチプレクサ40の入力を時間的に切り替えるタイミング生成回路50とを付加した構成を有する。マルチプレクサ40は、組合せ回路部分20への入力信号を、XORネットワーク10の出力とスキャンFF30の出力との間で切り替える働きをする。マルチプレクサ40は、スキャンシフト中、および、第1パターン目印加時は1に設定され

、第2パターン目印加時は0（マルチサイクルキャプチャではキャプチャ中0）に設定される。

[0028] 図5（B）は、図5（A）に示すモデルの他の実施例を示す図であって、遅延故障を2パターンテスト（2サイクルキャプチャ）で検出するためのモデルである。点線52で示す回路が、2パターンテストの場合のタイミング生成回路の一例である。図5（C）は、2パターンテストに対応したL o Cテストにおけるテストパターン取り込みのタイミングチャートである。

[0029] L o Cテストにおいては、まず、スキャンイネーブル信号（S E）を1（スキャンシフトモード）にしてスキャンパス長（複数スキャンパスがある場合は最も長いスキャンパスのスキャンF F数）分のサイクルだけスキャンクロックを印加することにより、スキャン入力（S I）からテストパターンをスキャンF Fに設定（シフトイン）すると同時にスキャンF Fの値（2パターンテストに対する応答）をスキャン出力（S O）から観測（シフトアウト）する。ここで設定されたパターンが2パターンテストの第1パターンに対応する。次に、S Eを0（通常動作モード）にして通常クロックを2サイクル印加する。このとき、1サイクル目でF Fにロードされた値が2パターンテストの第2パターンとなる。また、2サイクル目でF Fにロードされた値が2パターンテストに対する応答になる。これを繰り返すことによりテストを実施する。なお、通常動作モードにおいて通常クロックを2サイクル以上入れるテストをマルチサイクルキャプチャテストという。

[0030] 図6は、L o Cテスト用シード生成モデル2を示す。このモデルは、X O Rネットワーク10と、被検出回路の組合せ回路部分20と、この組合せ回路部分20を複製した第2の組合せ回路部分20' とからなる。縮退故障のテスト生成により遅延故障のための2パターンテストを生成することができることが知られている。これには2時刻展開モデルを用いる。組合せ回路部分を2つ複製し、P Iは2つの回路ともにX O Rネットワークの出力に接続し、1つ目の回路のP P Oと2つ目の回路のP P Iを接続することで組合せ回路のみで2パターンテストを生成することができる。例えば、対象とする

回路のある信号線に対し立ち上がり遷移故障のテスト生成を行うものとして考えるためには、1つ目の組合せ回路は、対象とする回路の故障を想定した信号線と同じ部位を0に設定し、2つ目の組合せ回路では同じ部位に0縮退故障を想定してテスト生成を行えばよい。

[0031] 図7 (A) は、ランチオフシフト（またはスキュードロード、以下、L o S）方式によって遅延故障をテストするためのシード生成モデルを示す。このモデルは、図4のベースモデルに対して、図3のL F S R 1をスキャンF F 3 0の最長スキャンパス長+1スキャンシフト分だけ時間的に展開して構成した第2のX O Rネットワーク1 0' と、X O Rネットワーク1 0と第2のX O Rネットワーク1 0' のいずれかの出力を時間的に選択して組合せ回路部分2 0に印加するためのマルチプレクサ4 0とタイミング生成回路5 0とを付加した構成を有する。図示するモデルはマルチクロックキャプチャに対応しているが、タイミング生成回路として第1パターン印加時に1を出力し第2パターンキャプチャクロックに同期して0を出力する回路を用いれば、2パターンテストに対応するモデルとなる。

[0032] 図7 (B) に2パターンテストに対応したL o Sテストにおけるテストパターン取り込みのタイミングチャートを示す。L o Sテストにおいては、まず、スキャンシフトモードにしてスキャンパス長分のサイクルだけスキャンクロックを印加することにより、スキャン入力から2パターンテストの第1パターンをシフトインすると同時に2パターンテストに対する応答をシフトアウトする。次に、スキャンシフトモードのまま、スキャンクロックをもう1サイクル印加する。ここでスキャンF Fに設定される値が2パターンテストの第2パターンとなる。そして、S Eを0（通常動作モード）にして通常クロックを1サイクル印加する。ここでF Fにロードされた値が2パターンテストに対する応答になる。ただし、最後のスキャンクロック印加から通常クロックを印加するまでの周期は、通常クロックと等しくなければならない。これを繰り返すことによりテストを実施する。

[0033] 以下に、図4～図7に示した本発明の各実施形態に係るシード生成モデル

を、更に詳細に説明する。

先ず、XORネットワークについて説明する。

図8は、3ステージLFSR、外部入力数2、スキャンパス長3のサンプル回路を示す図である。図において、81は3ステージLFSR、82はCUT、83はCUT82の組合せ回路部分、84はCUT82のスキャンパスを示す。LFSRはXORとFFとによって構成されている。従って、スキャンパス84の状態情報を時間的に展開すると、被検査回路はFFのない組合せ回路と考えることができる。そのため、ある時刻の各スキャンFFと外部入力の値を、シードの関数として表現することができる。

[0034] 図9は、図8のLFSR81のシードを $(FF0, FF1, FF2) = (S0, S1, S2)$ とし、スキャンパス84に値が満たされたときのPIO、PI1およびスキャンパス84の各FF(SFF0、SFF1、SFF2)の値を、上述の通り時間的に展開し、シードだけで表現した図である。図示するように、LFSR81に入力されるシードの値と組合せ回路部分83への外部入力の値とは依存関係があり、従ってこの関係を論理回路に表すことができる。LFSRとスキャンパスの構造をこのようにして時間展開したものをXORネットワークと呼ぶ。図10に、図9の入出力関係に基づいて形成したXORネットワーク101を示す。

[0035] 図11は、図10に示したXORネットワーク101をCUTの組合せ回路部分83に接続して構成したシード生成モデルを示す図であり、図4に示したベースモデルを図8のサンプル回路に適用したものである。このように、CUTの組合せ回路部分83のみを抽出して、その入力にXORネットワーク101を接続することにより、テストモード時のスキャンBIST回路と同じ動作を模擬でき、このモデルにATPGを適用することにより、直接シードを求めることができる。その結果、ドントケア付きテスト生成をする必要がなく、従来手法よりパターン数を抑えることができる。また、シードを生成する過程で生成したシードがどの程度の故障を検出できるか確認するため、改めて故障シミュレーションを行わなくて済む。そのためシード生成

時間を減らせる利点もある。これらの点について実験により評価する。本発明法の有効性は、後述する実験例における ITC' 99 ベンチマーク回路を用いた実験によって評価した結果で紹介する。

[0036] 図 12 は、3 ステージ LFSR、外部入力数 2、スキャンパス長 3 のサンプル回路を示す図であり、組合せ回路部分に 1 縮退故障を有している。図 13 は、図 12 の回路に対して形成したシード生成モデルによって、対象故障に対するシードを生成する例を示している。図 14 は、従来手法によるテスト生成とシード変換例を示し、テストパターン：(0、X、X、1、1) がシードに変換できない場合を示している。

[0037] 以下に、本発明の理解を容易にするために、スキャン BIST：組込み自己テスト方式、LFSR：線形フィードバックシフトレジスタ (LFSR、linear feed-back shift register) 等の諸定義と本発明に係る各例について説明する。

[0038] 図 15 (A) に組合せ回路を、図 15 (B) に順序回路を示す。入力値、出力値および内部状態の値が 0 または 1 の値の組み合わせとして表現することのできる回路を論理回路 (logic circuit) という。論理回路はさらに、組合せ回路 (combinational circuit) (a) と順序回路 (sequential circuit) (b) に分類できる。組合せ回路では、回路の出力値がそのときの入力値だけにより決まり、順序回路では、入力値だけでは決まらず、回路の内部状態に依存する。組合せ回路は図 15 (A) に示すように組合せ回路部分 (combinational component) 152 のみから成る。PI、PO はそれぞれ外部入力、外部出力を表す。順序回路は、図 15 (B) に示すように、組合せ回路部分 152 と複数のフリップフロップ (Flip-Flop、FF) 155 によって構成される状態記憶部分から成る。順序回路において、出力はそのときに印加された入力の値と内部状態の値によって決められる。また、内部状態は、そのときの入力と内部状態によって次の時刻の内部状態へと変化する。本実施形態では、図 16 に示す D 型のフリップフロップ 16

6を扱う。FF 166はデータ入力（D）とデータ出力（Q）およびクロック入力（CLK）があり、クロック信号によってデータを取り込む。

[0039] 回路を構成する要素に物理的欠陥があれば、回路が正しい動作をしなくなる。このような物理的欠陥を回路の故障という。故障は回路の故障による影響をモデル化した故障モデルとして扱う。論理回路の論理機能が故障により別な論理機能に変化してしまう故障モデルを論理（スタティック）故障という。代表的なスタティック故障モデルには縮退故障（stuck-at-fault）がある。縮退故障とは回路内の信号線の値が1または0に固定される故障で、1に固定される故障を1縮退故障（stuck-at-1、s-a-1）といい、0に固定される故障を0縮退故障（stuck-at-0、s-a-0）という。縮退故障の例として、図17に示す回路について考える。

[0040] 図17のアンド回路177において、信号線x、yにそれぞれ1を印加したとき、故障がない場合は信号線zに1が出力されるが、x上にs-a-0が存在する場合は0が出力される。なお、故障モデルには、縮退故障の他にブリッジ故障、遅延故障、トランジスタ故障など多くのモデルが考えられている。

[0041] 論理回路が設計通りに製造されているかどうかを確かめることをテスト（testing）という。テストは、テスト生成（test generation）とテスト実行（test application）の2つの過程からなり、テスト生成では故障を想定し、その故障箇所を故障値とは逆の値を設定（活性化）し、その値を外部出力まで伝搬するテストパターンを求める。テスト実行ではテスト生成で得られたテストパターンを回路に印加し、その出力応答と期待値とを比較することで故障の有無を判断する。

[0042] 例えば図18に示す信号線Fがs-a-0である回路のテスト生成について考える。s-a-0を活性化するためにA、Bは1となる。その値を誤り信号として外部出力までに伝搬するためにGを0、Iを1にする必要がある。Gを0にするのはC、Dのどちらかが0、もう片方はドントケア（X）と

なり、1を1にするためにEは0となる。以上より、信号線Fのs-a-0を検出するテストパターンの1つは(A、B、C、D、E) = (1、1、0、X、0)であることがわかる。

[0043] テストの評価尺度には故障検出率と故障検出効率がある。故障検出率とは対象とする故障の内、どれだけの故障が検出できたかというものであり、数1で表される。

[0044] [数1]

$$\text{故障検出率} = \frac{\text{検出故障数}}{\text{全故障数}} \times 100$$

[0045] 故障検出効率は対象とする故障のうち、どれだけの故障を検出できたかに加えて、冗長故障と呼ばれる入出力対応では故障を検出できない故障であると識別された故障をいくつ識別したかを示す比率であり、数2で表される。

[0046] [数2]

$$\text{故障検出効率} = \frac{\text{検出故障数} + \text{冗長故障と識別された故障数}}{\text{全故障数}} \times 100$$

[0047] 図19にスキャン設計されたFFの一例を示す。テスト容易化設計の1つとしてスキャン設計がある。スキャン設計では、FF191に外部から直接入力できるようにスキャン入力(scan in)を設け、通常動作時のデータ入力(Din)とスキャン入力をマルチプレクサ(MUX)192で切り替えてFF191に入力できるようにする。FF191の出力はスキャン出力(scan out)から外部へ観測できるようにする。FF191ごとにスキャン入力出力端子を用意すると余分の端子がFF191の個数の2倍必要となり実用的でない。そこでFF191を一行に連結し、シフトレジスタとして動作できるようにする。このようにスキャン設計されたFFの集合をスキャンパスと呼ぶ。

[0048] 図20にスキャン設計された順序回路の一例を示す。スキャン設計された

順序回路では、FF191をシフトレジスタとして動作させることができるので、容易に各FF191を任意の状態に設定できると同時に、それらの状態を観測することができる。そのため、スキャン設計された回路のテスト生成の問題は組合せ回路の問題として取り扱うことができる。

[0049] 図21は、LFSRの一例を示す。

組込み自己テスト方式(BIST)のテストパターン発生回路としては、主に線形フィードバックシフトレジスタ(LFSR: linear feedback shift register)が用いられている。図示のLFSRのモデルにおいて、 $c_i = 0$ のとき、XORへフィードバック無、 $c_i = 1$ のとき、XORへフィードバック有である。XORへのフィードバック位置を多項式で表現することができ、その多項式のことを特性多項式という。図21におけるLFSRの特性多項式は数3のように表せる。

[0050] [数3]

$$f(x) = 1 + c_1 + \cdots + c_{n-1}x^{n-1} + x^n$$

[0051] この式に原始多項式が用いられたとき、すべて0のパターンを除く、すべてのパターンを疑似ランダムに発生することができる。したがって、LFSRを用いて疑似ランダムテストや、すべて0以外のパターンを印加する全数テスト(exhaustive test)を行うことができる。

[0052] 図21に示すLFSRにおいて、ある時刻 t のFFの値と特性多項式を用いて、次の時刻 $t+1$ のFFの値を次の数4で表現することができる。

[0053]

[数4]

$$\begin{bmatrix} A_0(t+1) \\ A_1(t+1) \\ A_2(t+1) \\ \vdots \\ A_{n-3}(t+1) \\ A_{n-2}(t+1) \\ A_{n-1}(t+1) \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & \dots & 0 & 0 & 1 \\ 1 & 0 & 0 & \dots & 0 & 0 & c_{n-1} \\ 0 & 1 & 0 & \dots & 0 & 0 & c_{n-2} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 0 & c_3 \\ 0 & 0 & 0 & \dots & 1 & 0 & c_2 \\ 0 & 0 & 0 & \dots & 0 & 1 & c_1 \end{bmatrix} \begin{bmatrix} A_0(t) \\ A_1(t) \\ A_2(t) \\ \vdots \\ A_{n-3}(t) \\ A_{n-2}(t) \\ A_{n-1}(t) \end{bmatrix}$$

[0054] LFSRの例として、図22に3ビットのLFSRを示す。このとき時刻0のときのFFの値をシードとし、値を（FF0、FF1、FF2）＝（0、1、0）と設定したときの動作結果を表1に示す。

[0055] [表1]

表1 3ビットLFSRの動作結果

時刻	0	1	2	3	4	5	6
FFの値	(0, 1, 0)	(0, 0, 1)	(1, 1, 0)	(0, 1, 1)	(1, 1, 1)	(1, 0, 1)	(1, 0, 0)

[0056] 表1の結果から、すべて0以外のパターンを生成できることがわかる。

[0057] 外部テスト装置を簡略化する設計法に組み込み自己テスト（BIST、built-in self-test）方式がある。BIST方式ではテストパターンを発生する回路とテストパターンに対する出力応答を調べる回路を用い、パターン発生回路は主にLFSRが使用されている。

[0058] 図23に、BISTの概略図を示す。BISTでは、パターン発生回路230でテストパターンを生成し、それを被検査回路231に印加し、その出力を、応答解析器（MISR）231で期待値と比較することで故障の有無や故障状態を確認する。パターン発生回路230として、例えば上記のLFSRが用いられる。

[0059] 図24に、スキャン設計された回路のBISTを示す。244はパターン

発生器としてのLFSR、246は順序回路における組合せ回路部分、248は順序回路におけるFFで構成されたスキャンパス、250は応答解析器としてのMISRを示す。このBISTにおいて、LFSR244をスキャンパス248に値が満たされるまで動かし、そのときのスキャンパス248の値とPIの値が被検査回路の組合せ回路部分246に印加されることで疑似ランダムテストが行われる。なお、本発明では、この構造のBISTを、図3に示すように、本願のBISTモデルとして用いている。

[0060] BISTの問題点として、ランダムパターン耐性故障を検出しにくいことが挙げられる。例として図25の信号線Eがs-a-0である回路を示す。故障を検出するパターンは4つの入力すべてが1であるパターンが必要があるが、4ビットのLFSRの場合、このパターンが生成される確率は15分の1になる。LFSRで発生できるパターンのうち、僅かな限定されたパターンでしか検出できない故障のことをランダムパターン耐性故障と呼ぶ。BISTでランダムパターン耐性故障を検出するためにはLFSRのシードを再設定すること（リシードという）が有効であることが知られている。

[0061] LFSRによる疑似ランダムパターンテストでは一般にスキャンパス内のFF間や、外部入力やスキャンパス間にその値の依存関係が生じる。この依存関係を低減するための技術の1つとして、フェーズシフタを用いる方法がある。フェーズシフタとは、LFSRの出力に配置するXORを用いて作成する回路で、LFSRにより発生するパターンの順番を入れ替えるものである。また、フェーズシフタと同様にFF、外部入力、スキャンパス間の依存関係を低減する技術として、ランダム反転回路を用いる方法がある。

[0062] フェーズシフタを用いる場合のBIST構成の一例の概略図を図26（A）に示す。図26（A）で、200はフェーズシフタであり、上述したようにLFSR1により発生するパターンの順番を入れ替える働きをする。

[0063] ランダム反転回路を用いる場合のBIST構成の一例の概略図を図26（B）に示す。このBISTは、被検査回路（CUT）2と、そのスキャンを可能とするスキャンパスと、スキャンパスに供給されるテストパターンを形

成するための第1パターン発生回路1とを備えている。ランダム反転回路は、第1パターン発生回路1とは別個に設けられた第2パターン発生回路1bによって発生されるパターンを用いて第1パターン発生回路1で発生されるパターンを変化させるためのパターン制御回路を有し、このパターン制御回路は、第1パターン発生回路1の出力値の論理を反転可能な反転論理部266と、第2パターン発生回路1bによって発生されるパターンを用いて上記反転論理部266の動作を制御可能な反転制御回路268を含んだものであり、上記反転論理部266の出力信号が被検査回路2に供給される。具体的には、第2パターン発生回路1bで生成される1の値の数と反転条件設定REG270の値によって第1パターン発生回路1bで生成した値が反転するかが決まる。なお、ランダム反転回路は、第2パターン発生回路1b、反転論理部266、反転制御回路268および反転条件設定REG270によって構成される。

[0064] 図26(C)および図26(D)に、図26(A)に示すフェーズシフト付きBISTモデルに対応したシード生成モデルを示す。図26(C)は、スタティック故障用のフェーズシフト付きシード生成モデルであって、図4に示すベースモデルに対して、XORネットワーク10と組合せ回路部分20間にフェーズシフトグループ200aを挿入した構成を有する。フェーズシフトグループ200aは、図26(A)に示すフェーズシフト200をスキャンパス長分コピーして並列に配置した回路である。厳密に言うと、図26(C)、(D)のフェーズシフトグループ200aは、図26(A)に示すフェーズシフト200と、フェーズシフト200のPIに接続するXORを削除したもの(SIに接続するXORのみにしたもの)をスキャンパス長-1個分だけコピーした回路となる。図26(D)は、遅延故障LOCテスト用のフェーズシフト付きシード生成モデルであって、図5(A)に示すシード生成モデルに対して、XORネットワーク10の出力にフェーズシフトグループ200aを接続した構成を有する。

[0065] 図26(E)および図26(F)に、図26(B)に示すランダム反転回

路付き BIST モデルに対応したシード生成モデルを示す。図 26 (E) は、スタティック故障用のランダム反転回路付きシード生成モデルであって、図 4 に示すベースモデルに対して、第 2 の XOR ネットワーク 10 a、反転論理回路グループ 266 a、反転制御回路グループ 268 a を備える。反転論理回路グループ 266 a は、図 26 (B) に示す反転論理部 266 をスキャンパス長分コピーして並列に配置した回路であり、反転制御回路グループ 268 a も同様に、反転制御回路 268 をスキャンパス長分コピーして並列に配置した回路である。第 2 の XOR ネットワーク 10 a は、第 2 パターン発生回路 1 b を構成する LFSR をスキャン FF のスキャンパス長分時間展開して構成したものである。(第 1 の) XOR ネットワーク 10 に入力される第 1 のシードは、図 26 (B) の第 1 のパターン発生回路 1 のシードであり、第 2 の XOR ネットワーク 10 a に入力される第 2 のシードは、図 26 (B) の第 2 のパターン発生回路 1 b に入力されるシードとなる。

[0066] 図 26 (F) は、遅延故障 LOC テスト用のランダム反転回路付きシード生成モデルであって、図 5 (A) に示すシード生成モデルに対して、第 2 の XOR ネットワーク 10 a、反転制御回路グループ 268 a、反転論理回路グループ 266 a からなるランダム反転回路グループを付加した構成を有する。図 26 (E) のモデルと同様に、(第 1 の) XOR ネットワーク 10 に入力されるシードは第 1 のパターン発生回路 1 のシードであり、第 2 の XOR ネットワーク 10 a のシードは第 2 のパターン発生回路 1 b のシードとなる。

[0067] 以下に、図 5 (A) ~ 図 7 (B) に示した遅延故障検出用のシード生成モデルについて、更に詳細に説明する。

[遅延故障モデルとテスト手法]

近年の VLSI の高速化により、論理故障だけでなく、タイミングに関する故障モデルである遅延故障の重要性が高まっている。遅延故障とはゲートや信号線の遅延により規定時間内に信号を伝播させることができず誤動作を起してしまう故障モデルである。遅延故障には遷移故障、ゲート遅延故障、

パス遅延故障などある。以下の説明では遷移故障を対象とするが、これに限定するものではない。

[0068] 図27に遷移故障の例を示す。遷移故障は回路中のある信号線に遅延故障が生じると仮定し、その遅延を伝播する経路にかかわらず外部出力やFFで観測されるのに十分に大きな遅延が生じるとする。遷移故障には信号の立ち上がりが遅れる立ち上がり遷移故障、立ち下がりが遅れる立ち下がり遷移故障の2種類がある。

[0069] 遷移故障のテストは、はじめに対象としている箇所の信号の値を設定し、その後その値を変化させ、外部出力やFFへ伝搬し、応答を観測する。例えば、1パターン目にある信号線を0 (low) に設定するパターンを印加し、2パターン目にその信号線を1 (high) に設定するパターンを印加して、外部出力やFFへ伝搬させ、値の変化を観測すればその信号線の立ち上がり遷移故障を検出することができる。このようなテスト手法を2パターンテストという。

[0070] スキャン設計した回路において実速度 (at-speed) で2パターンテストを行う代表的な手法としてLOC方式と、LOS方式がある。LOC方式のテストはスキャン動作により1パターン目を設定した後にシステムクロックにより実速度で2パターン目の設定と応答のFFへの格納を行う(図28)。この動作をキャプチャという。2パターン目のFFに設定する信号には内部状態を用いることを考慮して1パターン目を設定する。LOC方式テストの動作を時間毎に展開した時間展開モデルを図29に表す。なお、図28に示したLOC方式のタイミングチャートは、図5(C)に示す遅延故障LOCテスト用シード生成モデル1の動作説明のためのタイミングチャートに相当する。

[0071] 図30に、LOS方式による遅延故障テストの基本的なタイミングチャートを示す。このタイミングチャートは、図7(A)に示す本発明の一実施形態に係る遅延故障LOSテスト用シード生成モデルの動作説明のためのタイミングチャート(図7(B))と基本的に同じものであり、従ってLOS方

式テストの動作詳細は図 7 (A) および 7 (B) の説明の項に記載したものを援用することが可能である。

[0072] 遅延故障用シード生成モデル 1

図 3 1 に遅延故障用のシード生成モデル 1 を示す。L o C 方式テストでのシード生成回路のマルチプレクサの制御信号 m 1 の遅延を図 3 2 に示す。なお、図 3 1 の遅延故障用シード生成モデル 1 は、図 5 (A) の遅延故障用シード生成モデルの他の実施形態である。

[0073] L o C 方式テスト向けの 2 パターンテストを生成するために 2 時刻を考慮する必要がある。そのために対象回路のスキanyiネーブル端子、スキanyFF に回路を追加し、X O R ネットワーク 1 0 を接続する。スキanyiネーブル端子に O R ゲート、F F を順に追加して接続し、追加した F F の出力を分岐させ N O T ゲート追加してこれを通して O R ゲートのもう 1 つの入力とする。これらの O R ゲート、F F および N O T ゲートはタイミング生成回路を形成する。

[0074] また、スキanyFF の出力に、マルチプレクサを追加する。マルチプレクサの制御信号はスキanyiネーブルに追加した F F の出力とする。マルチプレクサの入力は X O R ネットワークを接続する外部入力と、スキanyFF からの出力である。回路の追加により、2 パターンテストにおいて 1 パターン目に P P I には X O R ネットワーク 1 0 が選択され、2 パターン目にはスキanyFF を選択することができる。

[0075] なお、フェーズシフトおよびランダム反転回路を用いた B I S T 構成の場合には、それらに対応した L o C 遅延故障用のシード生成モデルが必要になる。これらのモデルについては、図 2 6 (D) および図 2 6 (F) を参照して上記で説明した通りである。

[0076] 遅延故障用シード生成モデル 2 および 3

図 6 に遅延故障用シード生成モデル 2 を示し、さらに図 7 (A) において L o S 方式テスト用の遅延故障用シード生成モデル 3 を示した。

[0077] 以上に示したスタティック故障向けのシード生成モデル（ベースモデル）

、遅延故障用のシード生成モデル 1 ～ 3 を使用した、本発明の L F S R シード生成方法によれば、シード生成モデルでシード生成が不可能であった（シードが存在しないと判明した）故障は元の B I S T 回路でも検出ができないことが保証される。したがって B I S T 機構の故障検出能力を知ることができる。また、一旦生成したテストパターンからシードへ変換をせずとも、テスト生成に制約を設けることで、テスト生成ツールを用いてシードを直接生成することが出来る。従来法ではシード変換ができるまで、テスト生成とシード変換作業を繰り返すので、提案手法と同じ故障検出率を得るためにはテスト生成のやり直しが多発し、時間がかかると考えられる。

[0078] [評価]

まず、スタティック故障向けシード生成モデルによる提案手法の有効性を実験によって示す。

実験環境を表 2 に示す。実験対象回路には I T C ' 9 9 ベンチマーク回路を用い、ランダムパターン耐性故障（R P R F）を対象としてシード生成の実験を行った。R P R F は 1 0 , 0 0 0 パターンを印加して未検出の故障とする。I T C ' 9 9 ベンチマーク回路の回路特性を表 3 に示す。

[0079] [表2]

表 2：実験環境

対象回路	I T C ' 9 9 ベンチマーク回路
故障モデル	縮退故障
LFSR	100ステージ、1タップ
プロセッサ	Intel Xeon X5675 3.06GHz
メモリ	40GB
論理合成・スキャン挿入ツール	Design Compiler (Synopsys)
テスト生成ツール	TetraMax (Synopsys)
SAT ソルバ（従来法シード変換）	MiniSAT

[0080]

[表3]

表3：ITC' 99ベンチマーク回路特性
b_19：スキャンパス数／スキャンパス長のバリエーション

回路名	#PIs	#POs	#Gates	#FFs	# Scan Paths	スキャンパス長
b14	32	54	8,567	245	3	82
b15	36	70	7,922	449	5	90
b17	37	97	27,852	1,415	24	59
b18	37	23	94,249	3,320	3	1107
b19_scan6	24	30	190,213	6,642	6	1107
b19_scan13					13	511
b19_scan22					22	302
b20	32	22	17,158	490	5	98
b21	32	22	17,482	490	17	30
b22	32	22	25,460	735	5	147

[0081] 表3において、#PIs、#POs、#Gates、#FFsはそれぞれ外部入力数、外部出力数、ゲート数、FF数を表している。

[0082] ベンチマーク回路b_19についてはスキャンパスの本数を6本、13本、22本に分割した回路を用意し、回路名をそれぞれb19_scan6、b19_scan13、b19_scan22と表記する。

[0083] 実験方法を以下に示す。まず、適当なシードでLFSRにより10,000疑似ランダムパターンを生成し、生成したパターンで被検査回路に対して故障シミュレーションを行う。次に故障シミュレーションの結果、未検出であった故障をランダムパターン耐性故障(RPRF)とし、それらの故障に対して従来手法、提案手法でそれぞれシードを求め、両手法の故障検出率、故障検出効率、シード生成時間、シード数を比較する。また、LFSRにフェーズシフタを付けた場合についても併せて評価した。本実験でのテスト生成については、アボート時間を10秒と設定した。アボート時間とは1つのパターンを生成するのにかける時間の上限である。また、使用したLFSRはランダム反転回路を付けていない場合および付けた場合の第1パターン発生回路については100ステージLFSRを、ランダム反転回路の第2パターン発生回路に10ステージのものを使用した。また、フェーズシフタをつけた場合のフェーズシフタは、複数のスキャンパスにLFSRから生成され

る同じ部分系列が入らないよう、各スキャンパスの入力はスキャンパス長以上位相がずれるように設計した。従来手法でのシードへの変換はSATを解く方法を採用し、SATソルバとしてMiniSATを用いた。

[0084] 表4に、LFSRを用いた10,000疑似ランダムパターンによる故障シミュレーションの結果を示す。

[0085] [表4]

表4 対象故障：RPRF（フェーズシフトなし）

回路名	全故障数	% FC	# RPRFs
b14	60,080	87.52	7,469
b15	55,586	79.42	11,389
b17	197,992	64.83	69,638
B18	687,576	71.98	192,571
b19_scan6	1,385,822	70.17	413,297
b19_scan13	1,385,822	70.35	410,826
b19_scan22	1,385,822	70.03	415,265
b20	120,882	91.04	10,751
b21	123,220	87.48	15,377
b22	179,614	90.6	16,779

[0086] 表4での未検出故障を対象に従来手法、提案手法でシード生成したところ、表5に示す結果が得られた。

[表5]

表5 実験結果（フェーズシフトなし）

回路名	従来法			提案法			
	% FC	CPU(秒)	シード数	% FC	% FE	CPU(秒)	シード数
b14	36.1	0.8	206	96.06	99.87	0.45	660
b15	59.69	2.7	733	74.75	90.82	1.83	447
b17	47.4	13.01	2,336	81.63	94.71	7.53	2,121
b18	95.22	34.51	22,541	97.07	98.43	20.25	8,896
b19_scan6	91.36	100.43	46,772	94.73	96.43	86.8	17,285
b19_scan13	92.26	103.53	46,872	95.98	97.74	63.07	17,941
b19_scan22	86.29	142.65	43,784	93.32	97.74	65.32	17,594
b20	39.35	1.31	349	90.3	99.37	0.87	1,012
b21	3.15	1.73	56	76.33	97.72	3.77	941
b22	58.06	1.94	841	95.21	99.13	1.3	1,455

[0087] 実験では、従来手法ではテスト生成したパターンの一部をシードに変換で

きず、故障検出率が低下していることが確認された。また、表5から、すべての回路に対して提案手法の方が高い故障検出率が得られた。シード生成時間の点についてもほとんどの回路で提案手法の方が優れていることがわかる。

[0088] 次にLFSRにフェーズシフタを付けた場合の従来手法、提案手法について考える。表6にフェーズシフタを付けたLFSRを用いた10,000疑似ランダムパターンによる故障シミュレーションの結果を示す。

[0089] [表6]

表6 対象故障：RPRF（フェーズシフタ付）

回路名	全故障数	% FC	# RPRFs
b14	60,080	87.65	7,418
b15	55,586	75.47	13,586
b17	197,992	68.86	61,652
b18	687,576	70.71	201,326
b19_scan6	1,385,822	69.99	415,827
b19_scan13	1,385,822	70.66	406,513
b19_scan22	1,385,822	71.09	400,606
b20	120,882	89.19	12,987
b21	123,220	87.55	15,299
b22	179,614	90.64	16,705

[0090] 表6での未検出故障を対象に、従来手法、提案手法でシード生成した結果を表7に示す。

[0091]

[表7]

表7 実験結果 (フェーズシフタ付)

回路名	従来法			提案法			
	% FC	CPU(秒)	シード数	% FC	% FE	CPU(秒)	シード数
b14	32.72	1.18	203	94.2	99.08	1.16	594
b15	72.27	4.18	1,035	86.6	94.58	8.95	503
b17	77	14.55	6,008	90.88	97.47	16.97	2,471
b18	N/A	N/A	N/A	81.28	82.69	367.49	5,912
b19_scan6	N/A	N/A	N/A	83.88	85.49	913.45	12,853
b19_scan13	N/A	N/A	N/A	91.56	93.2	382.77	15,735
b19_scan22	94.43	118.48	48,142	93.75	95.42	261.1	16,695
b20	49.6	2.4	579	91.89	97.03	6.88	978
b21	21.14	2.38	281	80.63	97.22	15.22	961
b22	75.17	3.39	1,281	93.64	97.6	7.14	1,318

[0092] 表7から、フェーズシフタを付けた場合においても、ほとんどの回路において提案手法の方が高速にシードを求めることができ、シード数も従来手法よりも少なく済むことがわかる。さらに、故障検出率についても提案手法の方が優れていることがわかる。

[0093] 次にLFSRにランダム反転回路を付けた場合の従来手法、提案手法について考える。表8にランダム反転回路を付けたLFSRを用いた10,000疑似ランダムパターンによる故障シミュレーションの結果を示す。

[0094] [表8]

表8 対象故障: RPRF (ランダム反転回路付)

回路名	全故障数	% FC	# RPRFs
b14	60,080	87.78	7,308
b15	55,586	76.90	12,788
b17	197,992	67.40	64,542
b18	687,576	71.36	196,835
b19_scan6	1,385,822	70.37	410,553
b19_scan13	1,385,822	69.94	416,491
b19_scan22	1,385,822	69.91	416,921
b20	120,882	89.00	12,252
b21	123,220	87.60	15,229
b22	179,614	90.51	16,931

[0095] 表8での未検出故障を対象に、従来手法、提案手法でシード生成した結果

を表 9 に示す。

[0096] [表9]

表 9 実験結果 (ランダム反転回路付)

回路名	従来法			提案法			
	% FC	CPU(秒)	シード数	% FC	% FE	CPU(秒)	シード数
b14	91.06	1.52	865	95.99	99.45	0.39	657
b15	86.37	3.37	1,413	87.26	92.84	2.03	480
b17	87.70	12.68	6,676	92.48	96.04	5.42	2,352
b18	87.01	109.46	21,468	97.15	98.48	20.28	8,648
b19_scan6	86.96	235.65	44,962	94.82	96.37	74.33	16,985
b19_scan13	91.32	158.61	47,282	96.10	97.60	101.05	17,671
b19_scan22	91.04	188.19	47,301	96.15	97.65	52.72	17,798
b20	77.68	3.17	975	95.00	99.25	0.99	1,113
b21	38.35	1.80	589	93.70	97.66	1.88	1,161
b22	81.79	4.53	1,529	95.61	99.37	1.38	1,436

[0097] 次に、遅延故障用のシード生成モデル 1 を用いた提案法の有効性を実験によって示す。実験に用いた回路は ITC' 99 ベンチマーク回路 b 1 4、b 1 7、b 1 8、b 1 9、b 2 0、b 2 1、b 2 2 である。実験環境は表 2 に示したものと同一である。

[0098] 以下の表 1 0～表 1 5 に遅延故障用のシード生成モデル 1 によるシード単体品質の評価を記載する。表 1 0 および表 1 1 は、評価環境とベンチマーク回路 b 1 4、b 1 7、b 1 8、b 1 9、b 2 0、b 2 1、b 2 2 の回路特性を示す。

[0099] [表10]

表 1 0 ITC' 99 ベンチマーク回路特性

Circuit	#PIs	#POs	#Gates	#FFs	スキャン チェーン数	スキャン チェーン長
b14	32	54	8,567	245	5	49
b17	37	97	27,852	1,415	5	283
b18	37	23	94,249	3,320	10	332
b19	24	30	190,213	6,642	22	302
b20	32	22	17,158	490	5	98
b21	32	22	17,482	490	5	98
b22	32	22	25,460	735	5	147

[0100] 表 1 1 はシード生成対象故障を示す。初期疑似ランダムパターン印加後の未検出故障数を示している。

[0101] [表11]

表 1 1 シード生成対象故障

Circuit	総故障数	未検出（シード生成対象）故障数	
		10k印加	50k印加
b14	60,614	14,247	—
b17	201,282	107,593	—
b18	709,696	451,785	—
b19	1,403,498	905,146	760,079
b20	121,950	20,775	—
b21	124,272	23,542	—
b22	181,168	32,002	—

[0102] 表 1 2 にシード単体品質についての実験結果を示す。ここでは、10,000疑似ランダムパターン印加後の未検出故障がシード生成対象である。

[0103] [表12]

表 1 2 実験結果：シード単体品質

Circuit	従来法			提案法			
	%FC	シード数	時間(秒)	%FC	%FE	シード数	時間(秒)
b14	3.59	54	17.56	6.29	9.24	109	15.6
b17	43.71	6,569	152.21	42.71	44.66	2,398	96.92
b18	29.94	19,644	1,431.82	35.74	37.14	10,071	902.48
b19	31.34	40,569	4,734.01	36.51	37.37	18,679	2,853.53
b20	18.42	734	25.93	32.72	35.41	886	26.05
b21	15.23	688	29.57	38.1	40.8	1,105	29.03
b22	13.74	785	47.33	41.51	43.68	1,700	36.33

[0104] 表 1 2 において、

従来法の%FC：各シードから1パターンを展開した場合の故障シミュレーション結果

提案法の%FC、%FE：シード生成時のATPGのレポートを示す。

[0105] 表 1 3 はドントケア付きテスト生成とシード変換を示し、10,000疑似ランダムパターンの印加後の未検出故障がシード生成対象である。従来法でシードに変換できないことによる故障検出率の損失を示す。

[0106] [表13]

表 1 3 従来法：ドントケア付きテスト生成とシード変換

Circuit	テスト生成				シード変換	
	%FC	%FE	パターン数	時間(秒)	%FC	シード数
b14	31.23	34.57	1,710	16.79	3.59	54
b17	44.15	49.05	9,091	147.55	43.71	6,569
b18	45.21	49.54	33,197	1,415.59	29.94	19,644
b19	47.11	50.44	65,021	4,713.52	31.34	40,569
b20	56.57	62.15	4,213	23.87	18.42	734
b21	56.73	61.9	4,881	27.26	15.23	688
b22	55.4	59.66	6,711	44.18	13.74	785

[0107] 表 1 4 は累積故障検出率／検出効率を示す。この結果は、10,000 疑似ランダムパターン印加も含めた場合を示している。10,000 疑似ランダムパターン印加後の未検出故障がシード生成対象である。

[0108] [表14]

表 1 4 累積故障検出率／検出効率

Circuit	従来法	提案法	
	%FC	%FC	%FE
b14	77.31	77.94	78.67
b17	69.91	69.37	70.42
b18	54.93	58.62	59.99
b19	55.72	59.05	59.61
b20	86.06	88.47	89
b21	83.92	88.25	88.78
b22	84.72	89.63	90.05

[0109] 以下の表 1 5 ～表 2 0 および図 3 3 ～図 3 6 に、遅延故障用のシード生成モデル 1 を用いて生成したシードのシード展開品質の実験結果を示す。

[0110] 表 1 5 は、シード品質（128 パターン展開）の実験結果を示す。この実験では、検出率の立ち上がりが最も早くなるようにシードを並び替え、シード生成対象故障（代表故障のみ）を、b21 については全故障および 10,000（10k）疑似ランダムパターン印加後未検出故障とし、b19 については 50,000（50k）疑似ランダムパターン印加後未検出故障とした。

[0111] [表15]

表 15 実験結果：シード品質（128パターン展開）（等価故障含む）

Circuit	全故障数	ランダムパターン未検出故障数	
		10k印加	50k印加
b19	1,403,498	—	760,079
b21	124,272	23,542	—

[0112] 表 16 にシード生成状況を示す。

[0113] [表16]

表 16 シード生成状況（等価故障含む）

Circuit	対象障数	シード数	
		従来法	提案法（%FC, %FE）
b19（10k）	760,079	30,227	15,807（28.3, 29.4）
b21（全故障）	124,272	8,061	2,264（85.6, 86.1）
b21（10k）	23,542	684	1,105（38.1, 40.8）

[0114] 図 33 に、b21 全故障に対する検出率の推移を示す。

[0115] 表 16 の実験結果は、b21 の全故障に対する検出率推移を示している。

この表から、従来法が到達できた最大検出率は 86% であり、提案法では同じ検出率に到達するのに要するシード数を 12% 削減（テスト時間 12% 削減）することができた。

[0116] [表17]

表 17 実験結果：b21 全故障に対する検出率推移

	#seed	%FC	#seed @ %FC			%FC @ #seed				
			85	86	87	100	200	300	400	500
従来法	8,061	86.74	127	219		84.38	85.87	86.35	86.56	86.67
提案法	2,264	87.54	130	193	337	84.18	86.09	86.84	87.19	87.38

[0117] 図 34 に示す実験結果は、b21 の 10k 疑似ランダムパターン印加後未検出故障に対する検出率推移を示している。

[0118] 表 18 の実験結果は、b21 の 10k 疑似ランダムパターン印加後未検出

故障に対する検出率推移を示す。従来法が到達できた最大検出率は８５％であり、提案法では同じ検出率に到達するのに要するシード数を４４％削減（テスト時間４４％削減）することができた。

[0119] [表18]

表 18 実験結果：b 2 1 1 0 k 印加後未検出故障に対する検出率推移

	#seed	%FC	#seed @ %FC			%FC @ #seed				
			85	86	87	100	200	300	400	500
従来法	688	85.38	221			83.46	84.88	85.25	85.37	85.38
提案法	1,105	87.37	124	189	369	84.34	86.11	86.76	87.07	87.25

[0120] 図 3 5 に示す実験結果は、b 1 9 の 5 0 k 疑似ランダムパターン印加後未検出故障に対する検出率推移を示す図である。

[0121] 表 1 9 に示す実験結果は、b 1 9 の 5 0 k 疑似ランダムパターン印加後未検出故障に対する検出率推移を示す。従来法が到達できた最大検出率は６５％であり、提案法ではこの検出率に到達するのに要するシード数を２５％削減（テスト時間２５％削減）することができた。

[0122] [表19]

表 19 実験結果：b 1 9 5 0 k 印加後未検出故障に対する検出率推移

	#seed	%FC	#seed @ %FC			%FC @ #seed				
			63	64	65	1,000	2,000	3,000	4,000	5,000
従来法	30,227	65.08	4,410	6,678	11,956	58.34	60.87	62.03	62.76	63.29
提案法	15,807	65.22	3,658	5,728	8,989	58.75	61.38	62.5	63.21	63.69

[0123] 図 3 6 に示す実験結果は、b 1 9 の 5 0 k 疑似ランダムパターン印加後未検出故障に対する検出率推移を示している。

[0124] 表 1 9 に示す実験結果は、b 1 9 の 5 0 k 疑似ランダムパターン印加後未検出故障に対する検出率推移を示している。この実験では全シードを並び換えるには時間がかかるため、初めに生成された 5, 0 0 0 （5 k）個のシードだけを用いた。

[0125]

[表20]

表20 実験結果：b19 50k印加後未検出故障に対する検出率推移
(シード並び替え時間を節約、生成順に5k個シードを選択)

	#seed	%FC	#seed @ %FC			%FC @ #seed				
			55	56	57	500	1,000	1,500	2,000	2,500
従来法	5,000	56.82	1,110	1,765		52.23	54.71	55.69	56.2	56.49
提案法	5,000	57.93	909	1,273	2,016	52.61	55.3	56.39	56.98	57.34

[0126] 表20より、初めに生成された5k個のシードだけを用いた場合でも提案法が有意であることが分かる。従来法では到達できた最大検出率は56%であり、提案法ではこの検出率に到達するのに要するシード数を28%削減（テスト時間28%削減）することができた。

符号の説明

- [0127]
- 1 LFSR
 - 2 被検査回路（CUT）
 - 3 応答圧縮器（MISR）
 - 10 XORネットワーク
 - 20 組合せ回路部分
 - 30 スキャンFF
 - 40 マルチプレクサ
 - 50 タイミング生成回路

請求の範囲

- [請求項1] スキャン B I S T のシード生成モデルを形成し、
前記形成したシード生成モデルに対して対象故障のテスト生成を行って L F S R のシードを生成する、各手順を備え、
前記シード生成モデルは、前記スキャン B I S T の L F S R を被検査回路のスキャン F F におけるスキャンパス長分時間展開して構成した X O R ネットワークと、前記被検査回路の組合せ回路部分とを備え、前記組合せ回路部分に前記 X O R ネットワーク出力が接続された構成を有する、スキャン B I S T の L F S R シード生成方法。
- [請求項2] 請求項 1 に記載の方法において、前記シード生成モデルは、前記 X O R ネットワークと前記被検査回路の組合せ回路部分との間にフェーズシフトグループが接続されている、スキャン B I S T の L F S R シード生成方法。
- [請求項3] 請求項 1 に記載の方法において、前記シード生成モデルは、前記 X O R ネットワークと前記被検査回路の組合せ回路部分との間にランダム反転回路グループが接続されている、スキャン B I S T の L F S R シード生成方法。
- [請求項4] 請求項 3 に記載の方法において、前記ランダム反転回路グループのそれぞれのランダム反転回路は、前記 X O R ネットワークと前記被検査回路の組合せ回路部分との間に挿入された反転論理回路と、第 2 の X O R ネットワークと、第 2 の X O R ネットワークの出力を用いて前記反転論理回路の動作を制御するための反転制御回路とを備える、スキャン B I S T の L F S R シード生成方法。
- [請求項5] 請求項 1 乃至 4 の何れか 1 項に記載の方法において、前記対象故障はスタティック故障である、スキャン B I S T の L F S R シード生成方法。
- [請求項6] 請求項 1 に記載の方法において、前記シード生成モデルは更に、前記 X O R ネットワーク出力と前記スキャン F F 出力とを時間的に切り

替えて前記組合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備える、スキャンＢＩＳＴのＬＦＳＲシード生成方法。

[請求項7] 請求項6に記載の方法において、前記シード生成モデルは更に、前記ＸＯＲネットワーク出力に接続されたフェーズシフトグループを備え、前記フェーズシフトグループの出力が前記被検査回路の組合せ回路部分および前記マルチプレクサに入力される、スキャンＢＩＳＴのＬＦＳＲシード生成方法。

[請求項8] 請求項6に記載の方法において、前記シード生成モデルは更に、前記ＸＯＲネットワーク出力に接続されたランダム反転回路グループを備え、前記ランダム反転回路グループの出力が前記被検査回路の組合せ回路部分および前記マルチプレクサに入力される、スキャンＢＩＳＴのＬＦＳＲシード生成方法。

[請求項9] 請求項8に記載の方法において、前記ランダム反転回路グループのそれぞれのランダム反転回路は、前記ＸＯＲネットワークと前記被検査回路の組合せ回路部分との間に挿入された反転論理回路と、第2のＸＯＲネットワークと、第2のＸＯＲネットワークの出力を用いて前記反転論理回路の動作を制御するための反転制御回路とを備える、スキャンＢＩＳＴのＬＦＳＲシード生成方法。

[請求項10] 請求項1に記載の方法において、前記シード生成モデルは更に、前記組合せ回路部分の複製である第2の組合せ回路部分を有し、当該第2の組合せ回路部分の入力には前記ＸＯＲネットワークの出力と前記組合せ回路部分の出力とが接続される、スキャンＢＩＳＴのＬＦＳＲシード生成方法。

[請求項11] 請求項1に記載の方法において、前記シード生成モデルは更に、前記ＬＦＳＲを前記スキャンパス長+1スキャンシフト分時間展開して構成した第2のＸＯＲネットワークと、前記ＸＯＲネットワーク出力と前記第2のＸＯＲネットワーク出力とを時間的に切り替えて前記組

合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備える、スキャンBISTのLFSRシード生成方法。

[請求項12] 請求項6乃至11の何れか1項に記載の方法において、前記対象故障は遅延故障である、スキャンBISTのLFSRシード生成方法。

[請求項13] 請求項1乃至12の何れか1項に記載の方法において、前記対象故障のテスト生成は自動テストパターン生成ツールを用いて行われる、スキャンBISTのLFSRシード生成方法。

[請求項14] スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開してXORネットワークを形成し、当該XORネットワークを前記被検査回路の組合せ回路部分に接続することによってシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って前記LFSRのシードを生成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項15] スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記XORネットワーク出力と前記スキャンFF出力とを時間的に切り替えて前記被検査回路の組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器と、によってシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項16] スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記LFSRを前記スキャンパス長+1スキャンシフト分時間展開して構成した第2の組合せ回路部分と

を備え、前記XORネットワーク出力を前記組合せ回路部分の入力に接続し、前記XORネットワーク出力と前記組合せ回路部分出力とを前記第2の組合せ回路部分の入力に接続してシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項17]

スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記LFSRを前記スキャンパス長+1スキャンシフト分時間展開して構成した第2のXORネットワークと、前記XORネットワークまたは前記第2のXORネットワーク出力を時間的に切り替えて前記組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器とによって、シード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

補正された請求の範囲
[2014年12月15日(15.12.2014)国際事務局受理]

- [請求項1] スキャンBISTのシード生成モデルを形成し、
 前記形成したシード生成モデルに対して対象故障のテスト生成を行
 ってLFSRのシードを生成する、各手順を備え、
 前記シード生成モデルは、前記スキャンBISTのLFSRを被検
 査回路のスキャンFFにおけるスキャンパス長分時間展開して構成し
 たXORネットワークと、前記被検査回路の組合せ回路部分とを備え
 、前記組合せ回路部分に前記XORネットワーク出力が接続された構
 成を有する、スキャンBISTのLFSRシード生成方法。
- [請求項2] 請求項1に記載の方法において、前記シード生成モデルは、前記X
 ORネットワークと前記被検査回路の組合せ回路部分との間にフェー
 ズシフトグループが接続されている、スキャンBISTのLFSRシ
 ード生成方法。
- [請求項3] 請求項1に記載の方法において、前記シード生成モデルは、前記X
 ORネットワークと前記被検査回路の組合せ回路部分との間にランダ
 ム反転回路グループが接続されている、スキャンBISTのLFSR
 シード生成方法。
- [請求項4] 請求項3に記載の方法において、前記ランダム反転回路グループの
 それぞれのランダム反転回路は、前記XORネットワークと前記被検
 査回路の組合せ回路部分との間に挿入された反転論理回路と、第2の
 XORネットワークと、第2のXORネットワークの出力を用いて前
 記反転論理回路の動作を制御するための反転制御回路とを備える、スキ
 ャンBISTのLFSRシード生成方法。
- [請求項5] 請求項1乃至4の何れか1項に記載の方法において、前記対象故障
 はスタティック故障である、スキャンBISTのLFSRシード生成
 方法。
- [請求項6] 請求項1に記載の方法において、前記シード生成モデルは更に、前
 記XORネットワーク出力と前記スキャンFF出力とを時間的に切り

替えて前記組合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備える、スキャンBISTのLFSRシード生成方法。

[請求項7] 請求項6に記載の方法において、前記シード生成モデルは更に、前記XORネットワーク出力に接続されたフェーズシフタグループを備え、前記フェーズシフタグループの出力が前記被検査回路の組合せ回路部分および前記マルチプレクサに入力される、スキャンBISTのLFSRシード生成方法。

[請求項8] 請求項6に記載の方法において、前記シード生成モデルは更に、前記XORネットワーク出力に接続されたランダム反転回路グループを備え、前記ランダム反転回路グループの出力が前記被検査回路の組合せ回路部分および前記マルチプレクサに入力される、スキャンBISTのLFSRシード生成方法。

[請求項9] 請求項8に記載の方法において、前記ランダム反転回路グループのそれぞれのランダム反転回路は、前記XORネットワークと前記被検査回路の組合せ回路部分との間に挿入された反転論理回路と、第2のXORネットワークと、第2のXORネットワークの出力を用いて前記反転論理回路の動作を制御するための反転制御回路とを備える、スキャンBISTのLFSRシード生成方法。

[請求項10] 請求項1に記載の方法において、前記シード生成モデルは更に、前記組合せ回路部分の複製である第2の組合せ回路部分を有し、当該第2の組合せ回路部分の入力には前記XORネットワークの出力と前記組合せ回路部分の出力とが接続される、スキャンBISTのLFSRシード生成方法。

[請求項11] 請求項1に記載の方法において、前記シード生成モデルは更に、前記LFSRを前記スキャンパス長+1スキャンシフト分時間展開して構成した第2のXORネットワークと、前記XORネットワーク出力と前記第2のXORネットワーク出力とを時間的に切り替えて前記組

合せ回路部分に入力するためのマルチプレクサと、前記マルチプレクサの切り替えのタイミングを制御するタイミング生成器とを備える、スキャンBISTのLFSRシード生成方法。

[請求項12] 請求項6乃至11の何れか1項に記載の方法において、前記対象故障は遅延故障である、スキャンBISTのLFSRシード生成方法。

[請求項13] 請求項1乃至12の何れか1項に記載の方法において、前記対象故障のテスト生成は自動テストパターン生成ツールを用いて行われる、スキャンBISTのLFSRシード生成方法。

[請求項14] スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開してXORネットワークを形成し、当該XORネットワークを前記被検査回路の組合せ回路部分に接続することによってシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って前記LFSRのシードを生成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項15] スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記XORネットワーク出力と前記スキャンFF出力とを時間的に切り替えて前記被検査回路の組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器と、によってシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項16] (補正後) スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記組合せ回路部分を複製した第2の組合せ回路部分とを備え、前記XORネットワーク出

力を前記組合せ回路部分の入力に接続し、前記XORネットワーク出力と前記組合せ回路部分出力とを前記第2の組合せ回路部分の入力に接続してシード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

[請求項17]

スキャンBISTのLFSRを被検査回路のスキャンFFにおけるスキャンパス長分時間展開して構成したXORネットワークと、前記被検査回路の組合せ回路部分と、前記LFSRを前記スキャンパス長+1スキャンシフト分時間展開して構成した第2のXORネットワークと、前記XORネットワークまたは前記第2のXORネットワーク出力を時間的に切り替えて前記組合せ回路部分に印加するマルチプレクサと、前記マルチプレクサの切換えタイミングを制御するタイミング生成器とによって、シード生成モデルを形成する手順と、

前記シード生成モデルに対して対象故障のテスト生成を行って、前記LFSRのシードを形成する手順と、をコンピュータに実行させるためのプログラムを記憶する、記憶媒体。

第 19 条 (1) の規定に基づく説明書

1. 補正の内容

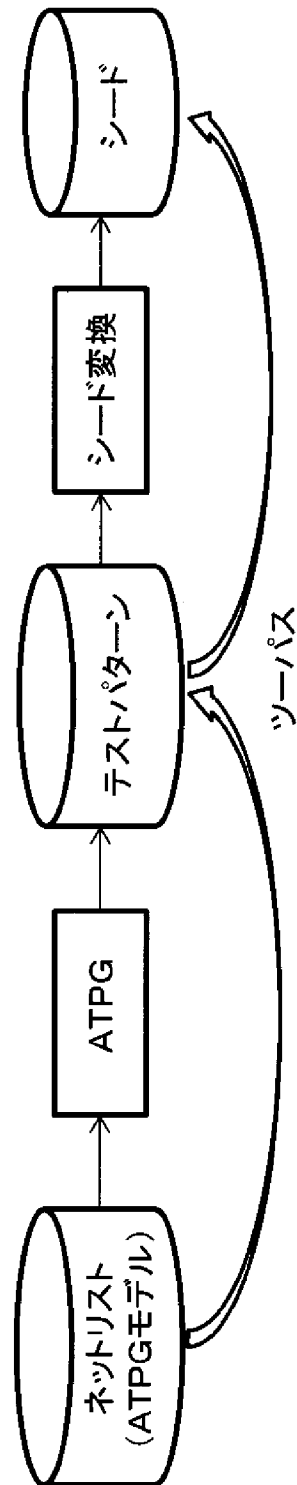
(1) 請求項 16 を補正した。

2. 説明

請求項 16 における、「スキャン BIST の LFSR を被検査回路のスキャン FF におけるスキャンパス長分時間展開して構成した XOR ネットワークと、前記被検査回路の組合せ回路部分と、前記 LFSR を前記スキャンパス長 + 1 スキャンシフト分時間展開して構成した第 2 の組合せ回路部分とを備え、・・・」を、『スキャン BIST の LFSR を被検査回路のスキャン FF におけるスキャンパス長分時間展開して構成した XOR ネットワークと、前記被検査回路の組合せ回路部分と、前記組合せ回路部分を複製した第 2 の組合せ回路部分とを備え、・・・』に補正した。

[図1]

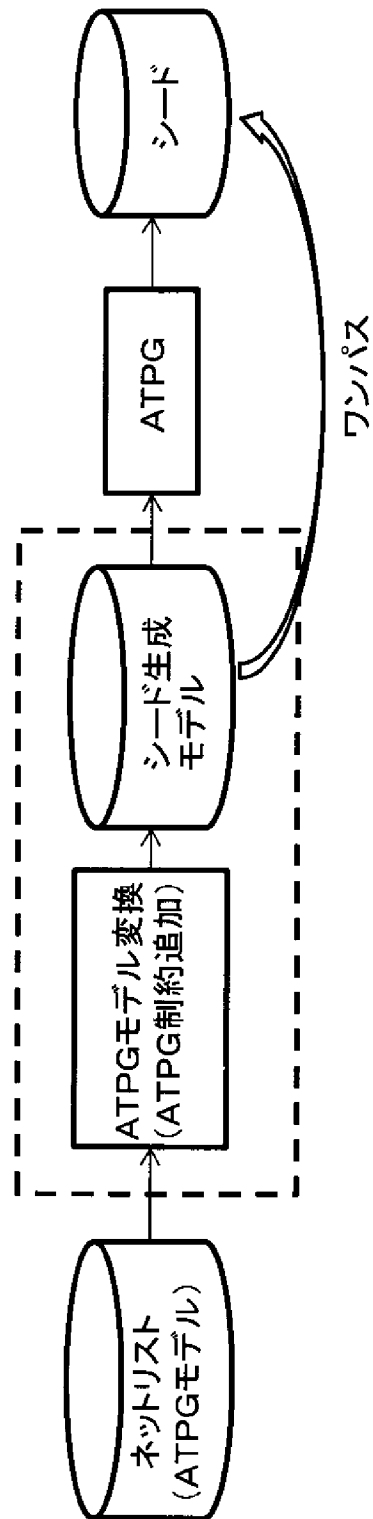
図1



ツープラスシード生成(従来法)

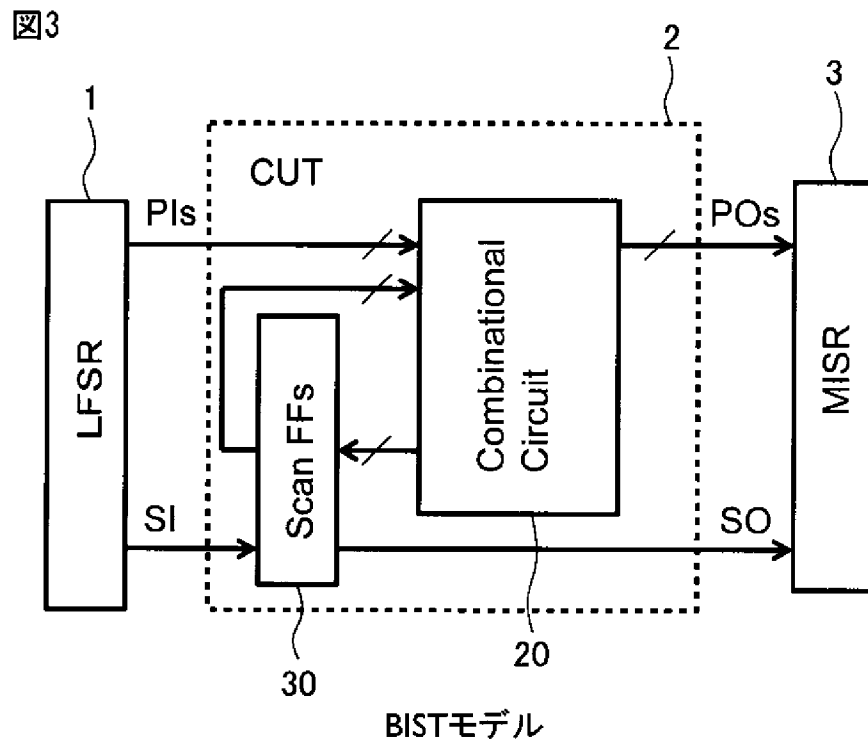
[図2]

図2

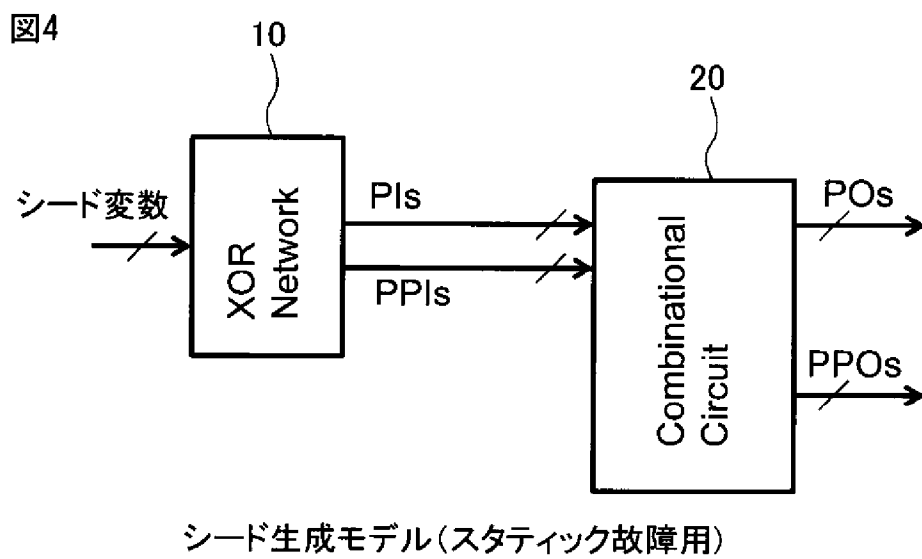


ワンパスシード生成 (本発明)

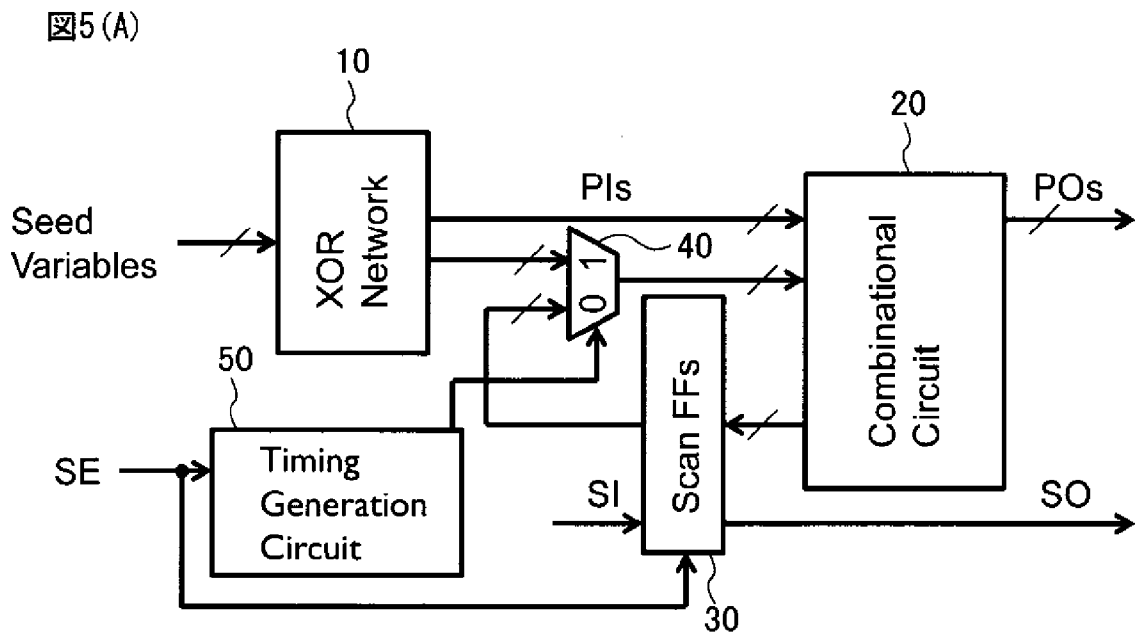
[図3]



[図4]

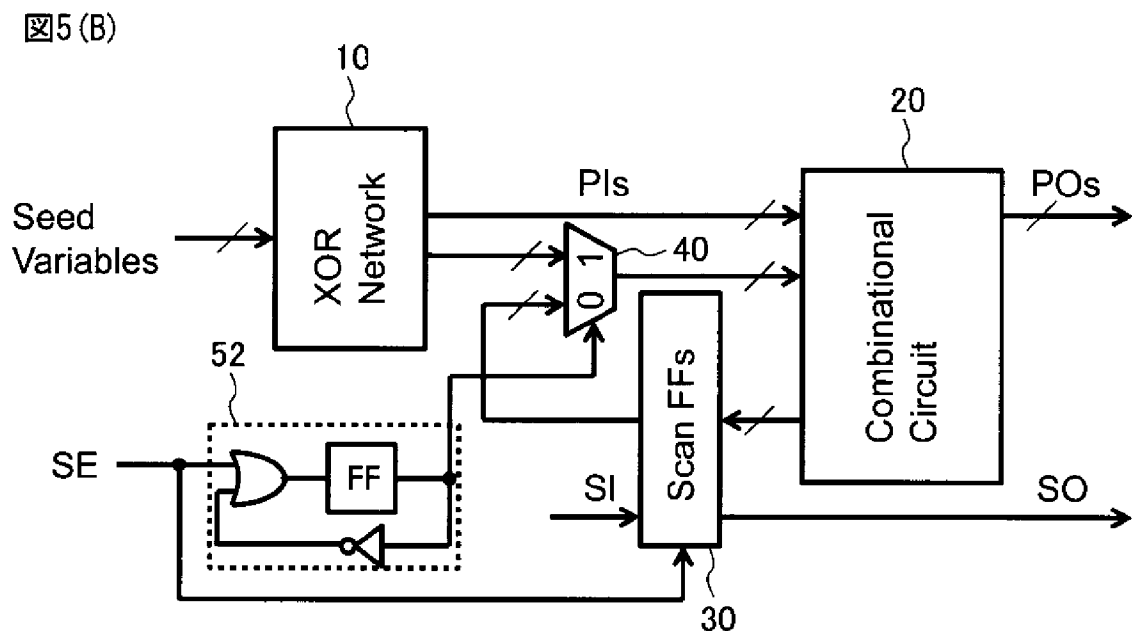


[図5(A)]



遅延故障LoCテスト用シード生成モデル1
(マルチサイクルキャプチャ用)

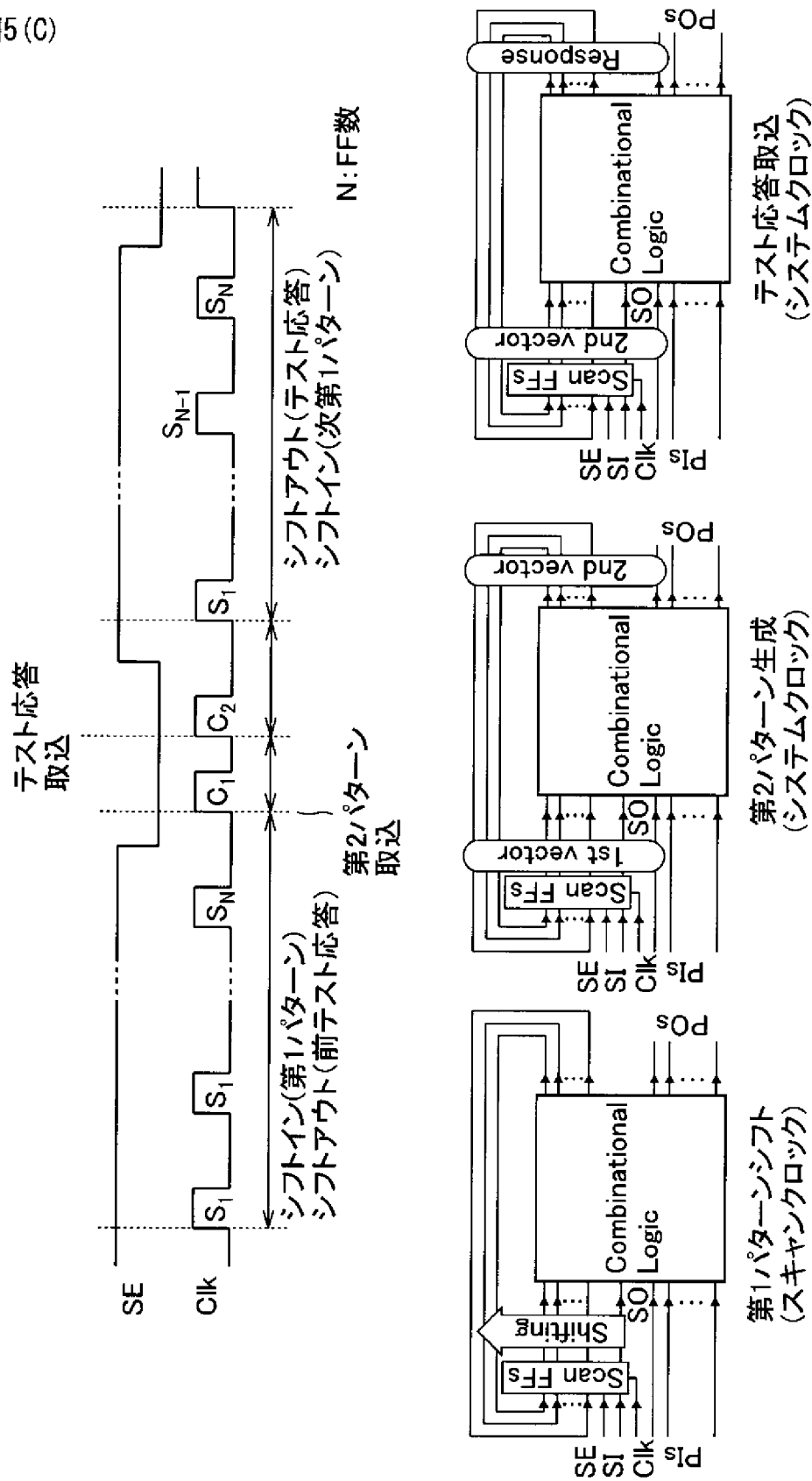
[図5(B)]



遅延故障LoCテスト用シード生成モデル1
(2パターンテスト用)

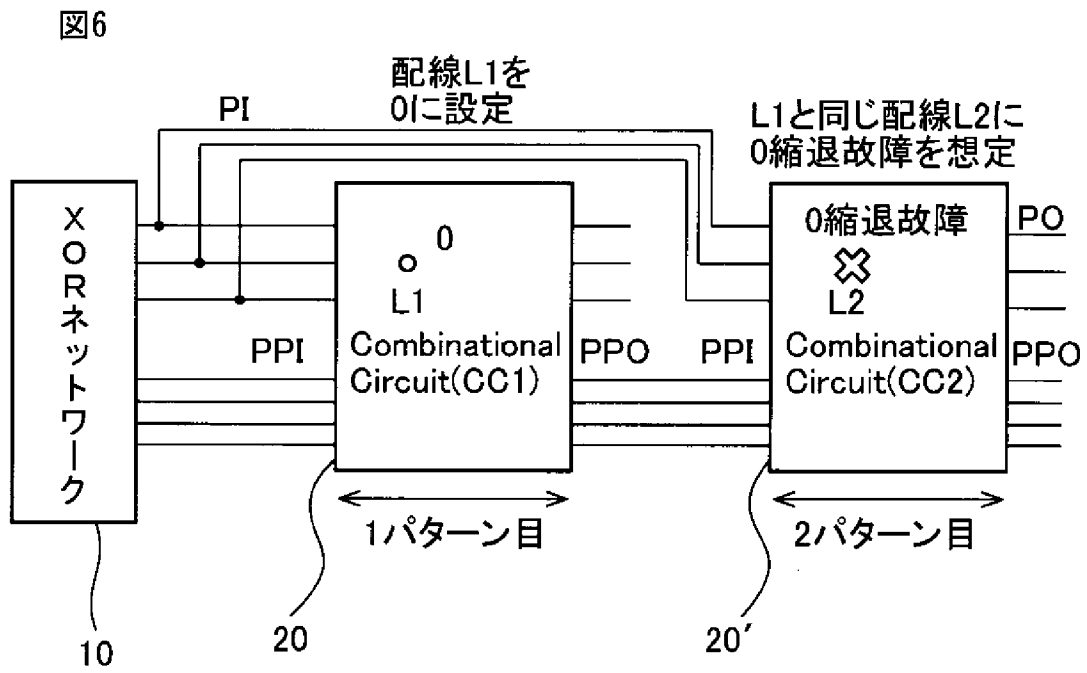
[図5(C)]

図5(C)



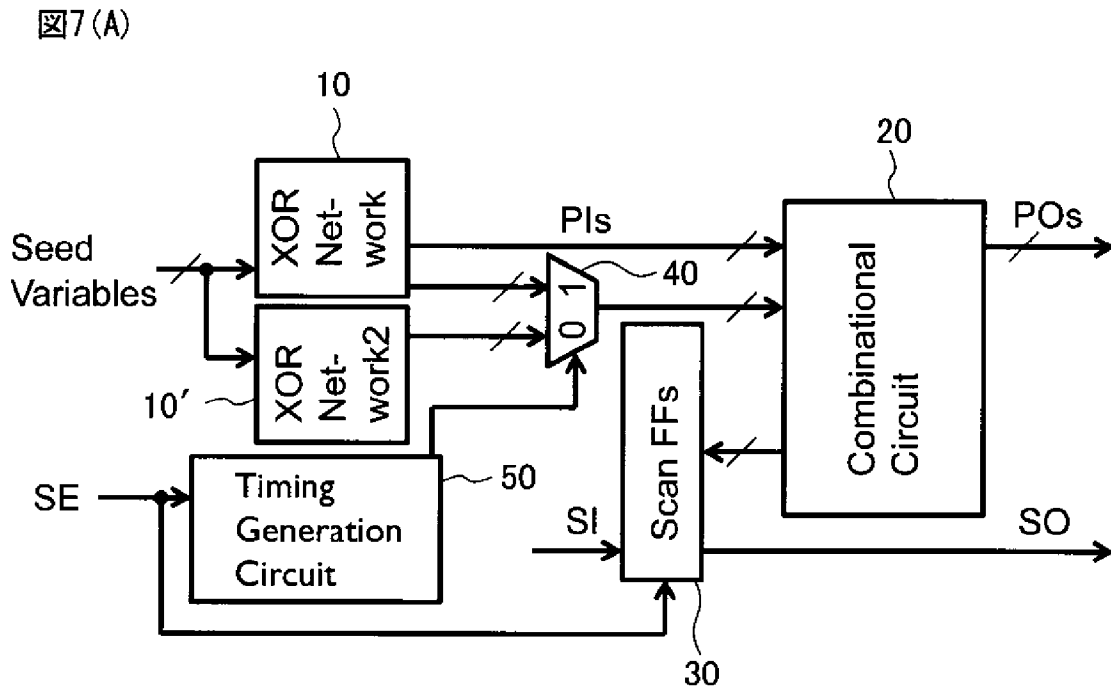
LoC方式のタイミングチャート

[図6]



遅延故障LoCテスト用シード生成モデル2

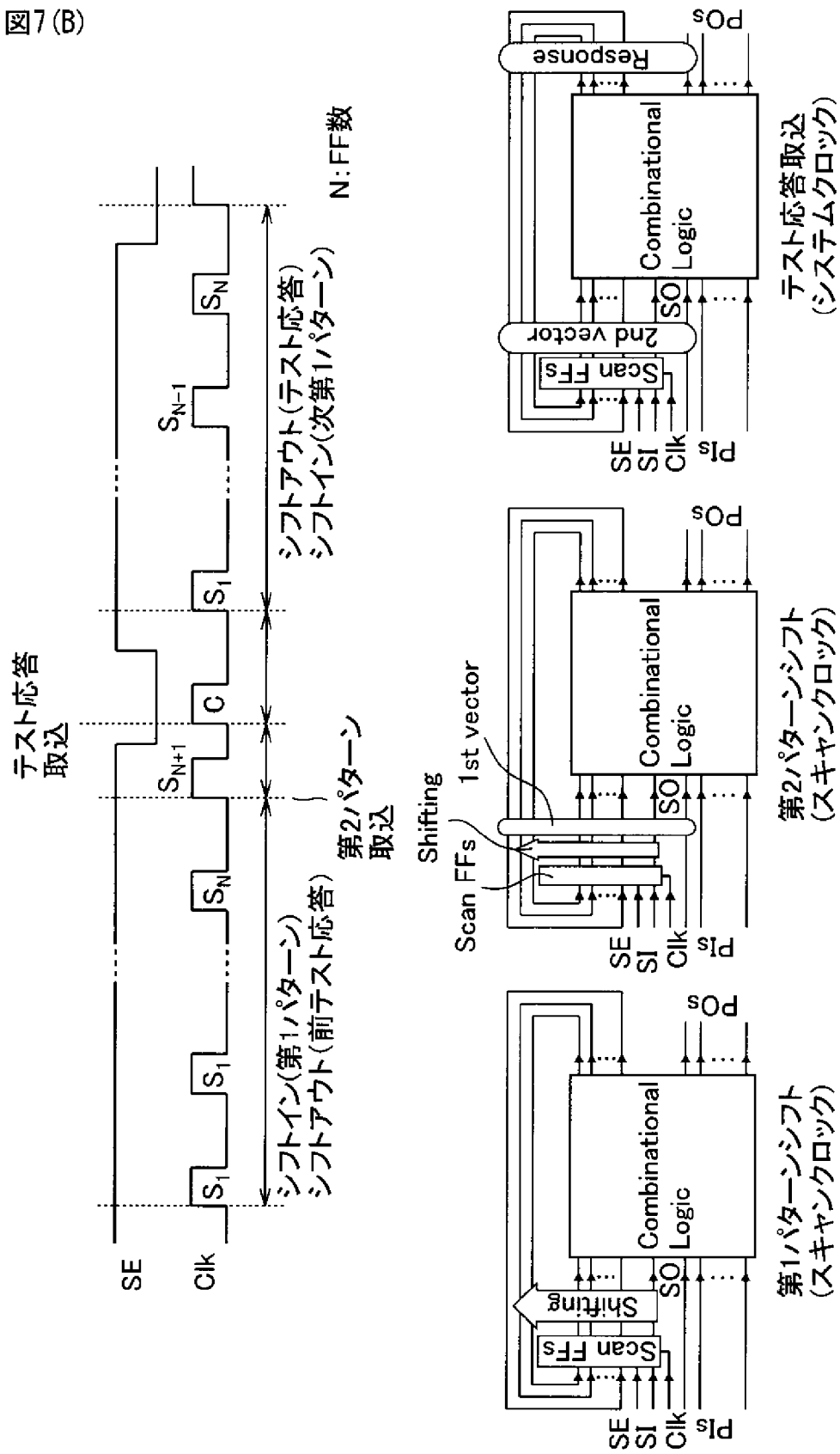
[図7(A)]



遅延故障LoSテスト用シード生成モデル

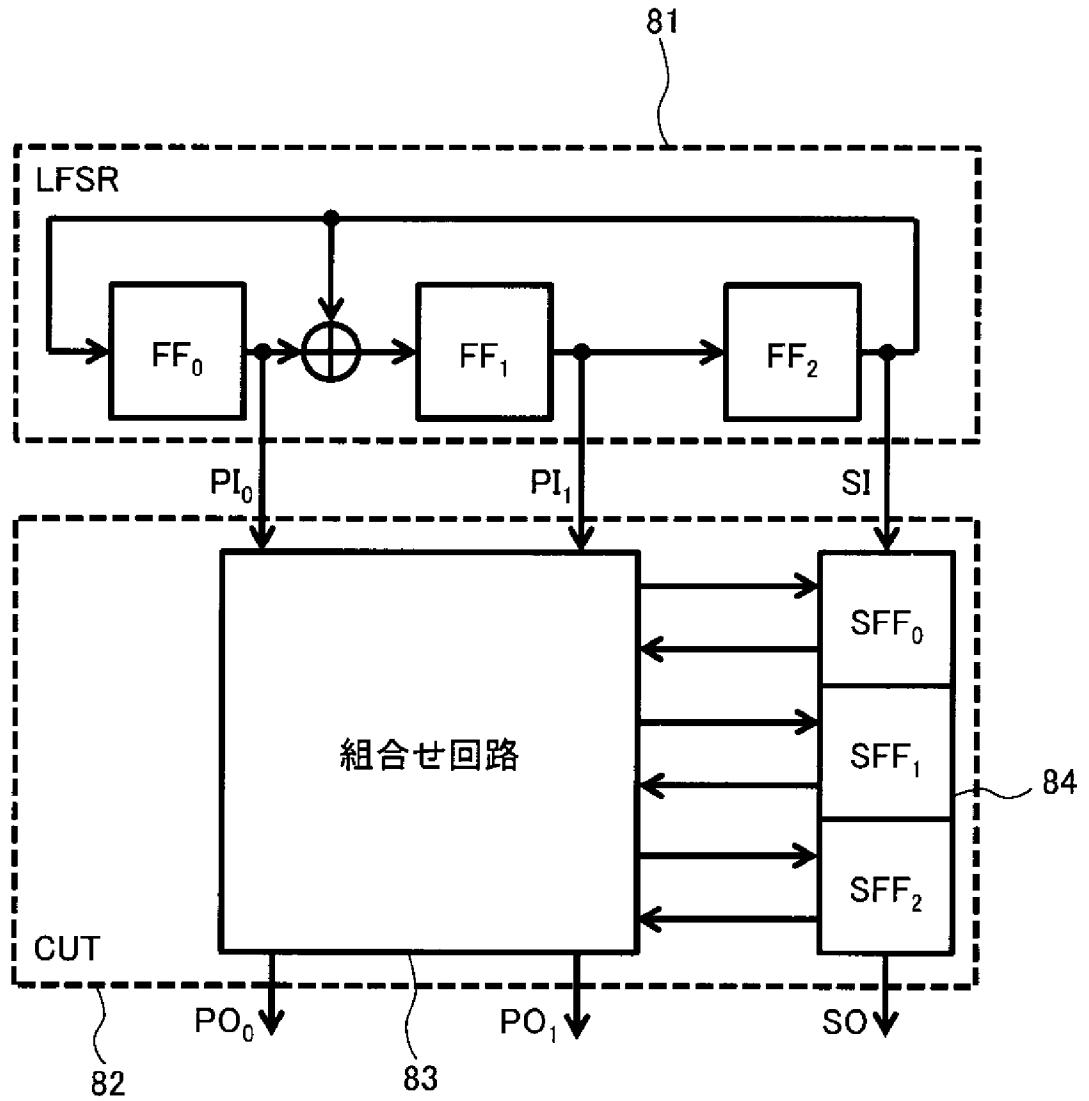
[図7(B)]

図7(B)



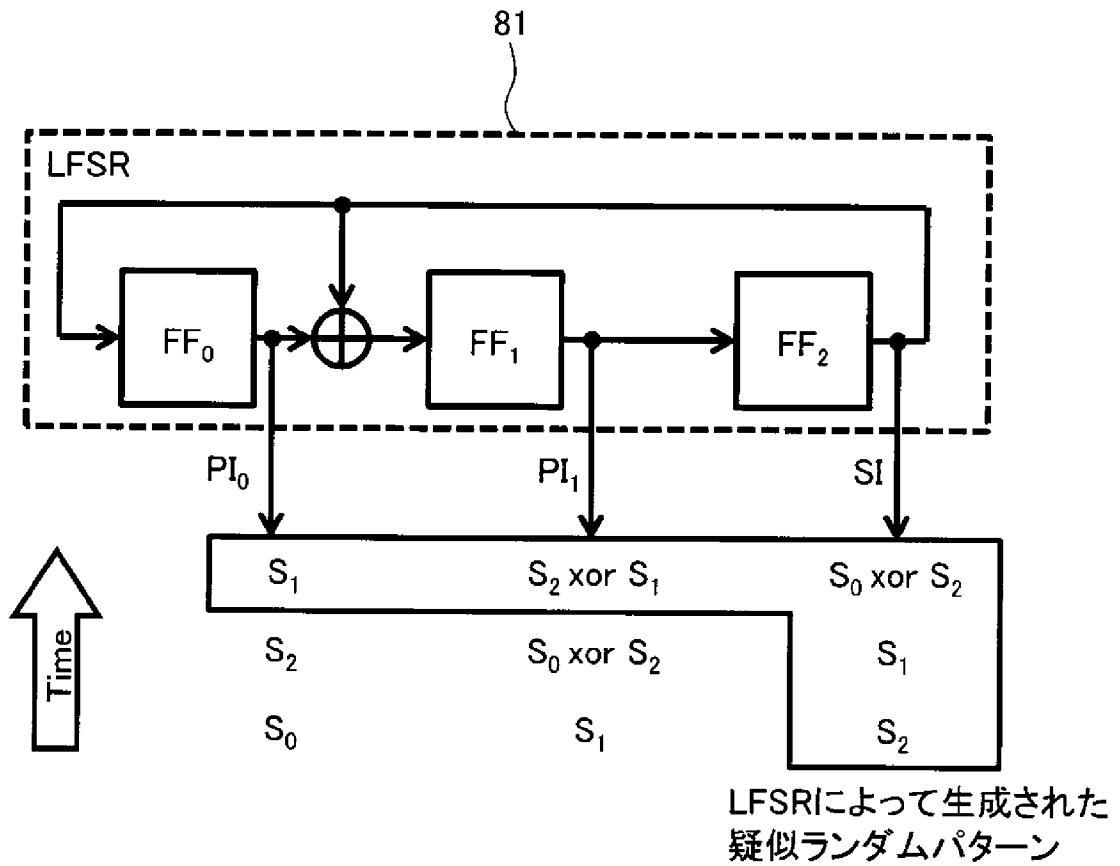
[図8]

図8



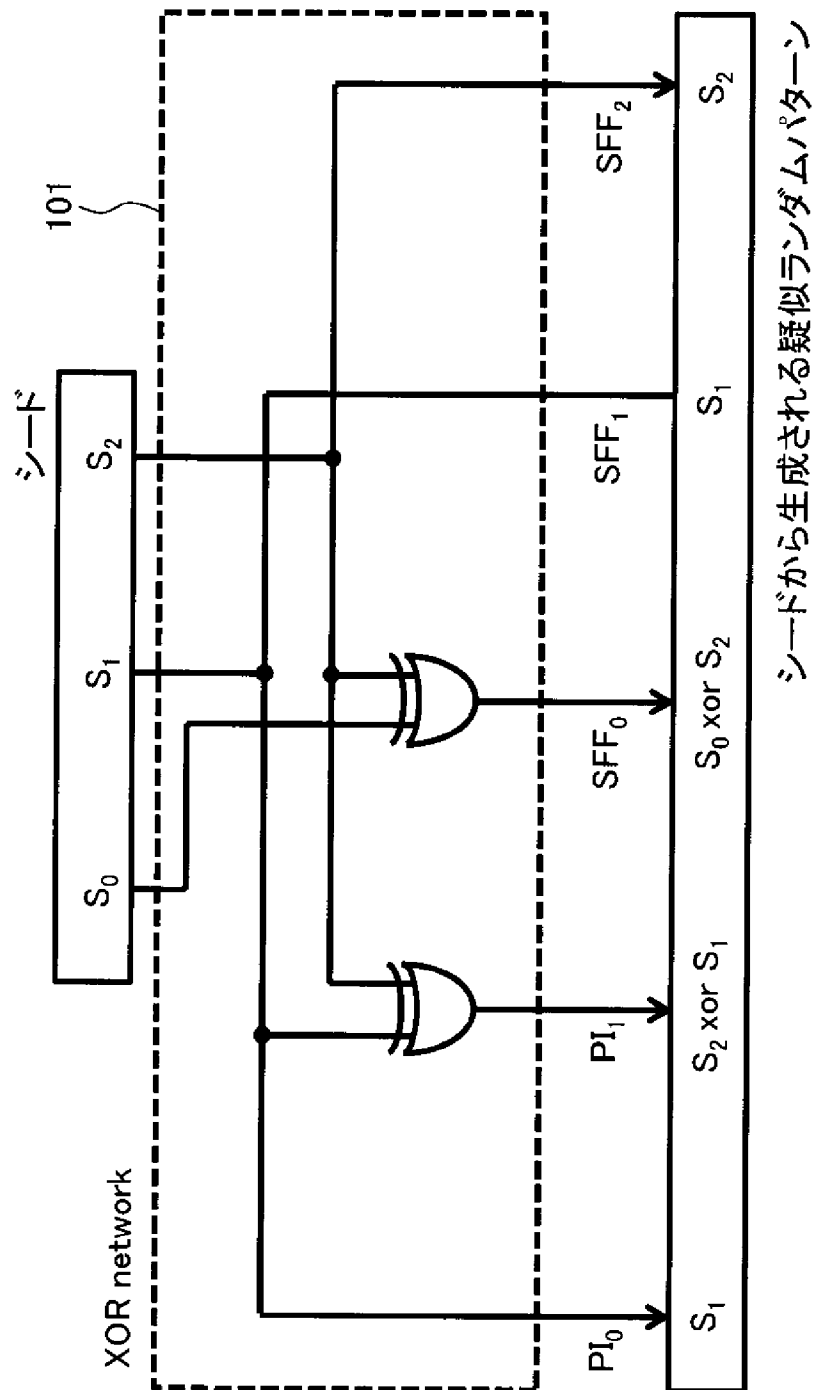
[図9]

図9



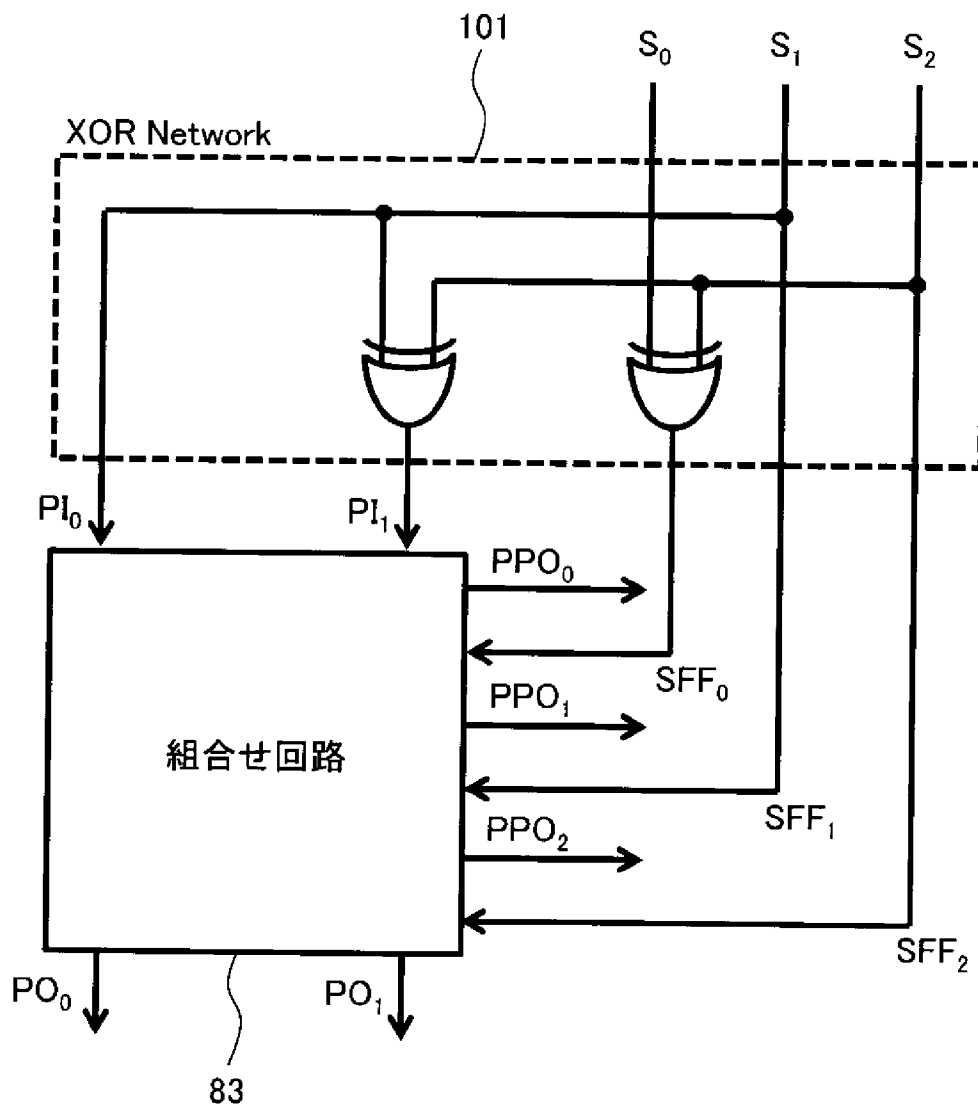
[図10]

図10



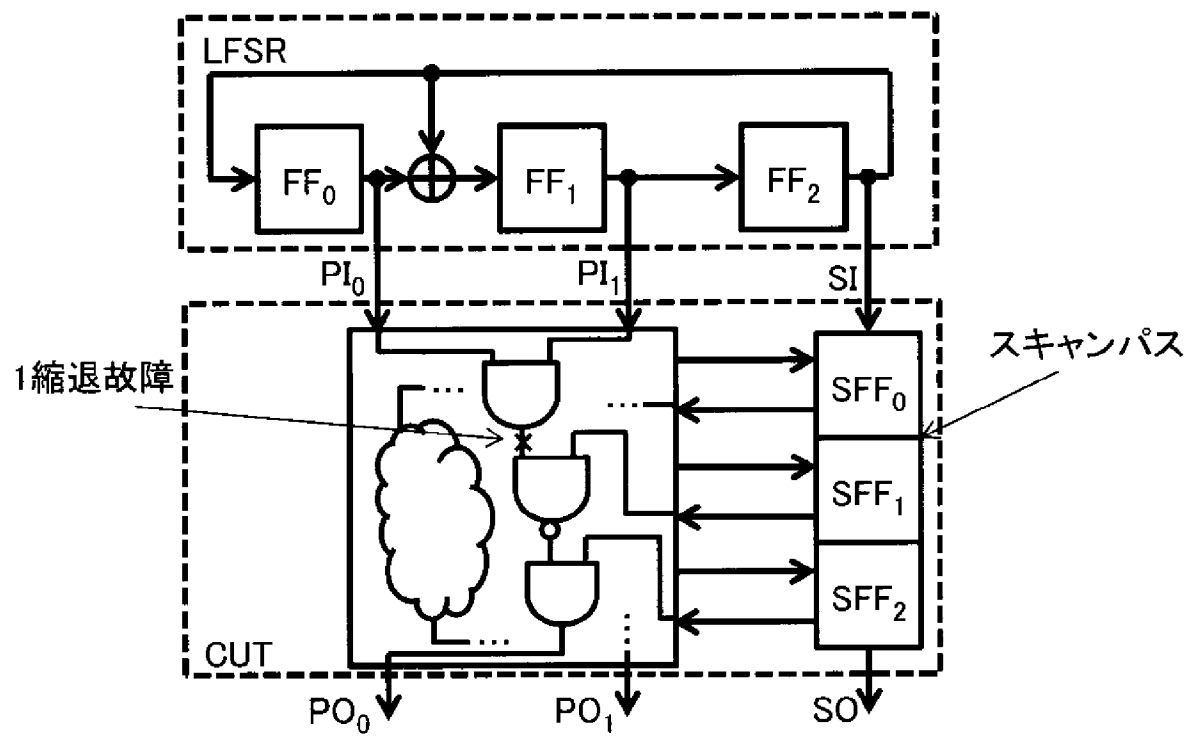
[図11]

図11



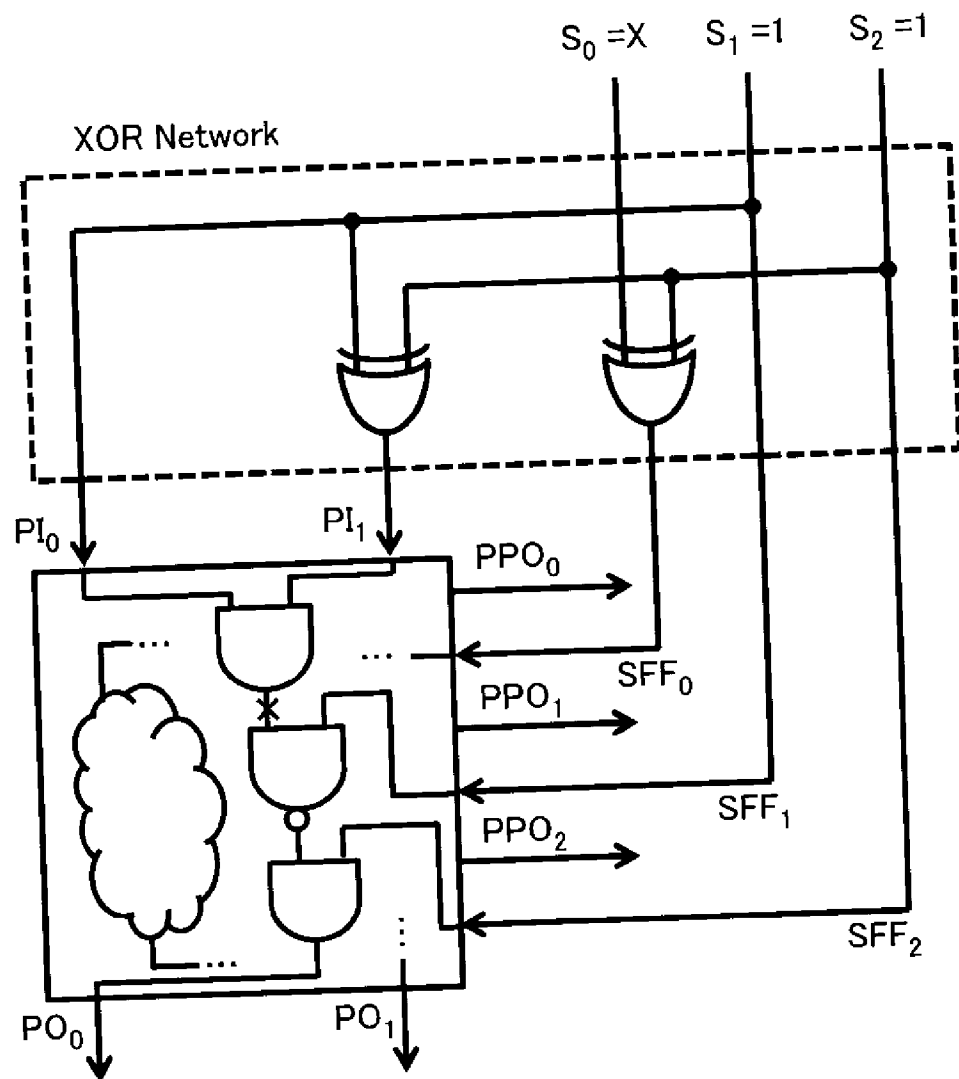
[図12]

図12



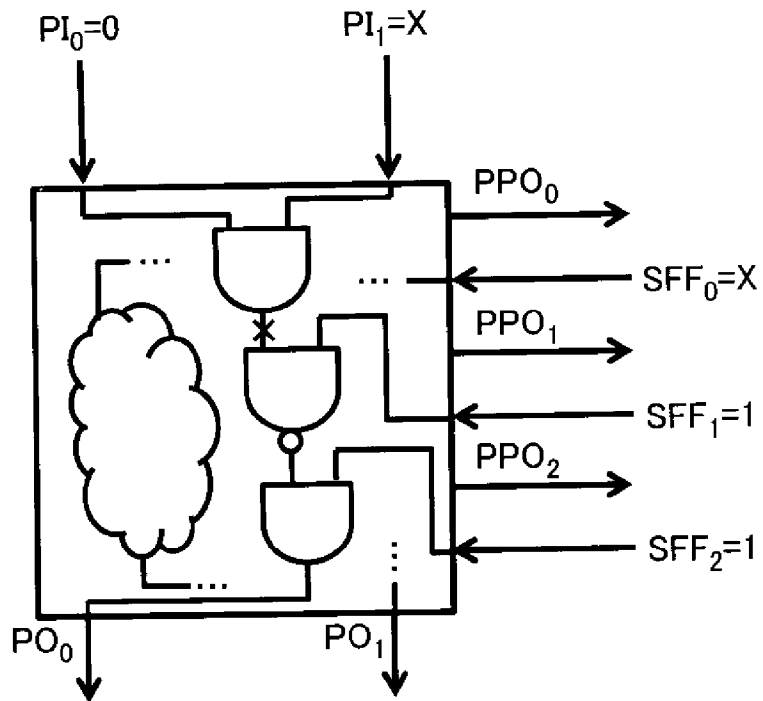
[図13]

図13



[図14]

図14



連立方程式:

$$S_1 = 0$$

$$S_2 \text{ xor } S_1 = X$$

$$S_0 \text{ xor } S_2 = X$$

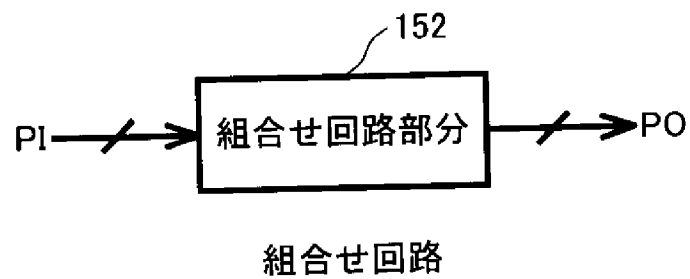
$$S_1 = 1$$

$$S_2 = 1$$

S₁で矛盾

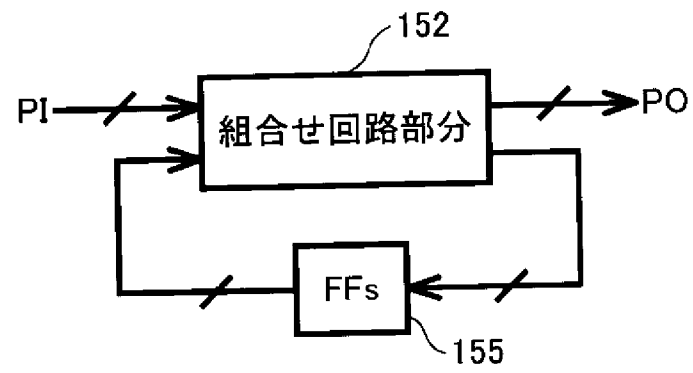
[図15(A)]

図15(A)



[図15(B)]

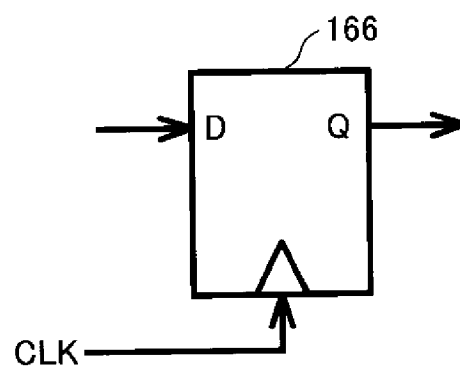
図15(B)



順序回路

[図16]

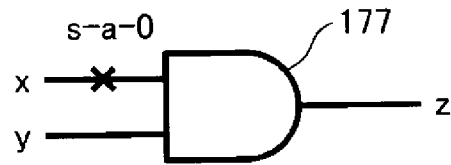
図16



Dフリップフロップ

[図17]

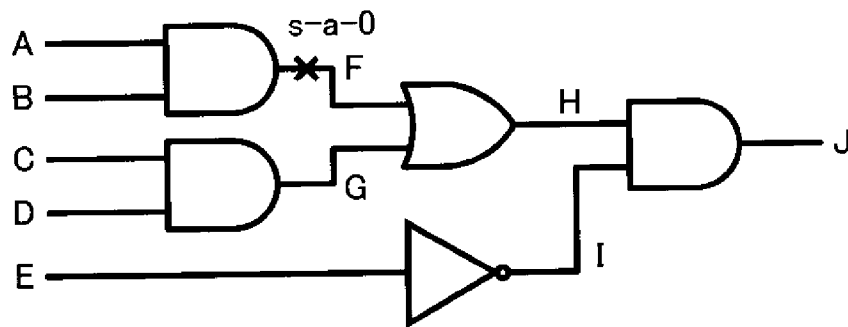
図17



ANDゲート入力の0縮退故障

[図18]

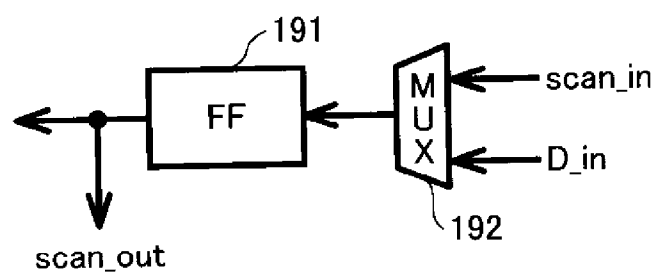
図18



テスト生成

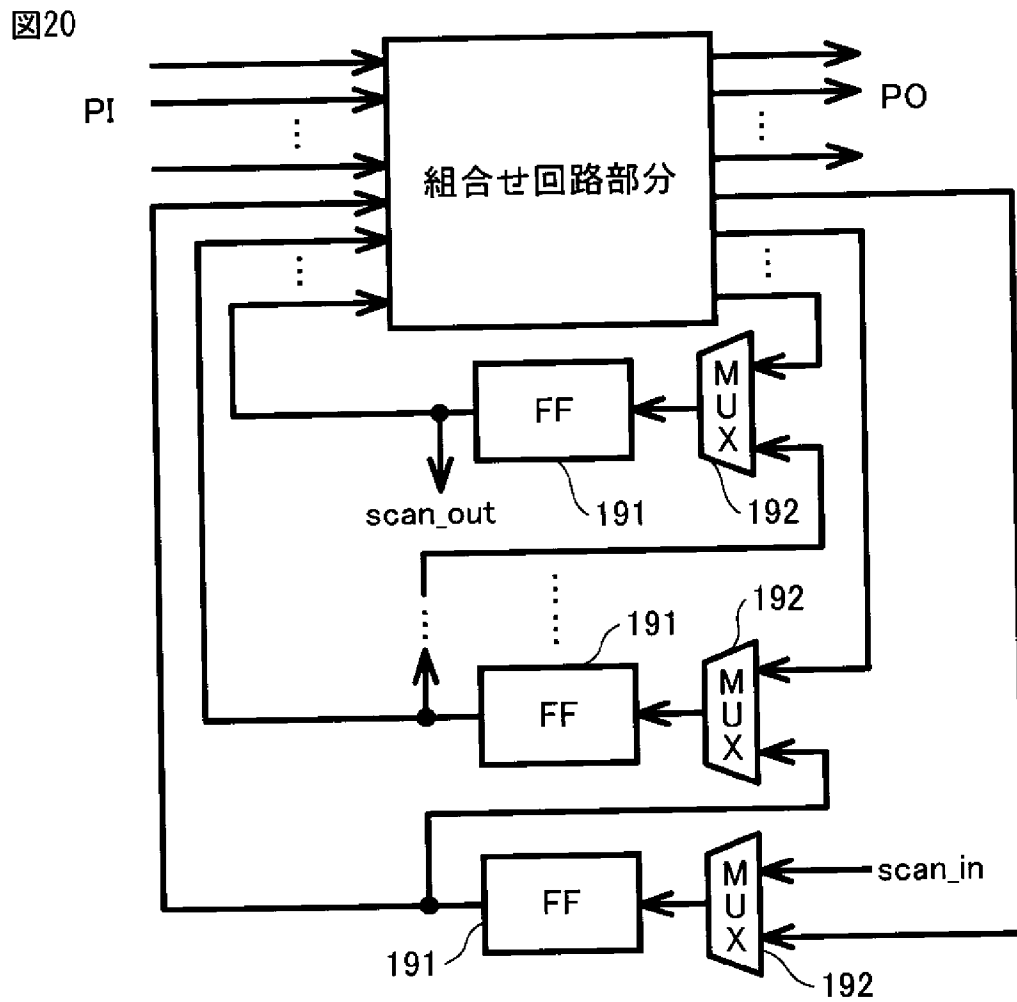
[図19]

図19



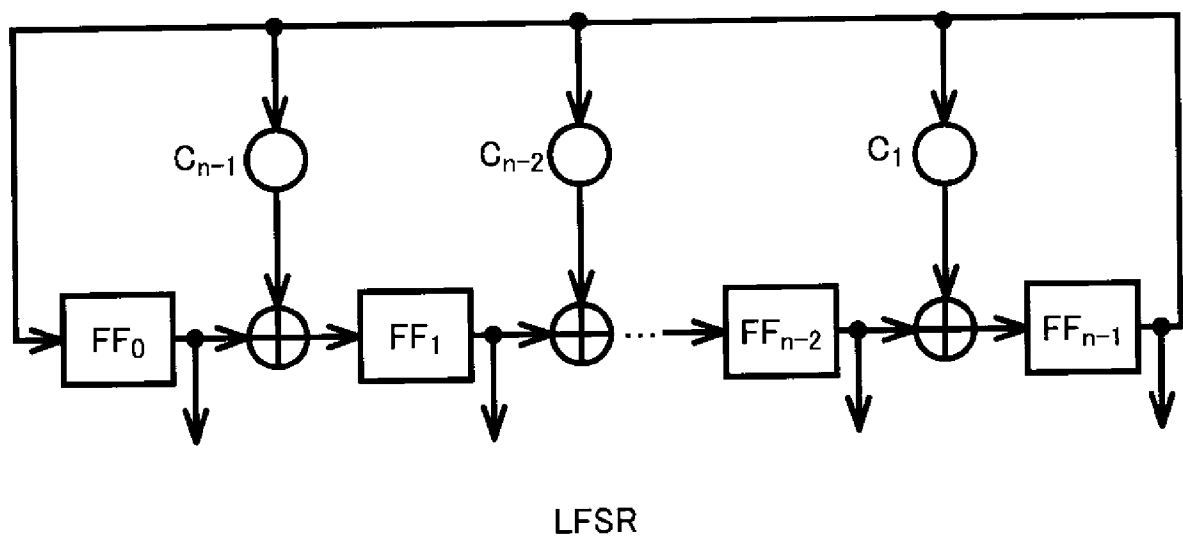
スキャン設計されたFF

[図20]



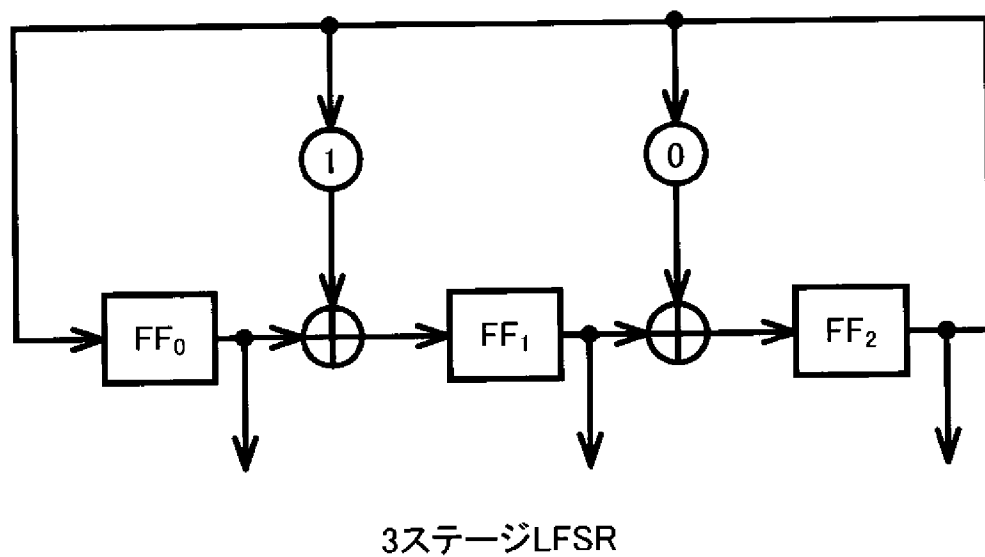
[図21]

図21

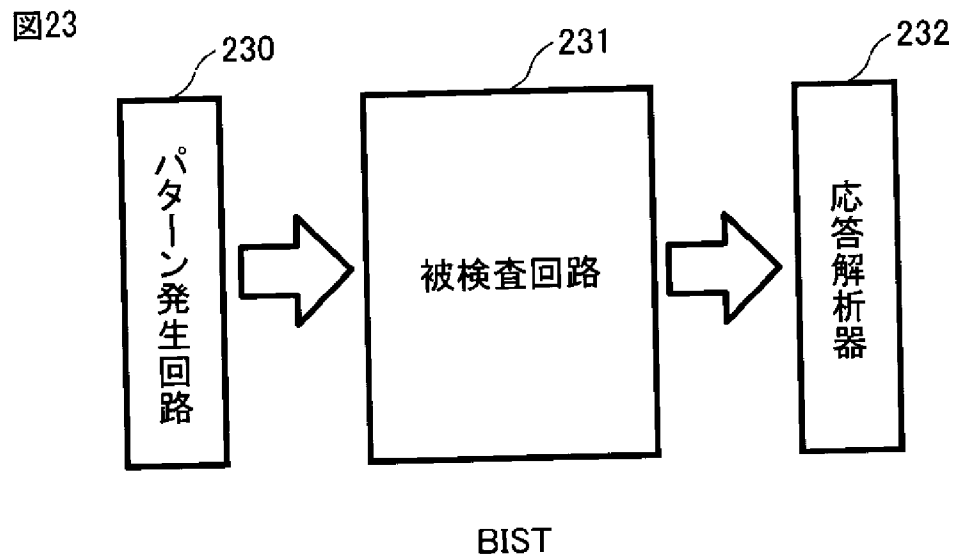


[図22]

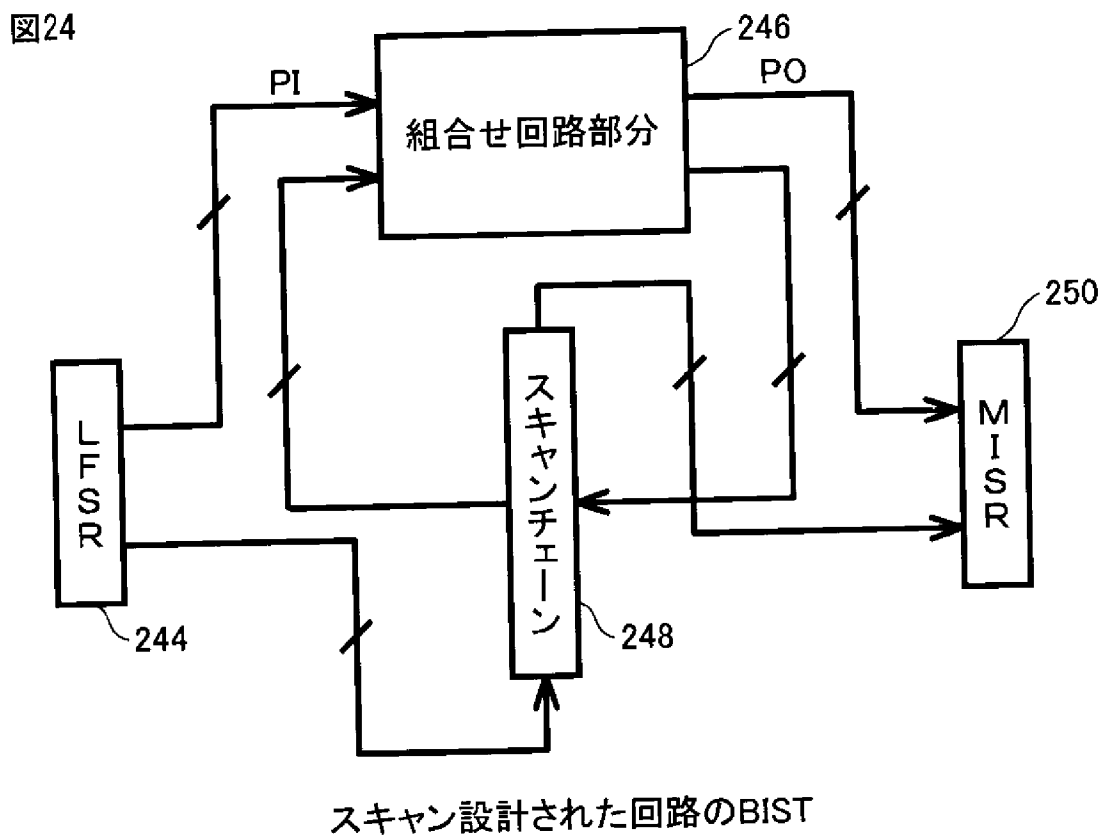
図22



[図23]

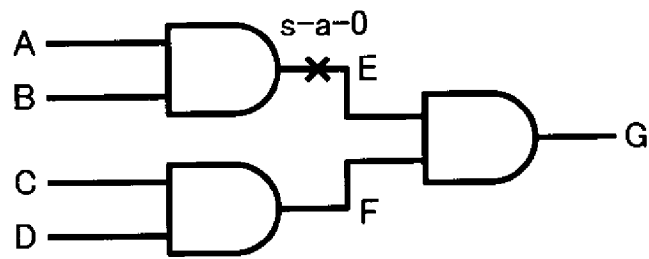


[図24]



[図25]

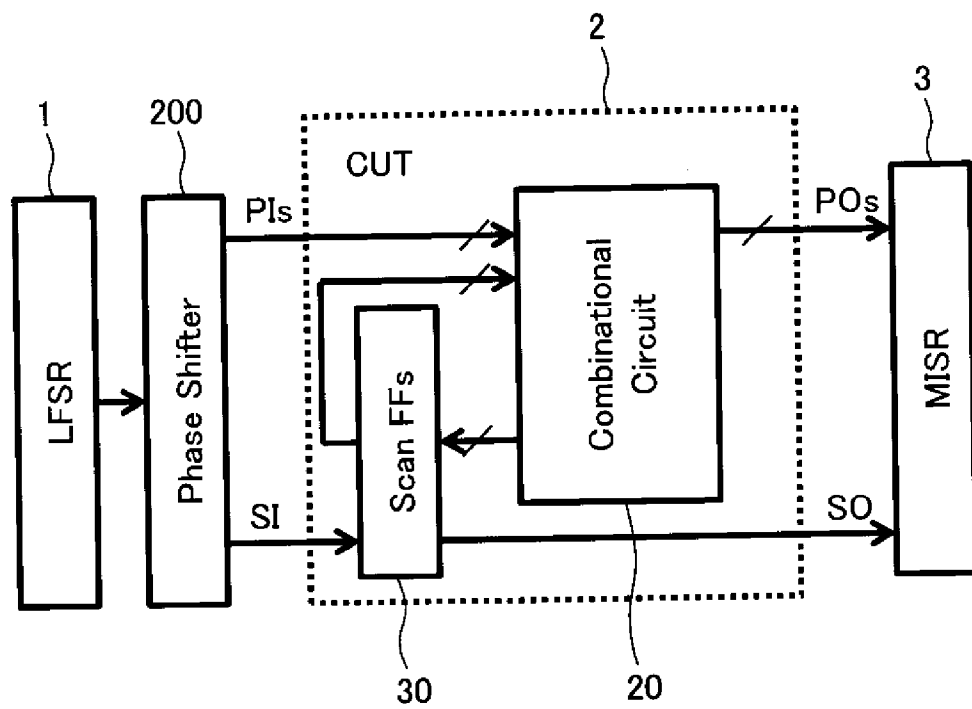
図25



ランダムパターン耐性故障がある回路

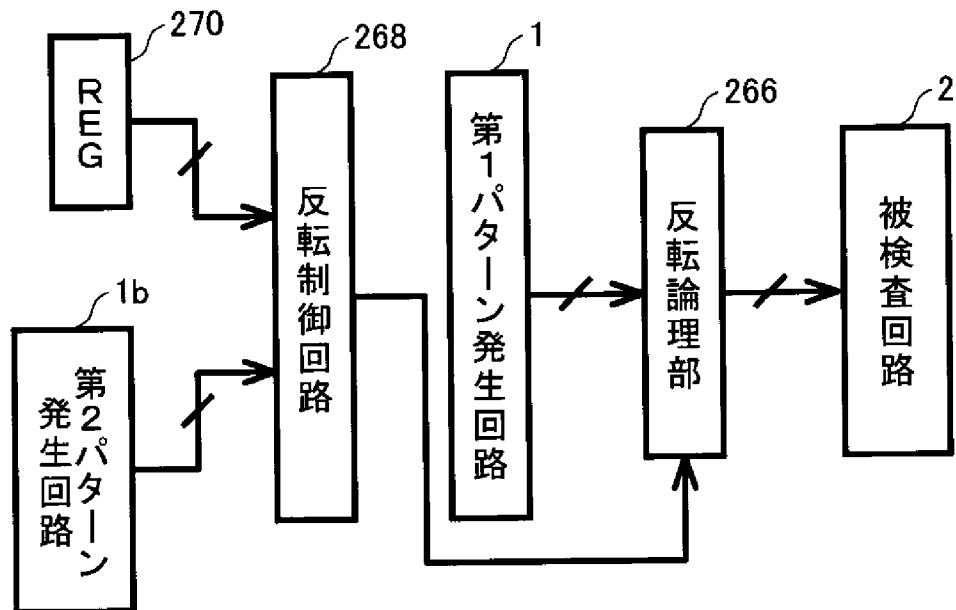
[図26(A)]

図26(A)



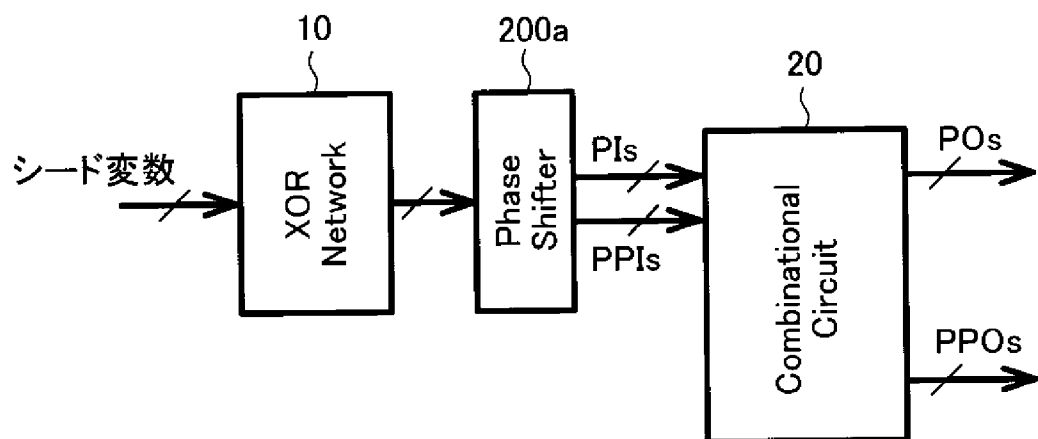
[図26(B)]

図26(B)



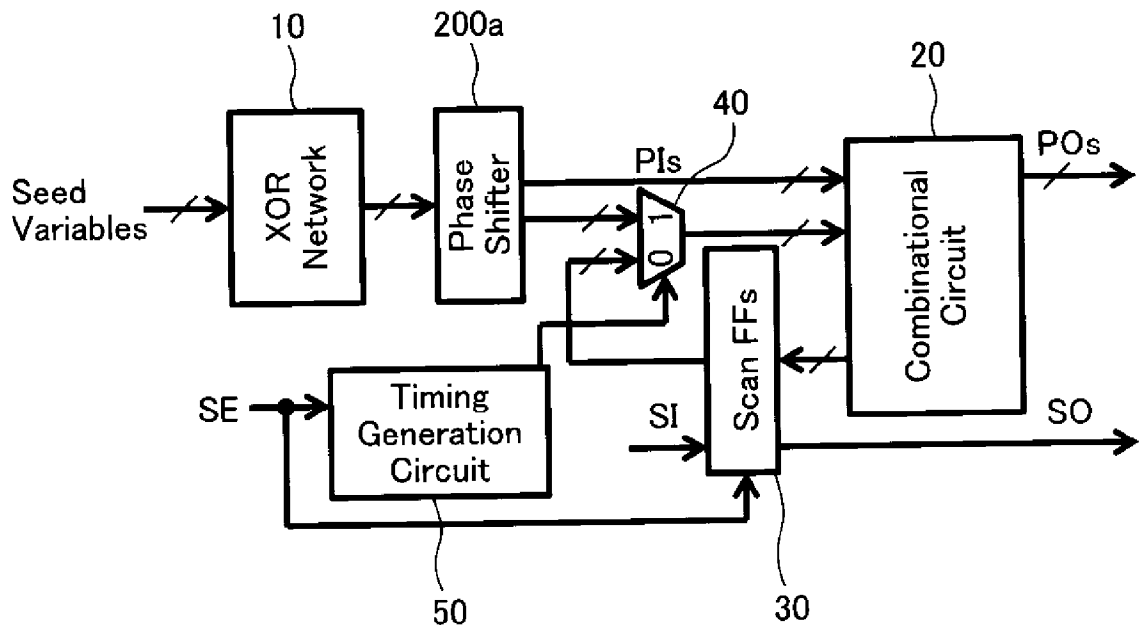
[図26(C)]

図26(C)



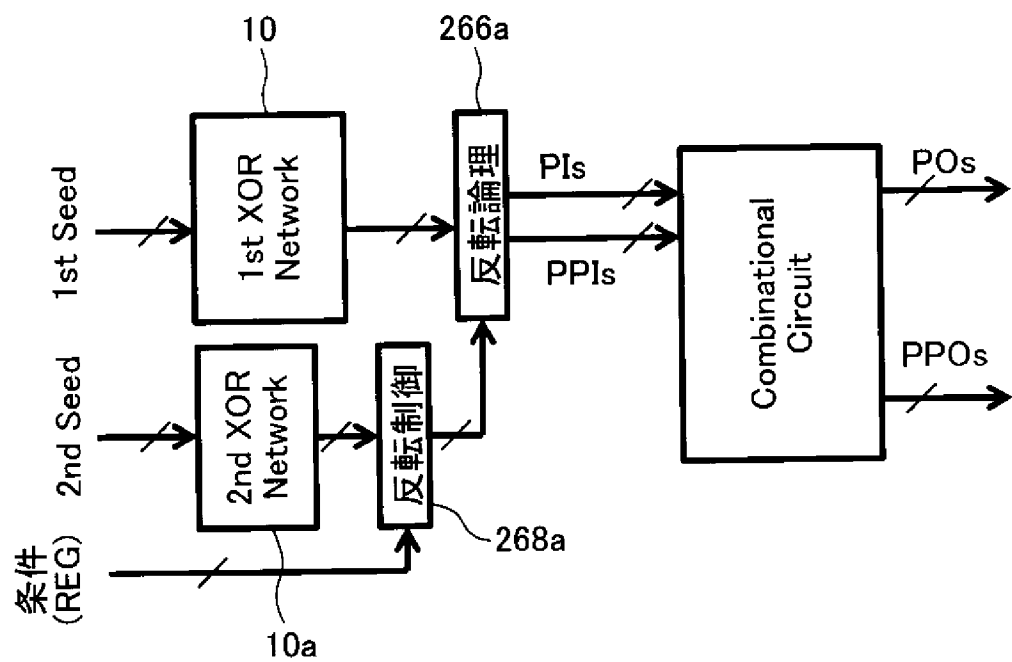
[図26(D)]

図26(D)



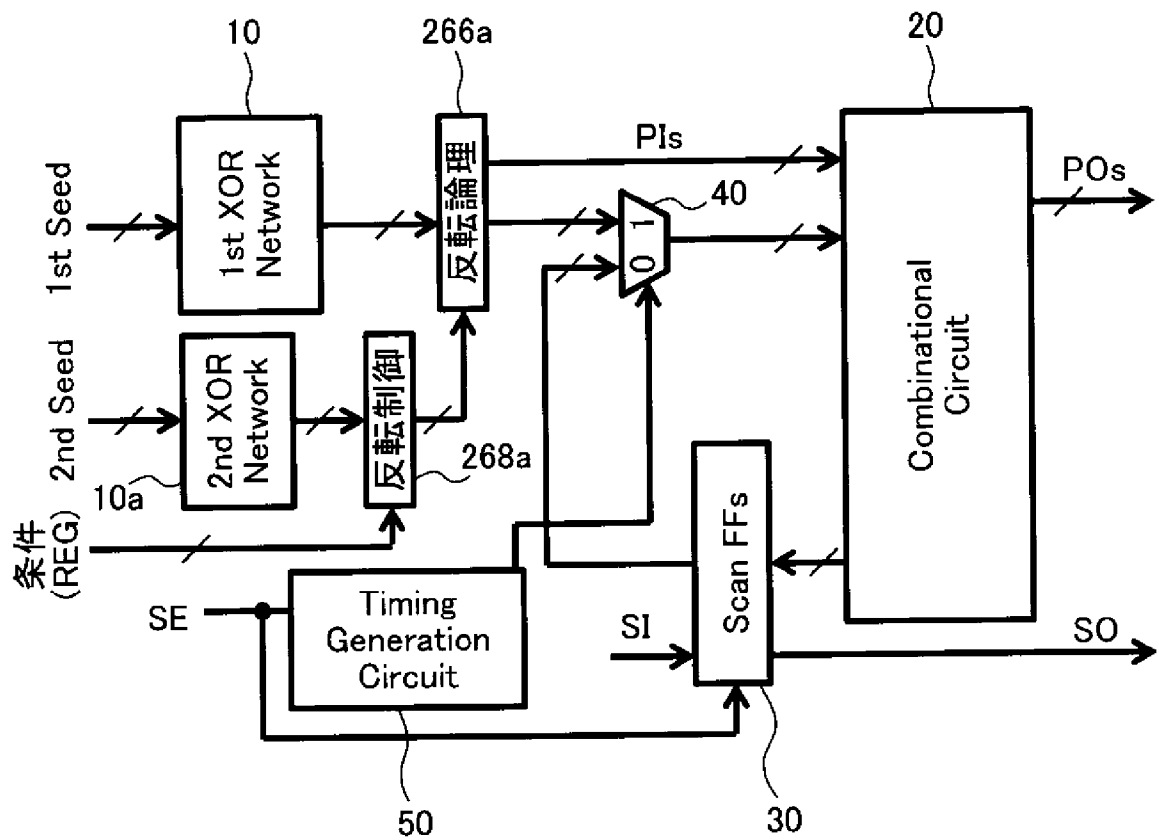
[図26(E)]

図26(E)



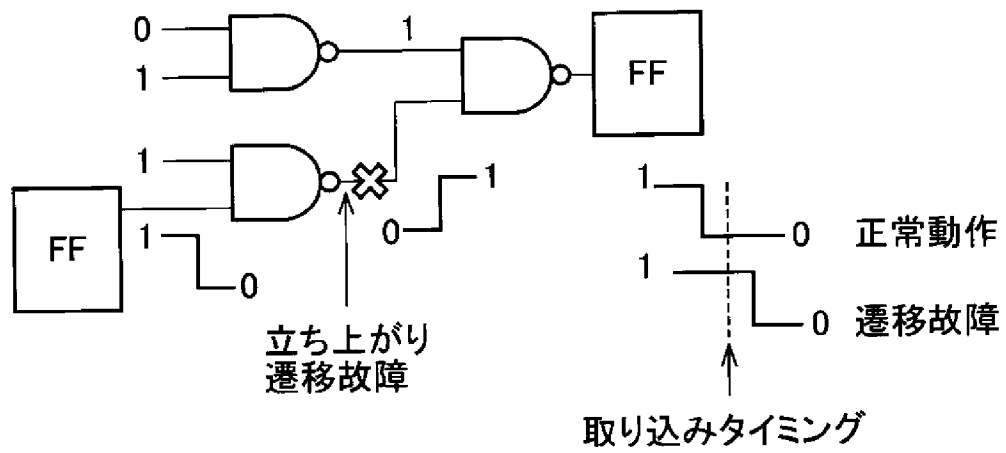
[図26(F)]

図26(F)



[図27]

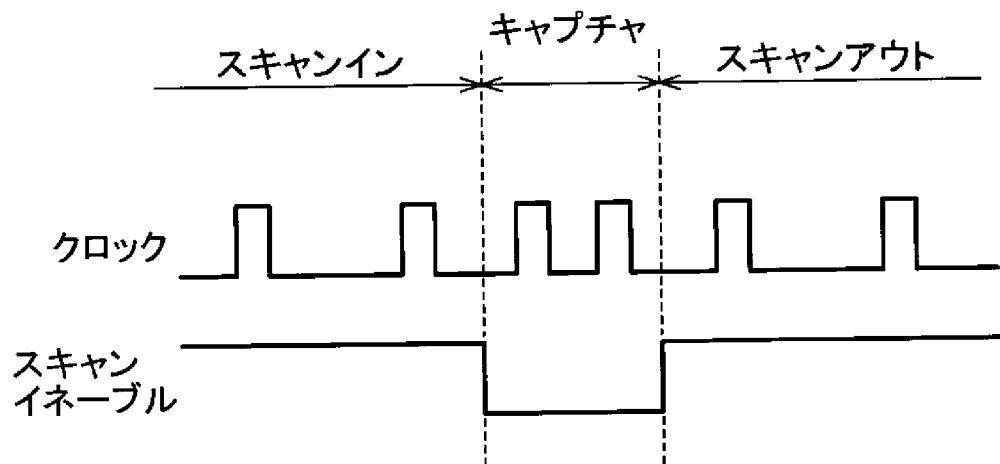
図27



遷移故障

[図28]

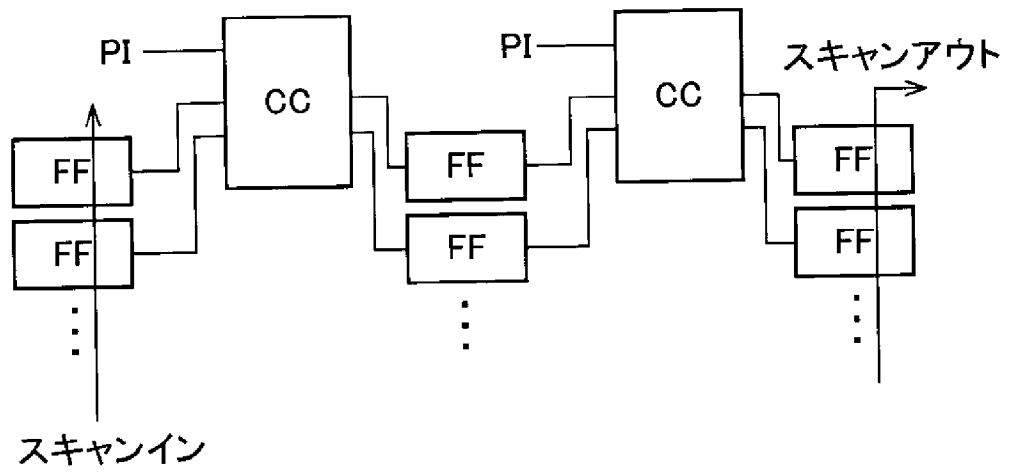
図28



LoC方式のタイミングチャート

[図29]

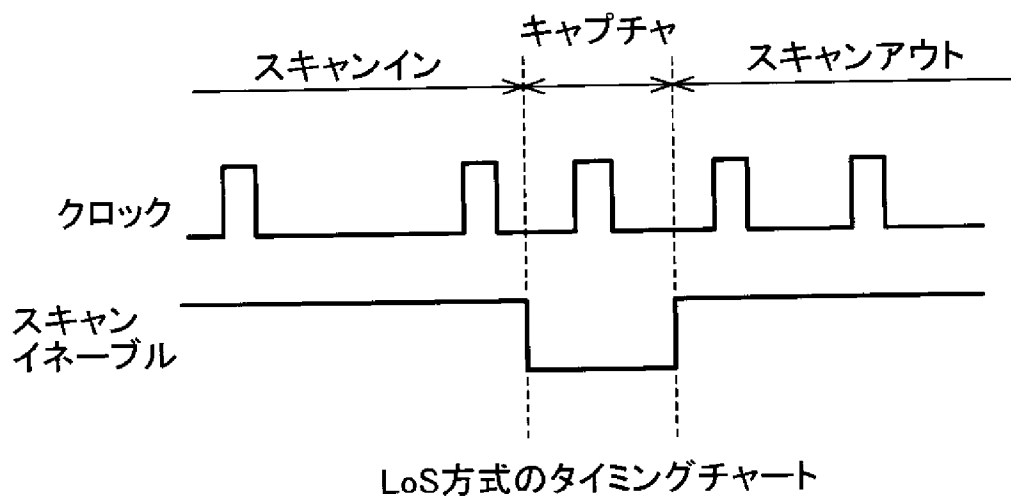
図29



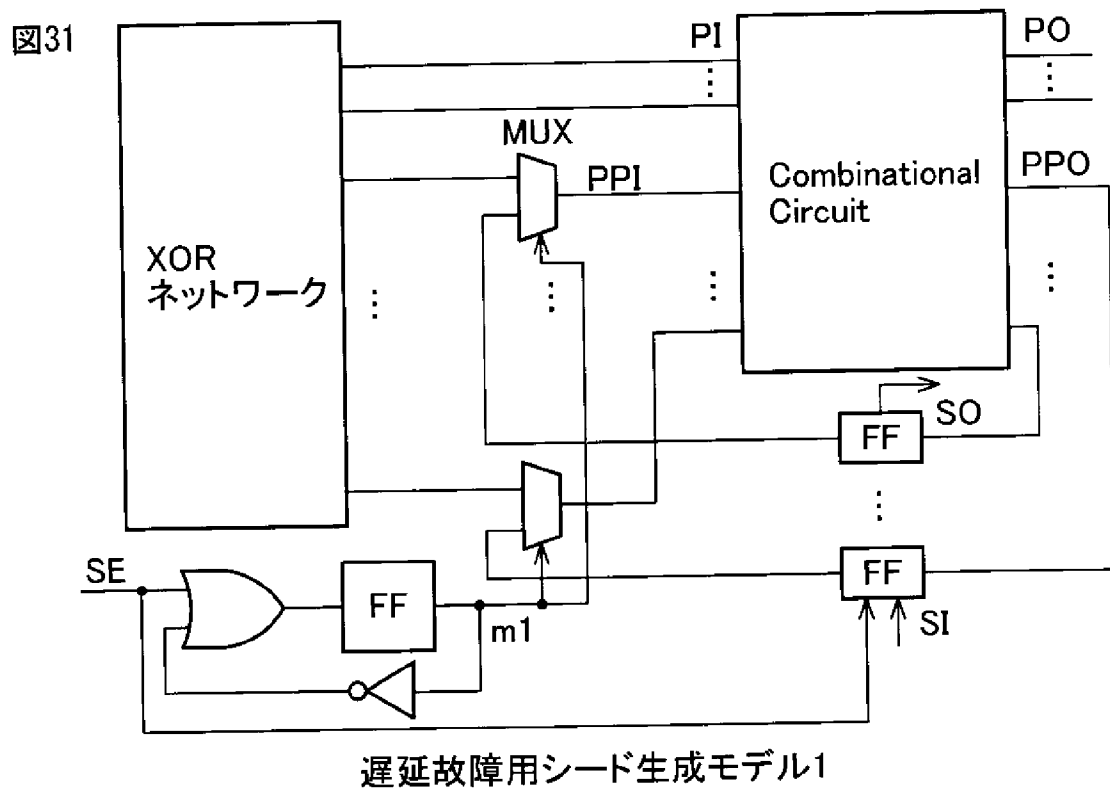
LoC方式のテストの時間展開モデル表現

[図30]

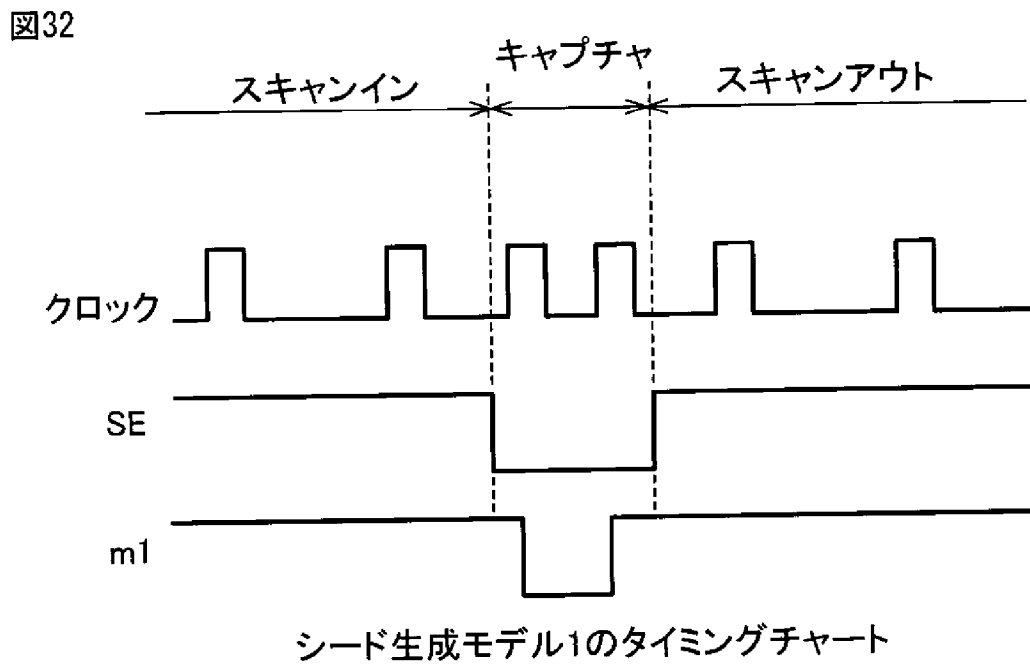
図30



[図31]

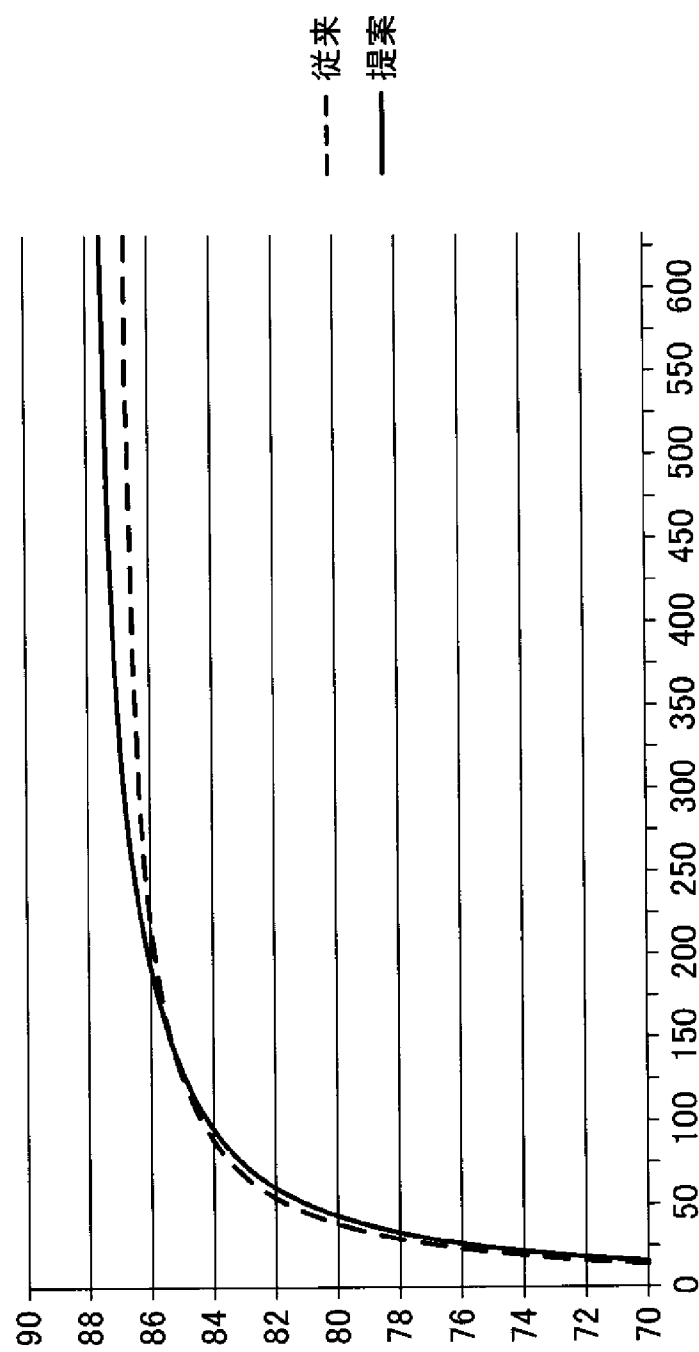


[図32]



[図33]

図33

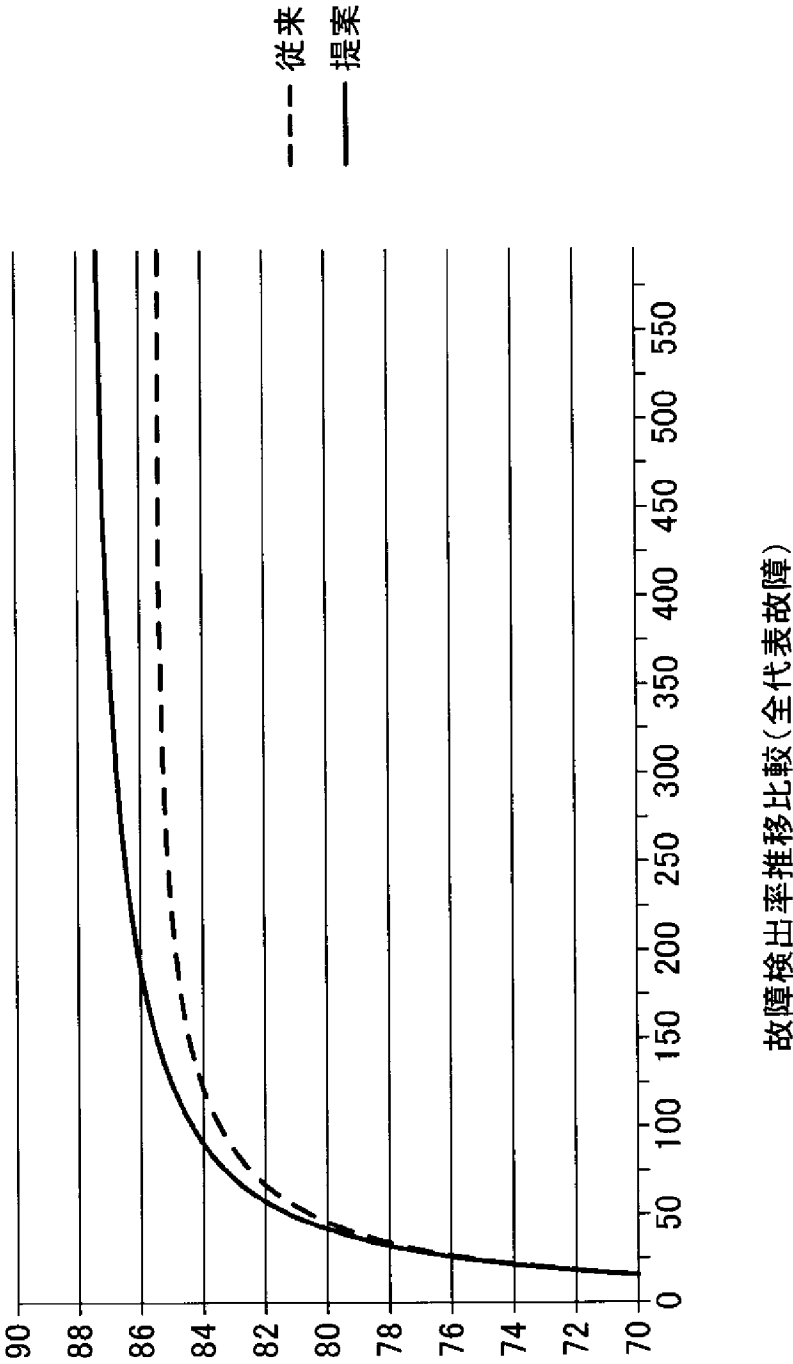


故障検出率推移比較(全代表故障)

実験結果:b21全故障に対する検出率推移

[図34]

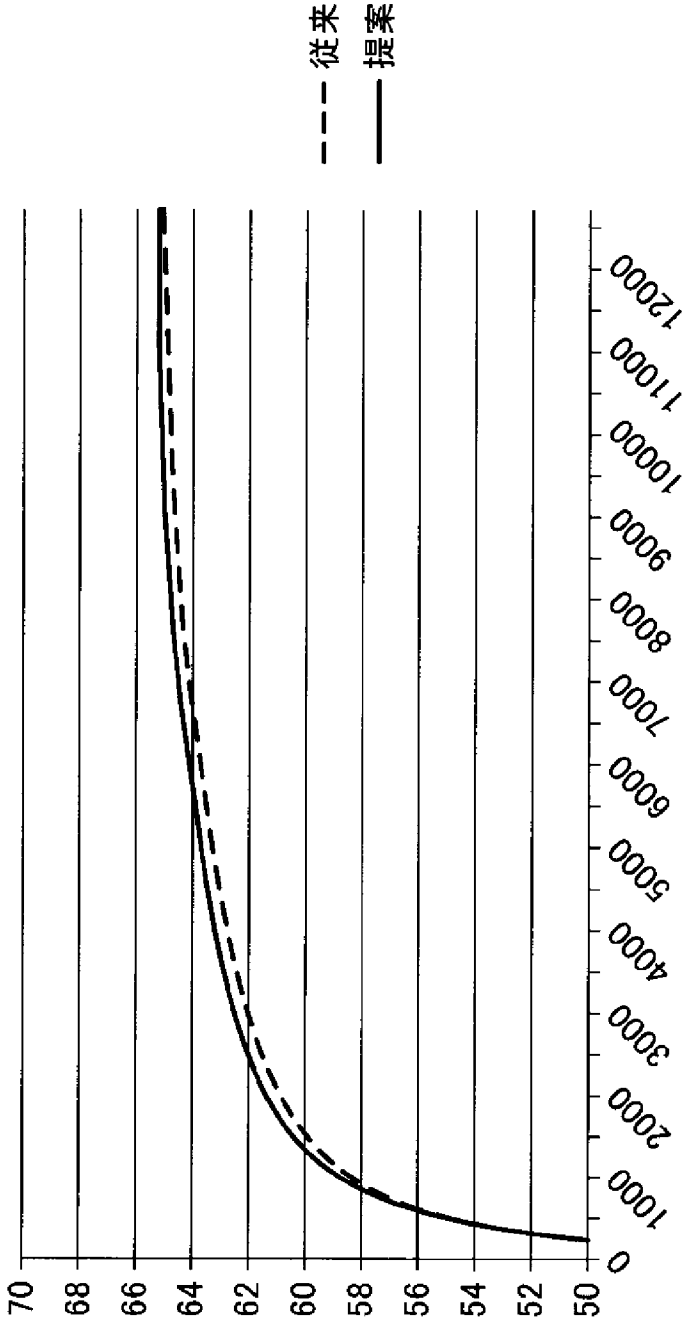
図34



実験結果:b21 10k印加後未検出故障に対する検出率推移

[図35]

図35

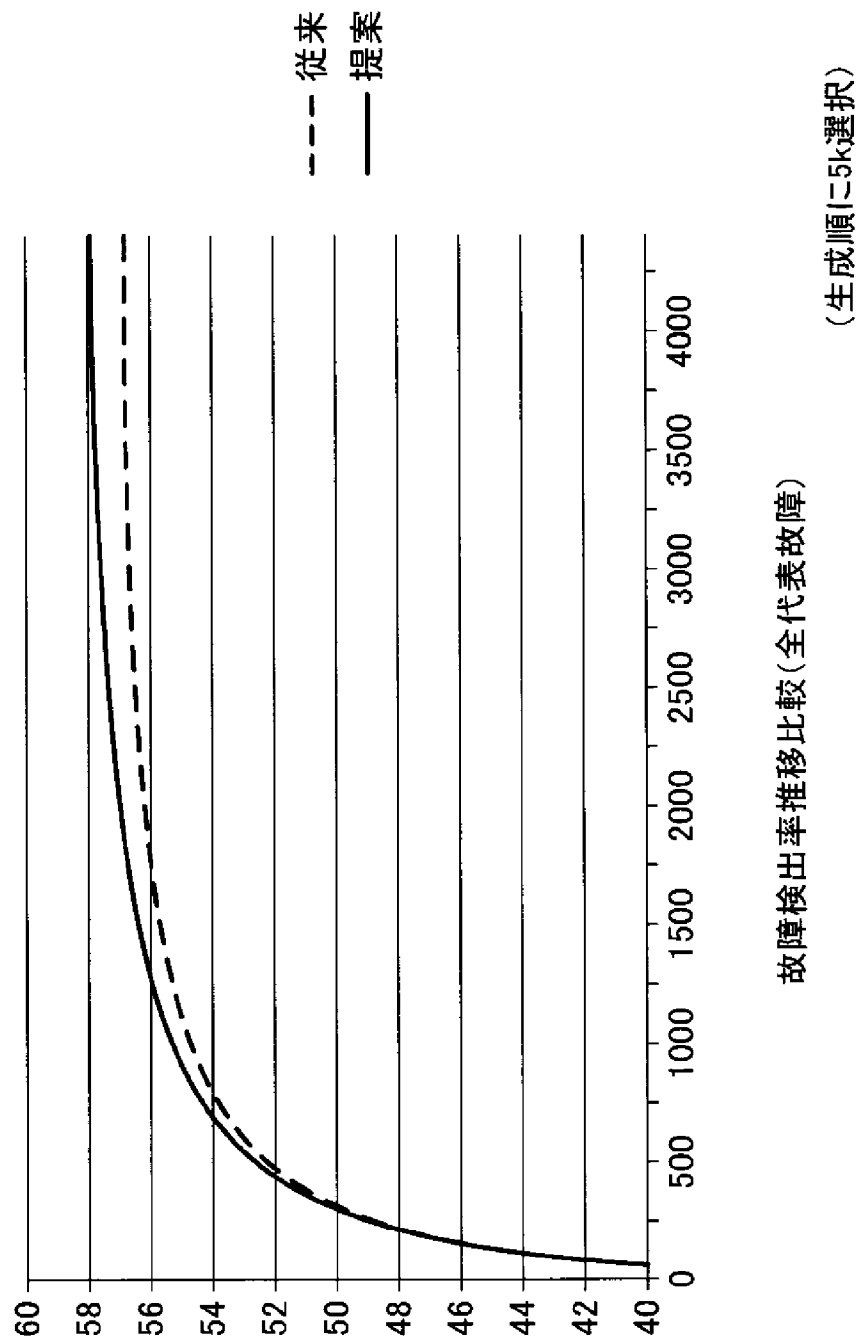


故障検出率推移比較(全代表故障)

実験結果:b19 50k印加後未検出故障に対する検出率推移

[図36]

図36



実験結果: b19 50k印加後未検出故障に対する検出率推移(シード並び換え時間を節約)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/069103

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01)i, H01L21/822(2006.01)n, H01L27/04(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	Satoshi OTAKE, Taro HONDA, "Sen'i Kosho BIST no Tamen o Jikan Tenkai Model o Mochiita LFSR Seed Seiseiho", 11 March 2013 (11.03.2013), entire text, all drawings (published at 4 Daigaku LSI Test Seminar (Dates: 11 March 2013 (11.03.2013)))	1, 5-6, 10, 12-16 7-9 2-4, 11, 17
X Y A	Takanori MORIYASU, Satoshi OTAKE, "A Method of Deterministic LFSR Seed Generation for Scan-Based BIST", IEICE Technical Report, 14 June 2013 (14.06.2013), vol.113, no.104, entire text, all drawings	1-5, 13-14 7-9 6, 10-12, 15-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 October, 2014 (14.10.14)

Date of mailing of the international search report
28 October, 2014 (28.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/069103

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 55-123744 A (NEC Corp.), 24 September 1980 (24.09.1980), entire text; all drawings & US 4366393 A & GB 2049958 A & DE 3009945 A1 & FR 2451672 A	1-17
A	US 6611933 B1 (International Business Machines Corp.), 26 August 2003 (26.08.2003), entire text; all drawings (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G01R31/28(2006.01)i, H01L21/822(2006.01)n, H01L27/04(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R31/28, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	大竹哲史, 本田太郎, 遷移故障BISTのための時間展開モデルを用いたLFSRシード生成法, 2013.03.11, 全文, 全図, (4大学LSIテストセミナー(開催日:平成25年3月11日)にて公開)	1, 5-6, 10, 12-16 7-9 2-4, 11, 17
X Y A	森保孝憲, 大竹哲史, 制限付きテスト生成を用いたスキャンBISTのLFSRシード生成法, 電子情報通信学会技術研究報告, 2013.06.14, 信学技報 Vol.113 No.104, 全文, 全図	1-5, 13-14 7-9 6, 10-12, 15-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.10.2014

国際調査報告の発送日

28.10.2014

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳 重幸

2 S

4840

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 55-123744 A (日本電気株式会社) 1980.09.24, 全文, 全図 & US 4366393 A & GB 2049958 A & DE 3009945 A1 & FR 2451672 A	1-17
A	US 6611933 B1 (International Business Machines Corporation) 2003.08.26, 全文, 全図 (ファミリーなし)	1-17