



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I677080 B

(45)公告日：中華民國 108 (2019) 年 11 月 11 日

(21)申請案號：104102158

(22)申請日：中華民國 104 (2015) 年 01 月 22 日

(51)Int. Cl. : H01L27/146 (2006.01)

H01L21/02 (2006.01)

(30)優先權：2014/03/03 日本

2014-040388

(71)申請人：日商新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：馬場公一 BABA, KOICHI (JP)；場色正昭 BAIRO, MASAOKI (JP)；江尻洋一 EJIRI, HIROKAZU (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 102044551A

JP 2008-109153A

JP 2008-211003A

US 5523609A

審查人員：葉月芬

申請專利範圍項數：17 項 圖式數：44 共 102 頁

(54)名稱

半導體器件及其製造方法，以及電子裝置

(57)摘要

本發明揭示一種半導體器件，其包含一第一半導體基板及一第一防原子擴散部分，該第一防原子擴散部分經配置於該第一半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子之擴散。

Disclosed is a semiconductor device including a first semiconductor substrate and a first atom diffusion prevention portion, the first atom diffusion prevention portion being arranged at a part on the first semiconductor substrate and configured to prevent diffusion of an atom having a dangling bond terminating effect.

指定代表圖：

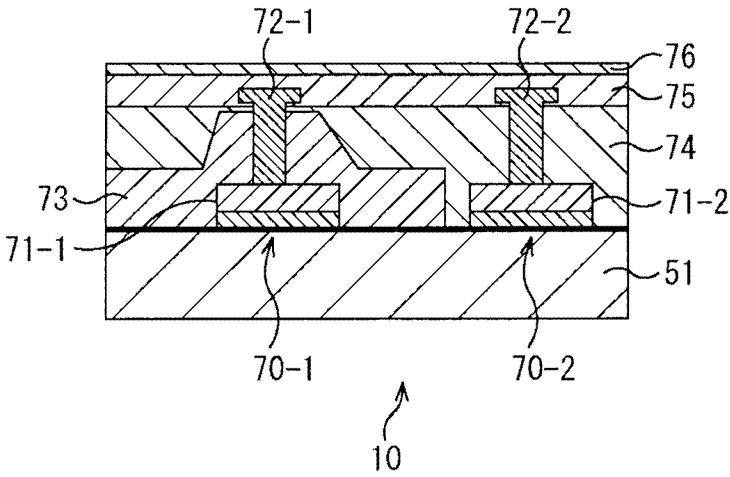


圖3

符號簡單說明：

- 10 . . . 互補式金屬
氧化物半導體影像感
測器
- 51 . . . 半導體基板
- 70-1 . . . 電晶體
- 70-2 . . . 電晶體
- 71-1 . . . 閘極電極
- 71-2 . . . 閘極電極
- 72-1 . . . 接觸柱塞
- 72-2 . . . 接觸柱塞
- 73 . . . 防氫擴散膜
- 74 . . . 層間絕緣膜
- 75 . . . 配接線層
- 76 . . . 氫供應膜

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體器件及其製造方法，以及電子裝置

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING

SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

[相關申請案之交叉參考]

此申請案主張2014年3月3日申請之日本優先專利申請案JP2014-040388之權利，該案之全部內容以引用之方式併入本文中。

【先前技術】

本發明係關於半導體器件及其製造方法，以及電子裝置，且特定言之，係關於一半導體器件及其之一製造方法，以及在針對各區控制在半導體基板之前表面上具有一懸鍵終接效應之一原子之濃度之一情況中能夠減小半導體基板之大小增大之一電子裝置。

在一固體攝像元件(諸如一CCD (電荷耦合器件)或CMOS (互補式金屬氧化物半導體)影像感測器)中，減小使半導體基板之前表面上之影像品質降級之一暗電流係重要的。

暗電流之一因素在於此事實：半導體基板之介面位準因經受電漿損害(諸如藉由電漿處理(諸如固體攝像元件之製造程序中之CVD (化學汽相沈積)及乾蝕刻)之一充電及UV照射)而增大。

因此，已設計一方法，其中介面位準由於一原子(諸如氫及氟)在一器件介面上具有一懸鍵終接效應而減小，以減少暗電流。

舉例而言，已設計一方法，其中氫與一鈍化膜(SiN膜)分離且與在一光電二極體之前表面上之一懸鍵(亦即，將減少前表面上之暗電流之半導體基板之光接收元件)耦合。

然而，根據此方法，氫經供應至具有一像素部分及一周邊電路部分之半導體基板之整個表面。因此，當一氫供應量固定於像素部分中時，至周邊電路部分之精細電晶體之一氫供應量變得過量。此導致在半導體基板之前表面(器件介面)之側上之氫之一剩餘及HCl (熱載子注入)及NBTI (負偏壓溫度不穩定性)電阻之降級。

為解決此，已提出一方法，其中充當一氫供應源之鈍化膜之剩餘氫量在像素部分與周邊電路部分之間區分以容許單獨控制至半導體基板之前表面之一氫供應量(例如，見日本公開專利申請案第2009-188068號)。

【發明內容】

然而，根據日本公開專利申請案第2009-188068號之方法，很難將鈍化膜之剩餘氫量控制於距像素部分與周邊電路部分之間的邊界並不遙遠之一區中。因此，並不容許期望控制其等氫供應量之一主動元件或類似物之配置，此導致半導體基板之大小增大。

有鑒於上述狀況做出本發明，且因此期望在針對各區控制在一半導體基板之前表面上具有一懸鍵終接效應之一原子之濃度之一情況中減小半導體基板之大小增大。

根據本發明之一實施例，提供一半導體器件。該半導體器件包含一第一半導體基板及一第一防原子擴散部分，該第一防原子擴散部分經配置於第一半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子擴散。

在本發明之上述實施例中，提供第一半導體基板及經配置於第一半導體基板上之部分處且經結構設計以防止具有懸鍵終接效應之原子擴散之第一防原子擴散部分。

根據本發明之另一實施例，提供製造一半導體器件之一方法。該方法包含形成一半導體基板及經配置於半導體基板上之一部分處且

經結構設計以防止具有一懸鍵終接效應之一原子擴散之一防原子擴散部分。

在本發明之上述實施例中，形成半導體基板及經配置於半導體基板上之部分處且經結構設計以防止具有懸鍵終接效應之原子擴散之防原子擴散部分。

根據本發明之又一實施例，提供一電子裝置。電子裝置包含一半導體基板及經配置於半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子擴散之一防原子擴散部分。

在本發明之上述實施例中，提供半導體基板及經配置於半導體基板上之部分處且經結構設計以防止具有懸鍵終接效應之原子擴散之防原子擴散部分。

根據本發明，可能針對各區，控制在一半導體基板之前表面上具有一懸鍵終接效應之一原子之濃度。另外，根據本發明，可能在針對各區控制在半導體基板之前表面上具有一懸鍵終接效應之一原子之濃度之一情況中減小一半導體基板之大小增大。

注意，上述效應僅係繪示之目的，且可產生在本發明中描述之任何效應。

如在隨附圖式中繪示，有鑒於本發明之最佳模式實施例之下列實施方式，將更瞭解本發明之此等或其他物件、特徵及優點。

【圖式簡單說明】

圖1係展示作為應用本發明之一半導體器件之一CMOS影像感測器之一實施例之一構形實例之一圖；

圖2A至圖2C係展示在圖1中展示之CMOS影像感測器之配置實例之圖。

圖3係描述在CMOS影像感測器之配置係圖2A中展示之一第一配置之一情況中CMOS影像感測器之一第一構形實例之一橫截面圖；

圖4A至圖4F係展示製造圖3中展示之CMOS影像感測器之一方法之一第一實例之圖；

圖5A至圖5F係展示製造圖3中展示之CMOS影像感測器之方法之一第二實例之圖；

圖6係描述在CMOS影像感測器之配置係圖2A中展示之第一配置之一情況中CMOS影像感測器之一第二構形之一橫截面圖；

圖7係描述在CMOS影像感測器之配置係圖2B中展示之一第二配置之一情況中CMOS影像感測器之一第一構形之一橫截面圖；

圖8係描述在CMOS影像感測器之配置係圖2B中展示之第二配置之一情況中CMOS影像感測器之一第二構形之一橫截面圖；

圖9係描述在CMOS影像感測器之配置係圖2B中展示之第二配置之一情況中CMOS影像感測器之一第三構形之一橫截面圖；

圖10係描述在CMOS影像感測器之配置係圖2B中展示之第二配置之一情況中CMOS影像感測器之一第四構形之一橫截面圖；

圖11係描述在CMOS影像感測器之配置係圖2B中展示之第二配置之一情況中CMOS影像感測器之一第五構形之一橫截面圖；

圖12係描述在CMOS影像感測器之配置係圖2B中展示之第二配置之一情況中CMOS影像感測器之一第六構形實例之一橫截面圖；

圖13係展示在半導體基板之層數為三之一情況中CMOS影像感測器之一配置實例之一圖；

圖14係展示充當應用本發明之一半導體器件之一CMOS影像感測器之一第二實施例之一構形實例之一圖；

圖15係展示構成圖14中展示之一像素陣列單元之一像素之一構形實例之一圖；

圖16係展示圖14中展示之CMOS影像感測器之氫供應區及氫減少區之一實例之一圖；

圖17係展示圖14中展示之CMOS影像感測器之氫供應區及氫減少區之一實例之一圖；

圖18係展示圖14中展示之CMOS影像感測器之氫供應區及氫減少區之一實例之一圖；

圖19係展示圖14中展示之CMOS影像感測器之氫供應區及氫減少區之一實例之一圖；

圖20係展示一比較器之一構形實例之一圖；

圖21係展示圖14中展示之CMOS影像感測器之氫供應區及氫減少區之一實例之一圖；

圖22展示氫供應區及氫減少區之一結構實例之一橫截面圖及一下表面圖；

圖23係在圖22中展示之橫截面圖之一部分放大圖；

圖24A及圖24B分別係氫減少區之另一橫截面圖及一側壁表面圖；

圖25係展示接觸件之另一形狀之一實例之一圖；

圖26係展示接觸件之另一形狀之一實例之一圖；

圖27係展示氫減少區之另一結構實例之一橫截面圖；

圖28係展示氫減少區之另一結構實例之一橫截面圖；

圖29係展示充當應用本發明之一半導體器件之CMOS影像感測器之一第三實施例之氫減少區之一結構實例之一圖；

圖30係展示在圖29中展示之氫減少區之另一結構實例之一圖；

圖31係展示在圖29中展示之氫減少區之另一結構實例之一圖；

圖32係展示在圖29中展示之氫減少區之另一結構實例之一圖；

圖33係展示充當應用本發明之一半導體器件之一CMOS影像感測器之一第四實施例之一構形實例之一圖；

圖34係展示構成圖33中展示之一感測器部分及一周邊電路部分

之一結構實例之一圖；

圖35係展示圖33中展示之感測器部分及周邊電路部分之另一結構實例之一圖；

圖36係展示作為應用本發明之一半導體器件之一無線器件之一構形實例之一圖；

圖37係展示作為應用本發明之一半導體器件之一CMOS影像感測器之一第五實施例之像素陣列單元及信號處理電路之一第一結構實例之一圖；

圖38係展示一氫供應材料之另一結構實例之一圖；

圖39係展示氫供應材料之又一結構實例之一圖；

圖40係展示圖37中展示之氫供應材料及一金屬材料之一配置實例之一示意性上表面圖。

圖41係展示圖37中展示之氫供應材料及金屬材料之一配置實例之一示意性上表面圖；

圖42係展示作為應用本發明之一半導體器件之CMOS影像感測器之第五實施例之像素陣列單元及信號處理電路之一第二結構實例之一圖；

圖43係展示圖42中展示之一TCV及一氫供應材料之一配置實例之一示意性上表面圖；及

圖44係展示充當應用本發明之一電子裝置之一攝像裝置之一構形實例之一方塊圖。

【實施方式】

接著，將描述本發明之先決條件及用於執行本發明之模式(下文稱之為實施例)。注意將以下列順序給出該等描述。

1.第一實施例：CMOS影像感測器(圖1至圖13)

2.第二實施例：CMOS影像感測器(圖14至圖28)

- 3.第三實施例：CMOS影像感測器(圖29至圖32)
- 4.第四實施例：CMOS影像感測器(圖33至圖35)
- 5.第五實施例：無線器件(圖36)
- 6.第六實施例：CMOS影像感測器(圖37至圖43)
- 7.第七實施例：攝像裝置(圖44)

1.第一實施例

(CMOS影像感測器之第一實施例之構形實例)

圖1係展示充當應用本發明之一半導體器件之一CMOS影像感測器之一第一實施例之一構形實例之一圖。

以以下之此一方式獲取一CMOS影像感測器10：在一半導體基板(晶片)(諸如一矽基板)(未展示)上形成一像素區11、一控制電路12、一邏輯電路13、像素驅動線14及垂直信號線15。CMOS影像感測器10攝取一目標影像且輸出各自像素之像素信號。

特定言之，像素區11具有二維配置於一矩陣圖案中之像素且攝取一影像，像素之各者具有一光電轉換元件，該元件產生對應於入射光之光量之一電荷量且將該等電荷量累積於其中。另外，關於矩陣圖案中之像素，像素區11具有針對各自列之在圖1之水平方向上(列方向)之像素驅動線14及針對各自行之在圖1之垂直方向上(行方向)之垂直信號線15。

另外，控制電路12具有一垂直驅動單元21、一行處理單元22、一水平驅動單元23及一系統控制單元24，且控制像素信號之讀取。

特定言之，垂直驅動單元21具有一移位暫存器、一位址解碼器或類似物，且以列或類似物為單位驅動像素區11之各自像素。垂直驅動單元21具有連接至像素驅動線14之一端之輸出端(未展示)，輸出端對應於各自列。儘管垂直驅動單元21之特定構形未展示，但垂直驅動單元21具有兩個掃描系統，亦即，一讀取掃描系統及一重設掃描系

統。

讀取掃描系統循序選擇各自列以按列為單位自各自像素循序讀取像素信號，且自連接至選定列之像素驅動線14之輸出端輸出選擇脈衝或類似物。

為重設光電轉換元件之不需要之電荷，在讀取掃描系統之掃描之前達一快門速度之時間，重設掃描系統自連接至各自列之像素驅動線14之輸出端輸出控制脈衝。藉由重設掃描系統之掃描，針對各自列循序執行一所謂電子快門操作。此處，電子快門操作表示光電轉換元件之電荷摒棄以重新開始曝光(開始電荷累積)之一操作。

來自由垂直驅動單元21之讀取掃描系統選定之列之各自像素之像素信號輸出經由各自垂直信號線15供應至行處理單元22。

行處理單元22具有針對像素區11之各自行之信號處理電路。行處理單元22之各自信號處理電路將雜訊消除處理(諸如CDS (相關雙取樣)處理)及信號處理(諸如A/D (類比/數位)轉換處理)應用於來自選定列之各自像素之經由垂直信號線15之像素信號輸出。藉由CDS處理，像素特有之固定圖案雜訊(諸如重設雜訊)及放大電晶體中之臨限波動被消除。行處理單元22臨時保存已經受信號處理之像素信號。

水平驅動單元23具有一移位暫存器、一位址解碼器或類似物，且循序選擇行處理單元22之信號處理電路。藉由水平驅動單元23之選擇性掃描，由行處理單元22之各自信號處理電路處理之像素信號循序輸出至邏輯電路13。

系統控制單元24具有產生各種時序信號之一時序產生器或類似物，且基於由時序產生器產生之各種時序信號控制垂直驅動單元21、行處理單元22及水平驅動單元23。

邏輯電路13具有一信號處理單元31及一記憶體單元32，且將規定信號處理應用於自控制電路12供應之像素信號。

特定言之，信號處理單元31具有至少一額外處理功能。信號處理單元31將各種信號處理(諸如額外處理)應用於來自行處理單元22之像素信號輸出。此時，信號處理單元31視情況需要將信號處理或類似物之中間結果儲存於記憶體單元32中，且涉及在適當時序處進行此舉。信號處理單元31輸出已經受信號處理之像素信號。

記憶體單元32具有一DRAM (動態隨機存取記憶體)、一SRAM (靜態隨機存取記憶體)或類似物。

如上文描述結構設計之CMOS影像感測器10之像素區11之各自像素、控制電路12及邏輯電路13係由各種主動元件製成。舉例而言，像素區之各自像素係由光電二極體、電晶體或類似物製成。

(CMOS影像感測器之配置實例)

圖2A至圖2C係展示在圖1中展示之CMOS影像感測器10之配置實例之圖。

CMOS影像感測器10之像素區11、控制電路12及邏輯電路13之配置可係(例如)圖2A至圖2C中展示之第一至第三配置之任一者。

亦即，CMOS影像感測器10之像素區11、控制電路12及邏輯電路13之配置可係如在圖2A中展示之第一配置，其中像素區11、控制電路12及邏輯電路13之全部配置於一半導體基板51上。

另外，CMOS影像感測器10之像素區11、控制電路12及邏輯電路13之配置可係如在圖2B中展示之第二配置，其中像素區11及控制電路12配置於兩個層積半導體基板52及53之一者上且邏輯電路13配置於其等之另一者上。在圖2B中展示之實例中，像素區11及控制電路12配置於半導體基板52上，且邏輯電路13配置於半導體基板53上。

再者，CMOS影像感測器10之像素區11、控制電路12及邏輯電路13之配置可係如在圖2C中展示之第三配置，其中像素區11配置於兩個層積半導體基板54及55之一者上且控制電路12及邏輯電路13配置於其

等之另一者上。在圖2C中展示之實例中，像素區11配置於半導體基板54上，且控制電路12及邏輯電路13配置於半導體基板55上。

(圍繞CMOS影像感測器之主動元件之第一構形實例)

圖3係描述在CMOS影像感測器10之配置係圖2A中展示之第一配置之一情況中圍繞CMOS影像感測器10之主動元件之一第一構形實例之一橫截面圖。

除CMOS影像感測器10之主動元件外，圖3尤其展示：一電晶體，供應濃縮氬至該電晶體以終接一懸鍵；及一電晶體，其減少氬供應。應注意，圖3並不展示半導體基板51之內部構形。相同情況適用於稍後將描述之圖6。

如在圖3中展示，一電晶體70-1之一閘極電極71-1及一電晶體70-2之一閘極電極71-2配置於半導體基板51上方。電晶體70-1係減少氬供應且保持NBTI (負偏壓溫度不穩定性)電阻或類似物之一主動元件，例如，當在半導體基板51之前表面上之氬濃度低時具有高元件可靠性之一主動元件。電晶體70-1之實例包含控制電路12之p類型MOS (金屬氧化物半導體)電晶體。

另一方面，電晶體70-2係一主動元件，供應濃縮氬至該主動元件以終接一懸鍵，例如，當在半導體基板51之前表面上之氬濃度高時具有極佳雜訊特性(諸如1/f雜訊)之一主動元件。電晶體70-2之實例包含像素之放大電晶體、控制電路12之比較器及用於一輸入/輸出電路之一電晶體。

閘極電極71-1具有一接觸柱塞72-1，且經由接觸柱塞72-1連接至一電力供應器、其他主動元件或類似物(未展示)。類似地，閘極電極71-2具有一接觸柱塞72-2，且經由接觸柱塞72-2連接至電力供應器、其他主動元件或類似物(未展示)。

在減少氬供應之電晶體70-1之側上之半導體基板51之前表面係用

防止氫擴散之一防氫擴散膜73覆蓋。因此，可減少至電晶體70-1之氫供應。另外，由於至電晶體70-1之氫供應被減少，故更多氫供應至電晶體70-2，期望地將濃縮氫供應至電晶體70-2。亦即，相較於不配置防氫擴散膜73之一情況，在電晶體70-2之側上之半導體基板51之前表面上之氫濃度可增大。

圍繞用防氫擴散膜73覆蓋之電晶體70-1及電晶體70-2形成一層間絕緣膜74。另外，具備將接觸柱塞72-1及72-2連接至電力供應器、其他主動元件或類似物(未展示)之一配接線之一配接線層75形成作為在層間絕緣膜74上之一上層。應注意在此說明書中，一上層表示在遠離一半導體基板之一方向上之一層，且一下層表示在靠近半導體基板之一方向上之一層。

一氫供應膜76經形成作為在半導體基板51之整個表面上方之配接線層75上之一上層。氫供應膜76係由一鈍化膜(SiN膜)或類似物製成，且將氫釋放且供應至半導體基板51之前表面。

(製造CMOS影像感測器之方法之第一實例)

圖4A至圖4F係展示製造圖3中展示之CMOS影像感測器10之電晶體70-1及70-2之周圍部分之一方法之一第一實例之圖。

如在圖4A中展示，在電晶體70-1及70-2形成於半導體基板51上後，一光阻劑91藉由圖案化塗佈於電晶體70-2上。

接著，如在圖4B中展示，沈積具有高膜密度之防氫擴散膜92。可使用具有相對高表面密度之LP-SiN、ALD-SiN及UV-SiN (UV透明氮化矽)或類似物作為防氫擴散膜92。LP-SiN表示藉由LP-CVD (低壓力化學汽相沈積)伴有高溫處理形成之SiN，且ALD-SiN表示藉由ALD-CVD (原子層沈積化學汽相沈積)形成之SiN。替代地，防氫擴散膜92可係藉由電漿CVD沈積之SiN。防氫擴散膜92具有(例如)2.7 g/cm至3.5 g/cm之一膜密度。

接著，如在圖4C中展示，在防氫擴散膜92沈積後移除光阻劑91以僅在電晶體70-1上形成一防氫擴散膜73。接著，如在圖4D中展示，形成一層間絕緣膜74。

接著，如在圖4E中展示，一連接孔93在防氫擴散膜73及層間絕緣膜74中鑽孔，且形成由Cu或類似物製成之接觸柱塞(連接導體)72-1。另外，一連接孔94在層間絕緣膜74中鑽孔，且形成由Cu或類似物製成之接觸柱塞72-2。再者，形成將接觸柱塞72-1及72-2連接至電力供應器及其他主動元件(未展示)之配接線層75。

可使用儲存氫之基於Ti之金屬作為接觸柱塞72-1之障壁金屬。在此情況中，可進一步防止氫擴散。

最後，如在圖4F中展示，在接觸柱塞72-1及72-2及配接線層75形成後，形成氫供應膜76。因此，結束處理步驟。

(製造CMOS影像感測器之方法之第二實例)

圖5A至圖5F係展示製造圖3中展示之CMOS影像感測器10之電晶體70-1及70-2之周圍部分之方法之一第二實例之圖。

如在圖5A中展示，在電晶體70-1及70-2形成於半導體基板51上後，如在圖4B中沈積一防氫擴散膜111。接著，如在圖5B中展示，一光阻劑112塗佈於電晶體70-1上方，藉由圖案化將防氫擴散膜111沈積於電晶體70-1上。

接著，如在圖5C中展示，光阻劑112並不塗佈於其上之防氫擴散膜111經移除以僅在電晶體70-1處形成防氫擴散膜73。接著，如在圖5D至圖5F中展示，執行與在圖4D至圖4F中展示之處理步驟相同之處理步驟。因此，結束處理步驟。

(圍繞CMOS影像感測器之主動元件之第二構形實例)

圖6係描述在CMOS影像感測器10之配置係圖2A中展示之第一配置之一情況中圍繞CMOS影像感測器10之主動元件之一第二構形之一

橫截面圖。

在圖6中，與在圖3中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖6中展示之CMOS影像感測器10之主動元件之構形與在圖3中展示之該等構形之不同之處在於提供一氫供應膜121而非氫供應膜76及提供一配接線層122而非配接線層75。在圖6中，氫供應膜121經配置於配接線層122下方作為一下層。

儘管未展示，但執行與在圖4A至圖4D中或在圖5A至圖5D中展示之處理步驟相同之處理步驟以製造在圖6中展示之CMOS影像感測器10之電晶體70-1及70-2之周圍部分。接著，如在圖4F或圖5F中形成氫供應膜121。接著，如在圖4E或圖5E中形成接觸柱塞72-1及72-2。因此，結束處理步驟。

(圍繞CMOS影像感測器之主動元件之第三構形實例)

圖7係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第一構形實例之一橫截面圖。

除像素區11及控制電路12之主動元件外，圖7尤其展示：一電晶體，供應濃縮氫至該電晶體以終接一懸鍵；一電晶體，其減少氫供應；及兩個電晶體，供應濃縮氫至該等電晶體以終接一懸鍵。應注意，圖7並不展示半導體基板52及53之內部構形。相同情況適用於圖8至圖12。

如在圖7中展示，一電晶體130-1之一閘極電極131-1及一電晶體130-2之一閘極電極131-2配置於半導體基板52上方。在圖7中展示之電晶體130-1係如同在圖3中展示之電晶體70-1減少氫供應之一主動元件。另一方面，電晶體130-2係一主動元件，如同電晶體70-2，供應濃縮氫至電晶體130-2以終接一懸鍵。

由於形成於半導體基板52上方之閘極電極131-1及131-2、接觸柱塞132-1及132-2、一防氫擴散膜133、一層間絕緣膜134、一配接線層135及一氫供應膜136各自與在圖3中展示之閘極電極71-1及71-2、接觸柱塞72-1及72-2、防氫擴散膜73、層間絕緣膜74、配接線層75及氫供應膜76相同，故將省略其等描述。

另外，如在圖7中展示，一電晶體140-1之一閘極電極141-1及一電晶體140-2之一閘極電極141-2配置於半導體基板53上方。在圖7中展示之電晶體140-1及140-2係主動元件，如同電晶體70-2，供應濃縮氫至該等電晶體以終接一懸鍵。

由於形成於半導體基板53上方之閘極電極141-1及141-2、接觸柱塞142-1及142-2、一層間絕緣膜143及一配接線層144各自與在圖3中展示之閘極電極71-2、接觸柱塞72-2、層間絕緣膜74及配接線層75相同，故將省略其等描述。

在圖7中展示之半導體基板52及53經層積在一起以使配接線層135及144經由氫供應膜136面朝彼此且經電連接至彼此。氫供應膜136在半導體基板52及53之間共用。

儘管未展示，但在半導體基板52及53上執行與在圖4A至圖4E中或在圖5A至圖5E中展示之處理步驟相同之處理步驟以製造在圖7中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著，在半導體基板52上執行在圖4F或圖5F中展示之相同處理步驟以形成氫供應膜136。接著，半導體基板52及53經連結在一起以使配接線層135及144經由氫供應膜136面朝彼此。因此，結束處理步驟。

此處，儘管氫供應膜136形成於半導體基板52上方，但其可形成於半導體基板53上方。

(圍繞CMOS影像感測器之主動元件之第四構形實例)

圖8係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第二構形實例之一橫截面圖。

在圖8中，與在圖7中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖8中展示之CMOS影像感測器10之主動元件之構形與在圖7中展示之該等構形之不同之處在於提供一配接線層162、氬供應膜161及171及一配接線層172而非配接線層135、氬供應膜136及配接線層144。在圖8中，氬供應膜161及171各自經配置於配接線層162及172下方作為一下層。

特定言之，一氬供應膜並不在半導體基板52及53之間共用，但半導體基板52之氬供應膜161經提供於配接線層162下方作為在半導體基板52之整個表面上方之一下層。另外，半導體基板53之氬供應膜171經提供於配接線層172下方作為在半導體基板53之整個表面上方之一下層。在圖8中展示之半導體基板52及53經層積在一起以使配接線層162及172經由氬供應膜161及171及配接線層162及172面朝彼此且經電連接至彼此。

儘管未展示，但在半導體基板52及53上首先執行與在圖4A至圖4D中或在圖5A至圖5D中展示之處理步驟相同之處理步驟以製造在圖8中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著，在半導體基板52及53上執行與在圖4F或圖5F中展示之處理步驟相同之處理步驟以形成氬供應膜161及171。接著，在半導體基板52及53上執行與在圖4E或圖5E中展示之處理步驟相同之處理步驟以形成配接線層162及172。最後，半導體基板52及53經連結在一起以使配接線層162及172面朝彼此。因此，結束處理步驟。

(圍繞CMOS影像感測器之主動元件之第五構形實例)

圖9係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第三構形實例之一橫截面圖。

在圖9中，與在圖7中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖9中展示之CMOS影像感測器10之主動元件之構形與在圖7中展示之該等構形之不同之處在於額外提供防氬擴散膜191。在圖9中，包含電晶體140-1及140-2之邏輯電路13之所有主動元件係如同在圖3中展示之電晶體70-1減少氬供應之主動元件，且半導體基板53之整個表面係用防氬擴散膜191覆蓋。

特定言之，防氬擴散膜191經配置於在配接線層144與氬供應膜136之間的半導體基板53之整個表面上方。因此，可防止自氬供應膜136釋放之氬供應至半導體基板53之前表面。在圖9中展示之半導體基板52及53經層積在一起以使配接線層135及144經由氬供應膜136及防氬擴散膜191面朝彼此且經電連接至彼此。

儘管未展示，但在半導體基板52及53上首先執行與在圖4A至圖4E中或在圖5A至圖5E中展示之處理步驟相同之處理步驟以製造在圖9中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著，(例如)在半導體基板52上執行與在圖4F或圖5F中展示之處理步驟相同之處理步驟以形成氬供應膜136。接著，沈積防氬擴散膜191。最後，半導體基板52及53經連結在一起以使配接線層135及144經由氬供應膜136及防氬擴散膜191面朝彼此。因此，結束處理步驟。

應注意防氬擴散膜191經配置於配接線層144下方作為一下層。另外，氬供應膜136經配置於配接線層135下方作為一下層。

(圍繞CMOS影像感測器之主動元件之第六構形實例)

圖10係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第四構形實例之一橫截面圖。

在圖10中，與在圖7中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖10中展示之CMOS影像感測器10之主動元件之構形與在圖7中展示之該等構形之不同之處在於額外提供防氬擴散膜211。在圖10中，包含電晶體130-1及130-2之像素區11之所有主動元件及控制電路12係如同在圖3中展示之電晶體70-1減少氬供應之主動元件，且半導體基板52之整個表面係用防氬擴散膜211覆蓋。

特定言之，防氬擴散膜211經配置於在配接線層135與氬供應膜136之間的半導體基板52之整個表面上方。因此，可防止自氬供應膜136釋放之氬供應至半導體基板52之前表面。在圖10中展示之半導體基板52及53經層積在一起以使配接線層135及144經由氬供應膜136及防氬擴散膜211面朝彼此且經電連接至彼此。

儘管未展示，但在半導體基板52及53上首先執行與在圖4A至圖4E中或在圖5A至圖5E中展示之處理步驟相同之處理步驟以製造在圖10中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著，舉例而言，防氬擴散膜211經形成於半導體基板52上方。接著，執行與在圖4F或圖5F中展示之處理步驟相同之處理步驟以形成氬供應膜136。最後，半導體基板52及53經連結在一起以使配接線層135及144經由氬供應膜136及防氬擴散膜211面朝彼此。因此，結束處理步驟。

應注意防氬擴散膜211經配置於配接線層135下方作為一下層。另外，氬供應膜136經配置於配接線層144下方作為一下層。再者，在圖10中展示之實例中電晶體130-1係用防氬擴散膜133覆蓋，但可不提供

防氫擴散膜133。

(圍繞CMOS影像感測器之主動元件之第七構形實例)

圖11係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第五構形實例之一橫截面圖。

在圖11中，與在圖7中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖11中展示之CMOS影像感測器10之主動元件之構形與在圖7中展示之該等構形之不同之處在於提供氫供應膜221及223而非氫供應膜136且額外提供防氫擴散膜222。在圖11中，在半導體基板52及53之間獨立提供氫供應膜221及223。

特定言之，半導體基板52之氫供應膜221經配置於配接線層135上作為一上層。另外，半導體基板53之氫供應膜223經配置於配接線層144上作為一上層。再者，防氫擴散膜222經配置於氫供應膜221及223之間。

由於在圖11中，在半導體基板52及53之間獨立提供氫供應膜221及223，故至半導體基板52及53之一氫供應量可係不同的。因此，在電晶體130-2與電晶體140-1及140-2之間的介面之氫濃度可係不同的。

儘管未展示，但在半導體基板52及53上首先執行與在圖4A至圖4F中或在圖5A至圖5F中展示之處理步驟相同之處理步驟以製造在圖11中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著，舉例而言，防氫擴散膜222經形成於半導體基板52上方。最後，半導體基板52及53經連結在一起以使配接線層135及144經由氫供應膜221及223及防氫擴散膜222面朝彼此。因此，結束處理步驟。

應注意氫供應膜222經配置於配接線層135下方作為一下層。另

外，氫供應膜223經配置於配接線層144下方作為一下層。

(圍繞CMOS影像感測器之主動元件之第八構形實例)

圖12係描述在CMOS影像感測器10之配置係圖2B中展示之第二配置之一情況中圍繞CMOS影像感測器10之主動元件之一第六構形實例之一橫截面圖。

在圖12中，與在圖7中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

圍繞在圖12中展示之CMOS影像感測器10之主動元件之構形與在圖7中展示之該等構形之不同之處在於提供氫供應膜241及242而非氫供應膜136。在圖12中，半導體基板52及53經層積在一起以使配接線層135朝向半導體基板52之方向與配接線層144朝向半導體基板53之方向一致。

特定言之，半導體基板52之氫供應膜241經配置於配接線層135上作為一上層。另外，半導體基板53之氫供應膜242經配置於配接線層144上作為一上層。半導體基板53在半導體基板52上方層積以接觸氫供應膜241且經電連接至半導體基板52。

儘管未展示，但在半導體基板52及53上首先執行與在圖4A至圖4F中或在圖5A至圖5F中展示之處理步驟相同之處理步驟以製造在圖12中展示之CMOS影像感測器10之電晶體130-1、130-2、140-1及140-2之周圍部分。接著且最後，半導體基板52及53經連結在一起以使半導體基板53接觸氫供應膜241。因此，結束處理步驟。

應注意氫供應膜241經配置於配接線層135下方作為一下層。另外，氫供應膜242經配置於配接線層144下方作為一下層。

再者，儘管未展示，但甚至在電晶體130-1、130-2、140-1及140-2之周圍部分之構形係在圖8中展示之該等構形的一情況中，半導體基板52及53可以與在圖12中展示之方向相同之方向層積在一起。

此外，儘管未展示，但在CMOS影像感測器10之配置係在圖2C中展示之第三配置之一情況中之CMOS影像感測器10之主動元件之周圍部分之構形係與參考圖7至圖12所描述之該等構形相同。

如上文描述，CMOS影像感測器10具有在半導體基板51 (52、53)上方之整個表面處之氫供應膜76 (121、136、161、171、221、223、241、242)，且具有在半導體基板51 (52、53)上之一部分處之防氫擴散膜73 (133)。因此，針對各區控制半導體基板51 (52、53)之前表面處之氫濃度。因此，可在相同半導體基板51 (52、53)上提供藉由濃縮氫終接一懸鍵以保障雜訊特性(諸如1/f雜訊)之一區及歸因於NBTI或類似物而減少氫供應以保障一電晶體之使用壽命之一區。亦即，各區之一介面位準可在相同半導體基板51 (52、53)上係不同的。

另外，由於各區不需要一不同之氫供應膜，故可減少CMOS影像感測器10之大小之一增大。再者，由於減少至用防氫擴散膜73 (133)覆蓋之一區之氫供應，故可增大至不用防氫擴散膜73 (133)覆蓋之一區之氫濃度。

應注意儘管CMOS影像感測器10之半導體基板之層數在上文描述中係一個或兩個，但其可係兩個或兩個以上。在半導體基板之層數係三個的情況中，CMOS影像感測器10之配置係(例如)在圖13中展示之一者。

亦即，如在圖13中展示，提供在其上配置信號處理單元31之一半導體基板261及在其上配置記憶體單元32之一半導體基板262而非在其上配置邏輯電路13之半導體基板53。除半導體基板261不具有記憶體單元32外，半導體基板261係與半導體基板53相同。在半導體基板262上，如同半導體基板52及53，相對於規定之主動元件形成一防氫擴散膜。另外，在防氫擴散膜上形成一氫供應膜作為在半導體基板262之整個表面上方之一上層。半導體基板261及262經由氫供應膜層

積在一起。

此外，在第一實施例中，氫供應膜經形成於半導體基板之前表面處以供應氫。然而，在不具有氫供應膜的情況下，氫可直接供應至半導體基板之前表面。

2.第二實施例

(CMOS影像感測器之第二實施例之構形實例)

圖14係展示充當應用本發明之一半導體器件之一CMOS影像感測器之一第二實施例之一構形實例之一圖。

在圖14中展示之一CMOS影像感測器300具有一像素陣列單元310、一列選擇電路320、一水平轉移掃描電路330及一時序控制電路340。另外，CMOS影像感測器300具有一ADC (類比數位轉換器)群組350、一DAC (數位類比轉換器)360、一放大電路(S/A) 370、一信號處理電路380及一水平轉移線390。

上述電路形成於CMOS影像感測器300之半導體基板(未展示)上，且氫經供應至半導體基板之前表面。因此，達成構成CMOS影像感測器300之主動元件之雜訊之一減少。

在CMOS影像感測器300之像素陣列單元310中，各具有一光電轉換元件(光電二極體)及一像素內放大器之像素經配置於M個列及N個行之一矩陣圖案中。再者，下列電路經配置為循序讀取CMOS影像感測器300之像素陣列單元310之信號之控制電路。

亦即，控制列位址及列掃描之列選擇電路320、控制行位址及行掃描之水平轉移掃描電路330以及產生內時脈之時序控制電路340一起作為一控制電路而配置於CMOS影像感測器300中。

在ADC群組350中，各具有一比較器351、一計數器352及一鎖存器353之單斜式ADC在複數個行中排列。ADC群組350具有轉換一n位數位信號之功能，針對各垂直信號線(行線)配置，且構成一行並行

ADC區塊。

特定言之，比較器351將一參考電壓 V_{slop} (亦即，藉由在相位上改變由DAC 360產生之一參考電壓獲取之一斜坡波形(RAMP))與自各列之一像素經由一垂直信號線LSGN獲取之一類比信號比較。計數器352對比較器351之比較時間進行遞增計數。各鎖存器353經由(例如)具有一 $2n$ 位元寬度之水平轉移線390連接至 $2n$ 放大電路370。

在ADC群組350中，藉由針對各行配置之比較器351將由垂直信號線LSGN讀取之類比信號(電位VSL)與參考電壓 V_{slop} (具有線性改變之一特定傾斜度之斜波形)比較。此時，如同比較器351，針對各行配置之計數器352操作。當斜坡波形RAMP之特定電位 V_{slop} 按一對一對應隨一計數器值改變時，垂直信號線之電位(類比信號)VSL經轉換為一數位信號。參考電壓 V_{slop} 以電壓改變轉換為時間改變之此一方式改變，且該時間以一特定(週期)時脈加以遞增計數以轉換為一數位值。接著，當類比電信號VSL與參考電壓 V_{slop} 交叉時，比較器351之輸出倒轉以停止計數器352之輸入時脈。因此，完成AD轉換。

在上述AD轉換完成後，水平轉移掃描電路330將由鎖存器353保存之資料經由水平轉移線390及放大電路370輸入至信號處理電路380以產生一個二維影像。

(像素之構形實例)

圖15係展示構成圖14中展示之像素陣列單元310之一像素之一構形實例之一圖。

在圖15中展示之一像素400具有一光電二極體401、由一MOSFET (金屬氧化物半導體場效電晶體)製成之一轉移電晶體402、一重設電晶體403、一放大電晶體404及一選擇電晶體405。

光電二極體401將入射光光電轉換為具有對應於光量之一量之一電荷(此處，電子)。充當一轉移元件之轉移電晶體402在光電二極體

401與充當一輸入節點之一浮動擴散FD之間連接，且充當一控制信號之一轉移信號TRG經由一轉移控制線LTRG供應至轉移電晶體402之閘極(轉移閘極)。因此，轉移電晶體402將由光電二極體401光電轉換之一電子轉移至浮動擴散FD。

重設電晶體403在一電力供應線LVDD (一電力供應電壓VDD供應至該線)與浮動擴散FD之間連接，且充當一控制信號之一重設信號RST經由一重設控制線LRST供應至重設電晶體403之閘極。因此，充當一重設元件之重設電晶體403將浮動擴散FD之電位重設至電力供應線LVDD之電位。

充當一放大元件之放大電晶體404之閘極經連接至浮動擴散FD。亦即，浮動擴散FD作為充當一放大元件之放大電晶體404之輸入節點。放大電晶體404及選擇電晶體405在電力供應線LVDD (電力供應電壓VDD供應至該線)與一信號線LSGN之間串聯連接。如上文描述，放大電晶體404經由選擇電晶體405連接至信號線LSGN，且與像素400外側之一恒定電流源極IS一起構成一源極隨耦器。當充當對應於一位址信號之一控制信號之一選擇信號SEL經由一選擇控制線LSEL供應至選擇電晶體405之閘極時，選擇電晶體405接通。

當選擇電晶體405接通時，放大電晶體404放大浮動擴散FD之電位，且將對應於電位之一電壓輸出至信號線LSGN。自各像素經由信號線LSGN之電壓輸出經輸出至比較器351。

此處，在像素400中接線之重設控制線LRST、轉移控制線LTRG及選擇控制線LSEL經接線為一像素配置中之一逐列基礎上之一組。亦即，提供M個各自控制線LRST、LTRG及LSEL。藉由列選擇電路320在一逐列基礎上驅動重設控制線LRST、轉移控制線LTRG及選擇控制線LSEL。因此，針對一個列之各像素同時執行自像素400之電壓輸出操作。

一MOSFET (諸如如上文描述經結構設計之像素400之轉移電晶體402)及用於CMOS影像感測器300之類比電路中之其他MOSFET係各具有一厚閘極絕緣膜之高電壓驅動式IO系統電晶體。另一方面，在高速且低耗電電路中使用之MOSFET (諸如列選擇電路320、水平轉移掃描電路330及信號處理電路380)係各具有一薄閘極絕緣膜之低電壓驅動式核心電晶體。

一般言之，MOSFET在HCT (熱載子注入)及NBTI中電阻較低，且若其等閘極絕緣膜較薄則具有較短之使用壽命。因此，在用於高速且低耗電電路(諸如列選擇電路320、水平轉移掃描電路330及信號處理電路380)中之MOSFET之使用壽命不為氫供應容許之一情況中，期望減少至MOSFET之氫供應且優先保障元件可靠性。

(供應氫至主動元件之區及減少至主動元件之氫供應之區之實例)

圖16至圖19係展示在圖14展示之CMOS影像感測器300中供應氫至主動元件之一區(下文中稱為一氫供應區)及減少至主動元件之氫供應之一區(下文中稱為一氫減少區)。

氫減少區具有自一操作觀點預期地優先保障元件可靠性之電路，且氫供應區係除氫減少區外之一區。

在圖16中展示之實例中，一氫供應區421具有像素陣列單元310，且氫減少區422具有周邊電路，亦即，除像素陣列單元310外之電路。亦即，由於用於高速且低耗電電路(諸如列選擇電路320、水平轉移掃描電路330及信號處理電路380)中之MOSFET之使用壽命不為氫供應容許，故在圖16中展示之實例中將包含此等電路之周邊電路包含於氫減少區422中。

在圖17中展示之實例中，氫供應區421具有像素陣列單元310及除充當一周邊電路之信號處理電路380外之部分，且氫減少區422具有信號處理電路380。亦即，由於僅用於信號處理電路380中之MOSFET

之使用壽命不為在圖17中展示之實例中之氫供應容許，故信號處理電路380包含於氫減少區422中。

在圖18中展示之實例中，氫供應區421具有像素陣列單元310，ADC群組350、放大電路370及水平轉移線390。在氫減少應區422中，一氫減少應區422a具有列選擇電路320、時序控制電路340及DAC 360，一氫減少應區422b具有水平轉移掃描電路330，且一氫減少應區422c具有一信號處理電路380。

亦即，由於在用於高速且低耗電電路(諸如列選擇電路320、水平轉移掃描電路330及信號處理電路380)中之MOSFET之使用壽命不為在圖18中展示之實例中之氫供應容許，故此等電路包含於氫減少區422中。

在圖19中展示之實例中，氫供應區421具有像素陣列單元310及一些比較器351，且氫減少區422具有其他比較器351及除充當周邊電路之比較器351外之電路。亦即，比較器351存在於氫供應區421與氫減少區422混合在一起之一混合區423中。

此處，比較器351之各者如在圖20中展示而經結構設計。亦即，在圖20中展示之比較器351具有作為MOSFET之p通道MOS (PMOS)電晶體PT511及PT512及n通道MOS (NMOS)電晶體NT511及NT512，以及作為一隔離器之一NMOS隔離器NT514。另外，比較器351具有第一電容器C511及第二電容器C512、自動歸零開關(初始化開關)AZS511及AZS512，以及一電流源極I511。

PMOS電晶體PT511及PT512之源極經連接至一電力供應電位源極VDD。PMOS電晶體PT511之汲極連接至NMOS電晶體NT511之汲極，且在PMOS電晶體PT511之汲極與NMOS電晶體NT511之汲極之間的連接點形成一節點ND511。另外，PMOS電晶體PT511之汲極及閘極連接至彼此，且在PMOS電晶體PT511之汲極與閘極之間的連接點連接至

PMOS電晶體PT512之閘極。

PMOS電晶體PT512之汲極連接至NMOS電晶體NT512之汲極，且在PMOS電晶體PT512之汲極與NMOS電晶體NT512之汲極之間的連接點形成一節點ND512。NMOS電晶體NT511及NT512之源極連接至彼此，且在NMOS電晶體NT511及NT512之源極之間的連接點連接至電流源極I511。

NMOS電晶體NT511之閘極連接至電容器C511之一第一電極，且在NMOS電晶體NT511之閘極與電容器C511之第一電極之間的連接點形成一節點ND513。另外，電容器C511之一第二電極連接至一斜坡信號RAMP之一輸入端子TRAMP。NMOS電晶體NT512之閘極連接至電容器C512之一第一電極，且在NMOS電晶體NT512之閘極與電容器C512之第一電極之間的連接點形成一節點ND514。另外，電容器C512之一第二電極連接至一類比信號VSL之一輸入端子TVSL。

自動歸零開關AZS511之源極連接至節點ND511，且AZS511之汲極連接至節點ND513。自動歸零開關AZS512之源極連接至節點ND512，且AZS512之汲極連接至節點ND514。

NMOS電晶體NT514之汲極連接至比較器351之一輸出節點ND512(d)及NMOS電晶體NT512之一汲極(節點c)。另外，NMOS電晶體NT514之閘極連接至一偏壓電壓VBIAS之一供應線。因此，經由NMOS電晶體NT514供應一恒定電流。因此，即使寄生電容存在於NMOS電晶體NT512之閘極(輸入節點b)與汲極(輸出節點c)之間，電壓波動減少且低頻率雜訊減少。

在如上文描述經結構設計之比較器351中，PMOS電晶體PT511及PT512構成一電流鏡電路。另外，NMOS電晶體NT511及NT512構成一差分比較單元(跨導器放大器(G_m放大器))。再者，電容器C511及C512作為AZ位準取樣電容(輸入電容)。此外，比較器351之一輸出信號1st

amp自輸出節點ND512輸出至計數器352。

在如上文描述參考在圖19中展示之實例經結構設計之比較器351中，NMOS電晶體NT511及NT512如在圖20中展示包含於氫供應區421中。另外，除NMOS電晶體NT511及NT512外之電路包含於氫減少區422中。

應注意如在圖21中展示，除PMOS電晶體PT511及PT512外之電路可包含於氫供應區421中且PMOS電晶體PT511及PT512可包含於氫減少區422中。另外，設定氫供應區及氫減少區之一方法不限於在圖16至圖21中展示之實例。

(氫供應區及氫減少區之結構實例)

圖22展示氫供應區421及氫減少區422之一結構實例各自之一橫截面圖及一下表面圖，且圖23係在圖22中展示之橫截面圖之一部分放大圖。另外，圖24A及圖24B各自係不同於圖22中展示之橫截面圖之一橫截面圖及一側壁表面圖。

應注意針對與一般CMOS影像感測器之半導體器件(諸如元件分離層(如氫供應區421及氫減少區422中之STI (淺溝渠隔離)、n通道區、p通道區、MOSFET、雙極電晶體及電阻元件))相同之半導體器件，將省略其等示意性表示及描述。

圖22之上部分係展示氫供應區421及氫減少區422之結構實例之橫截面圖，且圖22之下部分係當自氫減少區422中之一半導體基板553之前表面向上看時之下表面圖。

如在圖22中展示，單層頂部金屬561及三層配接線562以此順序自上配置於氫供應區421中之半導體基板553上方。頂部金屬561及配接線層562之周邊係用一層間絕緣膜554覆蓋。

同時，在氫減少區422中半導體基板553上，提供一氫吸收層570以覆蓋半導體基板553。氫吸收層570具有頂部金屬571、一頂部通孔

572、配接線573、通孔574及一接觸件575。

特定言之，單層頂部金屬571配置於氬吸收層570之最上部分處，且三層配接線573經配置於頂部金屬571。配接線573具有一格狀閉合殼結構，且由通孔574連接至彼此。然而，一些配接線573並不如在圖24A及圖24B中展示由通孔574連接至其他配接線573，而連接至氬減少區422外側之一驅動電源供應器、電路或類似物。應注意圖24B係當自圖24A之右側看時側壁表面之一圖。

頂部金屬571連接至配接線573以覆蓋配接線573之頂層。在最下部分之配接線573經由圍繞氬減少區422之周邊之伸展狀接觸件575連接至半導體基板553。特定言之，圖23表示在圖22中展示之一矩形P，且接觸件575經連接至半導體基板553之一p通道區591。

亦即，若氬吸收層570處於一浮動狀態中，則形成於氬吸收層570內側之主動元件可能因氬吸收層570之浮動電容而發生故障。因此，在CMOS影像感測器300中，在最下部分處之配接線573經連接至半導體基板553以將氬吸收層570之電位固定至半導體基板553之電位。圖23展示氬吸收層570之電位經固定至半導體基板553之PSUB之電位之一情況之一實例。然而，氬吸收層570之電位可以提供具有固定電位之NWL而非PW且提供一n+擴散層而非p通道區591之此一方式固定至半導體基板553之NWL之電位。

氬吸收層570之金屬膜含有儲存氬之一氬儲存合金。頂部金屬571及接觸件575之氬儲存合金具有(例如)一TiN/W積層金屬結構，頂部通孔572之氬儲存合金具有一TiN/AL積層金屬結構，且配接線573及通孔574之氬儲存合金具有一TiN/Cu積層金屬結構。

作為氬儲存合金，可使用除鈦基合金外之含有鎳、錳、釩、鎂、鈮、鈣及稀土化合物之合金。TiN係大體用作柱塞、通孔、金屬配接線之障壁金屬之一半導體材料。因此，在TiN用作一氬儲存合金

的情況中，可達成CMOS影像感測器300之製造成本減少。

如上文描述，氫吸收層570之金屬膜含有氫儲存合金。因此，容許氫吸收層570 (防氫擴散單元)在CMOS影像感測器300之製造中防止氫擴散至氫減少區422中之半導體基板553之前表面。

此處應注意，儘管氫吸收層570之整個金屬膜含有一氫儲存合金，但頂部金屬571或類似物之一些金屬膜可含有氫儲存合金。

接著，將對CMOS影像感測器300之製造步驟中之氫供應給出一描述。舉例而言，在半導體基板553上形成一半導體器件後供應氫，且接著形成頂部金屬561、配接線573、氫吸收層570及層間絕緣膜554。如一氫供應方法，在含有氫及氦之一氣流中以350°C至400°C執行燒結退火達30分鐘至兩小時。根據此方法，供應滿足退火條件之氫。

因此，氫供應至氫供應區421中之半導體基板553之前表面。因此，氫減少主動元件(諸如MOSFET)之雜訊。

亦即，MOSFET中閃爍雜訊或隨機電報式雜訊之發生機制歸因於一現象，其中當MOSFET操作時，穿過一閘極絕緣膜正下方之一通道前表面之載子經重複利用及釋放以隨時間推移在存在於構成MOSFET之一閘極氧化膜內側之一半導體基板之前表面附近之一陷阱能階(懸鍵)處使MOSFET之臨限電壓波動。

另一方面，當氫供應至MOSFET時，其在陷阱能階處終接且鈍化，此導致充當用於利用載子之一源極之閘極氧化膜內側之陷阱能階之密度減小。因此，當氫供應至氫供應區421中之半導體基板553之前表面時，MOSFET之閃爍雜訊或隨機電報式雜訊減少。

相反地，如減少MOSFET之閃爍雜訊或隨機電報式雜訊之一方法，考慮到當載子為一閘極氧化膜內側之一陷阱利用時一臨限電壓之波動大小與MOSFET之閘極區域成反比之事實，增大MOSFET之閘極

區域。然而，在一CMOS影像感測器具有數百萬像素或類似物之一情況中，歸因於MOSFET之閘極區域之增大，一晶片區域之大小超越一容許位準。

另一方面，由於半導體基板553之前表面係用氫減少區422中之氫吸收層570覆蓋，故至半導體基板553之前表面之氫供應被減少。因此，在氫減少區422中，歸因於過量氫，可能防止主動元件(諸如MOSFET)之HCT及NBTI電阻中之降級，且增大CMOS影像感測器300之操作使用壽命。

(接觸件之其他形狀之實例)

圖25及圖26係展示接觸件575之其他形狀之實例之圖。

應注意，圖25及圖26係當自氫減少區422中之半導體基板553之前表面看時層間絕緣膜554之下表面圖。

圖25及圖26中展示之接觸件575具有一接觸件形狀。在此情況中，接觸件575可如在圖25中展示配置於沿矩形頂部金屬571之各側之一線中，或如在圖26中展示配置於兩個線中。在接觸件575具有一接觸件形狀之一情況中，由於一氫吸收能力增大，故接觸件575期望地配置於兩個或兩個以上線中而非配置於一線中。

應注意，頂部通孔572及通孔574可具有與接觸件575之形狀相同之形狀。

在上文描述中，頂部金屬571係單一的。然而，在氫減少區422之區域係大的且氫減少區422之寬度大於頂部金屬571之容許寬度之一情況中，頂部金屬571可如在圖27中展示劃分為頂部金屬651及652之複數個層(在於圖27中展示之實例中係兩個層)。頂部金屬651及頂部金屬652藉由一頂部通孔653連接至彼此。

另外，在上文描述中，氫吸收層570包含頂部金屬571。然而，舉例而言，在配接線573之層之數目為四個或四個以上之一情況中，

氫吸收層570可不包含頂部金屬571。在此情況中，使用配接線573而非在圖27中展示之頂部金屬651及652。

再者，在上文描述中，氫供應至半導體基板553之前表面。然而，如在圖28中展示，具有一高氫含量之一氫供應膜661可形成於層間絕緣膜554上。

在此情況中，舉例而言，在一半導體器件形成於半導體基板553上後形成氫供應膜661，且接著形成頂部金屬561、配接線562、氫吸收層570及層間絕緣膜554。如形成氫供應膜661之一方法，使用 SiH_4 或 NH_3 、 N_2 及 H_2 作為氣體根據一電漿CVD方法將具有一規定厚度之一電漿氮化物膜形成為氫供應膜661。由於氫供應膜661含有大量氫，故其恰如在含有氫之一氣流中執行燒結退火時根據膜形成條件能夠供應氫至半導體基板553之前表面。

因此，亦在此情況中，氫供應至氫供應區421中之半導體基板553之前表面。然而，由於氫減少區422中之半導體基板553之前表面係用氫吸收層570覆蓋，故至氫減少區422中之半導體基板553之前表面之氫供應被減少。

3.第三實施例

(CMOS影像感測器之第三實施例之氫減少區之結構實例)

充當應用本發明之一半導體器件之CMOS影像感測器300之一第三實施例之構形係與在圖14中展示之構形相同，但氫減少區422之結構不同於第二實施例之結構。因此，下文僅將描述CMOS影像感測器300之氫減少區422之結構。

圖29係展示充當應用本發明之一半導體器件之CMOS影像感測器300之第三實施例之氫減少區之一結構實例之一圖。

圖29展示充當CMOS影像感測器300之氫減少區422中之一主動元件之一PMOSFET之周邊結構。PMOSFET之實例包含比較器351之p通

道MOS (PMOS)電晶體PT511及PT512。應注意，圖29之上部分係PMOSFET之一周邊橫截面圖，且圖29之下部分係當自一最下層之配接線看時一上表面圖。在圖29之上部分中，為繪示之目的，規定單元經展示處於一透明狀態中。相同情況適用於稍後將描述之圖30及圖32。

在CMOS影像感測器300之第三實施例中，並不針對各氬減少區422而針對各主動元件提供一氬吸收層。

特定言之，如在圖29中展示，氬減少區422中之一PMOSFET 671具有一閘極電極681、p通道區682及683、接觸件684、一汲極電極685、接觸件686及一源極電極687。汲極電極685經由接觸件684連接至p通道區682，且源極電極687經由接觸件686連接至p通道區683。

PMOSFET 671之一氬吸收層672經連接至閘極電極681。氬吸收層672具有三層配接線691至693、一通孔694a、一通孔694b及一接觸件695。

特定言之，配接線691、配接線692及配接線693以此順序配置於氬吸收層672之上方以覆蓋閘極電極681。通孔694a將配接線691及692連接至彼此，且通孔694b將配接線692及692連接至彼此。接觸件695將配接線693及閘極電極681連接至彼此。因此，氬吸收層672之電位經固定至閘極電極681之電位。

如上文描述經結構設計之氬吸收層672如同氬吸收層570含有作為一金屬膜之一氬儲存合金。因此，在CMOS影像感測器300之製造中容許氬吸收層672以防止氬擴散至PMOSFET 671之前表面。

此處應注意，儘管氬吸收層672之整個金屬膜含有一氬儲存合金，但可僅一些金屬膜含有氬儲存合金。

接著，給出對PMOSFET 671之製造步驟中之氬供應之一描述。舉例而言，在PMOSFET 671形成於半導體基板553上後供應氬，且接

著形成氫吸收層672及層間絕緣膜554。一氫供應方法係與第二實施例之方法相同。

甚至當氫供應時，氫減少區422中之PMOSFET 671係用氫吸收層672覆蓋。因此，至PMOSFET 671之前表面之氫供應被減少。因此，防止PMOSFET 671之HCT及NBTI電阻歸因於過量氫而降級，且增大操作使用壽命。

上文參考圖29描述PMOSFET 671之結構。然而，除用一n通道替換一p通道外，一NMOSFET之結構係與PMOSFET 671之結構相同。

應注意，儘管在圖29中展示之實例中配接線691及692經連接至閘極電極681，但其等可如在圖30中展示連接至汲極電極685。在此情況下，提供將配接線692及汲極電極685連接至彼此之通孔701而非將配接線692及693連接至彼此之通孔694b。應注意，圖30之上部分係PMOSFET之一周邊橫截面圖，且圖30之下部分係當自通孔701之上方看時之一上表面圖。配接線691及692可經連接至源極電極687。

另外，儘管配接線之層之數目在圖29中展示之實例中為三個，但其可係四個或四個以上。舉例而言，如在圖31中展示，在配接線691上方以此順序自上方提供配接線721及722。配接線721及722藉由一通孔723a連接至彼此，且配接線722及691藉由一通孔723b連接至彼此。應注意，圖31係PMOSFET之一周邊橫截面圖。

再者，配接線之層之數目可係兩個或兩個以下。此外，可在配接線691上方提供頂部金屬。

此外，如在圖32中展示，可在閘極電極681與配接線693之間提供一局部互連配接線741以覆蓋閘極電極681。應注意，圖32之上部分係PMOSFET之一周邊橫截面圖，且圖29之下部分係當自最下層之配接線看時之一上表面圖。

4.第四實施例

(CMOS影像感測器之第四實施例之構形實例)

圖33係展示充當應用本發明之一半導體器件之一CMOS影像感測器之一第四實施例之一構形實例之一圖。

在圖33中，與在圖14中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

在圖33中展示之一CMOS影像感測器800之構形與在圖14中展示之CMOS影像感測器300之構形之不同之處在於CMOS影像感測器800之電路形成於一積層晶片上且在層之間提供TCV (穿晶片通孔) 801。

特定言之，CMOS影像感測器800除一放大電路370及一信號處理電路380外之電路經劃分為一感測器部分811及一周邊電路部分812，且經配置於積層晶片之不同層中。

感測器部分811具有一像素陣列單元310及比較器351。周邊電路部分812具有一列選擇電路320、一水平轉移掃描電路330、一時序控制電路340、計數器352、鎖存器353、一DAC 360及一水平轉移線390。感測器部分811及周邊電路部分812藉由TCV 801電連接至彼此。

在CMOS影像感測器800中，一氫供應區421具有感測器部分811及除周邊電路部分812之水平轉移掃描電路330外之電路，且一氫減少區422僅具有水平轉移掃描電路330。亦即，由於僅用於水平轉移掃描電路330中之一MOSFET之使用壽命不為CMOS影像感測器800中之氫供應容許，故水平轉移掃描電路330包含於氫減少區422中。

應注意，放大電路370及信號處理電路380可配置於感測器部分811之層中或周邊電路部分812之層中，或可配置於除感測器部分811及周邊電路部分812之層外之一層中。

(感測器部分及周邊電路部分之結構實例)

圖34係展示在圖33中展示之感測器部分811及周邊電路部分812之

一結構實例之一圖。

在圖34中，與在圖22A及圖22B中展示之構形相同之構形由相同元件符號表示。另外，將視情況需要省略重複描述。

如在圖34中展示，在感測器部分811中，一晶片上透鏡831及一顏色過濾器832以此順序自上方配置於提供於一半導體基板830中之光電二極體401之各者上方。各自光電二極體401藉由一元件分離層833與彼此分離。在半導體基板830下方，配置用在配接線835周邊之一層間絕緣膜834覆蓋之配接線835。由於感測器部分811充當氫供應區域421，故其不具有一氫吸收層。

周邊電路部分812具有與在圖22中展示之相同構形。亦即，在周邊電路部分812中，單層頂部金屬561及三層配接線562以此順序自上方配置於氫供應區域421中之一半導體基板836上方。頂部金屬561及配接線562係用在其等周邊之層間絕緣膜837覆蓋。另外，在氫減少區422中之半導體基板836上提供一氫吸收層570以覆蓋半導體基板836。

感測器部分811之半導體基板830及周邊電路部分812之一層間絕緣膜837經由一絕緣膜838連結在一起。

接著，給出對CMOS影像感測器800之製造步驟中至周邊電路部分812之氫供應之一描述。舉例而言，在一半導體器件形成於半導體基板836上後將氫供應至周邊電路部分812，且接著形成頂部金屬561、配接線562、氫吸收層570及層間絕緣膜837。一氫供應方法係與第二實施例之方法相同。

當氫供應至周邊電路部分812時，其供應至氫供應區421中之半導體基板836之前表面。然而，由於半導體基板836之前表面係用氫減少區422中之氫吸收層570覆蓋，故至半導體基板836之前表面之氫供應被減少。因此，藉由氫供應區421中之氫減少主動元件(諸如MOSFET)之雜訊。另外，在氫減少區422中，歸因於過量氫可能防止

諸如MOSFET之主動元件之HCT及NBTI電阻降級，且增大CMOS影像感測器800之操作使用壽命。

絕緣膜838經形成於周邊電路部分812 (氬供應至其)之層間絕緣膜837上，接著感測器部分811 (氬供應至其)經連結至周邊電路部分812。

應注意，取代至半導體基板836之前表面之氬供應，具有一高氬含量之一氬供應膜841可如在圖35中展示形成於層間絕緣膜837與絕緣膜838之間。

在此情況中，舉例而言，在一半導體器件形成於半導體基板836上後形成氬供應膜841，且接著形成頂部金屬561、配接線562、氬吸收層570及層間絕緣膜837。形成氬供應膜841之一方法係與在圖28中展示之形成氬供應膜661之方法相同。在形成氬供應膜841後，在氬供應膜841上形成絕緣膜838。經由絕緣膜838，感測器部分811 (氬供應至其)經連結至周邊電路部分812。

由於氬供應膜841含有大量氬，故其恰如在執行燒結退火時根據膜形成條件能夠供應氬至半導體基板836之前表面。因此，在感測器部分811及周邊電路部分812連結在一起後之一熱處理程序中，氬自氬供應區421擴散至感測器部分811及周邊電路部分812。因此，氬供應至半導體基板830及氬供應區421中之半導體基板836之前表面。然而，由於氬減少區422中之半導體基板836之前表面係用氬吸收層570覆蓋，故至氬減少區422中之半導體區836之前表面之氬供應被減少。

5.第五實施例

(無線器件之實施例之構形實例)

圖36係展示作為應用本發明之一半導體器件之一無線器件之一構形實例之一圖。

在圖36中展示之一無線器件850具有一天線851、一開關852、一

RF (射頻)單元853、一類比單元854及一數位單元855。無線器件850係具有數位電路及類比電路兩者且包含於一GPS (全球定位系統)、一行動電話或類似物中之一ASIC (特定應用積體電路)。

RF單元853具有一LNA (低雜訊放大器) 861、一正交解調器862、一LO (局部振盪器) 863、一正交調變器864及一PA (功率放大器) 865。

一RF信號(亦即，經由天線851接收為無線電波之一類比信號)經供應至RF單元853之LNA 861。LNA 861放大RF信號，且將經放大之RF信號供應至正交解調器862。

正交解調器862基於具有自局部振盪器863供應之一規定頻率之一信號將自LNA 861供應之RF信號解調為一IF (中頻)信號，且將IF信號供應至類比單元854。

局部振盪器863產生具有一規定頻率之一信號，且將所產生之信號供應至正交解調器862及正交調變器864。正交解調器864基於具有自局部振盪器863供應之規定頻率之信號將自類比單元854供應之IF信號調變為一RF信號，且將RF信號供應至功率放大器865。

功率放大器865放大自正交解調器864供應之RF信號，且將經放大之RF信號經由開關852供應至天線851。供應至天線851之RF信號經傳輸為無線電波。

類比單元855具有一LPF (低通過濾器) 871、一AGC (自動增益控制) 872、一ADC 873、一DAC 874及一LPF 875。

類比單元854之LPF 871將低通過濾器處理應用於自正交解調器862供應之IF信號，且將處理過之IF信號供應至AGC 872。AGC 872控制自LPF 871供應之IF信號位準，且將受控IF信號供應至ADC 873。ADC 873將自AGC 872供應之IF信號轉換為數位資料，且將數位資料供應至數位單元855。

DAC 874將自數位單元855供應作為一傳輸目標之數位資料轉換為作為一類比信號之一IF信號，且將IF信號供應至LPF 875。LPF 875將低通過濾器處理應用於IF信號，且將處理過之IF信號供應至正交調變器864。

數位單元855具有一基帶LSI (大型積體) 881。基帶LSI 881將自ADC 873供應之數位資料視為接收資料，且將各種數位處理應用於該資料。數位單元855將各種數位處理應用於作為一傳輸目標之數位資料，且將處理過之數位資料供應至類比單元854。

舉例而言，為保障如上文描述經結構設計之無線器件850中之較高能效，期望RF單元853及類比單元854具有擁有一厚絕緣膜之一MOSFET且數位單元855具有擁有一薄絕緣膜之一MOSFET。

因此，以憑藉RF單元853及類比單元854作為一氫供應區且數位單元855作為一氫減少區而執行一CMOS程序之此一方式製造無線器件850。因此，在不降級數位單元855之操作使用壽命的情況下，可達成RF單元853及類比單元854之雜訊之一減少。

6.第六實施例

(CMOS影像感測器之第五實施例之第一結構實例)

由於作為應用本發明之一半導體器件之CMOS影像感測器之一第五實施例之構形係與在圖14中展示之構形相同，故將省略其描述。

圖37係展示作為應用本發明之一半導體器件之CMOS影像感測器之第五實施例之像素陣列單元及信號處理電路之一結構實例之一圖。

在圖37中展示之一CMOS影像感測器900之一像素陣列單元901及一信號處理電路902各自以與在圖14中展示之像素陣列單元310及信號處理電路380相同之方式經結構設計。此處，如在圖17中展示，一氫供應區具有像素陣列單元901及包含除充當一周邊電路之信號處理電路902外之單元之一控制電路，且一氫減少區具有信號處理電路902。

CMOS影像感測器900係一背側式照明CMOS影像感測器。因此，如在圖37中展示，像素陣列單元901及信號處理電路902具有一半導體基板905，半導體基板905在其前表面處具有一配接線部分903且在其後表面處具有一聚集部分904。各種配接線903A係在配接線部分903中提供，且用一層間絕緣膜903B覆蓋。

聚集部分904係聚集在像素陣列單元901中之像素處之光之規定顏色之一部分。特定言之，聚集部分904具有針對各自像素之晶片上透鏡904A及顏色過濾器904B。半導體基板905係由(例如)一矽基板製成，且各種元件經形成於半導體基板905上。

另外，在構成半導體基板901內側之氫供應區之像素陣列單元901附近，SiN (PE-SiN)或類似物經形成為一氫供應材料906以穿透半導體基板905。因此，容許氫之大量供應。因此，實質上容許氫供應區內側之主動元件之雜訊減少。

相反地，配接線903A係由具有儲存氫之性質之金屬(諸如Ti及Ta)製成，且氫幾乎不在由SiO₂或類似物製成之層間絕緣膜903內側擴散而在Si內側擴散。因此，在一氫供應膜形成於配接線部分903上且氫經由配接線部分903供應至半導體基板905之一情況中，實質上很難將氫供應至半導體基板905。

在氫減少區之側上(亦即，在半導體基板905內側之氫供應材料906之信號處理電路902之側上)提供防止氫擴散之一金屬材料907 (防氫擴散部分)。因此，在氫減少區中，歸因於過量氫可能防止主動元件之HCT及NBTI電阻降級，且增大CMOS影像感測器900之操作使用壽命。可採用(例如)Cu、W、AL、Ti、Ta或類似物作為金屬材料907。

應注意，儘管在圖37中展示之實例中形成氫供應材料906以穿透半導體基板905，但其可經形成以如圖38所展示不穿透半導體基板

905。另外，如在圖39中展示，可不僅在像素陣列單元901附近而且在像素之間的位置中形成氫供應材料906。如在圖39中展示，形成於像素陣列單元901附近及像素之間的位置中之氫供應材料906 (例如)經形成以不穿透半導體基板905，而是經形成以使半導體層保留於配接線部分903之側上。應注意儘管未展示，形成於像素陣列單元901附近及像素之間的位置中之氫供應材料906可經形成以穿透半導體基板905，或經形成以將半導體層保留於配接線部分904之側上。

(氫供應材料及金屬材料之配置實例)

圖40及圖41係展示氫供應材料906及金屬材料907之配置實例之示意性上表面圖。

舉例而言，如在圖40中展示，氫供應材料906經配置以圍繞構成水平供應區之像素陣列單元901及控制電路911之各者。在此情況中，金屬材料907可如在圖40中展示線性配置於氫供應材料906之信號處理電路902之側上，或可如在圖41中展示經配置以圍繞氫供應材料906之外側(信號處理電路902之側)。

應注意，控制電路911可經配置於與像素陣列單元901及信號處理電路902之基板相同之基板上，或可經配置於不同於像素陣列單元901及信號處理電路902之基板之基板上。在控制電路911經配置於不同於像素陣列單元901及信號處理電路902之基板之一基板上之一情況中，CMOS影像感測器900係一積層CMOS影像感測器。

(CMOS影像感測器之第五實施例之第二結構實例)

圖42係展示控制電路911經配置於不同於像素陣列單元901及信號處理電路902之基板之一基板上之一情況中CMOS影像感測器900之一結構實例之一圖。

在圖42中展示之控制電路911具有具備一配接線部分921之一半導體基板922，且半導體基板922及905經連接至彼此以使配接線部分903

及921面朝彼此。各種配接線921A係在配接線部分921中提供，且用一層間絕緣膜921B覆蓋。半導體基板922係由一矽基板製成，且各種元件經形成於半導體基板922上。

配接線部分903之配接線903A及配接線部分921之配接線921A藉由具有儲存氫之性質之金屬(諸如Ti及Ta)製成之TCV (穿晶通孔) 931電連接至彼此。在TCV 931之像素陣列單元901之側上，形成一氫供應材料932以穿透半導體基板905。

因此，防止自氫供應材料932供應至氫供應區中之像素陣列單元901之氫由TCV 931儲存成為可能。另外，減少自氫供應材料932至氫減少區中之信號處理電路902之氫供應成為可能。

(氫供應材料及TCV之配置實例)

圖43係展示圖42中展示之TCV 931及氫供應材料932之一配置實例之一示意性上表面圖。

舉例而言，如在圖43中展示，氫供應材料932經形成以圍繞構成氫供應區之像素陣列單元901及控制電路911之各者，且TCV 931經形成以圍繞氫供應材料932之外側。

應注意，儘管CMOS影像感測器900之氫供應區及氫減少區如在圖17中展示而經結構設計，但氫供應區及氫減少區之構形並不限於該等。亦即，氫供應區及氫減少區可如在圖16、圖18及圖19中展示而經結構設計。

7.第七實施例

(電子裝置之實施例之構形實例)

圖44係展示充當應用本發明之一電子裝置之一攝像裝置之一構形實例之一方塊圖。

在圖44中展示之一攝像裝置1000係一視訊攝影機、一數位靜態相機或類似物。攝像裝置1000具有一透鏡群組1001、一固態攝像元件

1002、一DSP電路1003、一圖框記憶體1004、一顯示器單元1005、一錄製單元1006、一操作單元1007及一電力供應單元1008。DSP電路1003、圖框記憶體1004、顯示器單元1005、錄製單元1006、操作單元1007及電力供應單元1008經由一匯流排線1009連接至彼此。

透鏡群組1001自一對象擷取入射光(影像光)且在固態攝像元件1002之攝像表面上形成一影像。固態攝像元件1002係由上述CMOS影像感測器10、300、800或900製成。固態攝像元件1002將藉由透鏡群組1001形成為攝像表面上之影像之入射光之光量轉換為各像素之一電信號，且將電信號供應至DSP電路1003而作為一像素信號。

DSP電路1003將規定影像處理應用於自固態攝像元件1002供應之像素信號，且將處理過之影像信號供應至圖框記憶體1004以使各圖框臨時儲存於圖框記憶體1004中。

顯示器單元1005係由一平板顯示器器件(諸如一液晶平板及一有機EL (電激發光)平板)製成，且基於針對臨時儲存於圖框記憶體1004中之各圖框之像素信號而顯示一影像。

錄製單元1006係由一DVD (數位多用途光碟)、一閃存記憶體或類似物製成，且讀取及錄製針對臨時儲存於圖框記憶體1004中之各圖框之像素信號。

操作單元1007在使用者之操作下發出攝像裝置1000之各種功能之操作指令。電力供應單元1008視情況需要將一電力供應供應至DSP電路1003、圖框記憶體1004、顯示器單元1005、錄製單元1006及操作單元1007。

應用本技術之電子裝置可僅係將一固態攝像器件用作一影像擷取單元(光電轉換單元)之一電子裝置。除攝像裝置1000外，亦可如此使用具有一攝像功能之一行動終端裝置及使用一固態攝像器件作為一影像擷取單元之一複印機或類似物。

應注意，CMOS影像感測器10 (300、800、900)可形成為具有一影像擷取功能且與一光學單元或類似物封裝在一起之一個晶片或一模組。

另外，在本說明書中描述之效應僅係為繪示，且可產生其他效應。

再者，本發明之實施例不限於上述實施例，而可在本發明之精神內以各種方式修改。

舉例而言，在本發明之第五實施例中，可針對各主動元件設定氫減少區及氫供應區。

此外，除CCD (電荷耦合器件)影像感測器及無線器件外，本發明亦可應用於具有複數個數位ASIC、類比ASIC、數位/類比ASIC或類似物之半導體器件。

此外，在本發明之第一至第七實施例中，採用氫作為具有一懸鍵終接效應(介面位準終接效應)之一原子。然而，可採用氟或氦來替代氫。此外，在本發明之第一至第五實施例中，可形成本發明之第六實施例中之氫供應材料而非氫供應膜。

此外，本技術可應用於前表面CMOS影像感測器及後表面CMOS影像感測器兩者。

此外，本技術可採用(例如)下列構形。

(1)一種半導體器件，其包含：

一第一半導體基板；及

一第一防原子擴散部分，其經配置於該第一半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子擴散。

(2)根據(1)之半導體器件，其中

該第一防原子擴散部分經結構設計以覆蓋形成於該第一半導體基板上之一主動元件。

(3)根據(2)之半導體器件，其中

該第一防原子擴散部分經配置於該主動元件之一閘極電極上。

(4)根據(1)之半導體器件，其中

該第一防原子擴散部分經結構設計以覆蓋具有形成於該第一半導體基板上之一主動元件之一電路。

(5)根據(1)至(4)中任一者之半導體器件，其中

該第一防原子擴散部分具有一通孔、一配接線及一接觸件，且

該通孔、該配接線及該接觸件之至少一者具有由經結構設計以儲存該原子之一原子儲存合金製成之一金屬膜。

(6)根據(5)之半導體器件，其中

該第一防原子擴散部分經連接至該第一半導體基板。

(7)根據(1)之半導體器件，其中

該第一防原子擴散部分經配置於該第一半導體基板內側。

(8)根據(7)之半導體器件，其進一步包含：

一第一原子供應膜，其經配置於該第一半導體基板內側且經結構設計以供應該原子。

(9)根據(1)或(2)之半導體器件，其進一步包含：

一第一原子供應膜，其經配置於該第一半導體基板之一整個表面上方且經結構設計以供應該原子。

(10)根據(9)之半導體器件，其進一步包含：

一第二半導體基板，其經結構設計以提供不同於該第一半導體基板之一功能之一功能，其中

該第一及該第二半導體基板經由該第一原子供應膜層積在一起。

(11)根據(10)之半導體器件，其進一步包含：

一第二原子供應膜，其經配置於該第二半導體基板之一整個表

面上方且經結構設計以供應該原子，其中

該第一及該第二半導體基板經由該第一及該第二原子供應膜層積在一起。

(12)根據(10)之半導體器件，其進一步包含：

一第二防原子擴散部分，其經配置於該第一及該第二半導體基板之一者之一整個表面上方且經結構設計以防止該原子之該擴散，其中

該第一及該第二半導體基板經由該第一原子供應膜及該第二防原子擴散部分層積在一起。

(13)根據(10)之半導體器件，其中

該第一半導體基板具有經結構設計以攝取一影像之一像素區，及

該第二半導體基板具有經結構設計以將信號處理應用於由該影像攝取產生之一信號之一邏輯電路。

(14)根據(10)之半導體器件，其進一步包含：

一第三半導體基板，其經結構設計以提供不同於該第一及該第二半導體基板之功能之一功能；及

一第二原子供應膜，其經配置於該第三半導體基板之一整個表面上方且經結構設計以供應該原子，其中

該第二及該第三半導體基板經由該第二原子供應膜層積在一起。

(15)根據(14)之半導體器件，其中

該第一半導體基板具有經結構設計以攝取一影像之一像素區，

該第二半導體基板具有經結構設計以將信號處理應用於由該影像攝取產生之一信號之一信號處理單元，且

該第三半導體基板具有經結構設計以儲存該信號之一記憶體單

元。

(16)根據(10)之半導體器件，其進一步包含：

一第一配接線層，其經形成於該第一半導體基板上方；及

一第二配接線層，其經形成於該第二半導體基板上方，其中

該第一及該第二半導體基板經層積在一起以使該第一及該第二配接線層面朝彼此。

(17)根據(10)之半導體器件，其進一步包含：

一第一配接線層，其經形成於該第一半導體基板上方；及

一第二配接線層，其經形成於該第二半導體基板上方，其中

該第一及該第二半導體基板經層積在一起以使該第一配接線層朝向該第一半導體基板之一方向與該第二配接線層朝向該第二半導體基板之一方向一致。

(18)根據(1)至(17)中任一者之半導體器件，其中

該原子包含氫。

(19)一種製造一半導體器件之方法，該方法包含：形成

一半導體基板，及

一防原子擴散部分，其經配置於該半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子擴散。

(20)一種電子裝置，其包含：

一半導體基板；及

一防原子擴散部分，其經配置於該半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子擴散。

【符號說明】

10 互補式金屬氧化物半導體影像感測器

11 像素區

12 控制電路

13	邏輯電路
14	像素驅動線
15	垂直信號線
21	垂直驅動單元
22	行處理單元
23	水平驅動單元
24	系統控制單元
31	信號處理單元
32	記憶體單元
51	半導體基板
52	半導體基板
53	半導體基板
54	半導體基板
55	半導體基板
70-1	電晶體
70-2	電晶體
71-1	閘極電極
71-2	閘極電極
72-1	接觸柱塞
72-2	接觸柱塞
73	防氫擴散膜
74	層間絕緣膜
75	配接線層
76	氫供應膜
91	光阻劑
92	防氫擴散膜

93	連接孔
94	連接孔
111	防氫擴散膜
112	光阻劑
121	氫供應膜
122	配接線層
130-1	電晶體
130-2	電晶體
131-1	閘極電極
131-2	閘極電極
132-1	接觸柱塞
132-2	接觸柱塞
133	防氫擴散膜
134	層間絕緣膜
135	配接線層
136	氫供應膜
140-1	電晶體
140-2	電晶體
141-1	閘極電極
141-2	閘極電極
142-1	接觸柱塞
142-2	接觸柱塞
143	層間絕緣膜
144	配接線層
161	氫供應膜
162	配接線層

171	氫供應膜
172	配接線層
191	防氫擴散膜
211	防氫擴散膜
221	氫供應膜
222	防氫擴散膜
223	氫供應膜
241	氫供應膜
242	氫供應膜
261	半導體基板
262	半導體基板
300	互補式金屬氧化物半導體影像感測器
310	像素陣列單元
320	列選擇電路
330	水平轉移掃描電路
340	時序控制電路
350	ADC (類比數位轉換器)群組
351	比較器
352	計數器
353	鎖存器
360	DAC (數位類比轉換器)
370	放大電路
380	信號處理電路
390	水平轉移線
400	像素
401	光電二極體

402	轉移電晶體
403	重設電晶體
404	放大電晶體
405	選擇電晶體
421	氫供應區
422	氫減少區
422a	氫減少區
422b	氫減少區
422c	氫減少區
423	混合區
553	半導體基板
554	層間絕緣膜
561	頂部金屬
562	配接線
570	氫吸收層
571	頂部金屬
572	頂部通孔
573	配接線
574	通孔
575	接觸件
591	p通道區
651	頂部金屬
652	頂部金屬
653	頂部通孔
661	氫供應膜
671	PMOSFET

672	氫吸收層
681	閘極電極
682	p通道區
683	p通道區
684	接觸件
685	汲極電極
686	接觸件
687	源極電極
691	配接線
692	配接線
693	配接線
694a	通孔
694b	通孔
695	接觸件
701	通孔
721	配接線
722	配接線
723a	通孔
723b	通孔
741	局部互連配接線
800	互補式金屬氧化物半導體影像感測器
811	感測器部分
812	周邊電路部分
830	半導體基板
831	晶片上透鏡
832	顏色過濾器

833	元件分離層
834	層間絕緣膜
835	配接線
836	半導體基板
837	層間絕緣膜
838	絕緣膜
841	氫供應膜
850	無線器件
851	天線
852	開關
853	RF (射頻)單元853
854	類比單元
855	數位單元
861	LNA (低雜訊放大器)
862	正交解調器
863	LO (局部振盪器)
864	正交調變器
865	PA (功率放大器)
871	LPF (低通過濾器)
872	AGC (自動增益控制)
873	ADC
874	DAC
875	LPF
881	基帶LSI (大型積體)
900	互補式金屬氧化物半導體影像感測器
901	像素陣列單元

902	信號處理電路
903	配接線部分
903A	配接線
903B	配接線
904	聚集部分
904A	晶片上透鏡
904B	顏色過濾器
905	半導體基板
906	氫供應材料
907	金屬材料
911	控制電路
921	配接線部分
921A	配接線
921B	配接線
922	半導體基板
931	TCV (穿晶通孔)
932	氫供應材料
1000	攝像裝置
1001	透鏡群組
1002	固態攝像元件
1003	DSP電路
1004	圖框記憶體
1005	顯示器單元
1006	錄製單元
1007	操作單元
1008	電力供應單元

1009	匯流排線
AZS511	自動歸零開關
AZS512	自動歸零開關
C511	第一電容器
C512	第二電容器
FD	浮動擴散
I511	電流源極
LRST	重設控制線
LSEL	選擇控制線
LTRG	轉移控制線
LVDD	電力供應線
ND511	節點
ND512	節點
ND513	節點
ND514	節點
NT511	n通道MOS (NMOS)電晶體
NT512	n通道MOS (NMOS)電晶體
PT511	p通道MOS (PMOS)電晶體
PT512	p通道MOS (PMOS)電晶體
PSUB	電位
RAMP	斜坡波形
RST	重設信號
SEL	選擇信號
STI	淺溝渠隔離
TRAMP	輸入端子
TRG	轉移信號

TVSL 輸入端子

VBIAS 偏壓電壓

VSL 電位

I677080

※ 申請案號：104102158

※ 申請日：104年1月22日

※IPC 分類：H01L 27/146 (2006.01)
H01L 21/02 (2006.01)

【發明名稱】

半導體器件及其製造方法，以及電子裝置

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

【中文】

本發明揭示一種半導體器件，其包含一第一半導體基板及一第一防原子擴散部分，該第一防原子擴散部分經配置於該第一半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子之擴散。

【英文】

Disclosed is a semiconductor device including a first semiconductor substrate and a first atom diffusion prevention portion, the first atom diffusion prevention portion being arranged at a part on the first semiconductor substrate and configured to prevent diffusion of an atom having a dangling bond terminating effect.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

10	互補式金屬氧化物半導體影像感測器
51	半導體基板
70-1	電晶體
70-2	電晶體
71-1	閘極電極
71-2	閘極電極
72-1	接觸柱塞
72-2	接觸柱塞
73	防氫擴散膜
74	層間絕緣膜
75	配接線層
76	氫供應膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種半導體器件，其包括：
 - 一第一半導體基板；
 - 一第一防原子擴散部分，其經配置於該第一半導體基板上之一部分處且經結構設計以防止具有一懸鍵終接效應之一原子之擴散；
 - 一第一原子供應膜，其經配置於該第一半導體基板之一整個表面上方且經結構設計以供應該原子；及
 - 一第二半導體基板，其經結構設計以提供不同於該第一半導體基板之一功能之一功能，其中該第一及該第二半導體基板經由該第一原子供應膜層積在一起。
2. 如請求項1之半導體器件，其中
 - 該第一防原子擴散部分經結構設計以覆蓋形成於該第一半導體基板上之一主動元件。
3. 如請求項2之半導體器件，其中
 - 該第一防原子擴散部分經配置於該主動元件之一閘極電極上。
4. 如請求項1之半導體器件，其中
 - 該第一防原子擴散部分經結構設計以覆蓋具有形成於該第一半導體基板上之一主動元件之一電路。
5. 如請求項1之半導體器件，其中
 - 該第一防原子擴散部分具有一通孔、一配接線及一接觸件，且
 - 該通孔、該配接線及該接觸件之至少一者具有由經結構設計以儲存該原子之一原子儲存合金製成之一金屬膜。
6. 如請求項5之半導體器件，其中

該第一防原子擴散部分經連接至該第一半導體基板。

7. 如請求項1之半導體器件，其中

該第一防原子擴散部分經配置於該第一半導體基板內側。

8. 如請求項7之半導體器件，其進一步包括：

一第一原子供應膜，其經配置於該第一半導體基板內側且經結構設計以供應該原子。

9. 如請求項1之半導體器件，其進一步包括：

一第二原子供應膜，其經配置於該第二半導體基板之一整個表面上方且經結構設計以供應該原子，其中

該第一及該第二半導體基板經由該第一及該第二原子供應膜層積在一起。

10. 如請求項1之半導體器件，其進一步包括：

一第二防原子擴散部分，其經配置於該第一及該第二半導體基板之一者之一整個表面上方且經結構設計以防止該原子之該擴散，其中

該第一及該第二半導體基板經由該第一原子供應膜及該第二防原子擴散部分層積在一起。

11. 如請求項1之半導體器件，其中

該第一半導體基板具有經結構設計以攝取一影像之一像素區，及

該第二半導體基板具有經結構設計以將信號處理應用於由該影像攝取產生之一信號之一邏輯電路。

12. 如請求項1之半導體器件，其進一步包括：

一第三半導體基板，其經結構設計以提供不同於該第一及該第二半導體基板之功能之一功能；及

一第二原子供應膜，其經配置於該第三半導體基板之一整個

表面上方且經結構設計以供應該原子，其中

該第二及該第三半導體基板經由該第二原子供應膜層積在一起。

13. 如請求項12之半導體器件，其中

該第一半導體基板具有經結構設計以攝取一影像之一像素區，

該第二半導體基板具有經結構設計以將信號處理應用於由該影像攝取產生之一信號之一信號處理單元，且

該第三半導體基板具有經結構設計以儲存該信號之一記憶體單元。

14. 如請求項1之半導體器件，其進一步包括：

一第一配接線層，其經形成於該第一半導體基板上；及

一第二配接線層，其經形成於該第二半導體基板上，其中

該第一及該第二半導體基板經層積在一起以使該第一及該第二配接線層面朝彼此。

15. 如請求項1之半導體器件，其進一步包括：

一第一配接線層，其經形成於該第一半導體基板上；及

一第二配接線層，其經形成於該第二半導體基板上，其中

該第一及該第二半導體基板經層積在一起以使該第一配接線層朝向該第一半導體基板之一方向與該第二配接線層朝向該第二半導體基板之一方向一致。

16. 如請求項1之半導體器件，其中

該原子包含氫。

17. 一種電子裝置，其包括：

一半導體基板；

一防原子擴散部分，其經配置於該半導體基板上之一部分處

且經結構設計以防止具有一懸鍵終接效應之一原子擴散；

一第一原子供應膜，其經配置於該第一半導體基板之一整個表面上方且經結構設計以供應該原子；及

一第二半導體基板，其經結構設計以提供不同於該第一半導體基板之一功能之一功能，其中該第一及該第二半導體基板經由該第一原子供應膜層積在一起。